



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월13일
(11) 등록번호 10-1746681
(24) 등록일자 2017년06월07일

(51) 국제특허분류(Int. Cl.)
G06F 9/30 (2017.01) H03M 13/41 (2006.01)
(52) CPC특허분류
G06F 9/30036 (2013.01)
G06F 9/3001 (2013.01)
(21) 출원번호 10-2015-7029138
(22) 출원일자(국제) 2014년03월12일
심사청구일자 2016년11월15일
(85) 번역문제출일자 2015년10월13일
(65) 공개번호 10-2015-0132387
(43) 공개일자 2015년11월25일
(86) 국제출원번호 PCT/US2014/024203
(87) 국제공개번호 WO 2014/150778
국제공개일자 2014년09월25일
(30) 우선권주장
13/841,878 2013년03월15일 미국(US)
(56) 선행기술조사문헌
US5946361 A*
US20030028844 A1*
US8201064 A*
US20090182990 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
데 로렌티스, 니코
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 26 항

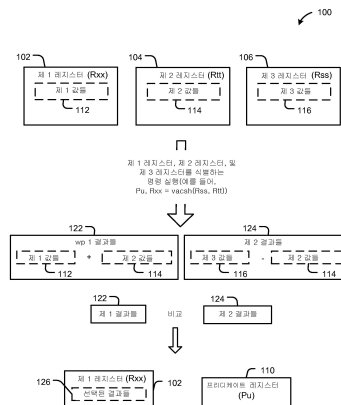
심사관 : 김경완

(54) 발명의 명칭 가산-비교-선택 명령

(57) 요약

장치는 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 저장하는 메모리를 포함한다. 프로세서에 의해 명령의 실행시, 벡터 가산 동작은 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하기 위하여 프로세서에 의해 수행된다. 벡터 감산 동작은 또한 제 2 값을 제 3 레지스터로부터의 제 3 값들로부터 감산하기 위한 명령의 실행시 수행된다. 벡터 비교 동작은 또한 벡터 가산 동작의 결과들을 벡터 감산 동작의 결과들에 비교하기 위한 명령의 실행시 수행된다.

대표도 - 도1



(52) CPC특허분류

G06F 9/30021 (2013.01)

H03M 13/4107 (2013.01)

명세서

청구범위

청구항 1

명령을 실행하기 위한 장치로서,

제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 상기 명령을 저장하는 메모리를 포함하고,

프로세서에 의해 상기 명령의 실행시:

벡터 가산 동작은 상기 제 1 레지스터로부터의 제 1 값들을 상기 제 2 레지스터로부터의 제 2 값들에 가산하기 위하여 상기 프로세서에 의해 수행되고;

벡터 감산 동작은 상기 제 3 레지스터로부터의 제 3 값들로부터 상기 제 2 값들을 감산하기 위해 수행되고; 그리고

벡터 비교 동작은 상기 벡터 가산 동작의 결과들을 상기 벡터 감산 동작의 결과들에 비교하도록 수행되는, 명령을 실행하기 위한 장치.

청구항 2

제 1 항에 있어서,

상기 프로세서에 의해 상기 명령의 실행시, 벡터 선택 동작은:

상기 벡터 비교 동작에 기초하여 상기 벡터 가산 동작의 결과들 또는 상기 벡터 감산 동작의 결과들을 선택하고; 그리고

선택된 결과들로 상기 제 1 레지스터를 업데이트하도록 수행되는, 명령을 실행하기 위한 장치.

청구항 3

제 2 항에 있어서,

상기 벡터 가산 동작의 결과들이 상기 벡터 감산 동작의 결과들보다 클 때 상기 벡터 가산 동작의 결과들이 선택되고,

상기 벡터 감산 동작의 결과들이 상기 벡터 가산 동작의 결과들보다 클 때 상기 벡터 감산 동작의 결과들이 선택되는, 명령을 실행하기 위한 장치.

청구항 4

제 3 항에 있어서,

선택된 결과들이 상기 벡터 가산 동작의 결과들일 때 디코더는 짝수 이전 상태(even preceding state)로의 전이를 결정하고,

선택된 결과들이 상기 벡터 감산 동작의 결과들일 때 상기 디코더는 홀수 이전 상태(odd preceding state)로의 전이를 결정하는, 명령을 실행하기 위한 장치.

청구항 5

제 2 항에 있어서,

상기 벡터 가산 동작, 상기 벡터 감산 동작, 상기 벡터 비교 동작, 및 상기 벡터 선택 동작은 동일한 실행 사이클 동안 수행되는, 명령을 실행하기 위한 장치.

청구항 6

제 1 항에 있어서,

상기 명령은 메모리 위치를 추가로 식별하고, 상기 벡터 비교 동작의 결과들은 상기 메모리 위치에 저장되는, 명령을 실행하기 위한 장치.

청구항 7

제 6 항에 있어서,

상기 메모리 위치는 상기 제 1 레지스터에 대응하는, 명령을 실행하기 위한 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 값들은 디코더의 경로 메트릭 값들의 제 1 세트이고, 상기 제 2 값들은 브랜치 메트릭 값들이고, 상기 제 3 값들은 경로 메트릭 값들의 제 2 세트인, 명령을 실행하기 위한 장치.

청구항 9

제 8 항에 있어서,

상기 디코더는 비터비 디코더(Viterbi decoder)인, 명령을 실행하기 위한 장치.

청구항 10

제 1 항에 있어서,

상기 명령 및 제 2 명령을 포함하는 매우 긴 명령 워드(VLIW; very long instruction word) 패킷을 더 포함하는, 명령을 실행하기 위한 장치.

청구항 11

명령을 실행하는 방법으로서,

제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 상기 명령을 수신하는 단계; 및

프로세서에 의해 상기 명령을 실행하는 단계

를 포함하고, 상기 명령을 실행하는 단계는:

제 1 결과들을 생성하기 위하여 상기 제 1 레지스터로부터의 제 1 값들을 상기 제 2 레지스터로부터의 제 2 값들에 가산하는 단계;

제 2 결과들을 생성하기 위하여 상기 제 3 레지스터로부터의 제 3 값들로부터 상기 제 2 값들을 감산하는 단계; 및

상기 제 1 결과들을 상기 제 2 결과들에 비교하는 단계를 포함하는, 명령을 실행하는 방법.

청구항 12

제 11 항에 있어서,

상기 명령을 실행하는 단계는:

상기 제 1 결과들을 상기 제 2 결과들에 비교하는 것에 기초하여 상기 제 1 결과들 또는 상기 제 2 결과들을 선택하는 단계; 및

선택된 결과들로 상기 제 1 레지스터를 업데이트하는 단계를 더 포함하는, 명령을 실행하는 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 결과들이 상기 제 2 결과들보다 클 때 상기 제 1 결과들이 선택되고, 상기 제 2 결과들이 상기 제 1

결과들보다 클 때 상기 제 2 결과들이 선택되는, 명령을 실행하는 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 값들을 상기 제 2 값들에 가산하는 단계, 상기 제 3 값들로부터 상기 제 2 값들을 감산하는 단계, 상기 제 1 결과들을 상기 제 2 결과들에 비교하는 단계, 및 상기 제 1 결과들 또는 상기 제 2 결과들을 선택하는 단계는 동일한 실행 사이클 동안 수행되는, 명령을 실행하는 방법.

청구항 15

제 11 항에 있어서,

상기 명령은 메모리 위치를 추가로 식별하고, 상기 명령을 실행하는 단계는 상기 제 1 결과들을 상기 제 2 결과들에 비교한 결과를 상기 메모리 위치에 저장하는 단계를 더 포함하는, 명령을 실행하는 방법.

청구항 16

제 11 항에 있어서,

상기 제 1 값들은 디코더의 경로 메트릭 값들의 제 1 세트이고, 상기 제 2 값들은 브랜치 메트릭 값들이고, 상기 제 3 값들은 경로 메트릭 값들의 제 2 세트인, 명령을 실행하는 방법.

청구항 17

제 16 항에 있어서,

상기 디코더는 비터비 디코더인, 명령을 실행하는 방법.

청구항 18

제 11 항에 있어서,

상기 명령 및 제 2 명령을 포함하는 매우 긴 명령 워드(VLIW) 패킷을 수신하는 단계를 더 포함하는, 명령을 실행하는 방법.

청구항 19

명령을 실행하기 위한 장치로서,

제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 상기 명령을 저장하기 위한 수단; 및

상기 명령을 실행하기 위한 수단

을 포함하고, 상기 명령을 실행하기 위한 수단은:

제 1 결과들을 생성하기 위하여 상기 제 1 레지스터로부터의 제 1 값들을 상기 제 2 레지스터로부터의 제 2 값들에 가산하기 위한 수단;

제 2 결과들을 생성하기 위하여 상기 제 3 레지스터로부터의 제 3 값들로부터 상기 제 2 값들을 감산하기 위한 수단; 및

상기 제 1 결과들을 상기 제 2 결과들에 비교하기 위한 수단을 포함하는, 명령을 실행하기 위한 장치.

청구항 20

제 19 항에 있어서,

상기 가산하기 위한 수단은 벡터 가산기를 포함하고, 상기 감산하기 위한 수단은 벡터 감산기를 포함하고, 상기 비교하기 위한 수단은 비교기를 포함하는, 명령을 실행하기 위한 장치.

청구항 21

제 19 항에 있어서,

상기 명령을 실행하기 위한 수단은, 동일한 실행 사이클 동안, 상기 제 1 값들을 상기 제 2 값들에 가산하고, 상기 제 3 값들로부터 상기 제 2 값들을 감산하고, 그리고 상기 제 1 결과들을 상기 제 2 결과들에 비교하도록 구성되는, 명령을 실행하기 위한 장치.

청구항 22

프로그램 코드를 저장하는 컴퓨터-판독가능 저장 디바이스로서,

상기 프로그램 코드는, 프로세서에 의해 실행될 때, 상기 프로세서로 하여금 동작들을 수행하도록 하기 위해 동작 가능하고,

상기 동작들은,

제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 단일 명령을 수신하는 것; 및

상기 단일 명령을 실행하는 것을 포함하고,

상기 단일 명령을 실행하는 것은:

제 1 결과들을 생성하기 위하여 상기 제 1 레지스터로부터의 제 1 값들을 상기 제 2 레지스터로부터의 제 2 값들에 가산하는 것;

제 2 결과들을 생성하기 위하여 상기 제 3 레지스터로부터의 제 3 값들로부터 상기 제 2 값들을 감산하는 것; 및

상기 제 1 결과들을 상기 제 2 결과들에 비교하는 것을 포함하는, 컴퓨터-판독가능 저장 디바이스.

청구항 23

제 22 항에 있어서,

상기 단일 명령을 실행하는 것은:

상기 제 1 결과들을 상기 제 2 결과들에 비교하는 것에 기초하여 상기 제 1 결과들 또는 상기 제 2 결과들 중 하나를 선택하는 것; 및

선택된 결과들로 상기 제 1 레지스터를 업데이트하는 것을 더 포함하는, 컴퓨터-판독가능 저장 디바이스.

청구항 24

제 23 항에 있어서,

상기 제 1 값들을 상기 제 2 값들에 가산하는 것, 상기 제 3 값들로부터 상기 제 2 값들을 감산하는 것, 상기 제 1 결과들을 상기 제 2 결과들에 비교하는 것, 및 상기 제 1 레지스터를 업데이트하는 것은 동일한 실행 사이클 동안 수행되는, 컴퓨터-판독가능 저장 디바이스.

청구항 25

제 22 항에 있어서,

상기 단일 명령을 실행하는 것은 상기 제 1 결과들을 상기 제 2 결과들에 비교한 결과들을 메모리 위치에 저장하는 것을 더 포함하는, 컴퓨터-판독가능 저장 디바이스.

청구항 26

제 22 항에 있어서,

상기 단일 명령을 실행하는 것은 상기 프로세서로 하여금 단일 실행 사이클 동안 다수의 비터비 경로들에 대응하는 다수의 이전 상태들을 프로세싱하게 하는, 컴퓨터-판독가능 저장 디바이스.

발명의 설명

기술 분야

- [0001] [0001] 본 출원은 2013년 3월 15일 출원된 공동으로 소유된 미국 정식 특허 출원 번호 13/841,878로부터의 우선권을 주장하고, 상기 특허 출원의 내용들은 그 전체가 인용에 의해 본원에 명시적으로 포함된다.
- [0002] [0002] 본 개시는 일반적으로 가산-비교-선택 명령에 관련된다.

배경 기술

- [0003] [0003] 기술에서의 진보들은 보다 작고 보다 강력한 컴퓨팅 디바이스들을 초래하였다. 예를 들어, 작고, 가볍고, 사용자들에 의해 쉽게 운반되는 휴대용 무선 전화들, 개인용 휴대 정보 단말기(PDA)들, 및 페이지 디바이스들 같은, 무선 컴퓨팅 디바이스들을 포함하는 다양한 휴대용 개인 컴퓨팅 디바이스들이 현재 존재한다. 보다 구체적으로, 셀룰러 전화들 및 인터넷 프로토콜(IP) 전화들 같은 휴대용 무선 전화들은 무선 네트워크들을 통해 음성 및 데이터 패킷들을 통신할 수 있다. 추가로, 많은 그런 무선 전화들은 자신들에게 포함된 다른 타입들의 디바이스들을 포함한다. 예를 들어, 무선 전화는 또한 디지털 스틸 카메라, 디지털 비디오 카메라, 디지털 레코더, 및 오디오 파일 플레이어들을 포함할 수 있다. 또한, 그런 무선 전화들은 인터넷에 액세스하기 위하여 사용될 수 있는, 웹 브라우저 애플리케이션 같은 소프트웨어 애플리케이션들을 포함하는 실행 가능 명령들을 프로세싱할 수 있다. 이와 같이, 이들 무선 전화들은 상당한 컴퓨팅 능력들을 포함할 수 있다.
- [0004] [0004] 오디오 또는 비디오 디코딩 같은 멀티미디어 프로세싱을 수행하는 무선 전화는 종종 인코딩된 신호들을 디코딩하기 위하여 비터비 알고리즘 같은 알고리즘을 사용할 수 있다. 예를 들어, 이진 신호는 인코딩된 이진 신호를 생성하기 위하여 다수의 인코딩 스테이지들(예를 들어, 컨벌루션(convolutional) 인코딩)에서 인코딩될 수 있다. 각각의 인코딩 스테이지에서, 인코딩 동작은 이진 신호의 상태(S)를 변경할 수 있다. 이진 신호의 상태는 특정 시간(k)(예를 들어, 특정 인코딩 스테이지)에서 무선 전화 내의 인코더의 상태에 대응할 수 있다. 예를 들어, 제 1 인코딩 동작은 제 1 인코딩 스테이지 동안 제 1 상태를 생성하기 위하여 이진 신호 상에서 수행될 수 있고, 제 2 인코딩 동작은 제 2 인코딩 스테이지 동안 제 2 상태를 생성하기 위하여 제 1 상태 상에서 수행될 수 있고, 등등이 있다. 인코딩된 이진 신호는, 인코딩 동작들이 완료된 후 생성된다. 연속 상태들의 순서는 인코딩된 이진 신호에 대응하는 별개의 경로(즉, 비터비 경로)를 생성할 수 있다.
- [0005] [0005] 무선 전화는 연속적인 상태들을 추적함으로써 인코딩된 이진 신호를 이진 신호로 디코딩하기 위한 경로를 복구할 수 있다. 예를 들어, 인코딩된 이진 신호(예를 들어, 인코딩된 이진 신호와 연관된 상태)로부터, 무선 전화는 경로를 재구성하기 위하여 인코딩 동안 이진 신호로 생성된 이전 상태들(예를 들어, 이전 스테이지들)을 역 추적할 수 있다. 경로의 이전 상태는 각각의 도달 상태(즉, "현재" 상태)에서 결정될 수 있고, 프로세스는, 이진 신호가 복구될 때까지(예를 들어, 경로는 이진 신호로 역 추적됨) 반복될 수 있다. 이 프로세스는 컨벌루션 디코딩으로 지칭될 수 있다. 비터비 알고리즘은 인코딩된 이진 신호를 디코딩하기 위하여 사용될 수 있다. 예를 들어, 디코더에서, 무선 전화는 경로의 도달 상태로부터 경로의 이전 상태를 결정하고 이진 신호가 복구될 때까지 프로세스를 반복하기 위하여 비터비 알고리즘을 사용할 수 있다. 이전 상태는 도달 상태를 복구하기 위하여 사용된 경로 매트릭(metric)들에 기초하여 결정될 수 있다. 그러나, 디코딩 스테이지에서 이전 상태를 결정하는 것은 다수의 명령들을 활용할 수 있다. 디코딩 스테이지 동안 이전 상태를 결정하기 위하여 다수의 명령들을 사용하는 것은 프로세싱 시간을 증가시킬 수 있다.

발명의 내용

- [0006] [0006] 비터비 알고리즘을 사용하여 디코딩 스테이지 동안 이전 상태를 결정하는 단일 명령이 개시된다. 예를 들어, 확실히 상태들의 시퀀스(즉, 비터비 경로)는 비터비 알고리즘을 사용하여 발견될 수 있다. 비터비 경로는 각각의 상태를 유도하는 다수의 경로들을 가진 다수의 상태들이 있는 상태들의 트렐리스(trellis)에 있을 수 있다. 상태들 사이의 상이한 전이(transition)들의 가능성은 상태들 사이의 전이가 확실히 있는지를 결정하기 위해(예를 들어, "생존" 경로를 결정하기 위해) 결정된다. 명령은 전자 디바이스(예를 들어, 모바일 디바이스들)에서 컨벌루션 디코딩을 수행하기 위해 다른 실행 가능 명령들과 함께 가산, 비교, 및 선택 동작들을 수행하기 위해 사용될 수 있다. 예를 들어, 명령은 제 1 상태(2S)(예를 들어, 짝수 상태)로부터 도달 상태(S)에 도달하기 위하여 사용된 매트릭들의 합 및 제 2 상태(2S+1)(예를 들어, 홀수 상태)로부터 동일한 도달 상태(S)에 도달하기 위하여 사용된 매트릭들의 차를 결정할 수 있다. 명령은 또한 계산이 보다 큰 값에 대응하는지를 결

정하기 위하여 합을 차와 비교할 수 있다. 보다 큰 값에 대응하는 계산은 이전 상태를 예측(예를 들어, 생존 경로를 예측)하기 위하여 선택될 수 있다. 명령이 프로세서에 의해 실행될 때, 매트릭들의 선택된 계산은 레지스터에 로딩될 수 있고 다음 디코딩 스테이지 동안 사용될 수 있다. 가산 동작, 비교 동작, 및 선택 동작은 명령의 동일한 실행 사이클에서 수행될 수 있다. 추가로, 명령은 매우 긴 명령 워드(VLIW) 아키텍처들의 명령 레벨 유사성의 장점을 취할 수 있다. 예를 들어, 단일 VLIW 패킷은 병렬로 실행할 수 있는 다수의 그런 명령들을 포함할 수 있다.

[0007] 특정 실시예에서, 장치는 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 저장하는 메모리를 포함한다. 프로세서에 의해 명령의 실행시, 벡터 가산 동작은 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하기 위하여 프로세서에 의해 수행된다. 벡터 감산 동작은 또한 제 3 레지스터로부터의 제 3 값들로부터 제 2 값을 감산하기 위한 명령의 실행시 수행된다. 벡터 비교 동작은 또한 벡터 가산 동작의 결과들을 벡터 감산 동작들의 결과들에 비교하기 위한 명령의 실행시 수행된다.

[0008] 다른 특정 실시예에서, 방법은 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 수신하는 단계를 포함한다. 방법은 또한 프로세서에 의해 명령을 실행하는 단계를 포함한다. 명령을 실행하는 단계는 제 1 결과들을 생성하기 위해 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하는 단계를 포함한다. 명령을 실행하는 단계는 또한 제 2 결과들을 생성하기 위하여 제 3 레지스터로부터의 제 3 값들로부터 제 2 값을 감산하는 단계를 포함한다. 명령을 실행하는 단계는 또한 제 1 결과들을 제 2 결과들에 비교하는 단계를 포함한다.

[0009] 다른 특정 실시예에서, 장치는 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 저장하기 위한 수단을 포함한다. 장치는 또한 명령을 실행하기 위한 수단을 포함한다. 명령을 실행하기 위한 수단은 제 1 결과들을 생성하기 위하여 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하기 위한 수단을 포함한다. 명령을 실행하기 위한 수단은 추가로 제 2 결과들을 생성하기 위하여 제 3 레지스터로부터의 제 3 값들로부터 제 2 값을 감산하기 위한 수단을 포함한다. 실행하기 위한 수단은 추가로 제 1 결과들을 제 2 결과들에 비교하기 위한 수단을 포함한다.

[0010] 다른 특정 실시예에서, 비일시적 컴퓨터 판독가능 매체는 프로세서에 의해 실행될 때, 프로세서로 하여금 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 단일 명령을 수신하게 하는 프로그램 코드를 포함한다. 프로그램 코드는 또한 프로세서로 하여금 단일 명령을 실행하게 한다. 단일 명령을 실행하는 것은 제 1 결과들을 생성하기 위하여 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하는 것을 포함한다. 단일 명령을 실행하는 것은 또한 제 2 결과들을 생성하기 위하여 제 3 레지스터로부터의 제 3 값들로부터 제 2 값을 감산하는 것을 포함한다. 단일 명령을 실행하는 것은 추가로 제 1 결과들을 제 2 결과들에 비교하는 것을 포함한다.

[0011] 개시된 실시예들 중 적어도 하나에 의해 제공된 하나의 특정 장점은 가산, 비교, 및 선택 기능을 수행할 단일 명령의 사용으로 인한 디코딩 스테이지에 대해 감소된 코드 크기 및 보다 적은 실행 사이클들이다. 본 개시의 다른 양상들, 장점들, 및 피쳐들은 다음 섹션들(도면들의 간단한 설명, 상세한 설명, 및 청구항들)을 포함하는 전체 출원의 검토 후 명백하게 될 것이다.

도면의 간단한 설명

[0012] 도 1은 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 실행하는 것을 예시하는 다이어그램이다.

[0013] 도 2는 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 실행하는 것을 예시하는 다른 다이어그램이다.

[0014] 도 3은 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 저장 및 프로세싱하기 위하여 동작할 수 있는 시스템의 특정 예시적 실시예의 다이어그램이다.

[0015] 도 4는 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 프로세싱하는 방법의 특정 예시적 실시예의 흐름도이다.

[0016] 도 5는 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 저장하는 메모리를 포함하는 무선 디바이스의 특정 실시예의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] [0017] 디코드 동작을 수행하기 위한 명령은 제 1 값들(예를 들어, 디코더의 경로 매트릭 값들의 제 1 세트), 제 2 값들(예를 들어, 브랜치(branch) 값들), 및 제 3 값들(예를 들어, 디코더의 경로 매트릭 값들의 제 2 세트)를 포함할 수 있다. 디코더는 디코딩 동작 동안 이전 상태를 결정(예를 들어, 생존 경로 결정)하기 위해 제 1, 제 2 및 제 3 값들을 사용할 수 있다. 예를 들어, 제 1 값들은 도달 상태(S)에 도달하기 위하여 사용된 짝수 상태(2S)의 경로 매트릭들에 대응하고 제 3 값들은 도달 상태(S)에 도달하기 위하여 사용된 홀수 상태(2S+1)의 경로 매트릭들에 대응할 수 있다. 제 2 값들은 복조된 심볼들로부터 얻어진 브랜치 매트릭들에 대응할 수 있고 코드 다항식의 함수일 수 있다. 명령은 목적지 레지스터를 선택적으로 식별할 수 있다. 명령이 실행될 때, 제 1 결과 및 제 2 결과는 생성될 수 있다. 제 1 결과는 벡터 가산 동작에 응답하여 생성될 수 있다. 예를 들어, 프로세서는 제 1 결과를 생성하기 위하여 제 1 값들을 제 2 값들에 가산할 수 있다. 제 2 결과는 벡터 감산 동작에 응답하여 생성될 수 있다. 예를 들어, 프로세서는 제 2 결과를 생성하기 위하여 제 3 값들로부터 제 2 값들을 감산할 수 있다. 특정 실시예에서, 제 1 값들 및 제 3 값들은 상보적 비트들을 포함할 수 있다.
- [0014] [0018] 벡터 비교 동작은 제 1 결과들(예를 들어, 짝수 상태들(2S)과 연관된 결과들)을 제 2 결과들(예를 들어, 홀수 상태들(2S+1)과 연관된 결과들)에 비교하기 위해 수행된다. 제 1 결과들이 제 2 결과들보다 클 때, 짝수 상태(2S)에 대응하는 이전 상태가 선택될 수 있다. 제 2 결과들이 제 1 결과들보다 클 때, 홀수 상태(2S+1)에 대응하는 이전 상태가 선택될 수 있다.
- [0015] [0019] 도 1을 참조하여, 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령(100)의 실행의 제 1 예시적 예가 도시된다. 특정 실시예에서, 명령(100)은 제 1 레지스터(102), 제 2 레지스터(104), 제 3 레지스터(106), 및 프리디케이트(predicate) 레지스터(110)를 식별할 수 있다. 제 1 레지스터(102)는 제 1 값들(112)을 저장할 수 있고, 제 2 레지스터(104)는 제 2 값들(114)을 저장할 수 있고, 제 3 레지스터(106)는 제 3 값들(116)을 저장할 수 있다. 명령(100)은 "Pu, Rxx=vacsh(Rss,Rtt)"일 수 있고, 여기서 'vacsh'는 100 명령의 오퍼코드이고, 'Rxx'는 제 1 레지스터(102)이고, 'Rtt'는 제 2 레지스터(104)이고, 'Rss'는 제 3 레지스터(106)이고, 'Pu'는 복구된 전이(예를 들어, 인코딩된 전이)가 짝수 상태(2S)에 대응하는지 홀수 상태(2S+1)에 대응하는지에 기초하여 생존 상태(즉, 이전 상태)를 예측하는 프리디케이트 레지스터(110)이다.
- [0016] [0020] 벡터 비교 동작의 결과들은 이전 상태(예를 들어, 생존 경로)가 짝수 상태(2S)에 대응하는지 홀수 상태(2S+1)에 대응하는지를 예측하기 위하여 프리디케이트 레지스터(110)에 저장될 수 있다. 생존 상태는 도달 상태(S)에 도달하기 위하여 사용된 매트릭들의 함수일 수 있다. 예를 들어, 제 1 값들(112)은 짝수 상태(2S)로부터 도달 상태(S)에 도달하기 위하여 사용된 경로 매트릭 값들의 제 1 세트에 대응할 수 있다. 경로 매트릭 값들은 도달 상태(S)에 도달하기 위하여 확실 경로에 걸친 거리와 연관된 값들에 대응할 수 있다. 제 2 값들(114)은 브랜치 매트릭 값들에 대응할 수 있다. 브랜치 매트릭 값들은 상태들 사이의 정규화된 거리를 측정하는 값들에 대응할 수 있다. 제 3 값들(116)은 홀수 상태(2S+1)로부터 도달 상태(S)로 도달하기 위하여 사용된 경로 매트릭 값들의 제 2 세트에 대응할 수 있다. 도달 상태(S)에서, 비터비 디코더 같은 디코더는 도달 상태(S)에 도달하기 위하여 사용된 경로 매트릭 값들(112, 116)에 기초하여 짝수 이전 상태(2S)와 홀수 이전 상태(2S+1) 사이에서 선택할 수 있다.
- [0017] [0021] 동작 동안, 프로세서 내의 벡터 가산기는 제 1 레지스터(102)로부터의 제 1 값들(112)을 제 2 레지스터(104)로부터의 제 2 값들(114)에 가산하기 위해 벡터 가산 동작을 수행할 수 있다. 예를 들어, 경로 매트릭 값들의 제 1 세트는 제 1 결과들(122)을 생성하기 위하여 브랜치 매트릭 값들에 가산될 수 있다. 프로세서 내의 벡터 감산기는 제 3 레지스터(106)의 제 3 값들(116)로부터 제 2 값들(114)을 감산하기 위하여 벡터 감산 동작을 수행할 수 있다. 예를 들어, 경로 매트릭 값들의 제 2 세트는 제 2 결과들(124)을 생성하기 위하여 브랜치 매트릭 값들로부터 감산될 수 있다. 프로세서 내의 비교기는 결과들(122, 124) 중 어느 것이 보다 큰 값에 대응하는지를 결정하기 위하여 제 1 결과들(122)을 제 2 결과들(124)에 비교하기 위한 벡터 비교 동작을 수행할 수 있다.
- [0018] [0022] 프로세서는 보다 큰 값에 대응하는 결과들(122 또는 124)을 선택하기 위하여 벡터 선택 동작을 수행할 수 있고 제 1 레지스터(102)는 선택된 결과들(126)로 업데이트될 수 있다. 예를 들어, 제 1 결과들(122)이 제 2 결과들(124)보다 클 때, 제 1 결과들(122)은 선택된 결과들(126)로서 제 1 레지스터(102)에 저장되고 이전 상태는 짝수 상태(2S)에 대응하도록 예측된다. 제 2 결과들(124)이 제 1 결과들(122)보다 클 때, 제 2 결과들(124)은 선택된 결과들(126)로서 제 1 레지스터(102)에 저장되고 이전 상태는 홀수 상태(2S+1)에 대응하도록 예

측된다.

- [0019] [0023] 설명된 단일 명령(100)이, 벡터 가산 동작, 벡터 감산 동작, 벡터 비교 동작, 및 벡터 선택 동작이 동일한 실행 사이클 동안 수행되게 할 수 있다는 것이 인식될 것이다. 4개의 별개의 동작들과 반대로 하나의 명령(예를 들어, "vacsh" 명령)으로서 벡터 가산 동작, 벡터 감산 동작, 벡터 비교 동작, 및 벡터 선택 동작을 구현하는 것은 프로세싱 속도에서 대략 40 퍼센트 이득을 생성할 수 있다. 예를 들어, 단일 명령은 5개의 파이프라인 사이클들(4개의 명령들에 대해)에 비교될 때 3개의 파이프라인 사이클들을 사용하여 실행될 수 있다. 또한, 명령(100)이 발행될 때 처리량이 대략 사이클 당 2개의 버터플라이들(butterflies)과 동일할 수 있다는 것이 인식될 것이다. 예를 들어, 각각의 버터플라이는 상태로부터 상태로의 가능한 전이들의 수에 대응할 수 있다. 특정 실시예에서, 처리량은, 명령(100)이 단일 사이클 동안 2번 발행될 때 대략 사이클당 4개의 버터플라이들과 같을 수 있다.
- [0020] [0024] 도 2를 참조하여, 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령의 실행의 제 2 예시적인 예가 도시되고 일반적으로 200으로 표기된다.
- [0021] [0025] 특정 실시예에서, 제 1 레지스터(102)는 4개의 부분들을 포함하는 64 비트 레지스터일 수 있다. 예를 들어, 제 1 레지스터(102)는 제 1 부분(Rxx.H3)(212), 제 2 부분(Rxx.H2)(214), 제 3 부분(Rxx.H1)(216), 및 제 4 부분(Rxx.H0)(218)을 포함할 수 있다. 각각의 부분(212-218)은 제 1 경로 매트릭 값들에 대응하는 16 비트 값을 저장할 수 있다. 예를 들어, 제 1 부분(212)은 제 1 16 비트 값(x_1)을 저장할 수 있고, 제 2 부분(214)은 제 2 16 비트 값(x_2)을 저장할 수 있고, 제 3 부분(216)은 제 3 16 비트 값(x_3)을 저장할 수 있고 제 4 부분(218)은 제 4 16 비트 값(x_4)을 저장할 수 있다. 제 1 경로 매트릭 값들은 도 1의 제 1 값들(112)에 대응할 수 있다. 예를 들어, 제 1 경로 매트릭 값들은 짝수 상태(2S)로부터 도달 상태(S)에 도달하기 위하여 사용된 경로 매트릭 값들의 제 1 세트에 대응할 수 있다.
- [0022] [0026] 특정 실시예에서, 제 2 레지스터(104)는 4개의 부분들을 포함하는 64 비트 레지스터일 수 있다. 예를 들어, 제 2 레지스터(104)는 제 1 부분(Rtt.H3)(222), 제 2 부분(Rtt.H2)(224), 제 3 부분(Rtt.H1)(226), 및 제 4 부분(Rtt.H0)(228)을 포함할 수 있다. 각각의 부분(222-228)은 브랜치 매트릭 값들에 대응하는 16 비트 값을 저장할 수 있다. 예를 들어, 제 1 부분(222)은 제 1 16 비트 값(y_1)을 저장할 수 있고, 제 2 부분(224)은 제 2 16 비트 값(y_2)을 저장할 수 있고, 제 3 부분(226)은 제 3 16 비트 값(y_3)을 저장할 수 있고, 제 4 부분(228)은 제 4 16 비트 값(y_4)을 저장할 수 있다.
- [0023] [0027] 특정 실시예에서, 제 3 레지스터(106)는 4개의 부분들을 포함하는 64 비트 레지스터일 수 있다. 예를 들어, 제 3 레지스터(106)는 제 1 부분(Rss.H3)(232), 제 2 부분(Rss.H2)(234), 제 3 부분(Rss.H1)(236), 및 제 4 부분(Rss.H0)(238)을 포함할 수 있다. 각각의 부분(232-238)은 제 2 경로 매트릭 값들에 대응하는 16 비트 값을 저장할 수 있다. 예를 들어, 제 1 부분(232)은 제 1 16 비트 값(z_1)을 저장할 수 있고, 제 2 부분(234)은 제 2 16 비트 값(z_2)을 저장할 수 있고, 제 3 부분(236)은 제 3 16 비트 값(z_3)을 저장할 수 있고, 제 4 부분(238)은 제 4 16 비트 값(z_4)을 저장할 수 있다. 제 2 경로 매트릭 값들은 도 1의 제 3 값들(116)에 대응할 수 있다. 예를 들어, 제 2 경로 매트릭 값들은 짝수 상태(2S)로부터 도달 상태(S)에 도달하기 위하여 사용된 경로 매트릭 값들의 제 2 세트에 대응할 수 있다.
- [0024] [0028] 제 1 벡터 가산기(202)는 제 1 16 비트 결과를 생성하기 위하여 제 1 레지스터(102)의 제 1 부분(212)으로부터의 제 1 16 비트 값을 제 2 레지스터(104)의 제 1 부분(222)으로부터의 제 1 16 비트 값(y_1)에 가산하도록 구성된다. 제 1 벡터 감산기(204)는 제 2 16 비트 결과를 생성하기 위하여 제 3 레지스터(106)의 제 1 부분(232)으로부터 제 1 16 비트 값(z_1)으로부터의 제 1 16 비트 값(y_1)을 감산하도록 구성된다. 제 1 비교기(206)는 제 1 16 비트 결과를 제 2 16 비트 결과에 비교하도록 구성된다. 비교에 기초하여, 제 1 비교기(206)는, 제 1 16 비트 결과가 제 2 16 비트 결과보다 큰지 또는 제 2 16 비트 결과가 제 1 16 비트 결과보다 큰지를 식별하는 제 1 플래그 비트(예를 들어, 1 비트 신호)를 생성할 수 있다. 제 1 플래그 비트는 프리디케이트 레지스터(Pu)(210)의 제 1 부분에 제공될 수 있고 이전 상태가 확실히 짝수 상태(2S)인지 홀수 상태(2S+1)인지를 예측하기 위하여 사용될 수 있다.
- [0025] [0029] 제 1 플래그 비트는 또한 선택 디바이스(208)에 제공될 수 있다. 특정 실시예에서, 선택 디바이스(208)는 멀티플렉서일 수 있다. 선택 디바이스(208)는 제 1 플래그 비트에 기초하여 제 1 16 비트 결과 또는

제 2 16 비트 결과를 선택하고 선택된 결과를 제 1 레지스터(102)의 제 1 부분(212)에 제공하도록 구성된다. 예를 들어, 선택 디바이스(208)는, 제 1 16 비트 결과가 제 2 16 비트 결과보다 크다는 것을 제 1 플래그 비트가 가리킬 때 제 1 16 비트 결과를 제 1 레지스터(102)의 제 1 부분(212)에 제공할 수 있다. 대안적으로, 선택 디바이스(208)는 제 2 16 비트 결과가 제 1 16 비트 결과보다 크다는 것을 제 1 플래그 비트가 가리킬 때 제 2 16 비트 결과를 제 1 레지스터(102)의 제 1 부분(212)에 제공할 수 있다.

[0026] [0030] 부가적인 벡터 가산기들, 벡터 감산기들, 및 비교기들은 제 1 벡터 가산기(202), 제 1 벡터 감산기(204), 및 제 1 비교기(206)와 동시에 그리고 실질적으로 유사한 방식으로 동작할 수 있다. 예를 들어, 가산 벡터 가산기들, 벡터 감산기들, 및 비교기들은 제 1 레지스터(102), 제 2 레지스터(104), 및 제 3 레지스터(106)의 대응하는 부분들에서 16 비트 값들에 기초하여 제 2 플래그 비트, 제 3 플래그 비트, 및 제 4 플래그 비트를 생성할 수 있다. 제 1 레지스터(102)의 제 2, 제 3 및 제 4 부분들(214-218)은 각각 제 2, 제 3, 및 제 4 플래그 비트들에 기초하여 16 비트 결과들로 업데이트될 수 있다. 따라서, 4개의 상태들은 단일 실행 사이클 동안 프로세싱될 수 있다.

[0027] [0031] 도 3을 참조하여, 명령(100)(예를 들어, 'VACSH' 명령)을 저장하고 프로세싱하도록 동작할 수 있는 시스템의 특정 예시적 실시예가 개시되고 일반적으로 300으로 표기된다. 시스템(300)은 버스 인터페이스(308)를 통해 명령 캐시(310)에 커플링된 메모리(302)를 포함할 수 있다. 특정 실시예에서, 시스템(300)의 모든 또는 일부분은 프로세서에 통합될 수 있다.

[0028] [0032] 명령(100)(예를 들어, 가산-비교-선택 명령) 및 제 2 명령(352)(예를 들어, 제 2 가산-비교-선택 명령)은 매우 긴 명령 워드(VLIW) 패킷(350)에 포함될 수 있다. 명령(100)은 도 1-도 2에 예시된 바와 같이, 제 1 레지스터(102), 제 2 레지스터(104), 및 제 3 레지스터(106)를 식별할 수 있다. 제 1 레지스터(102), 제 2 레지스터(104), 및 제 3 레지스터(106)는 일반 레지스터 파일(326)에 포함될 수 있다. 제 1 레지스터(102)는 짝수 상태(2S)로부터 도달 상태(S)에 도달하기 위하여 사용된 경로 매트릭 값들의 제 1 세트를 저장할 수 있고, 제 2 레지스터(104)는 브랜치 매트릭 값들을 저장할 수 있고, 제 3 레지스터(106)는 홀수 상태(2S+1)로부터 도달 상태(S)에 도달하기 위하여 사용된 경로 매트릭 값들의 제 2 세트를 저장할 수 있다. 명령(100)은 또한 프리디케이트 레지스터(210)를 식별할 수 있다. 도 1-도 2에 관하여 설명된 바와 같이, 벡터 비교 동작의 결과들은, 이전 상태(예를 들어, 생존 경로)가 짝수 상태(2S)에 대응하는지 홀수 상태(2S+1)에 대응하는지를 예측하기 위하여 프리디케이트 레지스터(210)에 저장될 수 있다. 프리디케이트 레지스터(210)는 또한 일반 레지스터 파일(326)에 포함될 수 있다.

[0029] [0033] 메모리(302)는 버스 인터페이스(308)를 통해 명령 캐시(310)로 명령(100)을 전송할 수 있다. 데이터 캐시(312)는 또한 버스 인터페이스(308)를 통해 메모리(302)에 커플링될 수 있다. 특정 실시예에서, 메모리(302)는 도 1-도 2에 관하여 설명된 바와 같이, 벡터 가산 동작, 벡터 감산 동작, 벡터 비교 동작, 벡터 선택 동작, 또는 이들의 임의의 결합을 수행하기 위하여 명령(100)을 사용하는 디코더에 의해 액세스할 수 있다. 예를 들어, 디코더는 도 5를 참조하여 추가로 설명된 바와 같이, 코더/디코더(코텍)의 부분일 수 있다.

[0030] [0034] 명령 캐시(310)는 버스(311)를 통해 시퀀서(314)에 커플링될 수 있다. 시퀀서(314)는 인터럽트 레지스터(도시되지 않음)로부터 리트리브될 수 있는 일반 인터럽트들(316)을 수신할 수 있다. 특정 실시예에서, 명령 캐시(310)는 시스템(300)의 버스(311)에 커플링될 수 있고 특정 스레드들(예를 들어, 하드웨어 스레드들)과 연관될 수 있는 복수의 전류 명령 레지스터들(도시되지 않음)을 통해 시퀀서(314)에 커플링될 수 있다. 특정 실시예에서, 프로세서(300)는 여섯 개(6) 스레드들을 포함하는 인터리빙된 멀티-스레디드 프로세서일 수 있다. 다른 특정 실시예에서, 프로세서(300)는 세 개(3) 또는 네 개(4) 스레드들을 포함할 수 있다.

[0031] [0035] 특정 실시예에서, 버스(311)는 백이십팔 비트(128 비트) 버스일 수 있고 시퀀서(314)는 명령 패킷들(예를 들어, 명령(100) 및 제 2 명령(352))을 포함하는 매우 긴 명령 워드(VLIW) 명령 패킷(350)을 통해 메모리(302)로부터 명령들을 리트리브하도록 구성될 수 있다. 시퀀서(314)는 제 1 명령 실행 유닛(318), 제 2 명령 실행 유닛(320), 제 3 명령 실행 유닛(322), 및 제 4 명령 실행 유닛(324)에 커플링될 수 있다. 보다 적거나 많은 명령 실행 유닛들이 있을 수 있다는 것이 주의되어야 한다. 각각의 명령 실행 유닛(318-324)은 제 1 버스(328)를 통해 일반 레지스터 파일(326)에 커플링될 수 있다. 일반 레지스터 파일(326)은 또한 제 2 버스(330)를 통해 시퀀서(314), 데이터 캐시(312), 및 메모리(302)에 커플링될 수 있다.

[0032] [0036] 시스템(300)은 또한 인터럽트들(예를 들어, 일반 인터럽트들(316))을 수용할지 명령들의 실행을 제어할지 결정하기 위하여 시퀀서(314) 내의 제어 로직에 의해 액세스될 수 있는 비트들을 저장하도록 감시 제어 레지스터들(332) 및 글로벌 제어 레지스터들(334)을 포함할 수 있다.

- [0033] [0037] 특정 실시예에서, 실행 유닛들(318-324) 중 임의의 실행 유닛은 도 1의 제 1 결과들(122) 및 제 2 결과들(124)을 생성하기 위한 명령(100)을 실행할 수 있다. 다른 실시예에서, 실행 유닛들(318-324)의 전부가 아닌 일부는 명령(100)을 실행할 수 있다. 예를 들어, 실행 유닛들(318-324)은 도 2를 참조하여 설명된 바와 같이, 벡터 가산기들, 벡터 감산기들, 비교기들, 및 선택 디바이스들을 포함하는 산술 논리 유닛(ALU)을 포함할 수 있다. 실행 유닛들(318-324)은 도 2를 참조하여 설명된 벡터 가산기(202) 같은 벡터 가산기들을 통해 제 1 레지스터(102)에 저장된 경로 매트릭 값들의 제 1 세트를 제 2 레지스터(104)에 저장된 브랜치 매트릭 값들에 가산함으로써 제 1 결과들을 생성할 수 있다. 실행 유닛들(318-324)은 도 2에 관하여 설명된 벡터 감산기(204) 같은 벡터 감산기들을 통해 제 3 레지스터(106)에 저장된 경로 매트릭 값들의 제 2 세트로부터 제 2 레지스터(104)에 저장된 브랜치 매트릭 값들을 감산함으로써 제 2 결과들을 생성할 수 있다. 실행 유닛들(318-324)은 결과들이 보다 큰지를 결정하기 위하여 제 1 결과들을 제 2 결과들에 비교하고 비교 결과들을 가리키는 신호를 프리디케이트 레지스터(210)에 제공할 수 있다. 프리디케이트 레지스터(210)에 저장된 정보는, 이전 상태가 짝수 상태(2S)에 대응하는지 홀수 상태(2S+1)에 대응하는지를 예측하기 위하여 사용될 수 있다.
- [0034] [0038] 따라서, 인코딩된 데이터 스트림의 디코딩 동안, 인코딩된 데이터 신호의 이전 상태는 단일 명령을 사용하여 도달 상태를 복구하기 위하여 사용된 경로 매트릭들로부터 예측될 수 있다. 추가로, 비교에 따라, 제 1 결과들 또는 제 2 결과들 중 어느 하나는 추후 상태 프리디케이션(predication)에 사용될 제 1 레지스터에 저장될 수 있다. 명령(100)은 이전 상태를 예측하기 위한 단일 명령의 사용으로 인해 코드 크기의 전체적 감소를 달성할 수 있고 프로세서의 보다 적은 실행 사이클들을 수행할 수 있다. 동시에 명령(100) 및 제 2 명령(352)을 실행하는 것이, 시스템(300)으로 하여금 다수의 비터비 경로들에 대응하는 다수의 이전 상태들을 동시에 예측하게 함으로써 효율성을 증가시킬 수 있다는 것이 인식될 것이다.
- [0035] [0039] 도 3에 도시된 시스템(300)이 단지 예시인 것이 주의되어야 한다. 개시된 명령 및 기술들은 다른 아키텍처들(예를 들어, 마이크로-아키텍처들 및 디지털 신호 프로세서(DSP) 아키텍처들)에 의해 지지되고 상기 다른 아키텍처들 내에서 실행될 수 있다. 예를 들어, 대안적 DSP 아키텍처는 도 3의 시스템(300)보다 많거나, 적거나 및/또는 상이한 컴포넌트들을 포함할 수 있다. 예시하기 위하여, 대안적 DSP 아키텍처는 도 3에 예시된 바와 같이, 4개의 실행 유닛들 대신 두 개의 실행 유닛들 및 두 개의 로드/저장 유닛들을 포함할 수 있다.
- [0036] [0040] 도 4를 참조하여, 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 프로세싱하는 방법의 특정 예시적 실시예의 흐름도가 도시되고 일반적으로 400으로 표기된다. 예시적 실시예에서, 방법(400)은 도 3의 시스템(300)에서 수행될 수 있고 도 1-도 2를 참조하여 설명될 수 있다.
- [0037] [0041] 방법(400)은 410에서 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 수신하는 단계를 포함할 수 있다. 예를 들어, 도 3에서, 명령(100)은 실행 유닛들(318-324) 중 하나에서 수신될 수 있다. 명령(100)은 제 1 레지스터(102), 제 2 레지스터(104), 및 제 3 레지스터(106)를 식별할 수 있다.
- [0038] [0042] 방법(400)은 또한, 420에서 명령을 실행하는 단계를 포함할 수 있다. 예를 들어, 도 3에서, 명령(100)은 실행 유닛들(318-324) 중 하나에 의해 실행될 수 있다. 명령을 실행하는 단계(420)는 422에서 제 1 결과들을 생성하기 위하여 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하는 단계를 포함할 수 있다. 예를 들어, 도 3에서, 실행 유닛들(318-324) 중 하나의 ALU 내의 벡터 가산기는 제 1 레지스터(102)에 저장된 경로 매트릭 값들의 제 1 세트를 제 2 레지스터(104)에 저장된 브랜치 매트릭 값들에 가산함으로써 제 1 결과들을 생성할 수 있다. 명령을 실행하는 단계(420)는 또한 424에서 제 2 결과들을 생성하기 위하여 제 3 레지스터로부터의 제 3 값들로부터 제 2 값들을 감산하는 단계를 포함할 수 있다. 예를 들어, 도 3에서, 실행 유닛들(318-324) 중 하나의 ALU 내의 벡터 감산기는 제 3 레지스터(106)에 저장된 경로 매트릭 값들의 제 2 세트로부터 제 2 레지스터(104)에 저장된 브랜치 매트릭 값들을 감산함으로써 제 2 결과들을 생성할 수 있다. 명령을 실행하는 단계(420)는 또한 426에서, 비교 결과들을 생성하기 위하여 제 1 결과들을 제 2 결과들에 비교하는 단계를 포함할 수 있다. 예를 들어, 도 3에서, 실행 유닛들(318-324) 중 하나의 ALU 내의 비교기는 결과들 중 어느 것이 더 큰지를 결정하고 보다 큰 결과를 가리키는 신호를 프리디케이트 레지스터(210)에 제공하도록 제 1 결과들을 제 2 결과들에 비교할 수 있다. 프리디케이트 레지스터(210)에 저장된 정보는 이전 상태가 짝수 상태(2S)에 대응하는지 홀수 상태(2S+1)에 대응하는지를 예측하기 위하여 사용될 수 있다.
- [0039] [0043] 도 4의 방법(400)은 필드 프로그램 가능 게이트 어레이(FPGA) 디바이스, 주문형 집적 회로(ASIC), 중앙 프로세싱 유닛(CPU) 같은 프로세싱 유닛, 디지털 신호 프로세서(DSP), 제어기, 다른 하드웨어 디바이스, 펌웨어, 또는 이들의 임의의 결합에 의해 구현될 수 있다. 예로서, 도 4의 방법(400)은 도 3 및 도 5에 관하여 설명된 바와 같이, 프로그램 코드 또는 명령들을 실행하는 프로세서 또는 이들의 컴포넌트에 의해 수행될 수 있

다.

- [0040] [0044] 도 5를 참조하여, 제 1 레지스터(102), 제 2 레지스터(104), 및 제 3 레지스터(106)를 식별하는 명령(100)(예를 들어, 가산-비교-선택 명령)을 저장하는 메모리(532)를 포함하는 무선 디바이스의 특정 예시적 실시예의 블록도가 도시되고 일반적으로 500으로 표기된다. 디바이스(500)는 메모리(532)에 커플링된, 디지털 신호 프로세서(DSP) 같은 프로세서(564)를 포함한다. 명령 캐시(예를 들어, 예시적 명령 캐시(310))는 또한 메모리(532) 및 프로세서(564)에 커플링될 수 있다. 특정 실시예에서, 메모리(532)는 명령(100) 같은 프로세서(564)에 의해 실행할 수 있는 명령들을 저장하고 명령 캐시(310)에 전송한다.
- [0041] [0045] 도 5는 또한 프로세서(564) 및 디스플레이(528)에 커플링된 디스플레이 제어기(526)를 도시한다. 코더/디코더(CODEC: 코덱)(534)는 또한 프로세서(564)에 커플링될 수 있다. 스피커(536) 및 마이크로폰(538)은 코덱(534)에 커플링될 수 있다. 도 5는 또한, 무선 제어기(540)가 프로세서(564) 및 무선 안테나(542)에 커플링될 수 있는 것을 가리킨다. 특정 실시예에서, 프로세서(564), 디스플레이 제어기(526), 메모리(532), 코덱(534), 및 무선 제어기(540)는 패키지형 시스템 또는 시스템-온-칩 디바이스(522)에 포함된다. 특정 실시예에서, 명령(100)을 포함하는 메모리(532) 또는 명령 캐시(310)는 전자 디바이스(예를 들어, 무선 디바이스(500))에서 오디오 또는 비디오 디코딩 동안 컨벌루션된 디코딩을 수행하기 위한 명령(100)을 사용하는 코덱(534)에 의해 액세스할 수 있다. 특정 실시예에서, 코덱(534)은 비터비 디코더를 포함한다.
- [0042] [0046] 프로세싱될 때, 명령(100)은 프로세서(564)로 하여금 제 1 레지스터(102)에 저장된 경로 매트릭 값들의 제 1 세트를 제 2 레지스터(104)에 저장된 브랜치 매트릭 값들에 가산함으로써 제 1 결과들을 생성하게 한다. 명령(100)은 또한, 프로세서(564)로 하여금 제 3 레지스터(106)에 저장된 경로 매트릭 값들의 제 2 세트로부터 제 2 레지스터(104)에 저장된 브랜치 매트릭 값들을 감산함으로써 제 2 결과들을 생성하게 한다. 제 1 및 제 2 결과들을 생성할 때, 명령(100)은 프로세서(564)로 하여금 결과들 중 어느 것이 보다 큰지를 결정하고 보다 큰 결과를 가리키는 신호를 프리디케이트 레지스터(210)에 제공하기 위하여 제 1 결과들을 제 2 결과들에 비교하게 할 수 있다. 비교에 기초하여, 제 1 레지스터(102)는 제 1 결과들 또는 제 2 결과들 중 어느 하나로 업데이트될 수 있다. 예를 들어, 제 1 결과들이 제 2 결과들보다 크면, 제 1 결과들은 제 1 레지스터(102)에 저장될 수 있다. 대안적으로, 만약 제 2 결과들이 제 1 결과들보다 크면, 제 2 결과들은 제 1 레지스터(102)에 저장될 수 있다.
- [0043] [0047] 특정 실시예에서, 입력 디바이스(530) 및 전원(544)은 시스템-온-칩 디바이스(522)에 커플링된다. 게다가, 특정 실시예에서, 도 5에 예시된 바와 같이, 디스플레이(528), 입력 디바이스(530), 스피커(536), 마이크로폰(538), 무선 안테나(542), 및 전원(544)은 시스템-온-칩 디바이스(522) 외부에 있다. 그러나, 디스플레이(528), 입력 디바이스(530), 스피커(536), 마이크로폰(538), 무선 안테나(542), 및 전원(544)의 각각은 인터페이스 또는 제어기 같은 시스템-온-칩 디바이스(522)의 컴포넌트에 커플링될 수 있다.
- [0044] [0048] 도 5가 무선 통신 디바이스, 프로세서(564) 같은 가산-비교-선택 명령을 실행하기 위한 프로세서, 메모리(532), 및 가산-비교-선택 명령을 저장하는 명령 캐시(310)를 도시하지만, 이들이 대안적으로 셋톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 개인용 휴대 정보 단말기(PDA), 고정 위치 데이터 유닛, 또는 컴퓨터에 통합될 수 있다는 것이 주의되어야 한다.
- [0045] [0049] 설명된 실시예들과 함께, 제 1 레지스터, 제 2 레지스터, 및 제 3 레지스터를 식별하는 명령을 저장하기 위한 수단을 포함하는 장치가 개시된다. 예를 들어, 저장하기 위한 수단은 도 3의 메모리(302), 도 5의 메모리(532), 도 3 및 도 5의 명령 캐시(310), 명령을 저장하도록 구성된 하나 또는 그 초과와 다른 디바이스들, 또는 이들의 임의의 결합일 수 있다.
- [0046] [0050] 장치는 또한 명령을 실행하기 위한 수단을 포함할 수 있다. 예를 들어, 명령을 실행하기 위한 수단은 도 2의 벡터 가산기들, 도 2의 벡터 감산기들, 도 2의 비교기들, 도 2의 선택 디바이스들, 도 3의 실행 유닛들(318, 320, 322 및 324) 중 하나 또는 그 초과, 도 5의 프로세서(564), 명령을 실행하도록 구성된 하나 또는 그 초과와 다른 디바이스들, 또는 이들의 임의의 결합을 포함할 수 있다.
- [0047] [0051] 장치는 또한 제 1 결과들을 생성하기 위하여 제 1 레지스터로부터의 제 1 값들을 제 2 레지스터로부터의 제 2 값들에 가산하기 위한 수단을 포함할 수 있다. 예를 들어, 가산하기 위한 수단은 도 2의 벡터 가산기들, 도 3의 실행 유닛들(318, 320, 322 및 324) 중 하나 또는 그 초과, 도 5의 프로세서(564), 값들을 가산하도록 구성된 하나 또는 그 초과와 다른 디바이스들, 또는 이들의 임의의 결합을 포함할 수 있다.
- [0048] [0052] 장치는 또한 제 2 결과들을 생성하기 위하여 제 3 레지스터로부터의 제 3 값들로부터 제 2 값들을 감산

하기 위한 수단을 포함할 수 있다. 예를 들어, 가산하기 위한 수단은 도 2의 벡터 감산기들, 도 3의 실행 유닛들(318, 320, 322 및 324) 중 하나 또는 그 초과, 도 5의 프로세서(564), 값들을 감산하도록 구성된 하나 또는 그 초과, 다른 디바이스들, 또는 이들의 임의의 결합을 포함할 수 있다.

[0049] [0053] 장치는 또한 제 1 결과들을 제 2 결과들에 비교하기 위한 수단을 포함할 수 있다. 예를 들어, 비교하기 위한 수단은 도 2의 비교기들, 도 3의 실행 유닛들(318, 320, 322 및 324) 중 하나 또는 그 초과, 도 5의 프로세서(564), 결과들을 비교하도록 구성된 하나 또는 그 초과, 다른 디바이스들, 또는 이들의 임의의 결합을 포함할 수 있다.

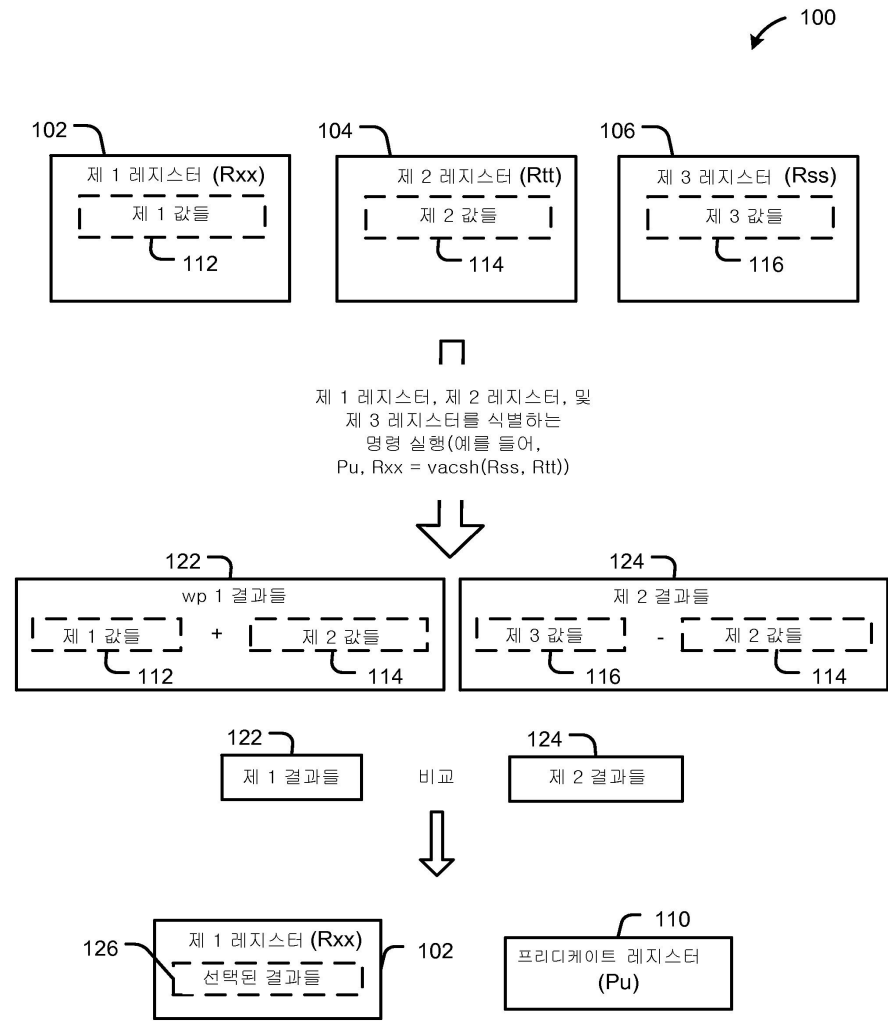
[0050] [0054] 당업자들은 추가로, 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적 논리 블록들, 구성들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 둘 다의 결합들로서 구현될 수 있다는 것을 인식할 것이다. 다양한 예시적 컴포넌트들, 블록들, 구성들, 모듈들, 회로들, 및 단계들은 그들의 기능성 측면에서 일반적으로 설명되었다. 그런 기능성이 하드웨어로 구현되는지 소프트웨어로 구현되는지는 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약들에 따른다. 당업자들은 각각의 특정 애플리케이션에 대하여 가변하는 방식으로 설명된 기능성을 구현할 수 있지만, 그런 구현 판정들은 본 개시의 범위에서 벗어남을 유발하는 것으로 해석되지 않아야 한다.

[0051] [0055] 본원에 개시된 실시예들과 관련하여 설명된 방법 또는 알고리즘의 단계들은 하드웨어, 프로세서에 의해 실행되는 소프트웨어 모듈, 또는 두 개의 결합으로 직접 구현될 수 있다. 소프트웨어 모듈은 RAM(random access memory), 플래쉬 메모리, ROM(read-only memory), PROM(programmable read-only memory), EPROM(erasable programmable read-only memory), EEPROM(electrically erasable programmable read-only memory), 레지스터, 하드디스크, 소거가능 디스크, CD-ROM(compact disc read-only memory), 또는 기술 분야에 공지된 저장 매체의 임의의 다른 형태에 상주할 수 있다. 예시적인 비일시적(예를 들어, 유형의) 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하여 저장 매체에 정보를 기록하도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서의 구성요소일 수 있다. 이러한 프로세서 및 저장 매체는 주문형 집적 회로(ASIC)에 상주할 수 있다. ASIC은 컴퓨팅 디바이스 또는 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 컴퓨팅 디바이스 또는 사용자 단말에서 별개의 컴포넌트들로서 상주할 수 있다.

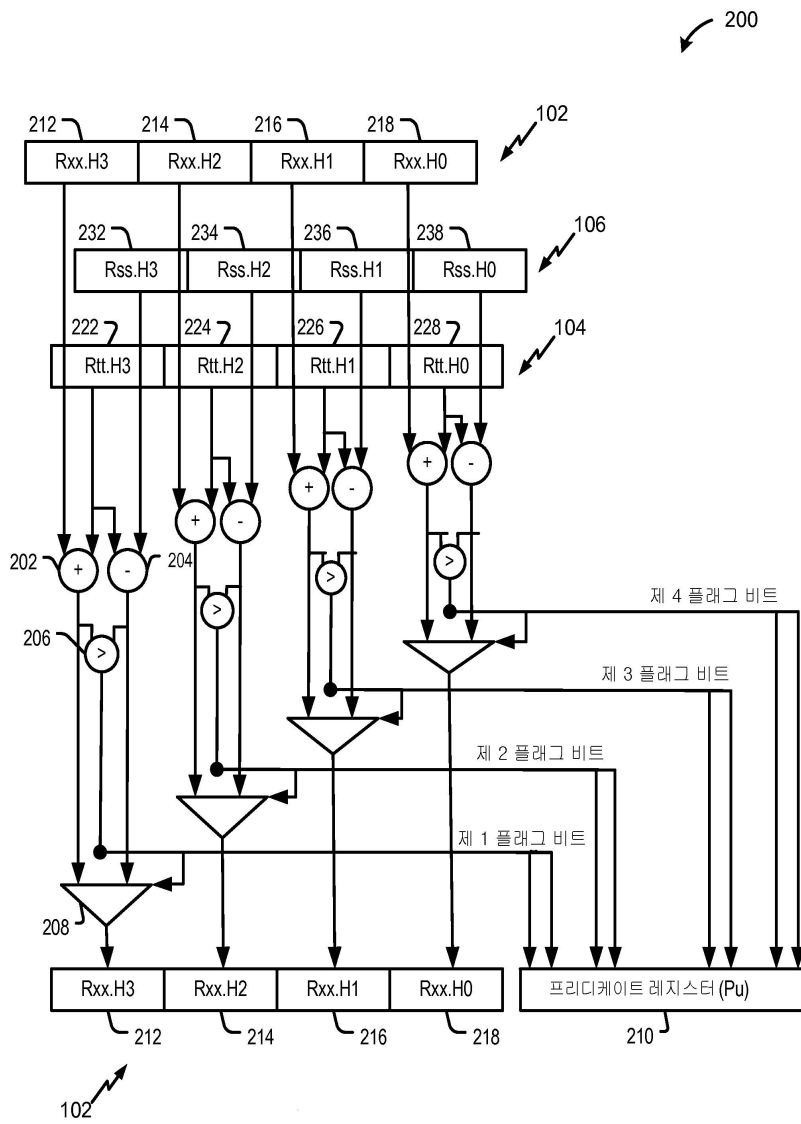
[0052] [0056] 개시된 실시예들의 이전 설명은 당업자가 개시된 실시예들을 만들거나 이용하게 하도록 제공된다. 이러한 실시예들에 대한 다양한 변형들은 당업자들에게 쉽게 명백할 것이며 본원에 정의된 원리들은 본 개시의 범위에서 벗어남이 없이 다른 실시예들에 적용될 수 있다. 따라서, 본 개시는 여기에 본원에 도시된 실시예들로 한정되는 것이 아니라, 다음 청구범위에 의해 정해지는 바와 같은 원리들 및 신규한 특징들과 가능한 일관되는 최광의의 범위에 부합되도록 의도된다.

도면

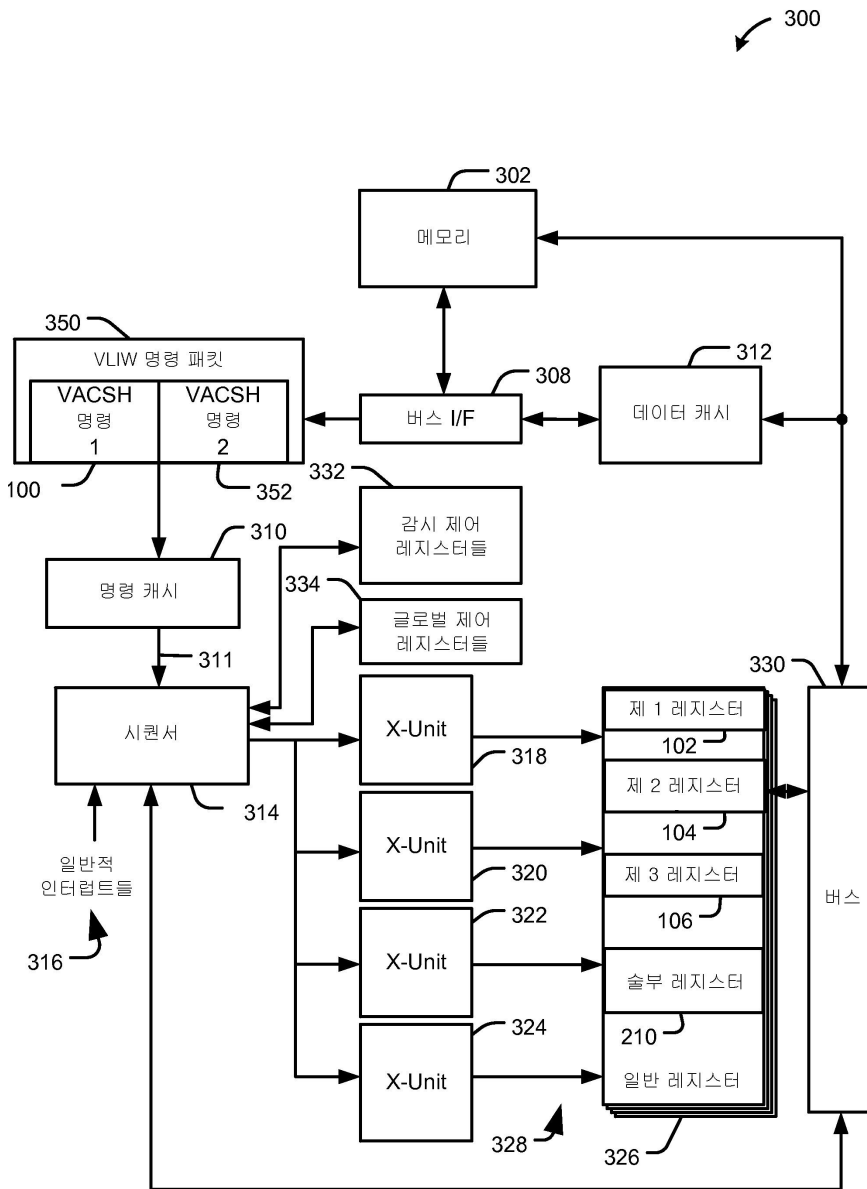
도면1



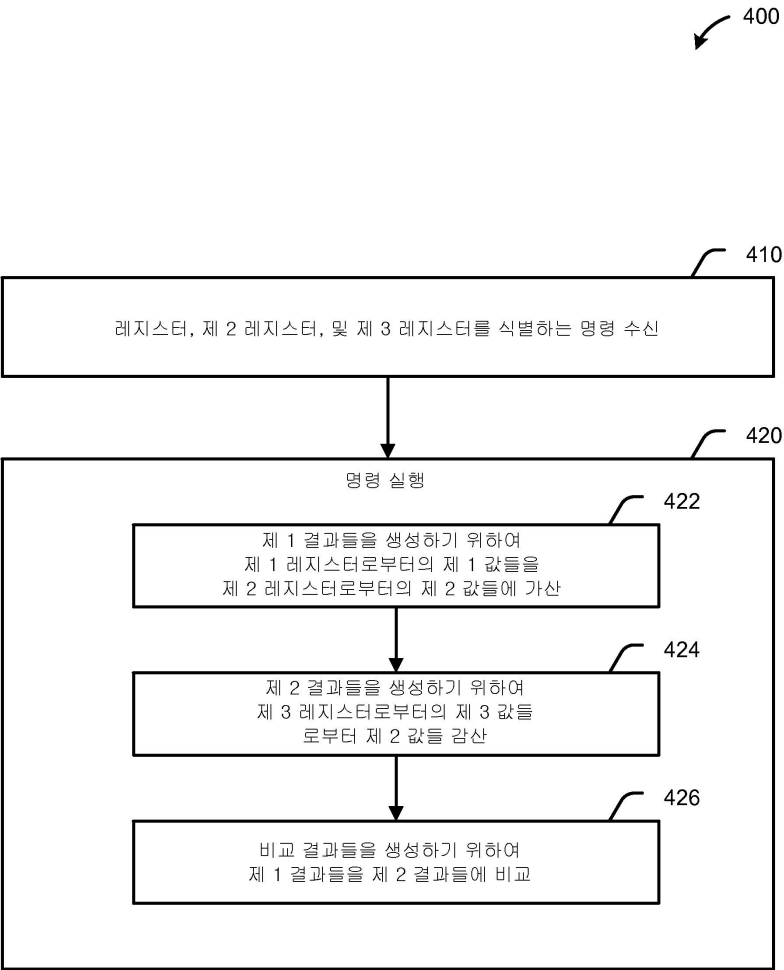
도면2



도면3



도면4



도면5

