



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H01L 21/8247 (2006.01)

H01L 27/115 (2006.01)

G11C 16/00 (2006.01)

(11) 공개번호 10-2006-0122772

(43) 공개일자 2006년11월30일

(21) 출원번호 10-2006-0047521

(22) 출원일자 2006년05월26일

심사청구일자 2006년05월26일

(30) 우선권주장 JP-P-2005-00155387 2005년05월27일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바
일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고

(72) 발명자 다케우찌 겐
일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시끼가이샤 도시바지적
재산본부 내

(74) 대리인 장수길
구영창

전체 청구항 수 : 총 20 항

(54) 반도체 기억 장치

(57) 요약

NAND 셀 유닛을 배열한 반도체 기억 장치에 있어서, 비트선 콘택트 위치를 사이에 두고 인접하는 블록의 2개의 제1 선택 게이트선은, 2개의 제1 선택 게이트선이 상호 접속된, 소정 피치로 배치된 제1 연결부를 갖도록 형성되고, 소스선 콘택트 위치를 사이에 두고 인접하는 블록의 2개의 제2 선택 게이트선은, 상기 제1 연결부와 실질적으로 동일 피치로 배치된, 2개의 제2 선택 게이트선이 상호 접속된 제2 연결부를 갖도록 형성되고, 또한 상기 제1 및 제2 선택 배선은 각각 상기 제1 및 제2 연결부에서 상기 제1 및 제2 선택 게이트선에 콘택트한다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 기판과,

상기 반도체 기관 상에, 직렬 접속된 복수의 불휘발성 메모리 셀과 그 양단에 배치된 제1 및 제2 선택 게이트 트랜지스터를 구비한 NAND 셀 유닛이 배열되고, 제1 방향으로 배열된 NAND 셀 유닛의 집합을 포함하는 블록이, 인접 블록의 제1 선택 게이트 트랜지스터의 공유 드레인을 비트선 컨택트로 하고, 다음의 인접 블록의 제2 선택 게이트 트랜지스터의 공유 소스를 소스선 컨택트로 하도록, 제2 방향으로 복수개 배열된 셀 어레이와,

상기 셀 어레이의 제1 방향으로 길게 형성되고, 제1 방향으로 배열하는 복수의 메모리 셀의 제어 게이트가 공통 접속된 워드선과,

상기 셀 어레이의 제1 방향으로 길게 형성되고, 제1 방향으로 배열하는 복수의 제1 선택 게이트 트랜지스터의 게이트가 공통 접속된 제1 선택 게이트선과,

상기 셀 어레이의 제1 방향으로 길게 형성되고, 제1 방향으로 배열하는 복수의 제2 선택 게이트 트랜지스터의 게이트가 공통 접속된 제2 선택 게이트선과,

상기 셀 어레이의 상기 제1 및 제2 선택 게이트선 상부에 각각 형성된 제1 및 제2 선포 배선을 구비하고,

비트선 컨택트 위치를 사이에 두고 인접하는 블록의 2개의 제1 선택 게이트선은, 2개의 제1 선택 게이트선이 상호 접속된, 소정 피치로 배치된 제1 연결부를 갖도록 형성되고,

소스선 컨택트 위치를 사이에 두고 인접하는 블록의 2개의 제2 선택 게이트선은, 상기 제1 연결부와 실질적으로 동일 피치로 배치된, 2개의 제2 선택 게이트선이 상호 접속된 제2 연결부를 갖도록 형성되고, 또한

상기 제1 및 제2 선포 배선은 각각 상기 제1 및 제2 연결부에서 상기 제1 및 제2 선택 게이트선에 콘택트하는 반도체 기억 장치.

청구항 2.

제1항에 있어서,

상기 셀 어레이의 제2 방향으로 복수 블록에 걸쳐 연속하고, 제1 선택 게이트 트랜지스터의 공유 드레인에 접속되는 비트선과,

상기 셀 어레이의 제2 선택 게이트 트랜지스터의 공유 소스에 공통 접속되는 소스선과,

상기 셀 어레이의 제2 방향으로 연속하여 형성되고, 상기 제1 및 제2 선택 게이트선의 적어도 한쪽의 위치에서 상기 반도체 기관에 콘택트하는 웰 배선

을 더 구비한 반도체 기억 장치.

청구항 3.

제2항에 있어서,

상기 웰 배선은, 제2 선택 게이트선의 연결부의 중간 위치에 상기 반도체 기관과의 콘택트부가 배치되고, 그 콘택트부에서 제2 선택 게이트선은 분리되어 있는 반도체 기억 장치.

청구항 4.

제2항에 있어서,

상기 웰 배선은, 제1 및 제2 선택 게이트선 각각의 연결부의 중간 위치에 상기 반도체 기판과 콘택트하는 제1 및 제2 콘택트부가 배치되고, 제1 및 제2 선택 게이트선은 제1 및 제2 콘택트부에서 각각 분리되어 있는 반도체 기억 장치.

청구항 5.

제2항에 있어서,

상기 제1 및 제2 선택 배선은, 상기 셀 어레이를 피복하는 제1 층간 절연막 상에 형성되는 제1층 금속 배선이며,

상기 비트선은, 제1층 금속 배선층을 피복하는 제2 층간 절연막 상에 형성되는 제2층 금속 배선이고,

상기 웰 배선은, 제2층 또는 그보다 상층의 금속 배선인 반도체 기억 장치.

청구항 6.

제3항에 있어서,

상기 제1 선택 게이트선의 제1 연결부는 상기 웰 배선이 통과하는 위치에도 더 배치되고, 상기 제2 선택 게이트선의 제2 연결부의 1/2의 피치로 배열되는

반도체 기억 장치.

청구항 7.

제1항에 있어서,

상기 메모리 셀은, 제1층 다결정 실리콘막으로 이루어지는 부유 게이트와, 제2층 다결정 실리콘막으로 이루어지는 제어 게이트를 갖고, 제1 방향으로 배열하는 메모리 셀의 제어 게이트가 연속하는 워드선으로서 형성되어 있는 반도체 기억 장치.

청구항 8.

제7항에 있어서,

상기 제1 및 제2 선택 게이트선은, 상기 제1층 및 제2층 다결정 실리콘의 적층막에 의해 형성되어 있는 반도체 기억 장치.

청구항 9.

제7항에 있어서,

상기 제2 선택 게이트 트랜지스터의 공통 소스에 콘택트 하는 소스선은, 제3층 다결정 실리콘막에 의해 형성되고,

상기 비트선 콘택트부에 상기 제3층 다결정 실리콘막에 의한 콘택트 플러그가 매립되어 있는 반도체 기억 장치.

청구항 10.

제8항에 있어서,

상기 제1 및 제2 선택 게이트선의 적층막은, 상기 제1 및 제2 연결부의 피치보다 작은 피치로 상호 단락되어 있는 반도체 기억 장치.

청구항 11.

반도체 기판과,

상기 반도체 기판에 배열 형성되어 각각 직렬 접속된 복수의 메모리 셀과 그 양단에 배치된 제1 및 제2 선택 게이트 트랜지스터를 갖는 NAND 셀 유닛을 갖고, 각 블록이 제2 방향으로 배열된 NAND 셀 유닛의 집합을 포함하여 제1 방향으로 배열하는 제1, 제2 및 제3의 적어도 3개의 블록을 갖는 셀 어레이와,

상기 셀 어레이의 제1 방향으로 연속하여 형성되고, 상기 제1 및 제2 블록 사이에 배열된 비트선 콘택트부에서 제1 및 제2 블록의 제1 선택 게이트 트랜지스터의 공통 드레인에 콘택트하는 비트선과,

상기 제2 및 제3 블록 사이에 배열된 소스선 콘택트부에서 제2 및 제3 블록의 제2 선택 게이트 트랜지스터의 공통 소스에 콘택트하는 공통 소스선과,

상기 셀 어레이의 제2 방향으로 연속하여 형성되고, 복수의 메모리 셀의 제어 게이트가 공통 접속되는 워드선과,

상기 셀 어레이에 상기 워드선과 평행하게 배치되고, 복수의 제1 선택 게이트 트랜지스터의 게이트가 공통 접속되는 제1 선택 게이트선과,

상기 셀 어레이에 상기 워드선과 평행하게 배치되고, 복수의 제2 선택 게이트 트랜지스터의 게이트가 공통 접속되는 제2 선택 게이트선과,

상기 제1 및 제2 선택 게이트선 상에 각각 배치된, 제1 및 제2 선폴 배선과,

상기 셀 어레이의 제1 방향으로 연속하여 형성되고, 상기 비트선 콘택트부 및 소스선 콘택트부 중 적어도 한 쪽으로 나열하여 배치된 웰 배선 콘택트부에서 상기 반도체 기판과 콘택트하는 웰 배선을 구비하고,

상기 비트선 콘택트부를 사이에 두고 인접하는 2개의 제1 선택 게이트선이, 제1 피치로 배열된 제1 연결부를 갖는 사다리 패턴을 구성하도록 형성되고,

상기 소스선 콘택트부를 사이에 두고 인접하는 2개의 제2 선택 게이트선이, 제2 피치로 배열된 제2 연결부를 갖는 사다리 패턴을 구성하도록 형성되고,

상기 제1 및 제2 선폴 배선은 각각 상기 제1 및 제2 연결부에서 제1 및 제2 선택 게이트선에 콘택트하는 반도체 기억 장치.

청구항 12.

제11항에 있어서,

상기 웰 콘택트부는, 제2 선택 게이트선의 제2 연결부의 중간 위치에 배치되고, 상기 제2 선택 게이트선은 여기서 분리되어 있는 반도체 기억 장치.

청구항 13.

제11항에 있어서,

상기 웰 배선은, 상기 비트선 콘택트부 및 소스선 콘택트부와 나란히 각각 위치하는 제1 및 제2 웰 배선 콘택트부를 갖고,

상기 제1 웰 배선 콘택트부는, 상기 제1 선택 게이트선의 제1 연결부의 중간 위치에, 상기 제2 웰 배선 콘택트부는, 상기 제2 선택 게이트선의 제2 연결부의 중간 위치에 각각 배치되고,

상기 제1 및 제2 선택 게이트선은 각각 상기 제1 및 제2 웰 배선 콘택트부에서 분리되어 있는 반도체 기억 장치.

청구항 14.

제11항에 있어서,

상기 제1 및 제2 선택 배선은, 상기 셀 어레이를 피복하는 제1 층간 절연막 상에 형성된 제1 금속층에 의해 형성되고,

상기 비트선은, 상기 선택 배선을 피복하는 제2 층간 절연막 상에 형성된 제2 금속층에 의해 형성되고,

상기 웰 배선은, 상기 제2 또는 그보다 상층의 금속층에 의해 형성되어 있는 반도체 기억 장치.

청구항 15.

제11항에 있어서,

상기 제1 피치와 제2 피치는 동일하게 설정되어 있는 반도체 기억 장치.

청구항 16.

제12항에 있어서,

상기 제1 선택 게이트선의 제1 연결부는 상기 웰 배선이 통과하는 위치에도 더 배치되고, 상기 제1 피치가 제2 피치의 1/2로 설정되어 있는 반도체 기억 장치.

청구항 17.

제11항에 있어서,

상기 메모리 셀은, 제1층 다결정 실리콘막으로 이루어지는 부유 게이트와, 제2층 다결정 실리콘막으로 이루어지는 제어 게이트를 갖고, 제1 방향으로 배열하는 메모리 셀의 제어 게이트가 연속하는 워드선으로서 형성되어 있는 반도체 기억 장치.

청구항 18.

제17항에 있어서,

상기 제1 및 제2 선택 게이트선은, 상기 제1층 및 제2층 다결정 실리콘의 적층막에 의해 형성되어 있는 반도체 기억 장치.

청구항 19.

제17항에 있어서,

상기 소스선은, 제3층 다결정 실리콘막에 의해 형성되고,

상기 비트선 콘택트부에 상기 제3층 다결정 실리콘막에 의한 콘택트 플러그가 매립되어 있는 반도체 기억 장치.

청구항 20.

제18항에 있어서,

상기 제1 및 제2 선택 게이트선의 적층막은, 상기 제1 및 제2 피치보다 작은 피치로 상호 단락되어 있는 반도체 기억 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 출원은 2005년 5월 27일 출원된 일본 특허 출원 제2005-155387호에 기초한 것으로 그 우선권 주장을 하며, 그 전체 내용은 본 명세서에서 참조로서 포함된다.

본 발명은, 반도체 기억 장치에 관한 것으로, 특히 NAND 셀 유닛을 배열하여 구성되는 셀 어레이를 갖는 불휘발성 반도체 기억 장치(EEPROM)에 관한 것이다.

EEPROM의 하나로서, NAND형 플래시 메모리가 알려져 있다. NAND형 플래시 메모리는, 복수의 메모리 셀이 소스/드레인 확산층을 인접하는 것끼리 공유하도록 직렬 접속된 NAND 셀 유닛을 이용하여 구성된다. NAND 셀 유닛의 양단에는, NAND 셀 유닛을 비트선 및 소스선에 각각 선택적으로 접속하기 위한 제1 및 제2 선택 게이트 트랜지스터가 배치된다.

메모리 셀은, 전하 축적층으로서의 부유 게이트와 제어 게이트가 적층된 MOS 트랜지스터 구조를 갖는다. 메모리 셀의 제어 게이트는, 한 방향으로 연속적으로 패턴 형성되어, 워드선으로 된다. 제1 및 제2 선택 게이트 트랜지스터의 게이트 전극은 각각, 워드선과 병행하는 제1 및 제2 선택 게이트선으로서 패턴 형성된다.

비트선은, 워드선과 직교하는 방향으로 연속하도록 형성되고, 제1 선택 게이트 트랜지스터의 드레인 확산층에 콘택트한다. NAND 셀 유닛의 소스측(제2 선택 게이트 트랜지스터의 소스 확산층)은, 공통 소스선에 접속된다.

워드선을 공유하는 NAND 셀 유닛의 집합은, 통상 데이터 소거의 단위로 되는 "블록"을 구성한다. 통상 비트선의 방향으로 비트선을 공유하는 복수의 블록이 배열된다. 이 경우 복수의 블록은, 인접하는 제1 및 제2 블록이 비트선 콘택트를 공유하고, 인접하는 제2 및 제3 블록이 소스선 콘택트를 공유하도록 배열된다. 따라서, 비트선 콘택트를 사이에 두고 인접 2 블록의 제1 선택 게이트선이 인접하고, 소스선 콘택트를 사이에 두고 인접 2 블록의 제2 선택 게이트가 인접한다.

셀 어레이의 미세화와 고밀도화가 진행하여, 워드선이 좁고 또한 길어짐에 따라, 워드선 지연이 커진다. 워드선 지연을 허용하면서, 고속 판독을 가능하게 하기 위해서는, 제1 및 제2 선택 게이트선을 충분히 저저항으로 하여, 그 한 쪽의 온 구동의 타이밍을 데이터 센스의 기준 타이밍으로 하는 방식이 바람직하다. 워드선은 그 기준 타이밍보다 먼저 충전을 개시하도록 하면, 워드선 지연의 영향을 제거할 수 있기 때문이다.

발명이 이루고자 하는 기술적 과제

전술한 바와 같은 판독 타이밍 제어를 행하기 위해서는, 기본적으로 워드선과 마찬가지로 다결정 실리콘 배선 구조를 갖는 제1 및 제2 선택 게이트선을 저저항으로 하는 것이 필요하며, 이것에는 두가지 방법이 이용된다. 하나는, 제1 및 제2 선택 게이트선 폭을 워드선보다 크게 하는 것이다. 또 하나는, 다결정 실리콘으로 이루어지는 제1 및 제2 선택 게이트선을 보강하는 금속막으로 이루어지는 섀트 배선을 형성하는 것이다.

제1 및 제2 선택 게이트선의 섀트 배선 구조로서, 비트선 컨택트층(드레인층)의 제1 선택 게이트선에 대해서는, 인접 블록으로 공통 접속되도록 하고, 그 공통 접속부를 섀트부로 하는 금속 배선을 형성하고, 소스선 컨택트층(소스층)의 제2 선택 게이트선에 대해서는, 인접 블록에 의해 따로따로 패틴 형성하고, 각각에 섀트 배선을 형성하는 방법이 제안되어 있다(특허 문헌1 참조).

이와 같이 제1 및 제2 선택 게이트선의 구조를 서로 다르게 하는 것은, 비선택 블록에서 필요없는 비트선 전류가 흐르는 사태를 확실하게 방지하기 위해서이다. 즉, 제2 선택 게이트 트랜지스터의 온/오프에 의해 NAND 셀 유닛의 비트선과의 접속/비접속을 결정한다고 하는 사상을 이용하는 경우, 인접 블록의 인접하는 제2 선택 게이트선을 독립적으로 형성하고, 그들이 독립적으로 전위 제어되도록 하면 된다. 이와 같이, 인접하는 제2 선택 게이트선을 독립적으로 형성하면, 인접하는 제1 선택 게이트선을 서로 단락해도, 비선택 블록으로 필요없는 비트선 전류가 흐르는 사태는 방지된다.

발명의 구성

본 발명의 일 양태에 의한 반도체 기억 장치는,

반도체 기판과,

상기 반도체 기판 상에, 직렬 접속된 복수의 불휘발성 메모리 셀과 그 양단에 배치된 제1 및 제2 선택 게이트 트랜지스터를 구비한 NAND 셀 유닛이 배열되고, 제1 방향으로 배열된 NAND 셀 유닛의 집합을 포함하는 블록이, 인접 블록의 제1 선택 게이트 트랜지스터의 공유 드레인을 비트선 컨택트로 하고, 다음의 인접 블록의 제2 선택 게이트 트랜지스터의 공유 소스를 소스선 컨택트로 하도록, 제2 방향으로 복수개 배열된 셀 어레이와,

상기 셀 어레이의 제1 방향으로 길게 형성되고, 각각에 제1 방향으로 배열하는 메모리 셀의 제어 게이트가 공통 접속된 워드선과,

상기 셀 어레이의 제1 방향으로 길게 형성되고, 각각에 제1 방향으로 배열하는 제1 선택 게이트 트랜지스터의 게이트가 공통 접속된 제1 선택 게이트선과,

상기 셀 어레이의 제1 방향으로 길게 형성되고, 각각에 제1 방향으로 배열하는 제2 선택 게이트 트랜지스터의 게이트가 공통 접속된 제2 선택 게이트선과,

상기 셀 어레이의 상기 제1 및 제2 선택 게이트선 상부에 각각 형성된 제1 및 제2 섀트 배선을 구비하고,

비트선 컨택트 위치를 사이에 두고 인접하는 블록의 2개의 제1 선택 게이트선은, 2개의 제1 선택 게이트선이 상호 접속된, 소정 피치로 배치된 제1 연결부를 갖도록 형성되고,

소스선 컨택트 위치를 사이에 두고 인접하는 블록의 2개의 제2 선택 게이트선은, 상기 제1 연결부와 실질적으로 동일 피치로 배치된, 2개의 제2 선택 게이트선이 상호 접속된 제2 연결부를 갖도록 형성되고, 또한

상기 제1 및 제2 섀트 배선은 각각 상기 제1 및 제2 연결부에서 상기 제1 및 제2 선택 게이트선에 콘택트한다.

이하, 도면을 참조하여, 본 발명의 실시 형태를 설명한다.

도 1은 본 발명의 일 실시 형태에 따른 NAND형 플래시 메모리의 셀 어레이의 레이아웃을 나타내고, 도 2는 그 셀 어레이의 등가 회로를 나타내고 있다. 도 3, 도 4, 도 5, 도 6 및 도 7은, 각각 도 1의 I-I', II-II', III-III', IV-IV', 및 V-V' 단면을 도시하고 있다.

셀 어레이는, 도 2에 도시한 바와 같이 NAND 셀 유닛 NU를 매트릭스 형상으로 배열하여 구성된다. 각 NAND 셀 유닛은, 복수개 직렬 접속된 전기적 재기입 가능한 불휘발성 메모리 셀 M0-M31과 그 양단부를 각각 비트선 BL 및 소스선 CELSRC에 접속하기 위한 제1 및 제2 선택 게이트 트랜지스터 S1 및 S2를 갖는다.

NAND 셀 유닛 내의 메모리 셀의 제어 게이트는 서로 다른 워드선 WL0-WL31에 접속된다. 제1 및 제2 선택 게이트 트랜지스터 S1 및 S2의 게이트는 각각, 워드선과 병행하는 제1 및 제2 선택 게이트선 SGD 및 SGS에 접속된다. 제1 및 제2 선택 게이트선 SGD 및 SGS는, 후에 설명한 바와 같이, 메모리 셀의 부유 게이트와 제어 게이트로 되는 제1층 다결정 실리콘막과 제2층 다결정 실리콘막의 적층막에 의해 형성되는 게이트 배선인데, 선택 게이트 트랜지스터의 특히 오프 특성을 양호하게 유지하기 위해서, 그 폭은 워드선 WL보다 충분히 넓게 한다.

워드선을 공유하는 NAND 셀 유닛의 집합은, 데이터 소거의 단위로 되는 "블록"을 구성한다. 도 1 및 도 2에 도시한 바와 같이, 비트선 BL의 방향으로 비트선을 공유하는 복수의 블록 BLK(BLK0, BLK1, BLK2, ...)가 배치된다. 인접하는 블록 BLK0, BLK1의 각각 제1 선택 게이트선 SGD 사이에, 비트선 콘택트 CT1이 배치되어, 인접하는 블록 BLK1, BLK2의 각각 제2 선택 게이트선 SGS 사이에, 소스선 콘택트 CT2가 배치된다. 즉, 인접하는 블록이 비트선 콘택트 CT1 및 소스선 콘택트 CT2를 공유하도록, 복수 블록이 배치된다.

비트선 콘택트 CT1을 사이에 두고 인접하는 2개의 제1 선택 게이트선 SGD는, 도 1에 도시한 바와 같이 후에 설명하는 섀트 배선 A1, A2를 제1 선택 게이트선 SGD에 콘택트시키기 위한 연결부 A3을 갖는다. 연결부 A3은, 워드선의 방향으로 소정의 피치 P1로 배치된다. 즉 인접하는 2개의 선택 게이트선 SGD는, 사다리 형상으로 패턴 형성된다.

소스선 콘택트 CT2를 사이에 두고 인접하는 2개의 제2 선택 게이트선 SGS도, 마찬가지로, 섀트 배선 B1, B2를 제2 선택 게이트선 SGS에 콘택트시키기 위한 연결부 B3을 갖는다. 연결부 B3은, 연결부 A2와 동일 피치 P1로 배치된다. 즉 인접하는 2개의 선택 게이트선 SGS도 마찬가지로, 사다리 형상으로 패턴 형성된다.

제1 선택 게이트선 SGD의 상부에, 워드선 상부에 연장하는 폭을 갖고, 이것을 보강하는 금속 배선(섀트 배선) A1, A2가 배치된다. 섀트 배선 A1, A2 사이는, 연결부 A3에서 서로 단락되고 또한, 여기에 섀트 배선 A1, A2를 제1 선택 게이트선 SGD에 접속하는 섀트 배선 콘택트부 CT3이 형성된다.

제2 선택 게이트선 SGS의 상부에도 마찬가지로, 워드선 상부에 연장하는 폭을 갖고, 이것을 보강하는 금속 배선(섀트 배선) B1, B2가 배치된다. 섀트 배선 B1, B2 사이에는, 연결부 B3에서 서로 단락되고 또한, 여기에 섀트 배선 B1, B2를 제2 선택 게이트선 SGS에 접속하는 섀트 배선 콘택트부 CT4가 형성된다.

도 1에 도시한 바와 같이, 셀 어레이 상에는 또한, 셀 어레이가 형성되는 p형 웰에 콘택트하는 금속 배선인 웰 배선 CPWEL이 형성된다. 웰 배선 CPWEL은, 섀트 배선 콘택트 CT3(CT4)의 중간 위치에 비트선과 동일한 방향으로 연속적으로 형성되고, 소스선 콘택트 CT2의 배열의 위치에 웰 배선 콘택트 CT5가 배치된다.

도 3~도 7의 단면도를 참조하여 더욱 셀 어레이 구조를 구체적으로 설명한다.

p형 실리콘 기판(10)의 n형 웰(11) 내에 형성된 p형 웰(12)이 셀 어레이 영역으로 된다. p형 웰(12)에는, 도 6 혹은 도 7에 도시한 바와 같이 소자 분리 절연막인 STI(Shallow Trench Isolation)막(13)에 의해 구획된 스트라이프 형상의 소자 형성 영역(14)이 형성된다. 그 각 소자 형성 영역 상에, 터널 절연막을 개재하여 형성된 제1층 다결정 실리콘막에 의해 부유 게이트(21)가 형성되고, 또한 게이트간 절연막을 개재하여 형성된 제2층 다결정 실리콘막에 의해 제어 게이트(22)가 적층 형성된다.

부유 게이트(21)는, 각 셀 영역마다 분리되고, 제어 게이트(22)는, 한 방향으로 연속적으로 형성되어, 워드선 WL을 구성한다. 워드선을 마스크로 하여 이온 주입을 행함으로써, 인접하는 메모리 셀에서 공유되는 소스/드레인 확산층(23)이 형성된다. 워드선 사이는 실리콘 산화막(24)으로 매립되고, 또한 셀 어레이가 형성된 면은 실리콘 질화막(25)으로 피복된다.

메모리 셀 M0-M31의 배열의 양단부에 배치되는 선택 게이트 트랜지스터 S1, S2는, 기본적으로 메모리 셀과 마찬가지로 게이트 구조를 갖지만, 제1층 다결정 실리콘막(21d, 21s)은, 제2층 다결정 실리콘막(22d, 22s)과 함께 연속적으로 형성되고, 이들 적층막에 의해 선택 게이트선 SGD, SGS가 구성된다. 선택 게이트선(22d(SGD), 22s(SGS))은, 워드선(22)(WL)

보다 폭 넓게 형성된다. 예를 들면, 워드선(22)이 60~70nm의 피치로 형성되는 데 대하여, 선택 게이트선(22d, 22s)은, 150~200nm의 폭을 갖고, 또한 배선 콘택트부로 되는 인접하는 선택 게이트선 사이에는 100~150nm의 간격을 두고 형성된다.

제1 선택 게이트 트랜지스터 S1의 드레인 확산층(23d)은, 인접 블록의 그것과 공유하는 드레인이며, 이것이 비트선 콘택트 위치로 된다. 또한 제2 선택 게이트 트랜지스터 S2의 소스 확산층(23s)은, 인접 블록의 그것과 공유하는 소스이며, 이것이 소스선 콘택트 위치이다.

도 1, 도 4 및 도 6에 도시한 바와 같이, 인접하는 블록 BLK0, BLK1의 인접하는 2개의 제1 선택 게이트선 SGD는, 섀트 배선 콘택트부로 되는 연결부 A3을 갖는다. 마찬가지로, 인접하는 블록 BLK1, BLK2의 인접하는 2개의 제2 선택 게이트선 SGS는, 섀트 배선 콘택트부로 되는 연결부 B3을 갖는다.

종래, 비트선 콘택트측(드레인측)의 2개의 제1 선택 게이트선 SGD는, 연결부를 갖는 패턴으로 일체로 형성되고, 소스선 콘택트측(소스측)의 2개의 인접하는 제2 선택 게이트선 SGS는 상호 독립 패턴으로서 형성되어 있었다. 이에 대하여 이 실시 형태에서는, 제1 및 제2 선택 게이트선 SGD, SGS가 모두 연결부 A3, B3을 갖는 마찬가지로의 패턴으로서 형성되어 있다.

이와 같이 형성된 셀 어레이 상에, 제2 선택 게이트 트랜지스터 S2의 소스 확산층(23s)에 콘택트하는 공통 소스선(26)(CELSRC)이, 예를 들면 다결정 실리콘막에 의해 형성된다. 공통 소스선(26)은, 도 1에 파선으로 나타낸 바와 같이, 섀트 배선 콘택트부 CT3, CT4나 웰 배선 콘택트부 CT5에는, 개구가 형성된 상태에서, 워드선의 방향으로 연속하는 패턴 매립 배선으로서 형성된다.

도 3 및 도 6에 도시한 바와 같이, 이 실시 형태에서는, 소스선(26)과 동일한 다결정 실리콘막에 의해, 비트선의 콘택트 플러그(27)를 매립하여 형성하고 있다.

소스선(26)과 콘택트 플러그(27)가 형성된 후, 셀 어레이는 층간 절연막(31)으로 피복되고, 이 층간 절연막(31) 상에, 제1 층 금속 배선에 의해서, 선택 게이트선 SGD, SGS의 섀트 배선(33)(A1, A2, B1, B2)이 형성된다. 이 섀트 배선(33)의 형성법은, 예를 들면, 듀얼 다마신법에 의한다.

이들 섀트 배선 (A1, A2), (B1, B2)는 모두, 선택 게이트선 SGD, SGS의 연결부 A3, B3과 중첩되는 연결부를 갖고, 여기서 선택 게이트선 SGD, SGS에 콘택트되어 있다. 도 4 및 도 6에 도시한 바와 같이, 이 실시 형태에서는, 섀트 배선 (A1, A2), (B1, B2)의 콘택트 CT3, CT4는 구체적으로는, 선택 게이트선 SGD, SGS의 제1층 다결정 실리콘층(21d, 21s)에 콘택트시키고 있다.

섀트 배선(33)이 형성된 셀 어레이 상에는 또한 층간 절연막(32)이 형성되며, 이 위에 제2층 금속 배선인 비트선(34)(BL)이 형성된다. 이것도 예를 들면, 층간 절연막(32)에 배선 홈과 콘택트홀을 형성하여 금속막을 매립하는 다마신법에 의한 다. 비트선 콘택트 CT1은, 콘택트 플러그(27)를 통하여 공유 드레인 확산층(23d)에 접속되는 것으로 된다.

이 실시 형태에서는, 비트선(34)과 동일한 제2층 금속 배선에 의해, p형 웰에 콘택트되는 웰 배선(35)(CPWEL)이 형성되어 있다. 단, 이들 비트선과 웰 배선을 서로 다른 층의 금속 배선에 의해 형성해도 되고, 예를 들면 웰 배선을 도면에서는 나타내지 않았지만, 비트선보다 상부층의 금속 배선에 의해 형성할 수 있다.

웰 배선(35)은, 섀트 배선 A1, A2의 콘택트 CT3의 중간 위치에, 비트선(34)과 병행하도록 형성된다. 이 실시 형태의 경우, 도 5에 도시한 바와 같이 웰 배선(35)은, 소스선 콘택트 CT2의 배열의 위치에서 p형 웰(12)에 콘택트하도록 웰 배선 콘택트 CT5가 형성되어 있다. 이 웰 배선 콘택트 CT5로 인해, 제2 선택 게이트선 SGS는, 여기서 분리되어 있다.

이상과 같이 이 실시 형태에서는, 드레인측의 선택 게이트선 SGD와 소스측의 선택 게이트선 SGS를 실질적으로 동일한 사다리 형상 패턴으로 하여, 형성하고 있다. 종래 제안되어 있는 방식에서는, 소스측 선택 게이트선과 그 섀트 배선은, 블록마다 독립적으로 형성한다. 이것은, 선택 게이트선의 섀트 배선이 일부 워드선에 중첩되는 것과 같은 폭을 갖고 형성되기 때문에, 만일 이것을 인접 블록에서 일체로 형성하면, 비선택 블록에서 섀트 배선과 워드선 사이의 용량 결합이 문제로 되기 때문이다. 즉 섀트 배선이 인접 2 블록으로 일체로 형성되면, 선택 블록으로 선택 게이트선에 전압을 인가했을 때, 비선택 블록의 워드선에 섀트 배선으로부터의 용량 결합에 의해 필요없는 구동 전압이 공급될 우려가 있다.

그러나 최근의 미세화 기술의 발전에 의해, 워드선의 라인/스페이스가 점점 더 작아지고 있다. 그 결과, 워드선에 대한 상부 배선로부터의 용량 결합은 상대적으로 작아지고, 반대로 인접 셀 사이의 가로 방향의 용량 결합(부유 게이트 사이의 용량 결합)이 큰 문제로 되고 있다. 이와 같은 사정의 변화로부터, 소스측 선택 게이트선을 인접 블록 사이에 독립적으로 형성하고, 이들에 독립적으로 섀트 배선을 형성한다고 하는 필요성도 없어져 있다. 그래서 이 실시 형태에서는, 드레인측 선택 게이트선과 실질적으로 마찬가지로, 인접 블록의 소스측 선택 게이트선을 연결부를 갖는 일체 패턴으로서 형성하고, 또한 그 연결부에 콘택트하는 일체 패턴의 섀트 배선을 형성하고 있다.

또한, 종래는, 웰 배선 CPWEL을 비트선 콘택트 CT1의 배열로 콘택트시키고 있었기 때문에, 여기서 드레인측 선택 게이트선 SGD를 분리해야만 했다. 이를 위해, 예를 들면 인접하는 섀트 배선 콘택트 CT3 사이의 거리 P1이 예를 들면 200 비트선분의 거리라고 하고, 100 비트선분의 선택 게이트선 길이 P1/2를, 한쪽의 콘택트 CT3으로부터만 구동할 필요가 있었다.

이에 대하여 이 실시 형태에서는, 웰 배선 CPWEL은, 소스측 콘택트 위치의 배열로 p형 웰에 콘택트시키고 있고, 비트선 콘택트 위치 상은 통과시키고 있다. 따라서, 드레인측 선택 게이트선 SGD는, 웰 배선 CPWEL의 존재에 상관없이 연속하는 패턴으로서 형성하고 있다. 이 때문에, 200 비트선분의 선택 게이트선 길이 P1의 범위를 그 양측의 콘택트 CT3으로부터 구동할 수 있다. 따라서, 실질적으로 선택 게이트선 SGD의 지연이 작아져, 고속 구동이 가능하게 된다.

도 8은 제2 실시 형태에 따른 NAND형 플래시 메모리의 셀 어레이 레이아웃이다. 앞의 실시 형태와 대응하는 부분에는 앞의 실시 형태와 동일한 부호를 붙여 상세한 설명은 생략한다. 단면 구조에 대해서도, 앞의 실시 형태와는 다른 III-III' 단면 및 IV-IV' 단면을 각각, 도 9 및 도 10에 도시한다.

이 실시 형태에서는, 웰 배선(35)(CPWEL)을, 소스측 콘택트 CT2의 배열의 위치에서 p형 웰에 콘택트시키고 함께, 비트선 콘택트 DT1의 배열의 위치에서도 콘택트시키고 있다. 따라서, 드레인측 선택 게이트선 SGD는, 그 웰 배선 콘택트 CT5의 위치에서 분리되어 있다.

이 실시 형태에 따르면, 웰 배선(35)의 콘택트 수의 증가에 의해, 그 배선 저항의 영향이 저감된다. 또한, 드레인측 선택 게이트선 SGD와 소스측 선택 게이트선 SGS가 완전히 동일한 패턴으로 된다.

도 11은 제3 실시 형태에 따른 NAND형 플래시 메모리의 셀 어레이 레이아웃이다. 앞의 각 실시 형태와 대응하는 부분에는 앞의 실시 형태와 동일한 부호를 붙여 상세한 설명은 생략한다. 단면 구조에 대해서도, 앞의 실시 형태와는 다른 III-III' 단면 및 IV-IV' 단면을 각각, 도 12 및 도 13에 도시한다.

이 실시 형태에서는, 웰 배선(35)(CPWEL)은 제1 실시 형태와 마찬가지로 소스측 콘택트 CT2의 배열 위치만으로 콘택트시키는 한편, 그것이 통과하는 비트선 콘택트 CT1의 배열 위치에는, 웰 배선(35)이 없는 위치와 마찬가지로, 인접하는 선택 게이트선 SGD를 연결하는 연결부 A3을 배치하고, 여기에 섀트 배선 A1, A2를 콘택트시키고 있다.

따라서 이 실시 형태에 따르면, 드레인측 선택 게이트선 SGD의 섀트 빈도가 앞의 실시 형태의 2배로 되어, 선택 게이트선 SGD의 지연 시간이 더욱 단축된다.

여기까지의 실시 형태에서, 선택 게이트선 SGD, SGS의 2층 다결정 실리콘막 상호의 콘택트에 대해서는 언급하지 않았지만, 통상 이들은, 금속막에 의한 섀트 배선(33)과는 별도로, 소정 피치로 상호 콘택트시킨다. 따라서, 섀트 배선(33)은, 부유 게이트 대응의 제1층 다결정 실리콘층은 아니고, 제1 게이트 대응의 제2층 다결정 실리콘층에 콘택트시키도록 하여도 된다.

도 14는, 그와 같은 실시 형태의 섀트 배선 구조를 도시하고 있다. 선택 게이트선 SGD, SGS를 구성하는 2층 다결정 실리콘막(21d, 22d)(21s, 22s)은, 예를 들면 1 컬럼분(8 비트선 혹은 16 비트선)의 피치로 상호 콘택트시킨다. 이러한 선택 게이트선 SGD, SGS에 대하여 섀트 배선(33)은, 1 컬럼 피치보다는 큰 피치 P1로 콘택트시키면 된다.

다음, 전술된 NAND 플래시 메모리들의 기능 블록이 이하에서 도 15를 참조하여 설명될 것이다.

전술된 바와 같이, 메모리 셀 어레이(1)는 매트릭스 방식으로 배열되는 복수의 플로팅 게이트형 메모리 셀들을 갖도록 구성된다. 로우 디코더/워드 라인 드라이버(2a)는 메모리 셀 어레이(1)의 워드 라인들을 구동하고 게이트 라인들을 선택하고

록 준비된다. 판독/기입 회로(3)는 하나의 페이지에 대하여 데이터 홀드 회로들 및 센스 증폭기 회로들을 갖는 페이지 버퍼로서 기능하며, 이것은 메모리셀 어레이(1)의 각각의 하나의 페이지에 대한 데이터 판독 및 데이터 기입을 위하여 이용된다.

페이지 버퍼(3)의 하나의 페이지 판독 데이터는 컬럼 디코더(2b)에 의하여 순차적으로 선택되어 I/O 버퍼(9)를 통해 외부 I/O 터미널들로 출력된다. I/O 터미널들로부터 제공된 기입 데이터는 컬럼 디코더(2b)에 의하여 선택되어 페이지 버퍼(3) 내에 로드된다. 페이지 버퍼(3)에는, 하나의 페이지에 대한 기입 데이터가 로드된다.

로우 및 컬럼 어드레스 신호들은 I/O 버퍼(9)를 통해 입력되어 각각 로우 디코더(2a) 및 컬럼 디코더(2b)에 전달된다. 로우 어드레스 레지스터(5a)는 소거 모드에서는 소거 블럭 어드레스를 유지하고, 판독 및 기입 모드들에서는 페이지 어드레스를 유지한다. 컬럼 어드레스 레지스터(5b)에는, 헤드 컬럼 어드레스가 입력되며, 이것은 데이터 기입 동작 이전의 기입 데이터 로딩, 또는 데이터 판독을 위하여 이용된다. 컬럼 어드레스 레지스터(5b)는 특정한 조건에서 기입 인에이블 신호 /WE 또는 판독 인에이블 신호 /RE가 토글되는 때까지 입력 컬럼 어드레스를 유지한다.

로직 컨트롤러(6)는 칩 인에이블 신호 /CE, 커맨드 래치 인에이블 신호 CLE, 어드레스 래치 인에이블 신호 ALE, 기입 인에이블 신호 /WE, 판독 인에이블 신호 /RE 등에 응하여 커맨드 입력, 어드레스 입력 및 데이터 입력/출력을 제어한다. 커맨드에 기인하여 판독 및 기입 동작들이 수행된다. 커맨드에 응하여, 시퀀스 컨트롤러(7)는 데이터 기입 및 데이터 소거의 판독 제어 및 시퀀스 제어를 실행한다. 고전압 생성기(8)는 컨트롤러(7)에 의하여 제어되어 많은 종류의 동작들에 필요한 미리 결정된 전압들을 출력한다.

일 실시예로서, 전술된 실시예들에 따른 비휘발성 반도체 메모리 장치들을 이용하는 전자카드 및 상기 카드를 이용하는 전자 장치가 후술될 것이다.

도 16은 본 실시예에 따른 전자카드 및 이 카드를 이용하는 전자 장치들의 구성을 도시한다. 이 전자 장치는 휴대형 전자 장치들의 일 예로서 디지털 스틸 카메라(101)이다. 전자 카드는 디지털 스틸 카메라(101)의 기록 매체로서 이용된 메모리 카드(61)이다. 메모리 카드(61)는 전술된 실시예들에 따른 비휘발성 반도체 메모리 장치 또는 메모리 시스템이 집적 또는 인캡슐레이션된 IC 패키지 PK1을 포함한다.

디지털 스틸 카메라(101)의 케이스는 카드 슬롯(102) 및 이 카드 슬롯(102)에 연결된 회로 보드(도시하지 않음)를 수용한다. 메모리 카드(61)는 디지털 스틸 카메라(101)의 카드 슬롯(102)에 분리 가능하게 삽입된다. 슬롯(102)에 삽입된 경우, 메모리 카드(61)는 회로 보드의 전기 회로들에 전기적으로 접속된다.

이 전기 카드가 비접촉형 IC 카드라면, 카드 슬롯(102)에 삽입되거나 접근되는 경우 무선 신호들에 의하여 회로 보드 상의 전기 회로들에 전기적으로 접속된다.

도 17은 디지털 스틸 카메라의 기본 구성을 도시한다. 물체로부터의 광은 렌즈(103)에 의하여 집중되어 이미지 픽업 장치(104)에 입력된다. 이미지 픽업 장치(104)는, 예를 들면, CMOS 센서이며 입력광을 광전 변환하여, 예를 들면, 아날로그 신호를 출력한다. 이 아날로그 신호는 아날로그 증폭기(AMP)에 의해 증폭되며, A/D 컨버터(A/D)에 의해 디지털 신호로 변환된다. 변환된 신호는 카메라 신호 처리 회로(105)에 입력되며 여기에서 신호는 자동 노출 제어(AE), 자동 기입 밸런스 제어(AWB), 컬러 분리, 등을 거치고, 루미넌스 신호 및 컬러차 신호들로 변환된다.

이미지를 모니터하기 위하여, 카메라 처리 회로(105)로부터의 출력 신호는 비디오 신호 처리 회로(106)에 입력되며 비디오 신호로 변환된다. 비디오 신호의 시스템은, 예를 들면, NTSC(National Television System Committee)이다. 비디오 신호는 디스플레이 신호 처리 회로(107)를 통해 디지털 스틸 카메라(101)에 부착된 디스플레이(108)에 입력된다. 디스플레이(108)는, 예를 들면, 액정 모니터이다.

비디오 신호는 비디오 드라이버(109)를 통하여 비디오 출력 터미널(110)에 제공된다. 디지털 스틸 카메라(101)에 의해 픽업된 이미지는 비디오 출력 터미널(110)을 통하여 텔레비전 세트와 같은 이미지 장치에 출력될 수 있다. 이것은 픽업 이미지가 디스플레이(108) 이외의 이미지 장치에서 디스플레이되도록 한다. 마이크로컴퓨터(111)는 이미지 픽업 장치(104), 아날로그 증폭기(AMP), A/D 컨버터(A/D), 및 카메라 신호 처리 회로(105)를 제어한다.

이미지를 캡처하기 위하여, 오퍼레이터는 셔터 버튼(112)과 같은 조작 버튼을 누른다. 이에 응답하여, 마이크로컴퓨터(111)는 카메라 신호 처리 회로(105)로부터의 출력 신호를 프레임 이미지로서 비디오 메모리(114)에 기입하도록 메모리

컨트롤러(113)를 제어한다. 비디오 메모리(114)에 기입된 프레임 이미지는 압축/신장 회로(115)에 의하여 소정의 압축 포맷을 기초로 압축된다. 압축된 이미지는, 카드 인터페이스(116)를 통하여, 카드 슬롯에 삽입된 메모리 카드(61)상에 기록된다.

기록된 이미지를 재생하기 위하여, 메모리 카드(61)상에 기록된 이미지는 카드 인터페이스(116)를 통하여 판독되고, 압축/신장 회로(115)에 의해 신장되며, 비디오 메모리(114)에 기입된다. 기입된 이미지는 이미지가 모니터될 때와 동일한 방식으로 비디오 신호 처리 회로(106)에 입력되고 디스플레이(108) 또는 다른 이미지 장치상에 디스플레이된다.

본 구성에서, 회로 보드(100) 상에는 카드 슬롯(102), 이미지 픽업 장치(104), 아날로그 증폭기 (AMP), A/D 컨버터 (A/D), 카메라 신호 처리 회로(105), 비디오 신호 처리 회로(106), 디스플레이 신호 처리 회로(107), 비디오 드라이버(109), 마이크로컴퓨터(111), 메모리 컨트롤러(113), 비디오 메모리(114), 압축/신장 회로(115), 및 카드 인터페이스(116)가 장착된다.

카드 슬롯(102)은 회로 보드(100) 상에 장착될 필요는 없으며, 커넥터 케이블 등에 의하여 회로 보드(100)에 접속될 수도 있다.

전원 회로(117) 또한 회로 보드(100) 상에 장착된다. 전원 회로(117)는 외부 전원이나 배터리로부터 전력을 받고 디지털 스틸 카메라(101) 내부에서 사용된 내부 전원 전압을 생성한다. 예를 들면, DC-DC 컨버터는 전원 회로(117)로서 이용될 수 있다. 내부 전원 전압은 전술된 각각의 회로들, 및 스트로브(118) 및 디스플레이(108)에 공급된다.

전술된 바와 같이, 본 실시예에 따른 전기 카드는 전술된 디지털 스틸 카메라와 같은 휴대형 전자 장치들에서 이용될 수 있다. 그러나, 전기 카드는 휴대형 전자 장치들 뿐만 아니라, 도 18a 내지 18j에 도시된 바와 같은 다양한 장치에서 이용될 수도 있다. 즉, 전기 카드는 또한 도 18a에 도시된 비디오 카메라, 도 18b에 도시된 텔레비전 세트, 도 18c에서 도시된 오디오 장치, 도 18d에 도시된 게임 장치, 도 18e에 도시된 전기 음악 장치, 도 18f에 도시된 셀 전화, 도 18g에 도시된 퍼스널 컴퓨터, 도 18h에 도시된 PDA(personal digital assistant), 도 18i에 도시된 보이스 리코더, 및 도 18j에 도시된 PC 카드에서 이용될 수도 있다.

본 발명은 전술된 실시예로 한정되는 것은 아니다. 당업자는 본 발명의 취지, 범위, 및 교시로부터 벗어나지 않고 형태 및 세부사항의 다양한 변화들이 이루어질 수 있음을 이해할 것이다.

발명의 효과

본 발명의 일 실시 형태에 따르면, 드레인측 선택 게이트선 SGD는, 웰 배선 CPWEL의 존재에 상관없이 연속하는 패턴으로서 형성하고 있어, 실질적으로 선택 게이트선 SGD의 지연이 작아져, 고속 구동이 가능하게 된다.

본 발명의 다른 실시 형태에 따르면, 웰 배선(35)의 컨택트 수의 증가에 의해, 그 배선 저항의 영향이 저감되며, 드레인측 선택 게이트선 SGD와 소스측 선택 게이트선 SGS가 완전히 동일한 패턴으로 된다.

본 발명의 또 다른 실시 형태에 따르면, 드레인측 선택 게이트선 SGD의 선폴 빈도가 앞의 실시 형태의 2배로 되어, 선택 게이트선 SGD의 지연 시간이 더욱 단축된다.

도면의 간단한 설명

도 1은 제1 실시 형태에 따른 NAND형 플래시 메모리의 셀 어레이의 레이아웃을 도시하는 도면.

도 2는 상기 셀 어레이의 등가 회로를 도시하는 도면.

도 3은 도 1의 I-I' 단면도.

도 4는 도 1의 II-II' 단면도.

도 5는 도 1의 III-III' 단면도.

도 6은 도 1의 IV-IV' 단면도.

도 7은 도 1의 V-V' 단면도.

도 8은 제2 실시 형태에 따른 NAND형 플래시 메모리의 셀 어레이의 레이아웃을 도시하는 도면.

도 9는 도 8의 III-III' 단면도.

도 10은 도 8의 IV-IV' 단면도.

도 11은 제3 실시 형태에 따른 NAND형 플래시 메모리의 셀 어레이의 레이아웃을 도시하는 도면.

도 12는 도 11의 III-III' 단면도.

도 13은 도 11의 IV-IV' 단면도.

도 14는 다른 실시 형태에 따른 선택 게이트선의 섀트 배선 구조를 도시하는 도면.

도 15는 전술된 실시예들에 따른 NAND 형 플래시 메모리의 기능 블록 구성을 도시하는 도면.

도 16은 디지털 스틸 카메라에 적용된 다른 실시예를 도시하는 도면.

도 17은 디지털 스틸 카메라의 내부 구성을 도시하는 도면.

도 18a 내지 18j는 상기 실시예가 적용되는 다른 전자 장치들을 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

10 : p형 실리콘 기판

11 : n형 웰

12 : p형 웰

13 : STI(Shallow Trench Isolation)막

14 : 소자 형성 영역

21 : 부유 게이트

21d, 21s : 제1층 다결정 실리콘막

22 : 제어 게이트

22d, 22s : 제2층 다결정 실리콘막

23 : 소스/드레인 확산층

24 : 실리콘 산화막

25 : 실리콘 질화막

WL : 워드선

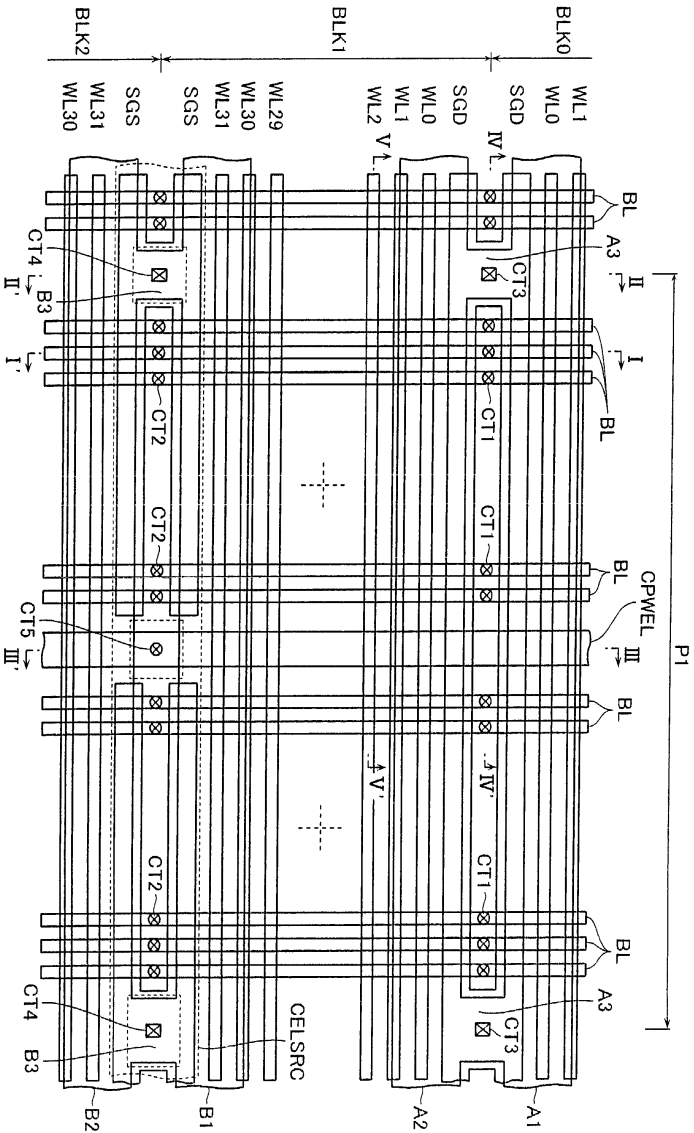
M0-M31 : 메모리 셀

SGD, SGS : 선택 게이트선

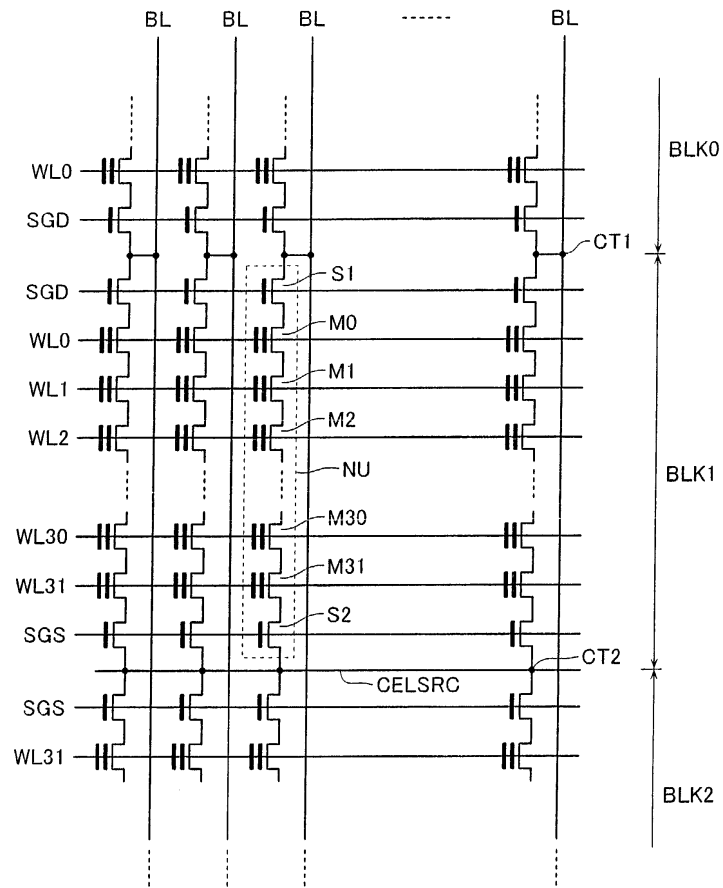
BLK1, BLK2 : 블록

도면

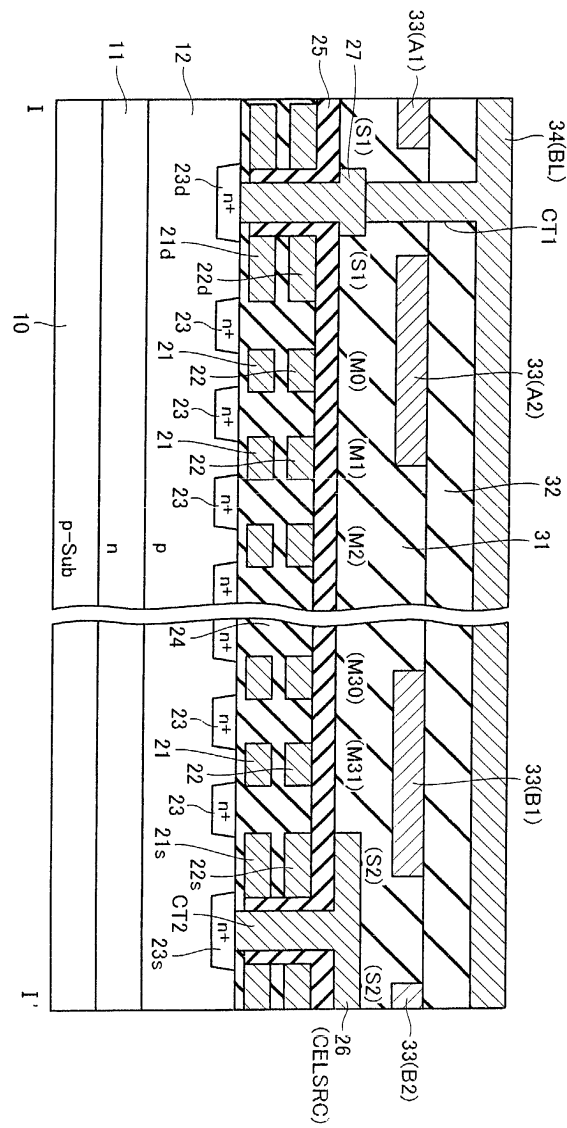
도면1



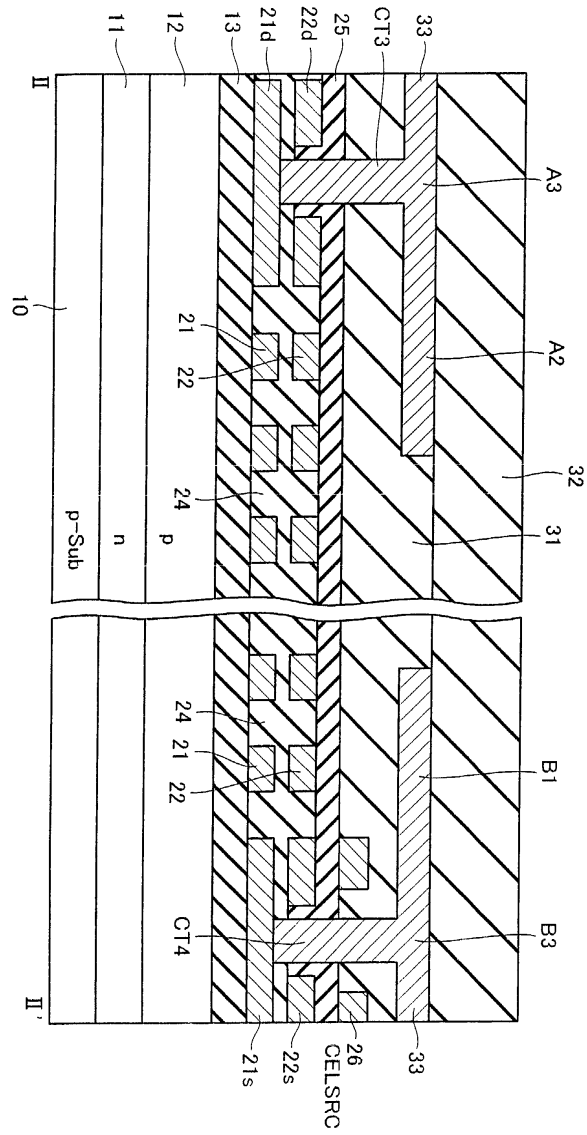
도면2



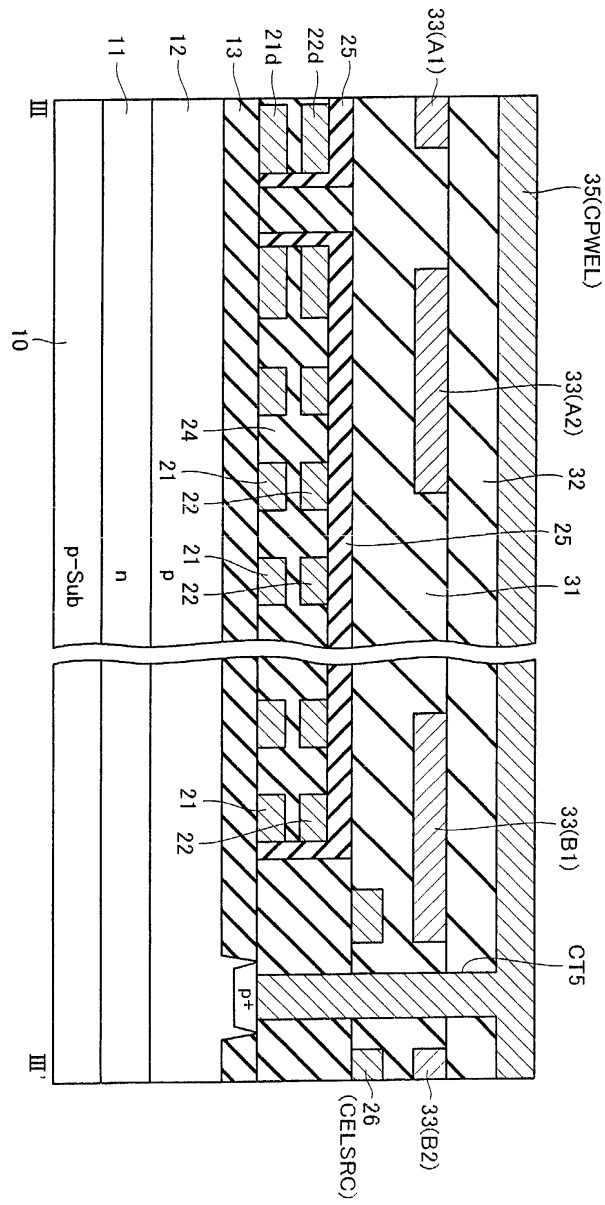
도면3



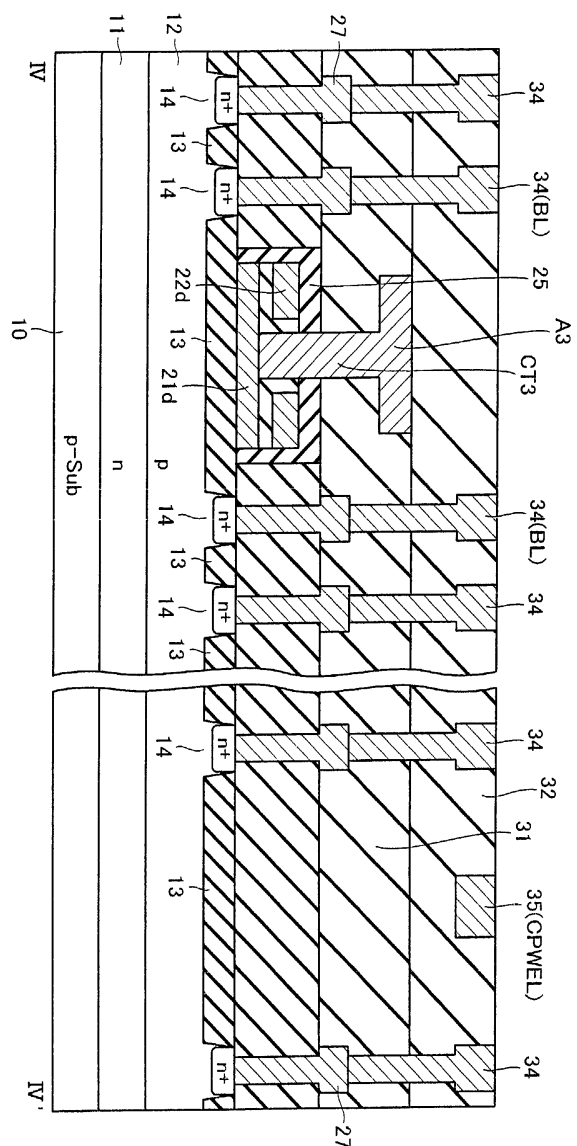
도면4



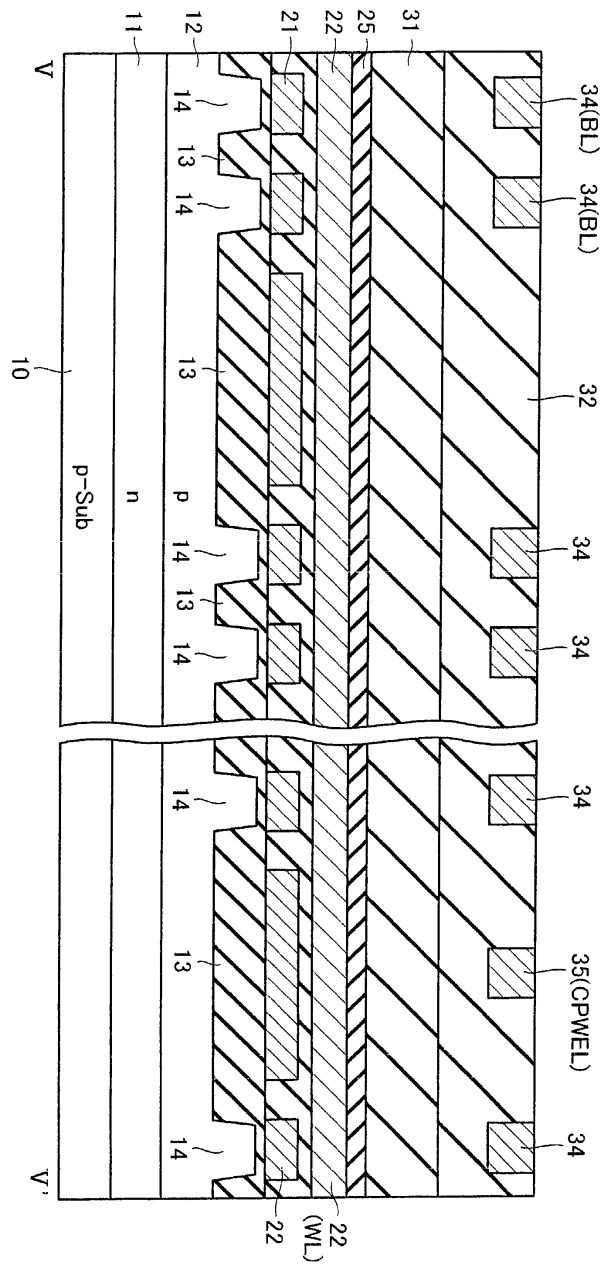
도면5



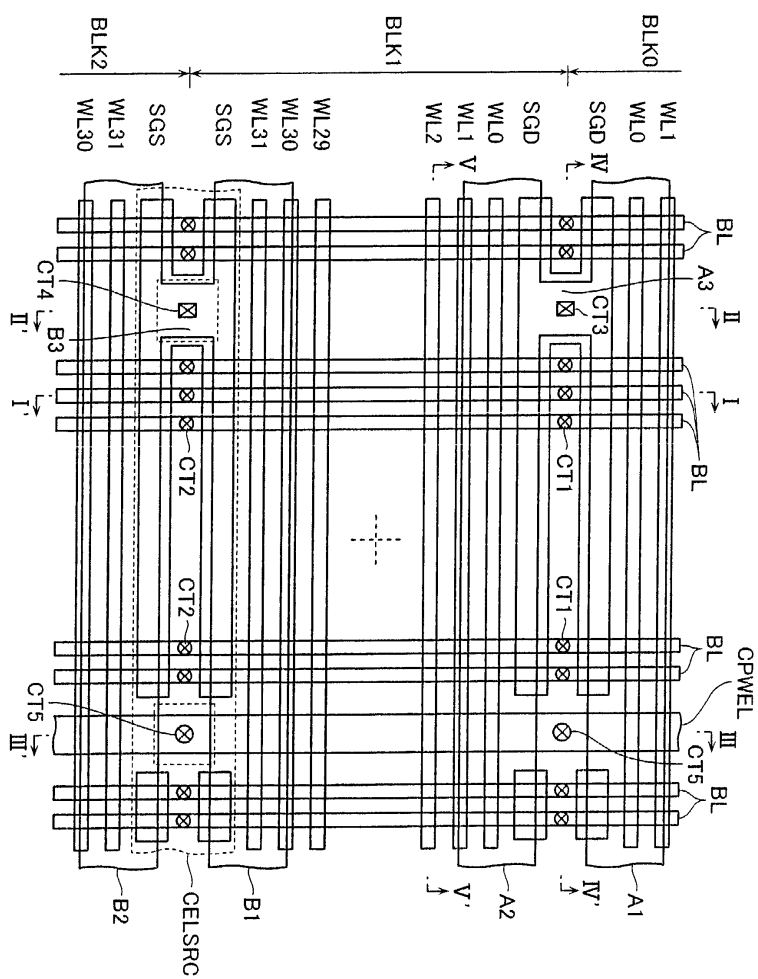
도면6



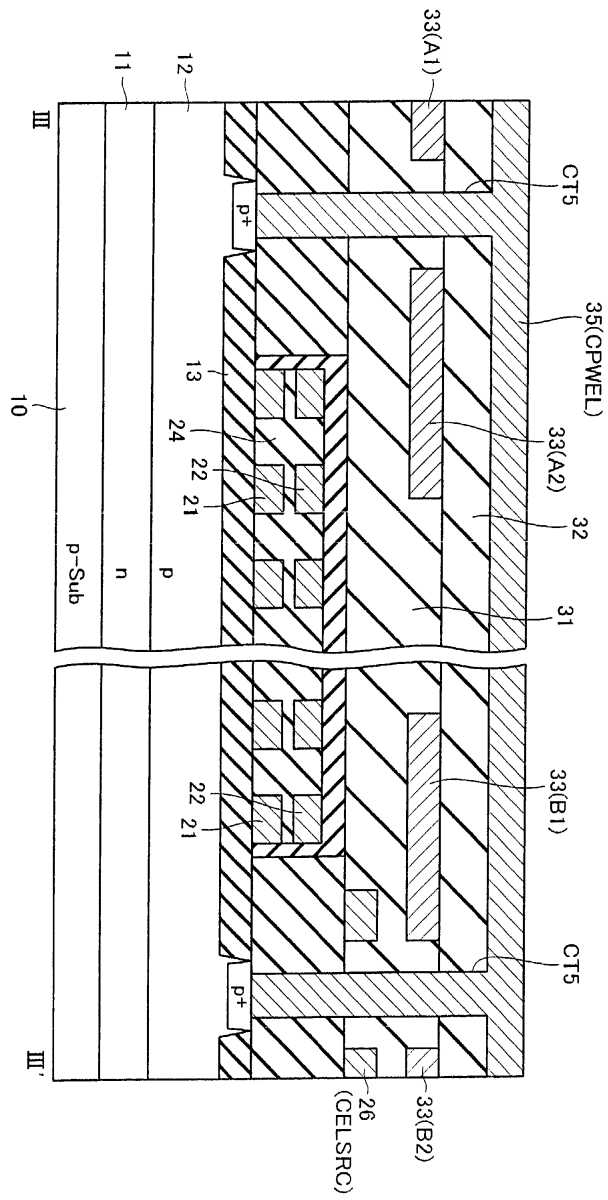
도면7



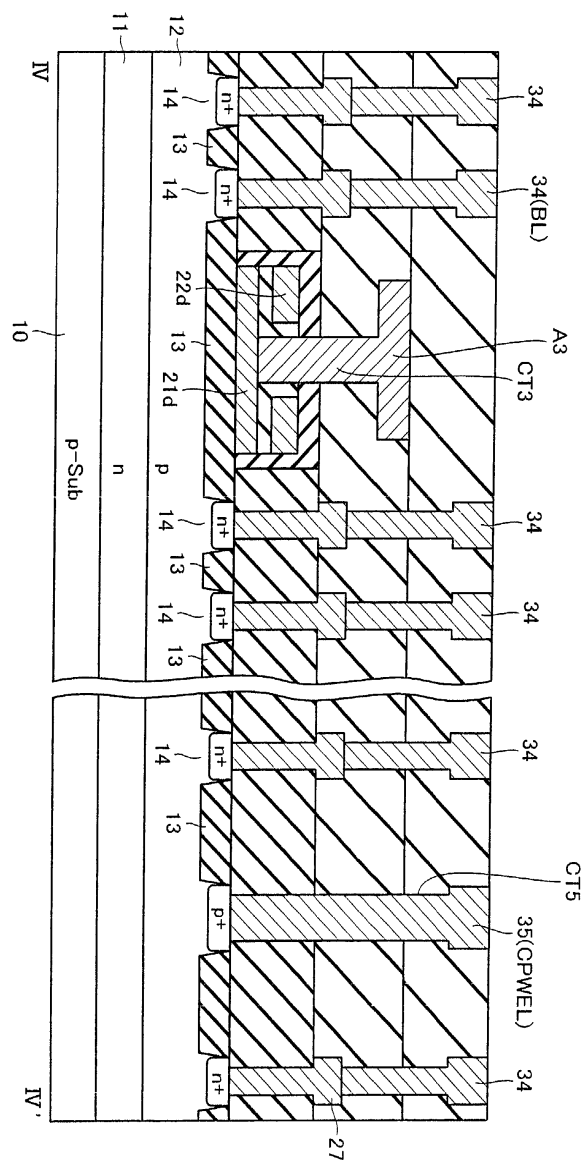
도면8



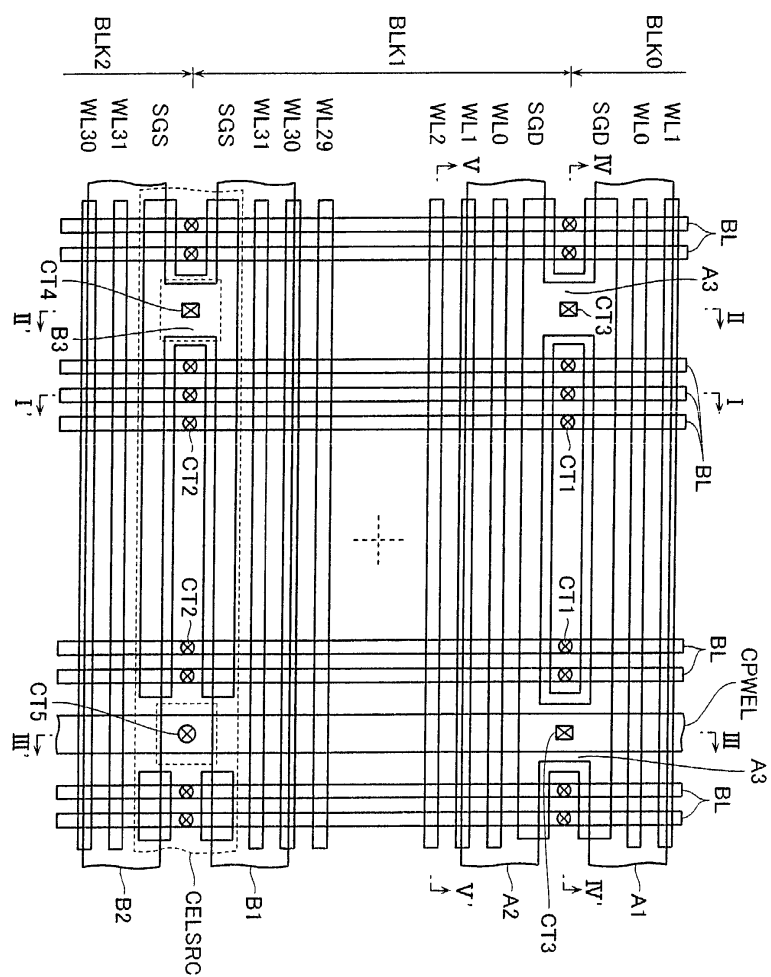
도면9



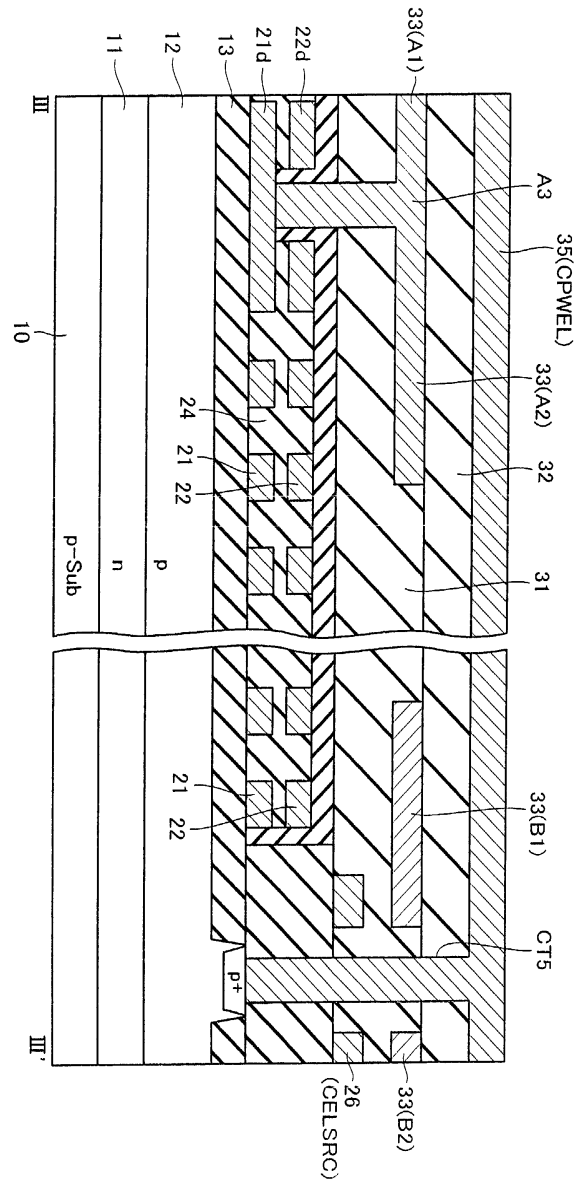
도면10



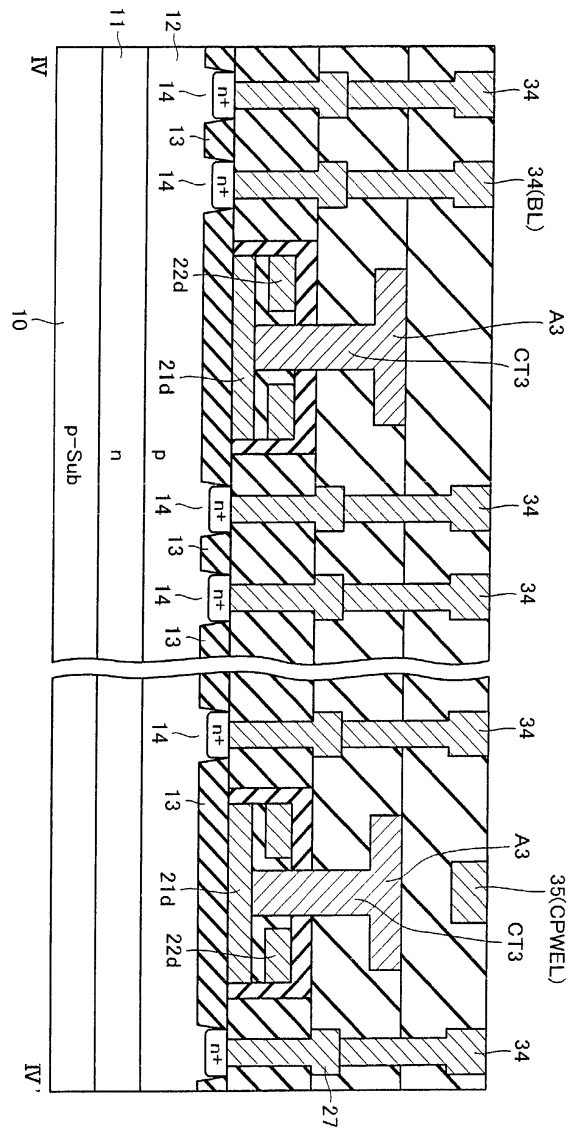
도면11



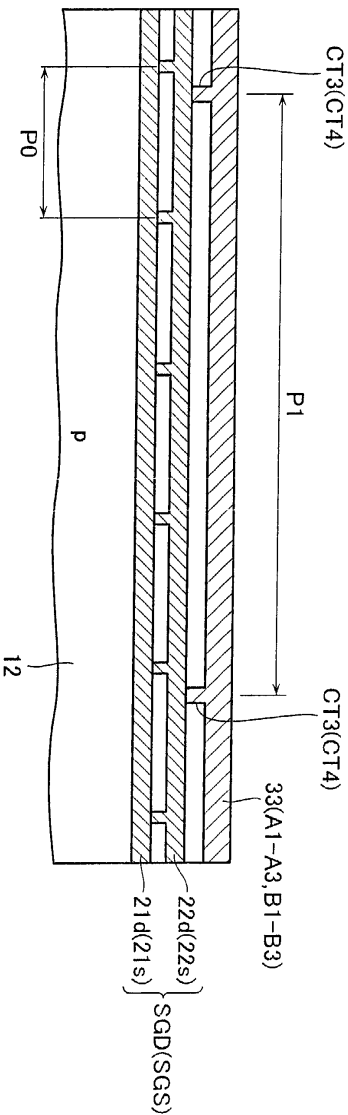
도면12



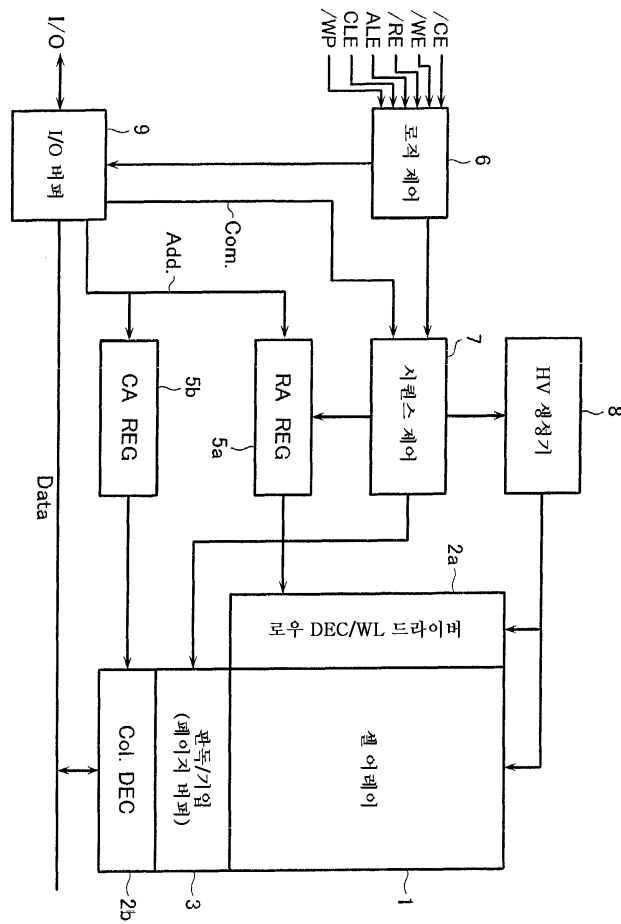
도면13



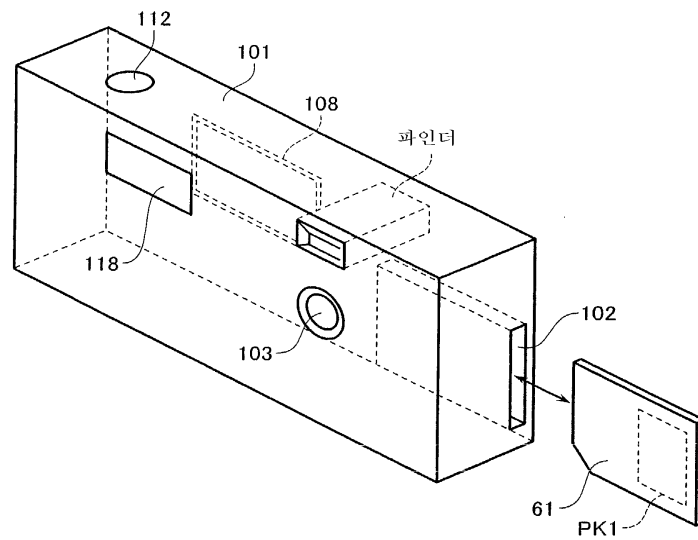
도면14



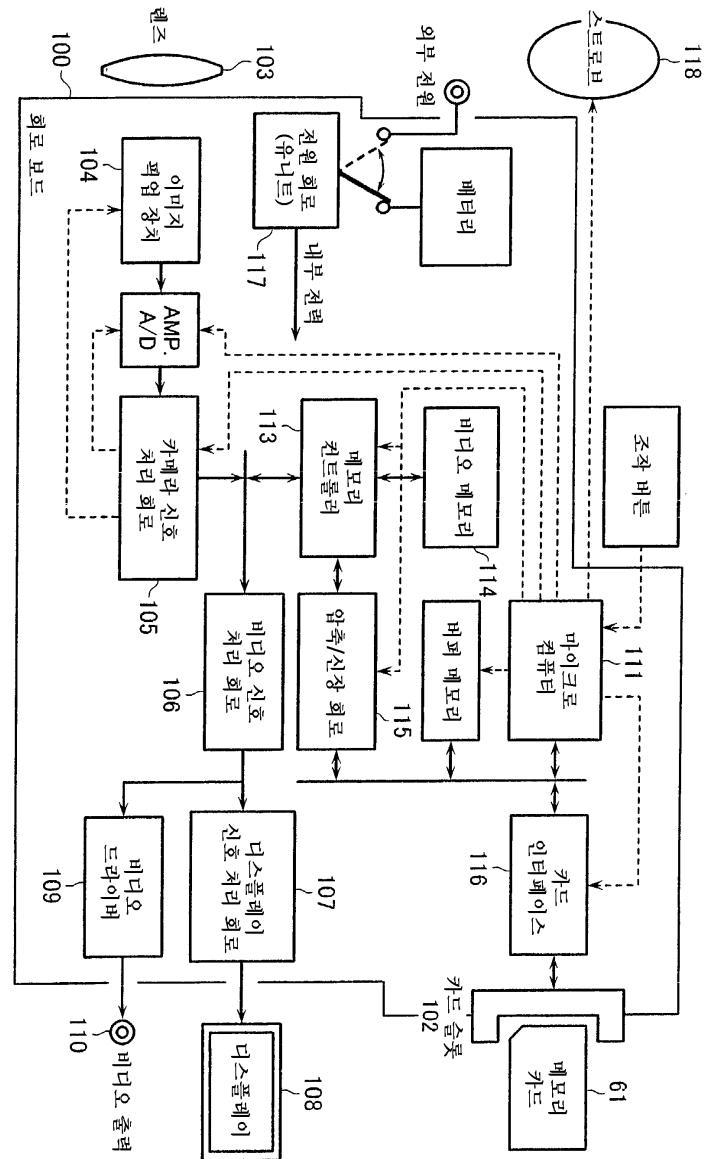
도면15



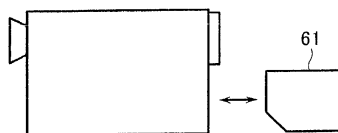
도면16



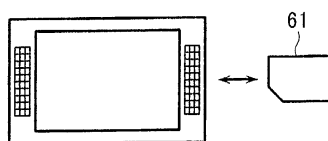
도면17



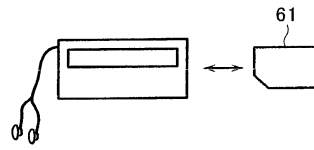
도면18a



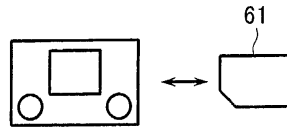
도면18b



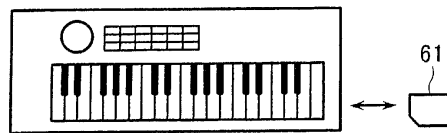
도면18c



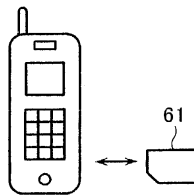
도면18d



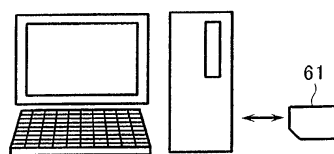
도면18e



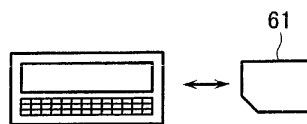
도면18f



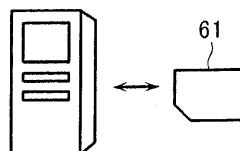
도면18g



도면18h



도면18i



도면 18j

