

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年10月2日(2008.10.2)

【公開番号】特開2004-336065(P2004-336065A)

【公開日】平成16年11月25日(2004.11.25)

【年通号数】公開・登録公報2004-046

【出願番号】特願2004-179692(P2004-179692)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 21/76 (2006.01)

【F I】

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

H 01 L 21/76 L

【手続補正書】

【提出日】平成20年8月14日(2008.8.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体集積回路装置

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

(a) 半導体基板表面に形成され、第1絶縁膜によって区画された素子形成領域であって、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域の主表面に形成された複数のメモリセルと、

(c) 前記複数のメモリセルからなるメモリセルアレイと、

(d) 前記メモリセルアレイの外周部に、少なくとも前記第1および第2方向に延在するように形成された第1導電性膜と、

を有する半導体集積回路装置であって、

前記第1絶縁膜は、前記半導体基板に形成された溝内に埋め込まれて形成されており、前記接続部は、前記第2方向に延在する前記第1導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

【請求項2】

(a) 半導体基板表面に形成され、第1絶縁膜によって区画された素子形成領域であって、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素

子形成領域と、

(b) 前記素子形成領域の主表面に形成された複数のメモリセルと、  
(c) 前記複数のメモリセルからなるメモリセルアレイと、  
(d) 前記メモリセルアレイの外周部に、少なくとも前記第1および第2方向に延在するように形成された第1導電性膜と、  
を有する半導体集積回路装置であって、

前記3以上の素子形成領域のうち、最外の素子形成領域の前記第2方向の幅は、他の素子形成領域の幅より広く、

前記第1絶縁膜は、前記半導体基板に形成された溝内に埋め込まれて形成されており、  
前記接続部は、前記第2方向に延在する前記第1導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

**【請求項3】**

(a) 半導体基板表面に形成され、第1絶縁膜によって区画された素子形成領域であって、第1方向に延在する素子形成部を、前記第1の方向と垂直な第2の方向に3以上有し、前記3以上の素子形成部の端部を接続し、前記第2方向に延在する接続部とを有する素子形成領域と、

(b) 前記素子形成領域の主表面に形成された複数の不揮発性メモリセルと、  
(c) 前記複数の不揮発性メモリセルからなるメモリセルアレイと、  
(d) 前記メモリセルアレイの外周部に、少なくとも前記第1および第2方向に延在するように形成された第1導電性膜と、

を有する半導体集積回路装置であって、

前記複数の不揮発性メモリセルはそれぞれ、  
(b1) 前記素子形成領域上に第2絶縁膜を介して形成された第2導電性膜と、  
(b2) 前記第2導電性膜上に第3絶縁膜を介して形成され、前記第2方向に延在する第3導電性膜と、  
を有し、

前記第1導電性膜は、前記第3導電性膜と同層の層を含んで形成されており、  
前記第1絶縁膜は、前記半導体基板に形成された溝内に埋め込まれて形成されており、  
前記接続部は、前記第2方向に延在する前記第1導電性膜の下に形成されていることを特徴とする半導体集積回路装置。

**【請求項4】**

請求項3に記載の半導体集積回路装置において、  
前記不揮発性メモリセルにおける前記第2導電性膜は、前記不揮発性メモリセルのフローティングゲートを構成し、  
前記不揮発性メモリセルにおける前記第3導電性膜は、前記不揮発性メモリセルのコントロールゲートを構成していることを特徴とする半導体集積回路装置。

**【請求項5】**

請求項1～4に記載の半導体集積回路装置において、  
前記3以上の素子形成領域のうち最外の素子形成領域上には、メモリセルとして機能するメモリセルを形成しないことを特徴とする半導体集積回路装置。

**【請求項6】**

請求項1または2に記載の半導体集積回路装置において、  
前記第1導電性膜は、前記複数のメモリセルとは接続しないダミー導電性膜であることを特徴とする半導体集積回路装置。

**【請求項7】**

請求項3または4に記載の半導体集積回路装置において、  
前記第1導電性膜は、前記複数の不揮発性メモリセルとは接続しないダミー導電性膜であることを特徴とする半導体集積回路装置。