

公告本

申請日期	89.11.18
案 號	89124473
類 別	H01L 29/0

A4
C4

518746

(以上各欄由本局填註)

發明專利說明書

一、發明 新 名稱	中 文	半導體記憶裝置
	日 文	"半導体記憶裝置"
二、發明 人	姓 名	1.鈴木 洋一 4.瀨川 眞 2.三島 章弘 5.成毛 康雄 3.小酒井 光彦
	國 籍	均日本
三、申請人	住、居所	1.日本國神奈川縣橫濱市南區永田北2-56-26-601 2.日本國神奈川縣橫濱市磯子區汐見台2-5-1 2502-231 3.日本國神奈川縣藤澤市石川6-16-2-303 4.日本國神奈川縣橫濱市港北區新吉田町1265-1-401 5.日本國神奈川縣橫濱市磯子區栗木1-11-18
	姓 名 (名稱)	日商東芝股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市幸區堀川町72番地
	代 表 人 姓 名	岡村 正

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本	1999年11月25日	特願平11-334971	☒ 有 ☐ 無主張優先權
日本	2000年09月21日	特願2000-287191	☒ 有 ☐ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本案之相關參考

本案係基於2000年9月21日於日本申請之發明申請案第287191號所記載之事項，除了基於巴黎公約主張優先權外，並將其內容列為本案之一部分。

發明背景

發明領域

本發明係關於靜態型隨機存取記憶體(SRAM)等半導體記憶裝置，特別係關於搭載測試電路之半導體記憶裝置。

習知技術

近年來，半導體記憶裝置，特別是SRAM朝向大容量化及待機時低耗電化發展。依大容量化因各種原因造成之位元不良的發生率增高，此位元不良所產生之動作異常，係藉由在測試步驟中將不正常動作的記憶胞與預備胞置換之冗長(redundancy)技術予以補救。

對此，雖正常的動作，在性能上沒有問題，但有漏電流比容許值高的記憶胞存在的可能。若有此種記憶胞存在，則待機時之耗電增加，會招致良品率降低。

圖1所示之習知半導體記憶裝置具備測試電路，藉由使用此測試電路之測試步驟，檢測出有漏電流流動之記憶胞之位置，將此記憶胞與電源端子間所連接之保險絲熔斷，藉此切斷洩漏路徑，此外並置換上預備胞予以使用。

具體說明之，上述圖1之半導體記憶裝置所搭載之測試電路，係自裝置外部，經由外部輸入端子91，將"H"電平之動作模式切換信號S6，輸入至外部輸入電路92。藉

五、發明說明(2)

此，來自外部輸入電路92之輸出S4成為"L"電平、輸出S5成為"H"電平。於閘極被輸入"H"電平之輸出S5之n型電晶體Q2成為"ON"(開)狀態，列譯碼器96之輸出S3被作為輸出S2輸入至NOR電路93之一方之輸入端子。

此處，來自列譯碼器96之輸出S3成為"H"電平，對未圖示之其他列的輸出成為"L"電平。"H"電平之輸出S3被輸入至NOR電路93之他方的輸入端子，"H"電平之輸出S1被輸入至n型電晶體Q1之閘極，n型電晶體Q1成"OFF"(關)狀態。依此，此列之共通電源線g1與電源間被切斷，對記憶胞M11~M1n無電源供給，其他未圖示之共通電源線與電源之間係相連接，對該等記憶胞有供給電源。

又，"L"電平之輸出S4被輸入至n型電晶體Q5之閘極，"H"電平之輸出S5被輸入至p型電晶體Q3及n型電晶體Q4之閘極。於是，n型電晶體Q5及p型電晶體Q3成"OFF"狀態，n型電晶體Q4成"ON"狀態，此列之字元線W1成接地電平，被與列譯碼器輸出S3切離。依此，此列之記憶胞M11~M1m無電流流動，於其他記憶胞有電流流動。

如此依序選擇各列，各測定漏電流值，對於該值在容許值以上時之選擇列，可檢測出其含有不良記憶胞。接著藉由熔斷此列之保險絲F1，切斷共通電源線g1與電源間之連接，使洩漏路徑成切斷狀態，置換成預先準備之預備列。

如此，可輕易檢測出發生漏電流之記憶胞的存在位置。

惟，近來半導體記憶裝置大容量化，如圖2所示，記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

胞陣列50被分割為複數區塊(1)~(n)，成矩陣狀配列之構造。

於陣列端部，每隔2列配置複數列譯碼器52，自列譯碼器52配設列選擇線53。列譯碼器52係依列位址AIN(其係經由位址譯碼器60輸入者)將所希望的列選擇線53予以活性化。於複數區塊端部，自區塊選擇電路70配設區塊選擇線55，將列選擇線53及區塊選擇線55作為輸入之字元線選擇電路56，係配置於區塊端部。

又，記憶胞51在上下對稱的位置各配置2個胞，對2胞共通的由共通電源線VL(其係與列選擇線53平行配設者)供給電源。

於通常動作中選擇記憶胞51時，對應於所希望之位址AIN、BIN，選擇複數列選擇線53與區塊選擇線55中之各一條，依其所連接之1個字元線選擇電路56，將所希望之字元線54活性化。又，於資料讀出時，經讀出/寫入電路80於I/O端子讀出資料，於資料寫入時，自I/O端子經讀出/寫入電路80於記憶胞51寫入資料。

於待機狀態中，依外部信號之輸入，以內部電路之控制將全部的字元線54非活性化。

又，於已大容量化之近來的半導體記憶裝置中，不僅記憶胞，連位元線的漏電流亦成問題，造成良品率降低。考慮此點，在將位元線漏電造成之動作不良以冗長技術補救之情況下，於位元線電源插入保險絲元件，並置換成修復(repair)位址，且同時將前述保險絲元件熔斷，可藉以切斷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

洩漏路徑，而提出了圖3所示之半導體記憶裝置。

圖3所示之習知半導體裝置具備：由呈矩陣狀配列之記憶胞100群所成的記憶胞陣列；控制裝置之動作狀態的控制端子(CE、WE、OE)及其內部電路(CE緩衝器、WE緩衝器、OE緩衝器)；選擇位址的位址端子(AINR端子、AINC端子)及其內部電路(列位址譯碼器120、列位址緩衝器121、行開關131、行位址譯碼器132、行位址緩衝器133)；及進行資料寫入/讀出的I/O端子及其內部電路(位元線負載及上拉(pull-up)及等化電路110、資料線上拉及等化電路134、感知放大及寫入緩衝器135)。

對各位元線對連接位元線負載及上拉及等化電路110，又於該各電路110與電源端子VDD間，插入保險絲115。又，如圖4所示，各位元線負載及上拉及等化電路110，係由位元線負載機構111、112；位元線上拉元件U1、U2；及位元線等化元件E1所構成；對應於位元線等化、上拉產生電路151之輸出信號 $\phi 1$ ，而成為活性/非活性狀態。資料線上拉及等化電路134，係由：資料線上拉元件U3、U4；及資料線等化元件E2所構成；對應於資料線等化，上拉產生電路152之輸出信號 $\phi 2$ ，而成為活性/非活性狀態。

此半導體記憶裝置之通常動作及待機狀態如下。

於通常動作中，對應於位址，特定的字元線及行開關被選擇，於是所希望之記憶胞被活性化，進行寫入/讀出動作。

五、發明說明(5)

於待機狀態中，晶片致能信號自外部輸入至CE端子，依內部電路之控制，全部的字元線W1~Wm被非活性化成為接地電位。又，全部的行開關131亦依前述晶片致能信號成為非導通。又，全部的位元線對B1、B1B、...、Bn、BnB與資料線D1、D1B，藉由位元線等化，上拉產生電路151之輸出信號 $\phi 1$ 與資料線等化，上拉產生電路152之輸出信號 $\phi 2$ 成為"L"電平，而被固定於電源電位VDD。

惟，上述習知半導體記憶裝置有以下問題。

(1)於圖2所示之大容量化的半導體記憶裝置中，因由測試步驟檢測出有漏電流流動之記憶胞的位置之故，在搭載圖1所示之電路的情況下，不僅測試時間變長，測試電路規模亦變大之故，有招致晶片尺寸增加的問題。

(2)圖3所示之半導體記憶裝置在待機狀態中，記憶胞100保持資料，位元線對B1、B1B、...、Bn、BnB固定於電源電位VDD，字元線D1、D1B固定於接地電位。此時，於位元線存在有如圖4所示之洩漏路徑P1、P2，若此洩漏路徑P1、P2之漏電流小，雖對寫入/讀出之通常動作沒有影響，但無法置換成冗長位址之故，在待機時之耗電在容許值以上之情況下，有招致良品率降低的問題。

發明概要

本發明鑑於上述習知問題，目的在提供半導體記憶裝置，其係具備將晶片尺寸之增大降至最小限度之測試電路者。其他目的在提供半導體記憶裝置，其係可輕易且在短時間內檢測出發生漏電流的不良記憶胞或位元線的存在位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

置者。

爲達成上述目的，本發明之一樣態之半導體記憶裝置，其係具備下述元件者：複數之字元線，其係於列方向各連接特定數之記憶胞者；共通電源線，其係將列方向之前述各記憶胞的電流路徑連接於各特定列者；列選擇用之複數之列選擇線，其係各連接於前述各字元線者；及列譯碼器，其係選擇前述列選擇線者；其特徵在於：具備選擇機構，其係在各連接於前述各共通電源線與電源間，指示通常動作模式或測試模式之切換的動作模式切換信號，指示切換至測試模式之情況下，依前述列譯碼器選擇前述各共通電源線中之某者，將所選擇之共通電源線與電源連接，除此之外，並將剩餘的共通電源線與電源間予以遮斷；在前述動作模式切換信號指示切換至通常動作模式之情況下，將前述全部之共通電源線連接於電源。

又依其較佳實施例，係於前述各共通電源線與電源間，各設保險絲者。

又，依本發明之其他樣態，係提供一種半導體記憶裝置，其係具備下述元件者：複數之字元線，其係於列方向各連接特定數之記憶胞者；共通電源線，其係將列方向之前述各記憶胞的電流路徑連接於各特定列者；列選擇用之複數之列選擇線，其係各連接於前述各字元線者；及列譯碼器，其係選擇前述列選擇線者；其特徵在於：設置測試用電路，其係於測試模式時，選擇前述複數之列選擇線中之特定的列選擇線，藉此將與該列選擇線對應配設之前述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

共通電源線連接至電源，除此之外，並將剩餘之共通電源線與電源間予以遮斷。

又依其較佳實施例，係於前述各共通電源線與電源間，各設保險絲者。

又，依本發明之其他樣態，係提供一種半導體記憶裝置，其係具備下述元件者：記憶胞陣列，其係記憶胞配置成矩陣狀，且分割為複數區塊者；複數之字元線，其係將前述記憶胞陣列內所設之前述記憶胞於同一列同數連接者；字元線選擇電路，其係於輸入端連接選擇列之列選擇線及選擇區塊之區塊選擇線，選擇前述複數之字元線中之特定的字元線者；共通電源線，其係將列方向之前述各記憶胞之電流路徑連接於各特定的列者；及列譯碼器，其係將用以基於列位址信號選擇前述列選擇線之選擇信號予以輸出者；其特徵在於：設置：選擇機構，其係在各連接於前述各共通電源線與電源間，將指示通常動作模式或測試模式之切換的動作模式切換信號及前述列譯碼器所供給之前述選擇信號予以輸入，在前述動作模式切換信號指示切換至測試模式之情況下，依前述選擇信號選擇前述各共通電源線中之某者，將所選擇之共通電源線與電源連接，除此之外，並將剩餘的共通電源線與電源間予以遮斷；在前述動作模式切換信號指示切換至通常動作模式之情況下，將前述全部之共通電源線連接於電源者；及位址輸出控制機構，其係基於位址輸出控制信號，控制對前述列譯碼器供給之列位址信號者，該位址輸出控制信號係在前述動作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

模式切換信號指示切換至測試模式之情況下，爲了執行不良胞指定用控制而自裝置外部供給者。

又依較佳實施例，其中前述不良胞指定用控制，係在同時選擇前述列選擇線中之特定條而得之第1大區域與其剩餘的第2大區域中，指定出漏電流值比特定值大的區域，於被指定的第1或第2大區域中進一步同時選擇特定條列選擇線而得之第1小區域與其剩餘的第2小區域中，指定出漏電流值比特定值大的區域，反覆執行同樣的處理以指定出漏電流值比特定值大的列選擇線者；被供給至前述位址輸出控制機構之前述位址輸出控制信號，其係應執行前述不良胞指定用控制者，係控制前述列位址信號用以選擇前述列選擇線之控制信號。

又依較佳實施例，其中假設前述列譯碼器之設置數爲 2^n 個，前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作之情況下，選擇 2^n 條列選擇線中之1條，在指示切換至前述測試模式之情況下，選擇 2^n 條列選擇線中之 $(2^n/2^m)$ 條 $[m=1, 2, \dots, n]$ 者。

又依較佳實施例，其中爲了控制前述 2^n 個列譯碼器之輸出，具備具有2個輸出端之位址緩衝器，成爲將裝置外部所供給的 n 個列位址信號施加至 n 個前述位址緩衝器之輸入端的構造；前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作模式之情況下，於前述 n 個位址緩衝器之一方的輸出端，輸出與列位址信號同相之輸出信號，除此之外，並於他方之輸出端，輸出與列位址信號反

五、發明說明(9)

相之輸出信號；在前述動作模式切換信號指示切換至測試模式之情況下，於前述位址緩衝器之2個輸出端，皆輸出與前述列位址信號同相之輸出信號。

又依較佳實施例，其中前述位址輸出控制信號係施加至既設之資料輸出入用端子者。

又依較佳實施例，其中爲了依前述不良胞指定控制指定洩漏不良胞之情況下切斷該洩漏路徑，而於前述各共通電源線與電源間，各設保險絲者。

又，依本發明之其他樣態，係提供一種半導體記憶裝置，其係具備下述元件者：複數之位元線，其係配設於記憶胞成矩陣狀配置之記憶胞陣列之行方向，連接於前述各記憶胞者；及行選擇開關，其係自前述複數之位元線選擇特定之位元線者；其特徵在於：設置：測試模式切換控制機構，其係於測試模式時，將自前述各位元線之一端所連接的電源線向各位元線之電源供給，予以遮斷者；及測試用電源供給機構，其係於前述測試模式時，選擇特定的位元線，對該位元線供給測試用之電源者。

又依其較佳實施例，其中於前述各共通電源線與電源間，各設保險絲者。

又，依本發明之其他樣態，係提供一種半導體記憶裝置，其係具備下述元件者：複數之位元線，其係配設於記憶胞成矩陣狀配置之記憶胞陣列之行方向，連接於前述各記憶胞之資料傳送閘之一端者；行譯碼器，其係基於行位址信號，於行選擇線輸出行選擇信號者；行選擇開關，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

係基於前述行選擇信號，自前述複數之位元線選擇特定的位元線者；及複數之資料線，其係經由前述行選擇開關，各連接於前述各位元線者；其特徵在於：設置：測試模式切換控制機構，其係於指示切換至通常動作模式或測試模式之動作模式切換信號指示切換至測試模式之情況下，將自前述各位元線之一端所連接的電源線向各位元線的電源供給，予以遮斷者；及測試用電源端子，其係應檢知前述行選擇開關所選擇之位元線的洩漏電流者，係用以對該位元線，經由前述行選擇開關，供給測試用之電源者。

又依較佳實施例，其中具有：各連接於前述各位元線一端的位元線負載機構、位元線上拉機構及位元線等化機構；前述測試模式切換控制機構，係將前述位元線負載機構、前述位元線上拉機構及前述位元線等化機構予以非活性化，將對前述各位元線之電源供給予以遮斷者。

又依較佳實施例，其中具有：連接於前述資料線之資料線上拉機構及資料線等化機構；前述測試用電源端子，係對前述資料線上拉機構供給電源者；於前述測試模式時，經由前述資料線上拉機構、前述資料線及前述行選擇開關，可自應檢知所選擇之位元線的洩漏電流之前述電源端子，供給測試用之電源者。

又依本發明之其他樣態，係提供一種半導體記憶裝置，其係具備下述元件者：複數之位元線，其係配設於記憶胞成矩陣狀配置之記憶胞陣列之行方向，連接於前述各記憶胞之資料傳送閘之一端者；行譯碼器，其係基於行位址信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

號，於行選擇線輸出行選擇信號者；行選擇開關，其係基於前述行選擇信號，自前述複數之位元線選擇特定的位元線者；及複數之資料線，其係經由前述行選擇開關，各連接於前述各位元線者；其特徵在於：具備：測試模式切換控制機構，其係於指示切換至通常動作模式或測試模式之動作模式切換信號指示切換至測試模式之情況下，將來自前述各位元線之一端所連接之電源線、及資料線所連接之電源線的電源供給，予以遮斷者；測試用電源端子，其係用以供給測試用電源者；及位元線洩漏負載機構，其係連接於前述測試用電源端子與接地之間，於前述測試模式時，僅對前述行選擇開關所選擇之位元線，供給應檢知該位元線之洩漏電流之前述測試用之電源者。

又依較佳實施例，其中具備位址輸出控制機構，其係於前述動作模式切換信號指示切換至測試模式之情況下，為了執行不良位元線指定用控制，基於裝置外部所供給之位址輸出控制信號，控制對前述行譯碼器供給之行位址信號者。

又依較佳實施例，其中前述不良位元線指定用控制，係在同時選擇前述行選擇線中之特定條而得之第1大區域與其剩餘的第2大區域中，指定出漏電流值比特定值大的區域，於被指定的第1或第2大區域中進一步同時選擇特定條行選擇線而得之第1小區域與其剩餘的第2小區域中，指定出漏電流值比特定值大的區域，反覆執行同樣的處理以指定出漏電流值比特定值大的行選擇線者；前述位址輸出控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

制機構，係應執行前述不良位元線指定用控制者，控制前述行位址信號，選擇前述行選擇線者。

又依較佳實施例，其中假設前述行譯碼器之設置數為 2^n 個，其輸出之前述行選擇線之條數為 2^n 條，前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作之情況下，選擇 2^n 條行選擇線中之1條，在指示切換至前述測試模式之情況下，選擇 2^n 條行選擇線中之 $(2^n/2^m)$ 條 $[m=1, 2, \dots, n]$ 者。

又依較佳實施例，其中為了控制前述 2^n 個行譯碼器之輸出，具備具有2個輸出端之位址緩衝器，成為將裝置外部所供給的 n 個行位址信號施加至 n 個前述位址緩衝器之輸入端的構造；前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作模式之情況下，於前述 n 個位址緩衝器之一方的輸出端，輸出與行位址信號同相之輸出信號，除此之外，並於他方之輸出端，輸出與行位址信號反相之輸出信號；在前述動作模式切換信號指示切換至測試模式之情況下，於前述位址緩衝器之2個輸出端，皆輸出與前述行位址信號同相之輸出信號。

又依較佳實施例，其中前述位址輸出控制信號係施加至既設之資料輸出入用端子者。

又依較佳實施例，其中為了依前述不良位元線指定控制，指定洩漏不良位元線之情況下切斷該洩漏路徑，而於前述各位元線與其一端所連接之電源線間，各設保險絲者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

圖示說明

本發明之新穎特徵記載於申請專利範圍內。惟，本發明及其他特徵，依參照附圖閱讀具體實施例之說明，可更輕易理解。

圖1為搭載習知測試電路之半導體記憶裝置之要部電路圖。

圖2為習知半導體記憶裝置之構造方塊圖。

圖3為其他半導體記憶裝置之構造方塊圖。

圖4為圖3所示半導體記憶裝置之1位元線對之相關周邊電路之要部電路圖。

圖5為本發明之第1實施形態之半導體記憶裝置的構造方塊圖。

圖6為5所示構造之具體的要部電路圖。

圖7為本發明之第2實施形態之半導體記憶裝置的構造方塊圖。

圖8為圖7所示構造之具體的要部電路圖。

圖9為構成第2實施形態特徵之位址輸出控制電路之具體的電路圖。

圖10為本發明之第3實施形態之半導體記憶裝置的構造方塊圖。

圖11為圖10所示構造之具體的要部電路圖。

圖12為構成第3實施形態之特徵之位址輸出控制電路之周邊具體的電路圖。

圖13為本發明之第4實施形態之半導體記憶裝置的構造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

方塊圖。

圖 14 為圖 13 所示之半導體記憶裝置之 1 位元線對相關周邊電路的要部電路圖。

圖 15 為本發明之第 5 實施形態之半導體記憶裝置的構造方塊圖。

圖 16 為圖 15 所示半導體記憶裝置之 1 位元線對相關周邊電路的要部電路圖。

圖 17 為構成第 5 實施形態之特徵之輸出控制電路 20 的具體的電路圖。

圖 18 為本發明之第 6 實施形態之半導體記憶裝置的構造之具體的要部電路圖。

圖 19 為本發明之第 7 實施形態之半導體記憶裝置之構造方塊圖。

實施例說明

以下參照圖示說明本發明之實施形態。

[第 1 實施形態]

圖 5 為本發明之第 1 實施形態有關之半導體記憶裝置之構造方塊圖，圖 6 為圖 5 所示構造之具體要部電路圖。於該等圖中，對與圖 2 共通的要件附以相同符號，而省略說明。

如圖 5 所示，此半導體記憶裝置係以 SRAM 構成，與圖 2 所示構造相同，具備：分割成複數區塊(1)~(n)的記憶胞陣列 50；用以控制裝置之各種動作狀態的控制端子(寫入/讀出信號 R/W、輸出致能信號 OE、晶片致能信號 OE，及其內部電路；用以選擇位址的位址端子(AIN、BIN)及其內部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

電路(列譯碼器52及區塊選擇電路70(1)~70(n)等)；及用以將資料予以寫入/讀出對I/O端子及其內部電路(讀出/寫入電路80(1)~80(n))。

記憶胞51接受配設於列方向之共通電源線VL所供給的電源。共通電源線VL連接構成選擇機構11之p型電晶體11a及n型電晶體11b，p型電晶體11a之他端經保險絲元件12連接於電源端子VDD。n型電晶體11b之他端係接地於GND。此p型、n型電晶體之間極被輸入NOR電路11c的輸出，NOR電路11c之輸入端中之一方連接於動作模式切換電路10的輸出即模式信號MD，其另一方連接於列選擇線53。

動作模式切換電路10係由：下拉(pull down)元件10a及串聯之反相器10b、10c、10d所構成，係對輸入端經TEST端子自外部施予動作切換信號TEST，輸出模式信號MD。動作模式切換信號TEST係指示切換至通常動作模式或測試模式的信號。

次之說明本實施形態的動作(A)，(B)。

(A)漏電測試模式之動作

檢測出列選擇線53，其係連接於發生漏電流之記憶胞51者。若自裝置外部對TEST端子施予"H"電平，則動作模式切換電路10之輸出即模式信號MD成為"L"電平。又，依外部所供給之位址信號AIN、BIN，所希望的列譯碼器52被活性化，與其連接之列選擇線53成為"H"電平。

將該等信號輸入之NOR電路11c的輸出成"L"電平，p型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

電晶體 11a 被導通，n 型電晶體 11b 成非導通。依此，此共通電源線 VL 與電源 VDD 之間被連接，對記憶胞 51 供給電源。此處未圖示之其他列選擇線 53 全部係成 "L" 電平。

自此，未圖示之全部的 NOR 電路 11c 之輸出成 "H" 電平，p 型電晶體 11a 成非導通，n 型電晶體 11b 成導通狀態。藉此，此處未圖示之共通電源線 VL 與電源 VDD 之間被切斷，於記憶胞 51 並無電流供給。

又，區塊選擇線 55 之構造係：在將 /CE 端子設為 "H" 電平之待機狀態中，全部的區塊選擇線 55 係將字元線選擇電路 56 予以非活性化之故，全部的字元線 54 成為 "L" 電平。故，依序選擇列選擇線 53，每次測定其漏電流，在其值為容許值以上時之選擇列即有不良記憶胞 51 存在。又，藉熔斷此列選擇線 53 之保險絲 12，將洩漏路徑切斷，置換成預先準備之預備列。

依此種測試，便可檢測出發生漏電流之記憶胞 51 的存在位置。

(B) 通常動作模式之動作

自裝置外部不對 TEST 端子施予信號，對動作模式切換電路 10 之輸入端所附加的下拉元件 10a 的閘極，施予 "H" 電平予以導通，其輸出即模式信號 MD 係輸出 "H" 電平。將其輸入之全部之選擇機構 11 的 NOR 電路 11c 之輸出成為 "L" 電平，p 型電晶體 11a 被導通，n 型電晶體 11b 成非導通。依此，共通電源線 VL 與電源 VDD 間被連接，全部的記憶胞 51 被供給電源電壓 VDD，可毫無障礙的進行動作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

本實施形態中，可將各列所設之測試電路(選擇機構11)的構成元件數，減少為比圖1所示之習知電路少，可搭載將晶片尺寸的增加降至最小限度之測試電路。

[實2實施形態]

於上述第1實施形態中雖已說明使用漏電測試模式，可檢測出發生漏電流之記憶胞51的存在位置，但隨著大容量化，其漏電測試時間變長。例如在具備512列之列選擇線的SRAM之情況下，若假設1列的漏電測試時間為100 msec，則每列皆測便需測試512次、需51.2 sec。通常的全部的動作確認雖25 sec即可完畢，若追加漏電測試便需要3倍的測試時間，而成為問題。此處，第2實施形態便係說明以短時間進行前述漏電測試之手法。

圖7為本發明之第2實施形態之半導體記憶裝置之構造方塊圖，圖8為圖7所示構造之具體的要部電路圖。又，圖9為構成本實施形態之特徵的位址輸出控制電路20之具體電路圖。於圖7及圖8中，對與圖5及圖6共通的要件附以相同符號，而省略說明。

本實施形態之構造係於上述第1實施形態之構造中，設置位址輸出控制電路20，其係對位址緩衝器60進行列位址之輸出控制者。位址輸出控制電路20如圖9所示，由下拉元件20a(其係於閘極施加由動作模式切換電路10所輸出之模式信號MD者)、反相器20b、20c、20d所構成，經ADDT端子輸入位址輸出控制信號ADDT，將輸出信號AC對位址緩衝器60輸出。

五、發明說明 (18)

以下說明本實施形態之控制。又，為便於說明，圖9茲敘述8條列選擇線53 (g000~g111)之控制。

本例具備3個位址緩衝器60(1)~60(3)，自裝置外部供給之3組位址信號AIN(1)、AIN(2)、AIN(3)係被施加至各位址緩衝器60(1)~60(3)之輸入端。

各位址緩衝器60(1)~60(3)各係由反相器60a、60b、60c及NAND電路60d、60e所構成，於驅動其輸出端的NAND電路60d、60e之一端，被輸入位址輸出控制電路20的輸出信號AC1、AC2、AC3。

在通常動作模式時，對ADDT端子不施予信號，對位址輸出控制電路20之輸入端所附加之下拉元件20a的閘極，施予VDD予以導通，各位址輸出控制電路20(1)~20(3)之輸出信號AC1、AC2、AC3全部被固定於"H"電平。

於是，於各位址緩衝器60(1)~60(3)之2個輸出端的一方，各輸出與位址信號AIN(1)、AIN(2)、AIN(3)同相之輸出信號A1、A2、A3，於他方之輸出端輸出與位址信號AIN(1)、AIN(2)、AIN(3)反相之輸出信號/A1~/A3。

於漏電測試模式中，對ADDT端子施予信號，各位址輸出控制電路20(1)~20(3)之輸出信號AC1、AC2、AC3，係因應於被輸入至ADDT端子(1)~(3)之位址輸出控制信號ADDT(1)~ADDT(3)而變化。例如在對ADDT(1)~ADDT(3)施予"H"電平時，與各位址信號AIN(1)~AIN(3)無關的，於各位址緩衝器60(1)~60(3)之2個輸出端皆輸出"H"電平。

此處，在8條列選擇線53中，在假設由A1、A2、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

A3="L"電平所選擇之最下位之列選擇線g000所連接的記憶胞51發生漏電流時，可如下指定出漏電處。

首先，設定位址輸出控制信號AC1及AC2為"H"電平、AC3為"L"電平，再設位址信號A1、A2、A3為"H"電平，則8條列選擇線中，上位4條列選擇線g100~g111被同時選擇。又，若設位址信號A3為"L"電平，則8條選擇線中，下位4條列選擇線g000~g001被同時選擇。依上述假設，A3="H"電平時漏電流未被檢測出，在A3="L"時漏電流便被檢測出。依此，漏電流的發生位置，可被指出係在8條列選擇線中之A3="L"電平側之4條列選擇線。

次之對A3="L"電平側之4條列選擇線，進行與上述相同之處理。將位址信號AIN(1)、AIN(2)、AIN(3)與位址輸出控制信號ADDT(1)~ADDT(3)設定於所期望之電平，在同時選擇列選擇線g000~g001之2條時發生漏電流，在同時選擇列選擇線g010~g011之2條時未發生漏電流。

再各選擇上述列選擇線g000與g001，可檢測出列選擇線g000所連接之記憶胞51發生漏電流。

例如在具備512列之列選擇線53的SRAM中，若在任意1條列選擇線53所連接之記憶胞51發生漏電流，則其檢測係與上述相同在512條中，在同時選擇256條之狀態下測定各個漏電流，指出係何測有漏電。次之在同時選擇256條中之128條之狀態下分別測定，指出係何測有漏電。以下重覆相同之處理。

即，因要將512條列選擇線53予以譯碼的位址信號需要9

五、發明說明(20)

個之故，可依 $9 \times 2 = 18$ 次之測試予以檢測出。此時測試時間為 $100 \text{ ms} \times 18 \text{ 次} = 1.8 \text{ sec}$ 。此與未具備前述位址輸出控制信號時需要51.2秒相比，可大幅縮短測試時間。

如此，本實施形態係設置位址輸出控制電路20，為可同時選擇複數條列選擇線53之構造之故，可在更短的時間檢測出發生漏電流之記憶胞的存在位置。

[第3實施形態]

如上述第2實施形態所示，位址輸出控制電路20必須於其所對應之位址緩衝器60逐一設置，於是可能會造成自外部供給至其之信號及晶片內所設之端子數增加，可能會招致測試裝置之端子數增大及晶片尺寸增大。本實施形態在此情況下，自外部供給之位址輸出控制信號ADDT係輸入至I/O端子，其構造係可同時防止測試裝置之端子數增加及晶片尺寸增大者。

圖10為本發明之第3實施形態之半導體記憶裝置的構造方塊圖，圖11為圖10所示構造之具體的要部電路圖。又，圖12為構成本實施形態之特徵之位址輸出控制電路25的周邊具體的電路圖。於該等圖中，對與圖5及圖6共通的要件附以相同符號，而省略說明。

本實施形態之構造係於上述第2實施形態的構造中，並不設置用以將位址輸出控制信號ADDT自外部輸入用之ADDT端子，而係使用既有之I/O端子將位址輸出控制信號ADDT輸入。因此，設置了新的位址輸出控制電路25，其係將位址輸出控制電路20之構造變更而成者。

五、發明說明 (21)

即，各位址輸出控制電路25如圖12所示，係由反相器25a、25b及NOR電路25c所構成。由動作模式切換電路10所輸出之模式信號MD，係經由反相器25a輸入至NOR電路25c之輸入端的一方，由I/O端子輸入的位址輸出控制信號ADDT，被輸入至NOR電路25c之輸入端的另一方，NOR電路25c之輸出經反相器25b連接至輸出端。

通常動作時，依I/O端子進行資料之讀出/寫入。測試模式時，讀出/寫入電路80(1)、80(2)、80(3)係被非活性化之故，自外部供給至I/O端子之位址輸出控制信號ADDT(1)、(2)、(3)，各成為位址輸出控制電路25(1)、(2)、(3)之輸入信號。

依此，便不需要圖9所示之ADDT端子，可將晶片尺寸之增大抑制至最小限度。

[第4實施形態]

圖13為本發明之第4實施形態之半導體記憶裝置之構造方塊圖，圖14為圖13所示半導體記憶裝置之1位元線對相關之周邊電路的要部電路圖。於該等圖中，對與圖3共通之要件附以相同符號，而省略說明。

本實施形態之半導體記憶裝置係於上述圖3所示習知半導體記憶裝置中，設置測試用電源端子VT，其係連接於資料線上拉及等化電路134者，除此之外，並設置動作模式切換電路140及測試切換控制電路141。

動作模式切換電路140係由下拉元件140a、反相器140b、140c所構成，於輸入端經TEST端子自外部供給動作切換信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

號 TEST，將模式信號 MD 予以輸出。動作模式切換信號 TEST 係指示切換至通常動作模式或測試模式之信號。又，測試切換控制電路 141 係在前述動作模式切換信號 TEST 指示測試模式之情況下，爲了切斷自前述各位元線對 B1、B1B、...、Bn、BnB 之一端所連接之電源端子 VDD 向各位元線之電源供給，控制位元線負載及上拉及等化電路 110 之電路。

具體上如圖 14 所示，記憶胞 100 之傳送閘連接於位元線對 B1、B1B 上端，於此位元線對 B1、B1B 上端，連接位元線負載及上拉及等化電路 110。電路 110 係由位元線負載機構 111、等化元件 E1 及位元線上拉元件 U1、U2 所構成。又於電路 110 與電源端子 VDD 間，連接位元線電源切斷用之保險絲 115。

又，在位元線對 B1、B1B 下端與資料線 D1、D1B 之間，配置行開關 131，資料線 D1、D1B 係連接於資料讀出/寫入用之感知放大器及寫入緩衝器 135。

接受來自外部之測試信號之測試端子 TEST，係連接於動作模式切換電路 140 之輸入端之下拉元件 140a，其輸出即模式信號 MD，係連接於位元線負載機構 111、112 之閘極，除此之外，並連接於測試切換控制電路 141 之輸入側。

測試切換控制電路 141，係由 NAND 141a 及反相器 141b、141c 所構成，於反相器 141b 之輸入側，輸入位元線等化、上拉產生電路 151 之輸出信號，又於反相器 141c 之輸入側

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

輸入模式信號MD。依此，模式信號MD經反相器141c及NAND 141a，被供給至位元線等化元件E1與位元線上拉元件U1、U2之閘極。

又，於資料線D1、D1B連接資料線上拉元件U3、U4(其係構成資料線上拉及等化電路134者)及資料線等化元件E2。又，於資料線上拉元件U3、U4之電源側，連接漏電測試專用之電源端子VT。又，此電源端子VT亦可為一般的電源端子VCC。

次之說明本實施形態之動作(A)、(B)。

(A)漏電測試模式之動作

在檢測出發生漏電流之位元線的情況，自裝置外部對測試端子TEST供給"H"電平之動作模式切換信號TEST。如此做之後，經動作模式切換電路140輸出"H"電平之模式信號MD，使得測試切換控制電路141之輸出信號 $\phi 1$ 成為"H"電平，位元線上拉元件U1、U2與位元線等化元件E1成非導通。

另一方面，依外部供給之位址信號，經行譯碼器132僅導通所希望的行開關131，選擇與其相連的位元線。依此，所選擇之位元線係連接於資料線D1、D1B，且與電源端子VDD之連接被切斷，非選擇之位元線全部成浮動狀態。

又，資料線D1、D1B所連接之資料線上拉元件U3、U4及資料線等化元件E2，係與通常的待機狀態相同的被導通。

五、發明說明(24)

於此種狀態中，若依施加至漏電測試專用電源端子TV之電源進行電流測定，則在依行位址選擇伴隨漏電流之位元線時，自漏電測試專用電源端子TV，經資料線上拉元件U3、U4、行開關131，電流在流動。

如此依序選擇行開關131，每次測定其漏電流，在其測定值在容許值以上時，選擇行即選擇位元線有不良存在，可檢測出其發生漏電流之位元線的存在位置。又，依熔斷此位元線之保險絲115，切斷漏電路徑，置換成預先準備之預備行，即可達成高良品率。

(B)通常動作模式之動作

自裝置外部未對測試端子TEST供給信號，依動作模式切換電路140之下拉元件140a，使模式信號MD成"L"電平。依此，位元線負載機構即PMOS元件111、112成為"ON"，成為動作狀態，又位元線上拉元件U1、U2及位元線等化元件E1，依來自位元線等化上拉產生電路151之信號進行動作。故，於通常動作模式中亦可毫無障礙的進行動作。

[第5實施形態]

於上述第4實施形態中，雖說明使用漏電測試模式，即可檢測出發生漏電流之記憶胞51之存在位置，但隨著大容量化，其漏電測試時間增大。例如在具備512行之列選擇線的SRAM之情況下，若假設1行的漏電測試時間為100 msec，則每行皆測便需測試512次、需51.2 sec。通常的全部的動作確認雖25 sec即可完畢，若追加漏電測試便需要3倍的測試時間，而成為問題。此處，第5實施形態便係說

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

明以短時間進行前述漏電測試之手法。

圖 15 為本發明之第 5 實施形態之半導體記憶裝置之構造方塊圖，圖 16 為圖 15 所示構造之具體的要部電路圖。又，圖 17 為構成本實施形態之特徵的位址輸出控制電路 20 之具體電路圖。於圖 15 及圖 16 中，對與圖 13 及圖 14 共通的要件附以相同符號，而省略說明。

本實施形態之構造係於上述第 5 實施形態之構造中，設置位址輸出控制電路 150，其係對位址緩衝器 133 進行行位址之輸出控制者。位址輸出控制電路 150 如圖 17 所示，由下拉元件 150a (其係於閘極施加由動作模式切換電路 10 所輸出之模式信號 MD 者)、反相器 150b、150c、150d 所構成，經 ADDT 端子輸入位址輸出控制信號 ADDT，將輸出信號 AC 對位址緩衝器 133 輸出。

以下說明本實施形態之控制。又，為便於說明，圖 17 茲敘述 8 條行選擇線 (h000~h111) 之控制。

本例具備 3 個位址緩衝器 133(1)~133(3)，自裝置外部供給之 3 組位址信號 AIN(1)、AIN(2)、AIN(3) 係被施加至各位址緩衝器 133(1)~133(3) 之輸入端。

各位址緩衝器 133(1)~133(3) 各係由反相器 133a、133b、133c 及 NAND 電路 133d、133e 所構成，於驅動其輸出端的 NAND 電路 133d、133e 之一端，被輸入位址輸出控制電路 150 的輸出信號 AC1、AC2、AC3。

在通常動作模式時，對 ADDT 端子不施予信號，對位址輸出控制電路 150 之輸入端所附加之下拉元件 150a 的閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

極，施予VDD予以導通，各位址輸出控制電路150(1)~150(3)之輸出信號AC1、AC2、AC3全部被固定於"H"電平。

於是，於各位址緩衝器133(1)~133(3)之2個輸出端的一方，各輸出與位址信號AIN(1)、AIN(2)、AIN(3)同相之輸出信號A1、A2、A3，於他方之輸出端輸出與位址信號AIN(1)、AIN(2)、AIN(3)反相之輸出信號/A1~/A3。

於漏電測試模式中，對ADDT端子施予信號，各位址輸出控制電路150(1)~150(3)之輸出信號AC1、AC2、AC3，係因應於被輸入至ADDT端子(1)~(3)之位址輸出控制信號ADDT(1)~ADDT(3)而變化。例如在對ADDT(1)~ADDT(3)施予"H"電平時，與各位址信號AIN(1)~AIN(3)無關的，於各位址緩衝器133(1)~133(3)之2個輸出端皆輸出"H"電平。

此處，在8條行選擇線中，在假設由A1、A2、A3="L"電平所選擇之最下位之行選擇線h000所連接的位元線發生漏電流時，可如下指定出漏電處。

首先，設定位址輸出控制信號AC1及AC2為"H"電平、AC3為"L"電平，再設位址信號A1、A2、A3為"H"電平，則8條列選擇線中，上位4條行選擇線h100~h111被同時選擇。又，若設位址信號A3為"L"電平，則8條選擇線中，下位4條行選擇線h000~h001被同時選擇。依上述假設，A3="H"電平時漏電流未被檢測出，在A3="L"時漏電流便被檢測出。依此，漏電流的發生位置，可被指出係在8條列選擇線中之A3="L"電平側之4條列選擇線。

五、發明說明 (27)

次之對 A3="L" 電平側之 4 條行選擇線，進行與上述相同之處理。將位址信號 AIN(1)、AIN(2)、AIN(3) 與位址輸出控制信號 ADDT(1)~ADDT(3) 設定於所期望之電平，在同時選擇行選擇線 h000~h001 之 2 條時發生漏電流，在同時選擇行選擇線 h010~h011 之 2 條時未發生漏電流。

再各選擇上述行選擇線 h000 與 h001，可檢測出行選擇線 h000 所連接之位元線發生漏電流。

例如在具備 512 行之行選擇線的 SRAM 中，若在任意 1 條行選擇線所連接之位元線發生漏電流，則其檢測係與上述相同在 512 條中，在同時選擇 256 條之狀態下測定各個漏電流，指出係何側有漏電。次之在同時選擇 256 條中之 128 條之狀態下分別測定，指出係何側有漏電。以下重覆相同之處理。

即，因要將 512 條行選擇線予以譯碼的位址信號需要 9 個之故，可依 $9 \times 2 = 18$ 次之測試予以檢測出。此時測試時間為 $100 \text{ ms} \times 18 \text{ 次} = 1.8 \text{ sec}$ 。此與未具備前述位址輸出控制信號時需要 51.2 秒相比，可大幅縮短測試時間。

如此，本實施形態係設置位址輸出控制電路 150，為可同時選擇複數條行選擇線之構造之故，可在更短的時間檢測出發生漏電流之記憶胞的存在位置。

[第 6 實施形態]

圖 18 為本發明之第 6 實施形態之半導體記憶裝置之構造的具體的要部電路圖。對與圖 16 共通之要件附以相同符號，而省略說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

本實施形態之構造係於圖16所示之構造中，於各位元線對設置位元線漏電負載電路160者。位元線漏電負載電路160係連接於測試用電源端子VT與接地電位之間，僅對於在測試模式時被選擇之位元線，自測試用電源端子VT供給應檢測該位元線之漏電流用之測試用電源的電路。具體上如圖18所示，係由PMOS元件160a、160b、NMOS元件160c、160d及反相器160e、160f所構成，由模式信號MD及行譯碼器之輸出予以控制。

又，構成資料線上拉及等化電路134之資料線上拉元件U3、U4及資料線等化元件E2，係由來自與前述切換控制電路141相同構造之測試切換控制電路142的信號 $\phi 2$ ，控制為導通/非導通。

依本實施形態，於測試模式時，資料線上拉元件U3、U4及資料線等化元件E2，係依測試切換控制電路142成為非導通；同樣的構成位元線負載及上拉及等化電路110之位元線負載機構111、112、位元線等化元件E1、及位元線上拉元件U1、U2，係依測試切換控制電路141成為非導通。

又，於測試模式時，基於"H"電平之模式信號MD，位元線漏電負載電路160之PMOS元件160a、160b、及NMOS160c、160d被導通。又，僅於行開關被選擇之位址，位元線對所連接之反相器160e、160f被活性化，向位元線施加測試專用之電源。此時，在漏電路徑存在的情況下，自測試專用電源端子VT有電流流動。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

[第 7 實施形態]

如上述第 5 實施形態所示，位址輸出控制電路 150 必須於其所對應之位址緩衝器 133 逐一設置，於是可能會造成自外部供給至其之信號及晶片內所設之端子數增加，可能會招致測試裝置之端子數增大及晶片尺寸增大。本實施形態在此情況下，自外部供給之位址輸出控制信號 ADDT 係輸入至 I/O 端子，其構造係可同時防止測試裝置之端子數增加及晶片尺寸增大者。

圖 19 為本發明之第 7 實施形態之半導體記憶裝置的構造方塊圖，對與圖 15 共通的要件附以相同符號，而省略說明。

本實施形態之構造係於上述圖 15 的構造中，並不設置用以將位址輸出控制信號 ADDT 自外部輸入用之 ADDT 端子，而係使用既有之 I/O 端子將位址輸出控制信號 ADDT 輸入。因此，設置了新的位址輸出控制電路 150A，其係將位址輸出控制電路 150 之構造變更而成者。即，各位址輸出控制電路 150A 係與如圖 12 所示之位址輸出控制電路 25 相同之構造。

通常動作時，依 I/O 端子進行資料之讀出/寫入。測試模式時，讀出/寫入緩衝器 135 係被非活性化之故，自外部供給至 I/O 端子之位址輸出控制信號 ADDT(1)、(2)、(3)，各成為位址輸出控制電路 150A 之輸入信號。

依此，便不需要圖 15 所示之 ADDT 端子，可將晶片尺寸之增大抑制至最小限度。

五、發明說明 (30)

如以上之詳細說明，依本發明可具備能將晶片尺寸的增大抑制於最小限度的測試電路，又可輕易且在短時間檢測出發生漏電流之不良記憶胞或不良位元線的存在位置。依此，可實現高良品率之半導體裝置。

以上雖依實施例對本發明作詳細說明，但當業者可知本發明並不限定於本案所說明之實施例。本發明之裝置在不脫申請專利範圍所定之本發明之主旨及範圍內，可實施修正及變更樣態。故本案之記憶僅係以例示說明為目的，並未對本發明有任何限制之意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：半導體記憶裝置）

本發明之目的在提供一半導體記憶裝置，其係可輕易且於短時間檢測出發生洩漏電流之不良記憶胞的所在位置者。其進行不良胞指定用控制，即在同時選擇前述列選擇線中之特定條而得之第1大區域與其剩餘的第2大區域中，指定出漏電流值比特定值大的區域，於被指定的第1或第2大區域中進一步同時選擇特定條列選擇線而得之第1小區域與其剩餘的第2小區域中，指定出漏電流值比特定值大的區域，反覆執行同樣的處理以指定出漏電流值比特定值大的列選擇線。因此，於裝置內設置位址輸出控制電路。由外部供給至其之位址輸出控制信號，係應執行前述控制者，係為用以控制前述列位址信號，選擇前述列選擇線者。

英文發明摘要（發明之名稱："半導體記憶裝置"）

リーク電流の発生している不良メモリセルの存在位置を容易に且つ短時間で検出することができる半導体記憶装置を提供する。行選択線のうちの所定本数を同時に選択し得られた第1の大領域とその残りの第2の大領域とにおいてリーク電流値が所定値よりも大きい領域を特定し、特定された第1または第2の大領域においてさらに所定本数の行選択線を同時に選択し得られた第1の小領域とその残りの第2の小領域においてリーク電流値が所定値よりも大きい領域を特定し、同様の処理を繰り返し実行してリーク電流値が所定値よりも大きい行選択線を特定する制御を行う。そのために、装置内にアドレス出力制御回路を設ける。これに外部より供給されるアドレス出力制御信号は、前記制御を実行すべく、前記行アドレス信号を制御して前記行選択線を選択するための制御信号である。

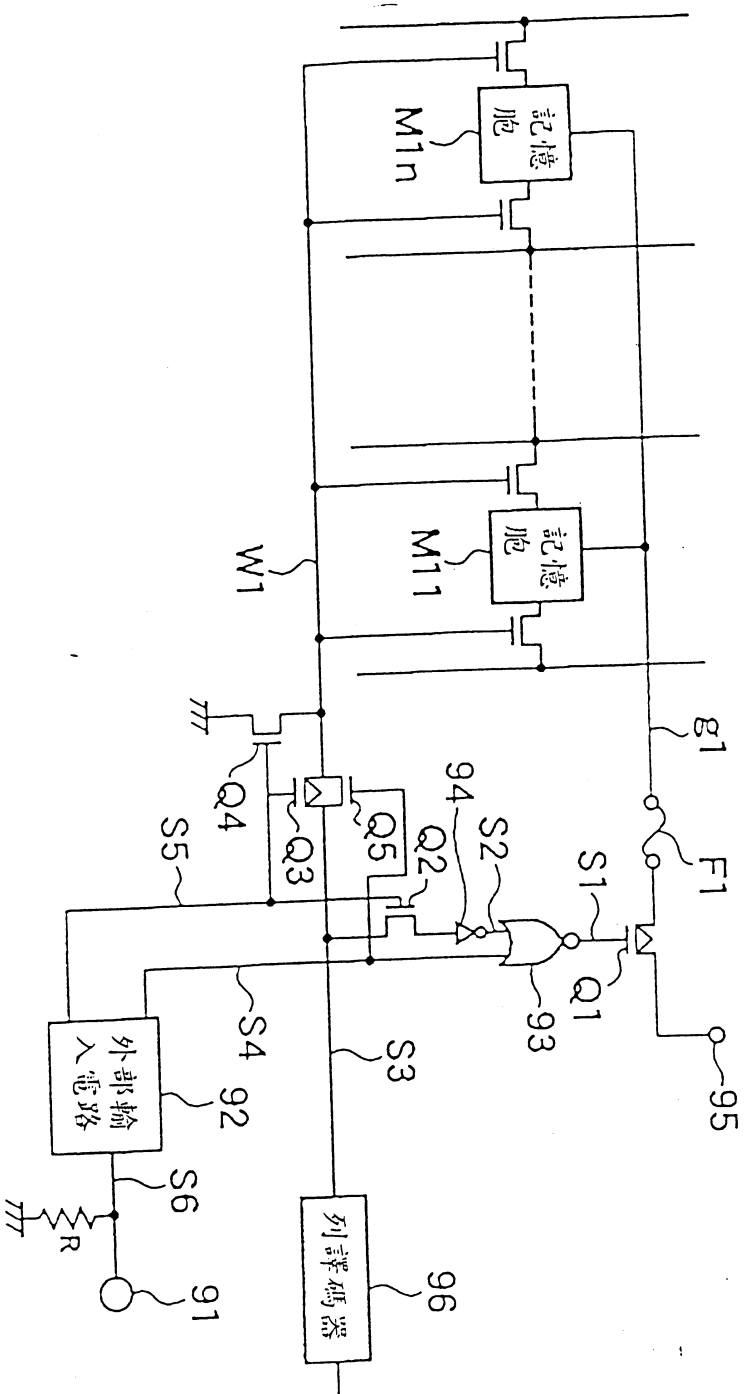


圖 1

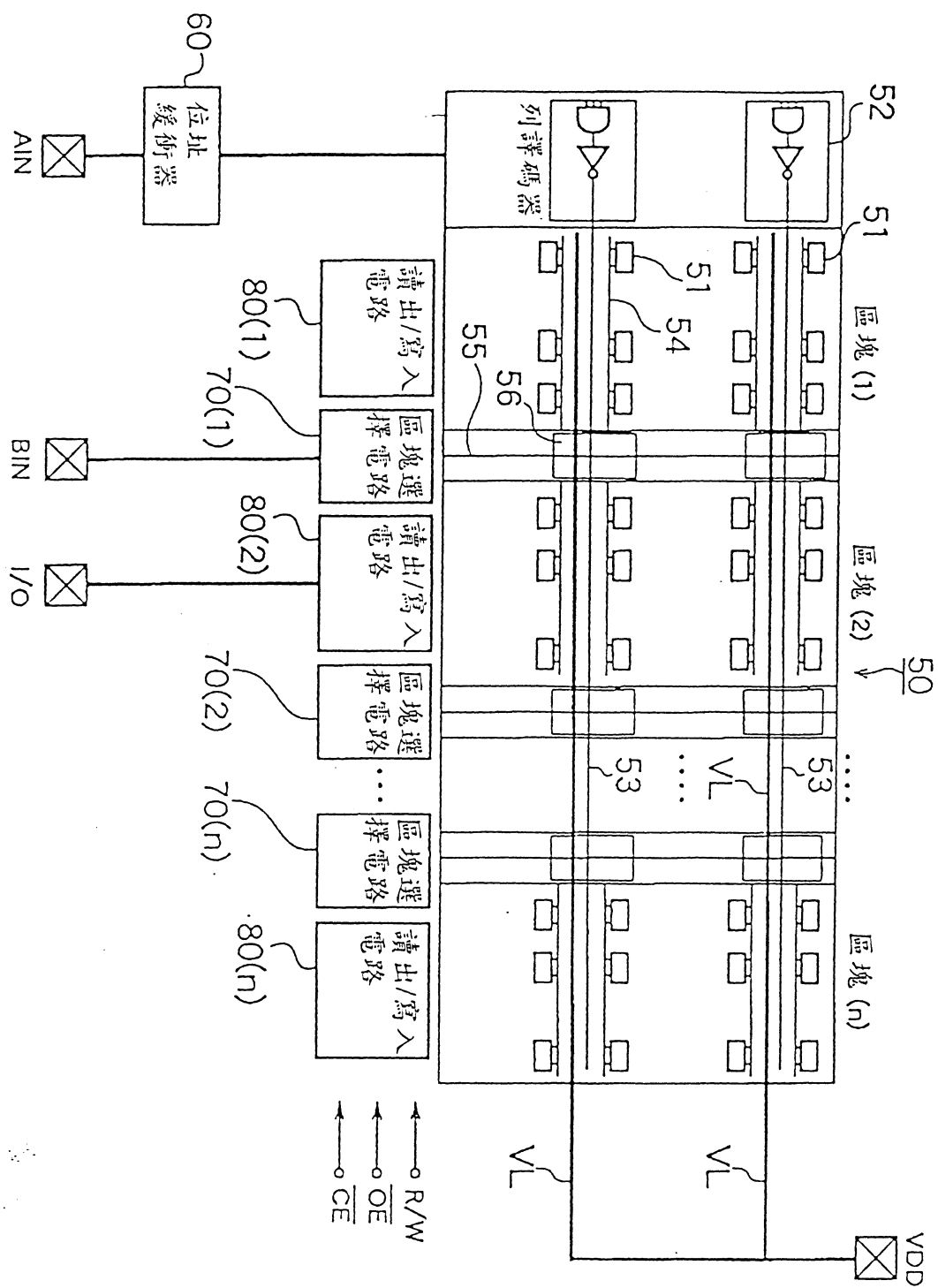


圖 2

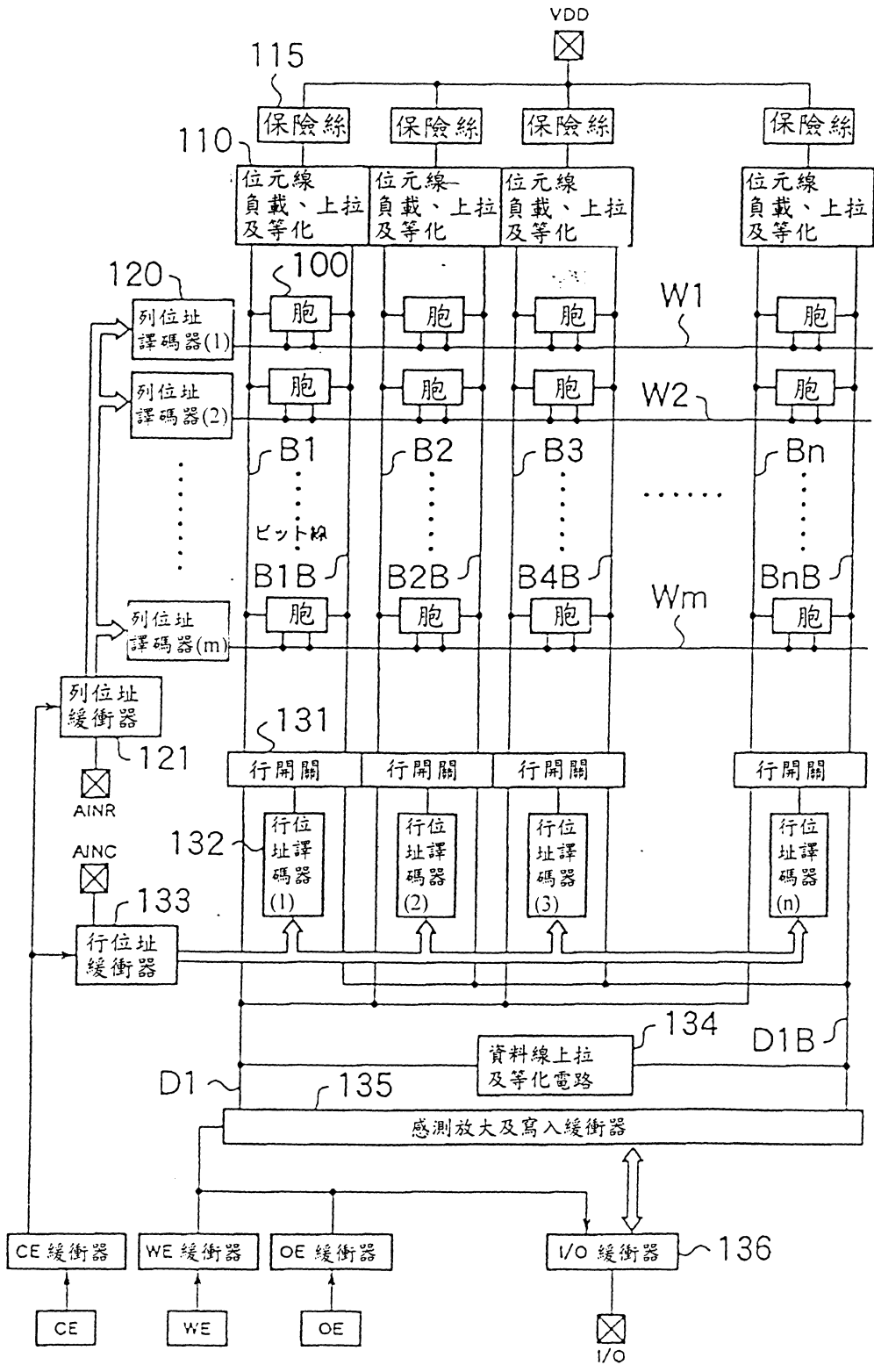


圖 3

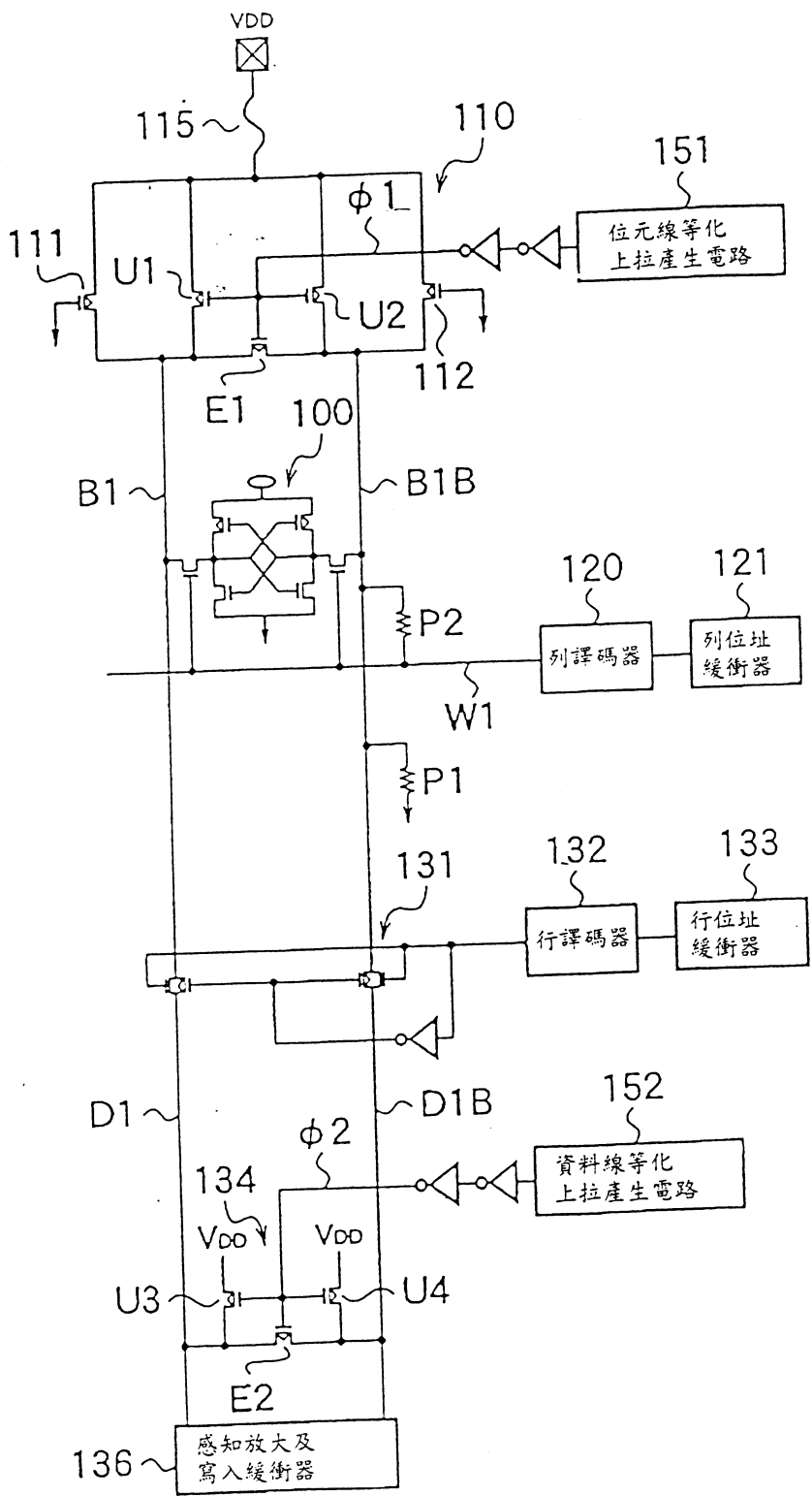


圖 4

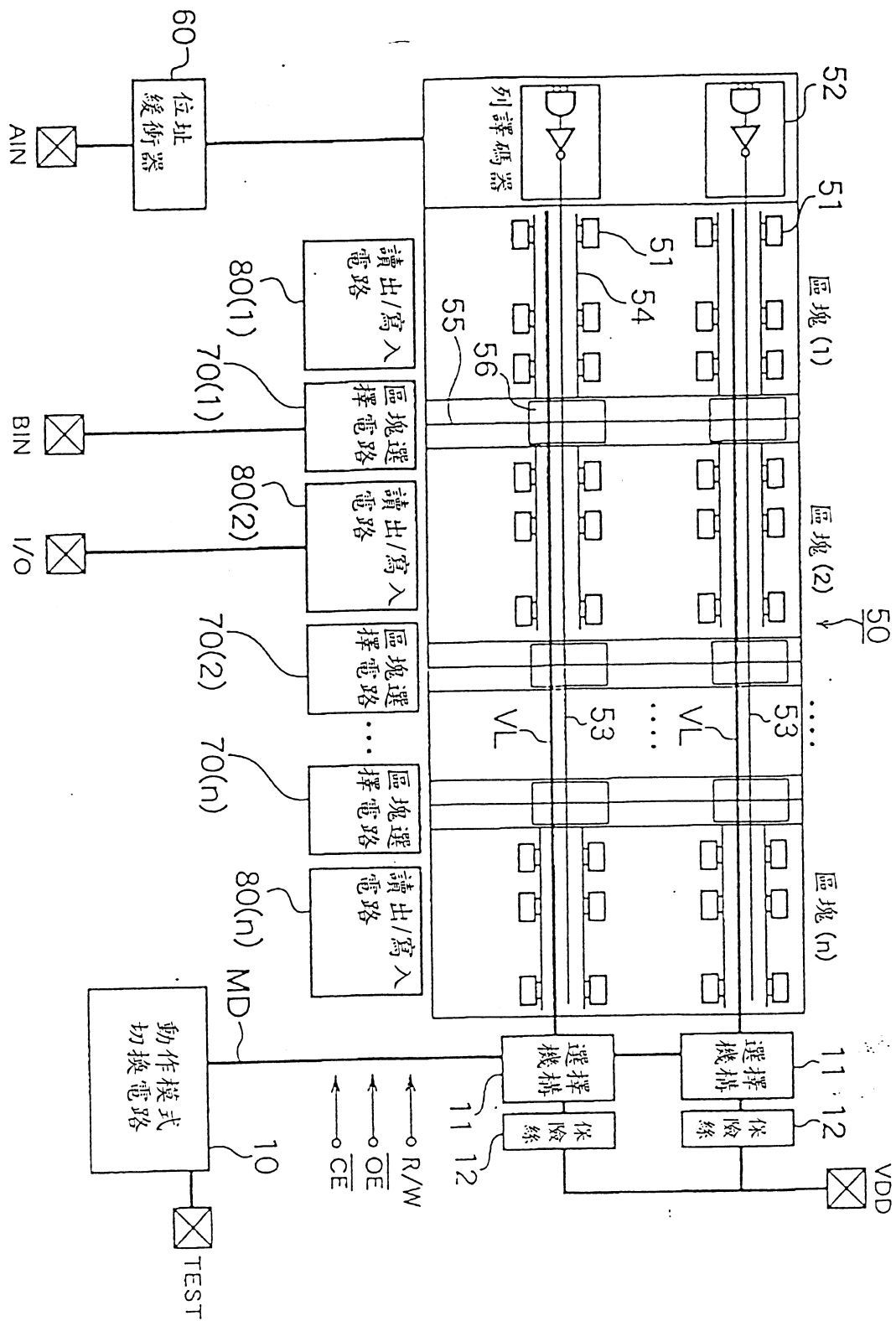


圖 5

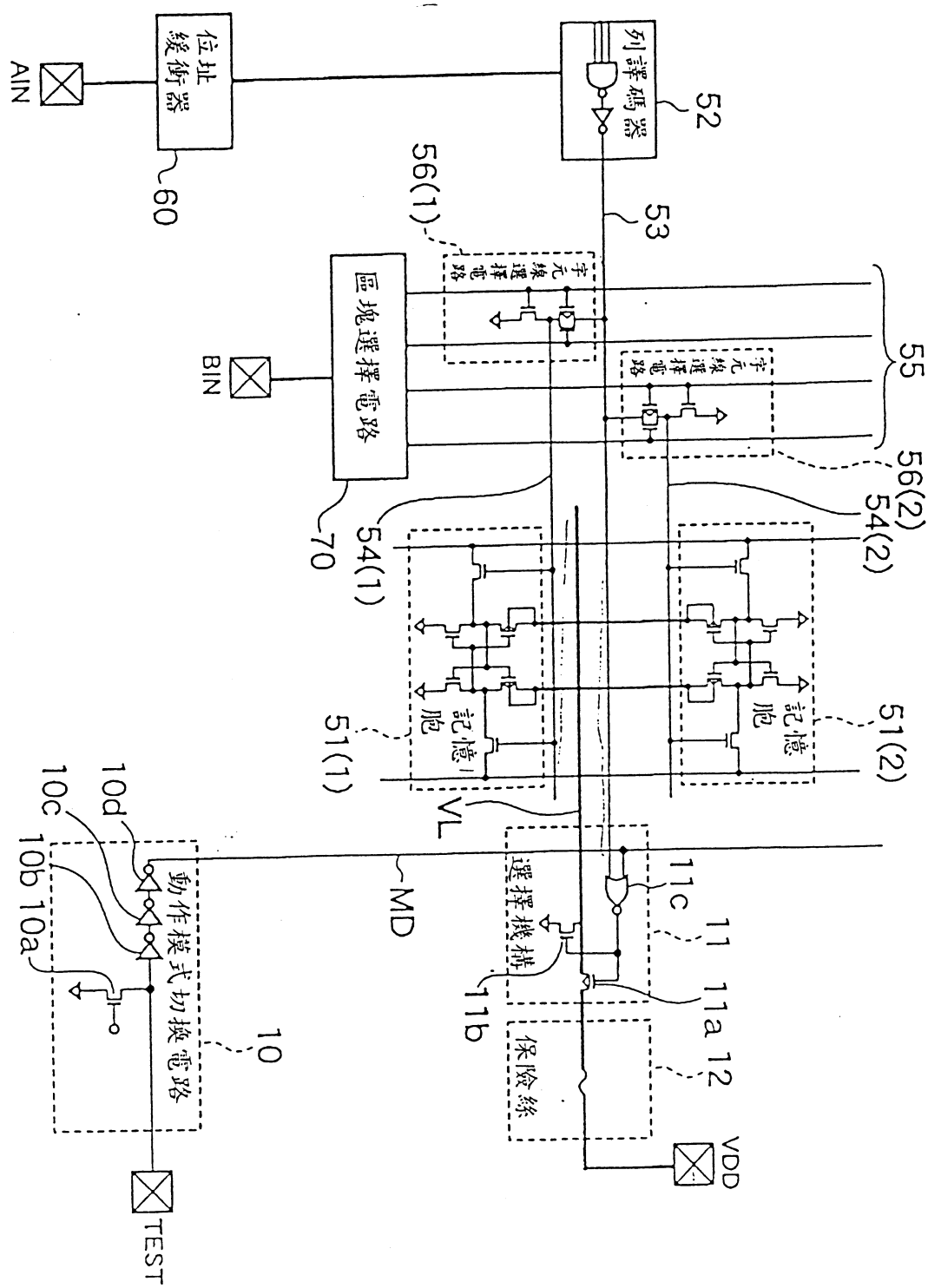


圖 6

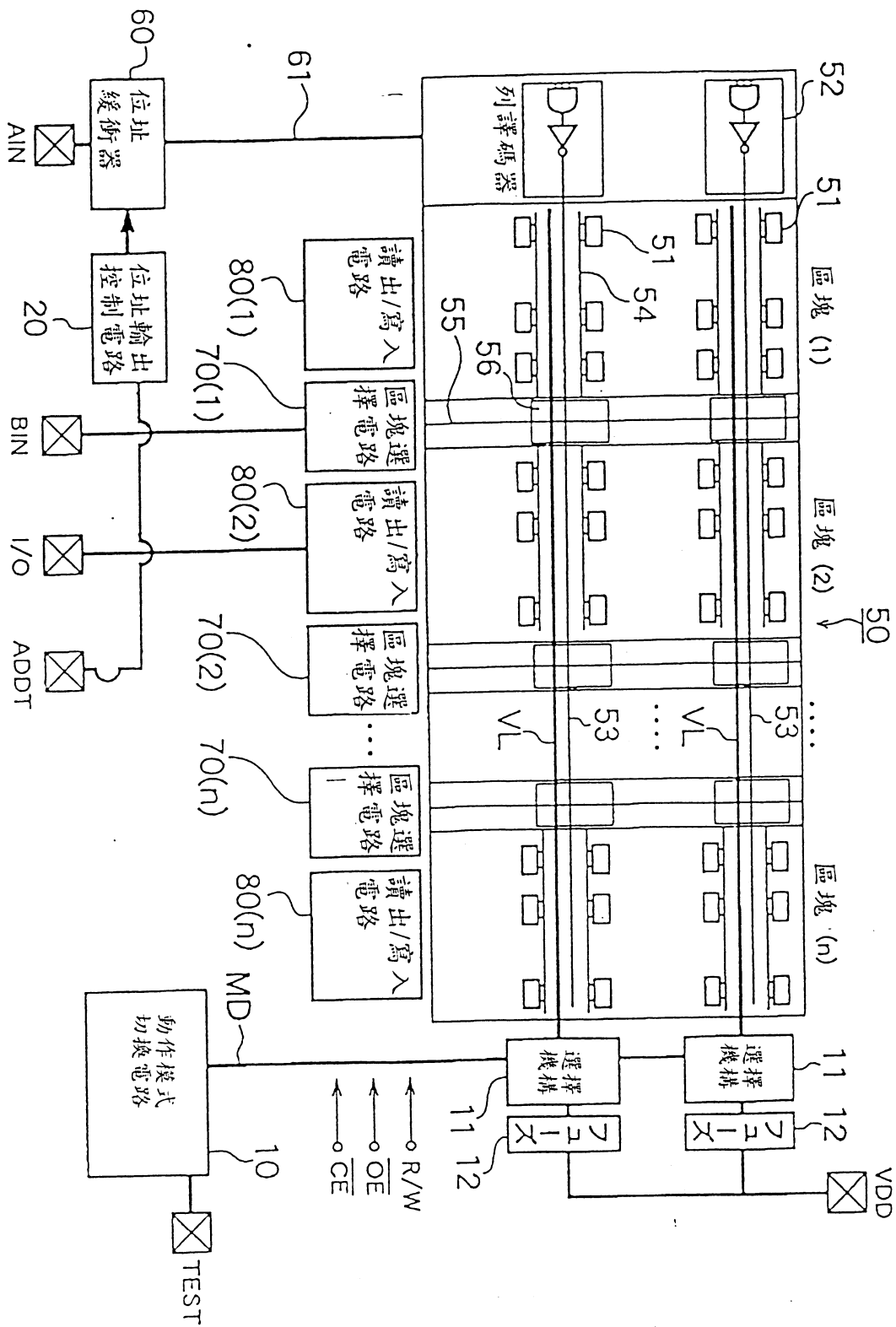


圖 7

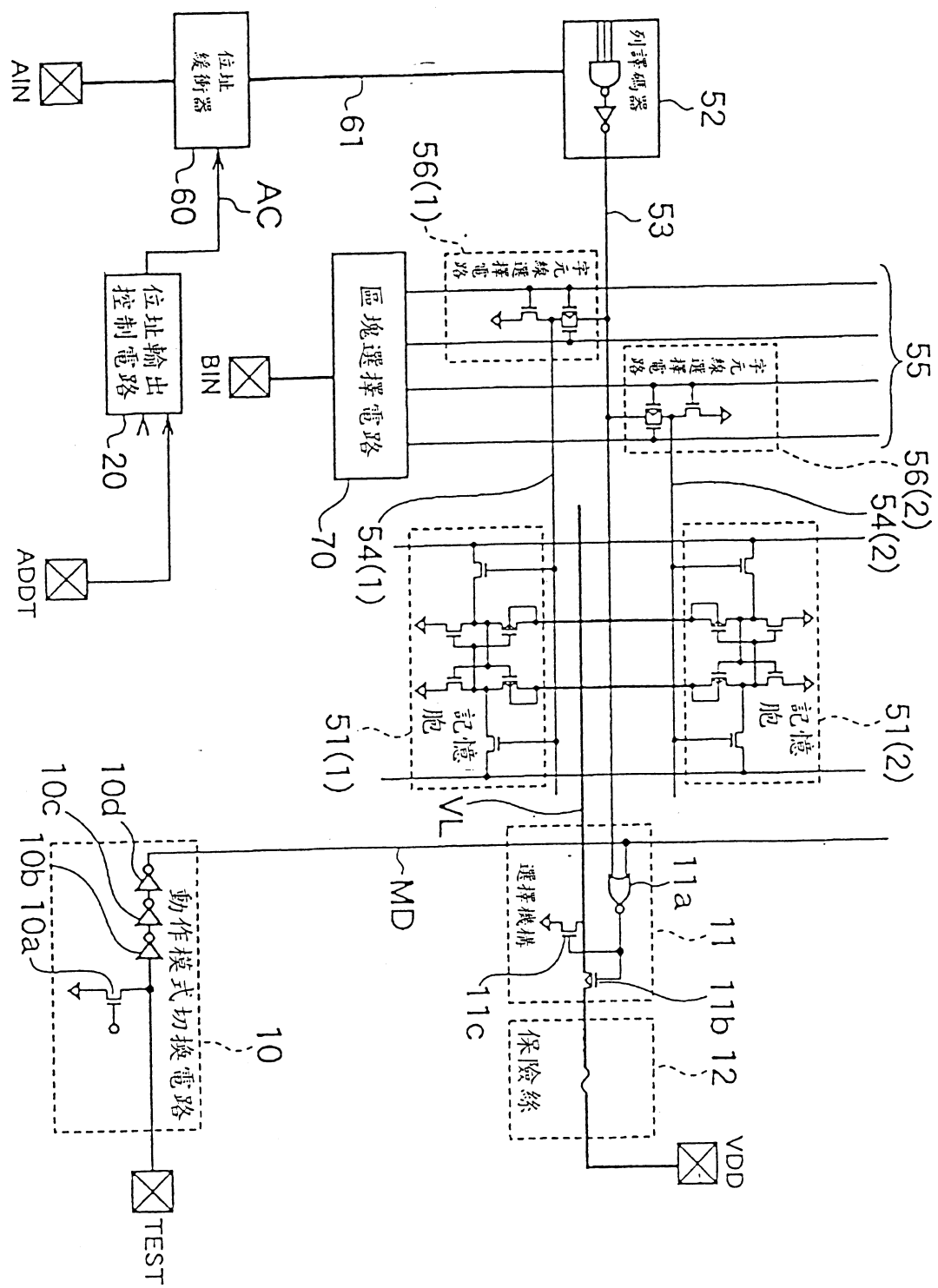
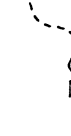
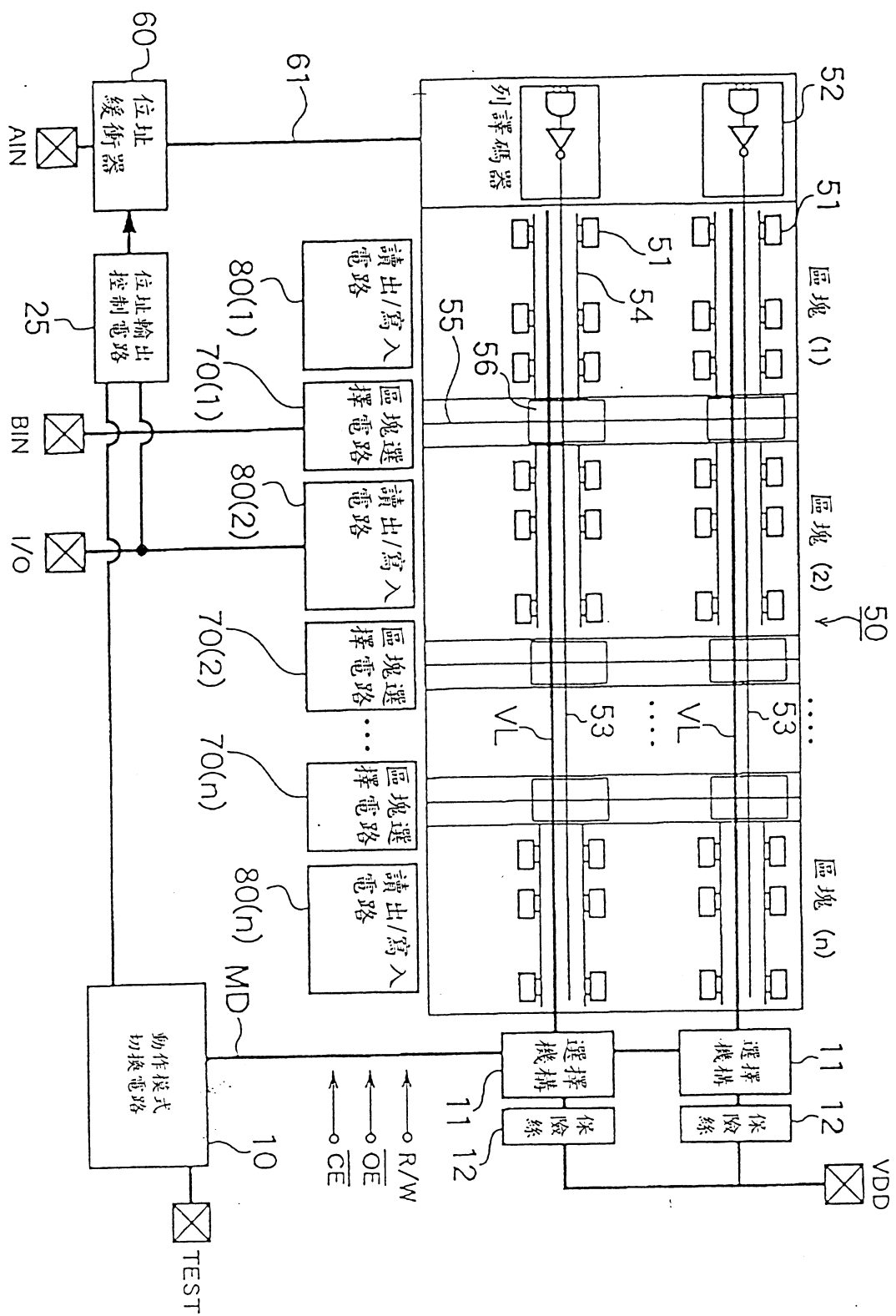


圖 8



9



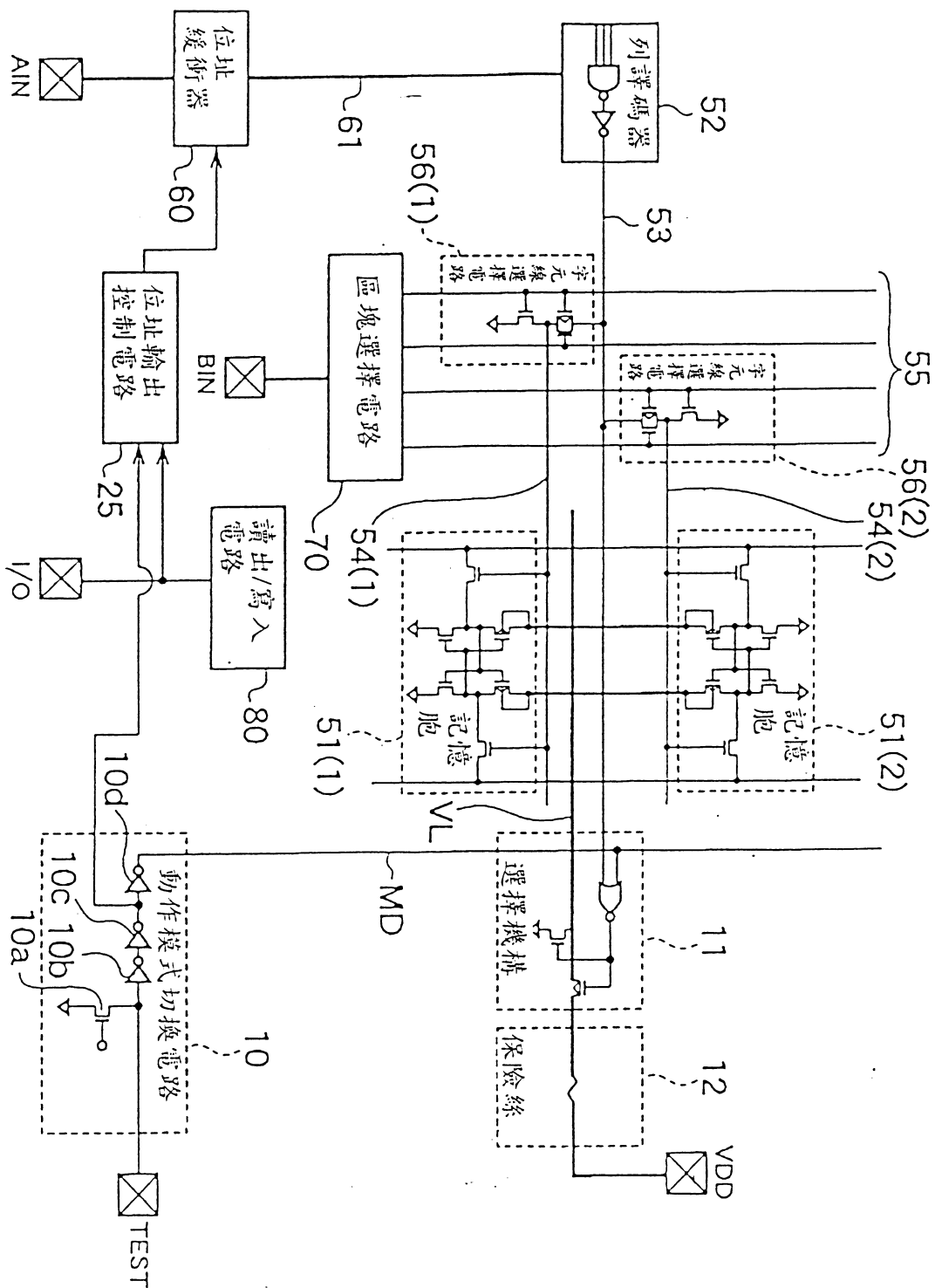


圖 11

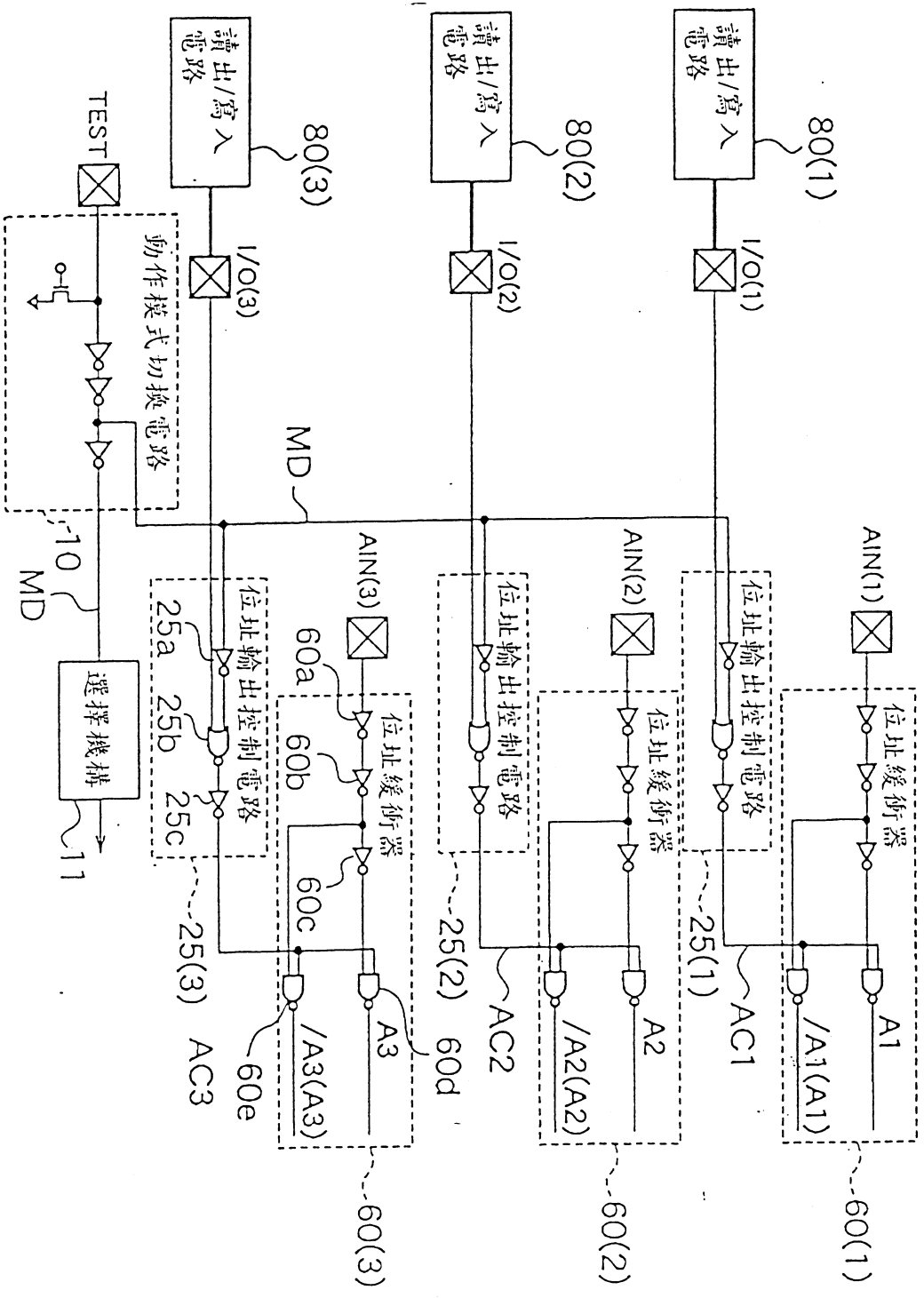


圖 12

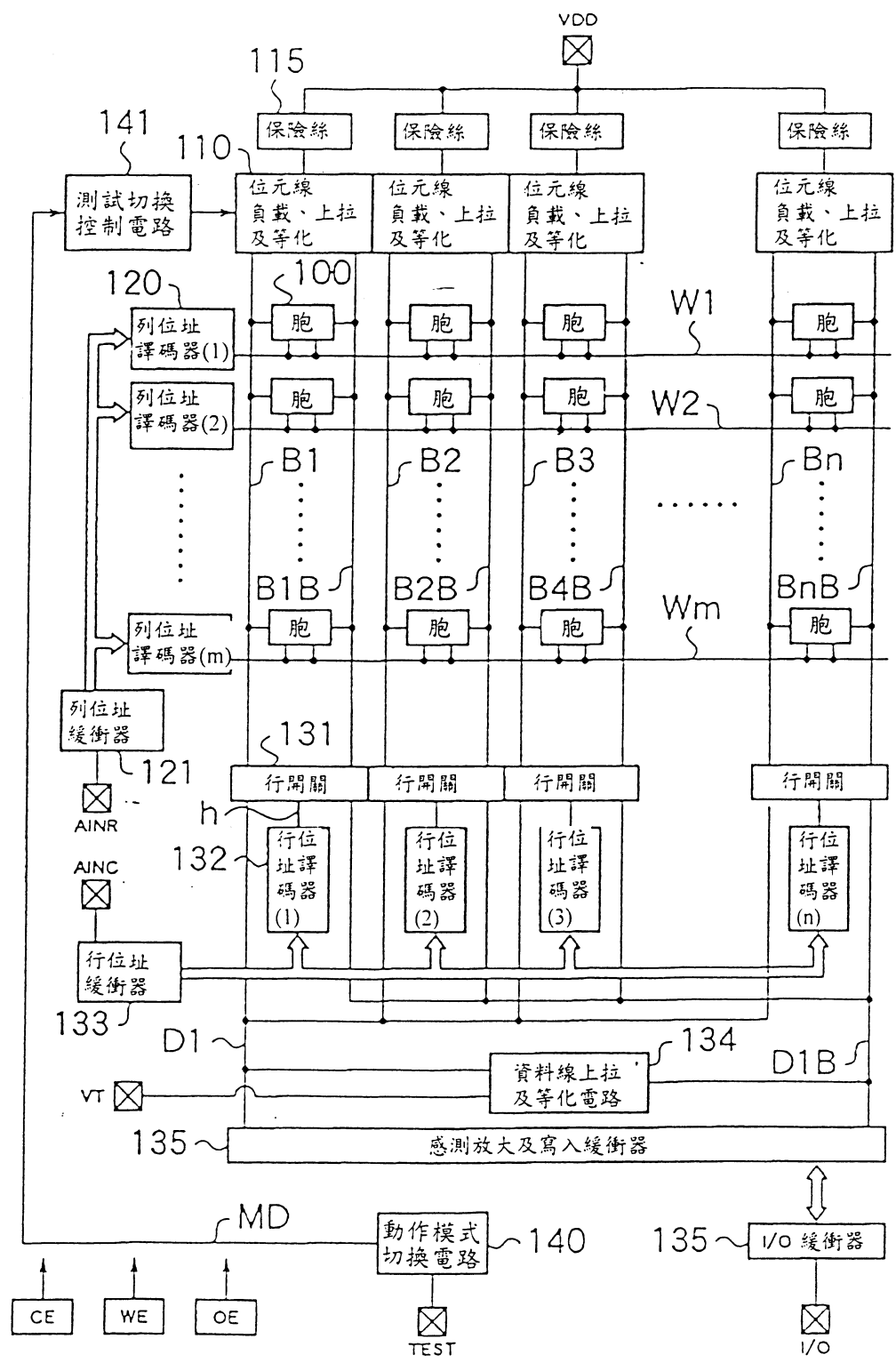


圖 13

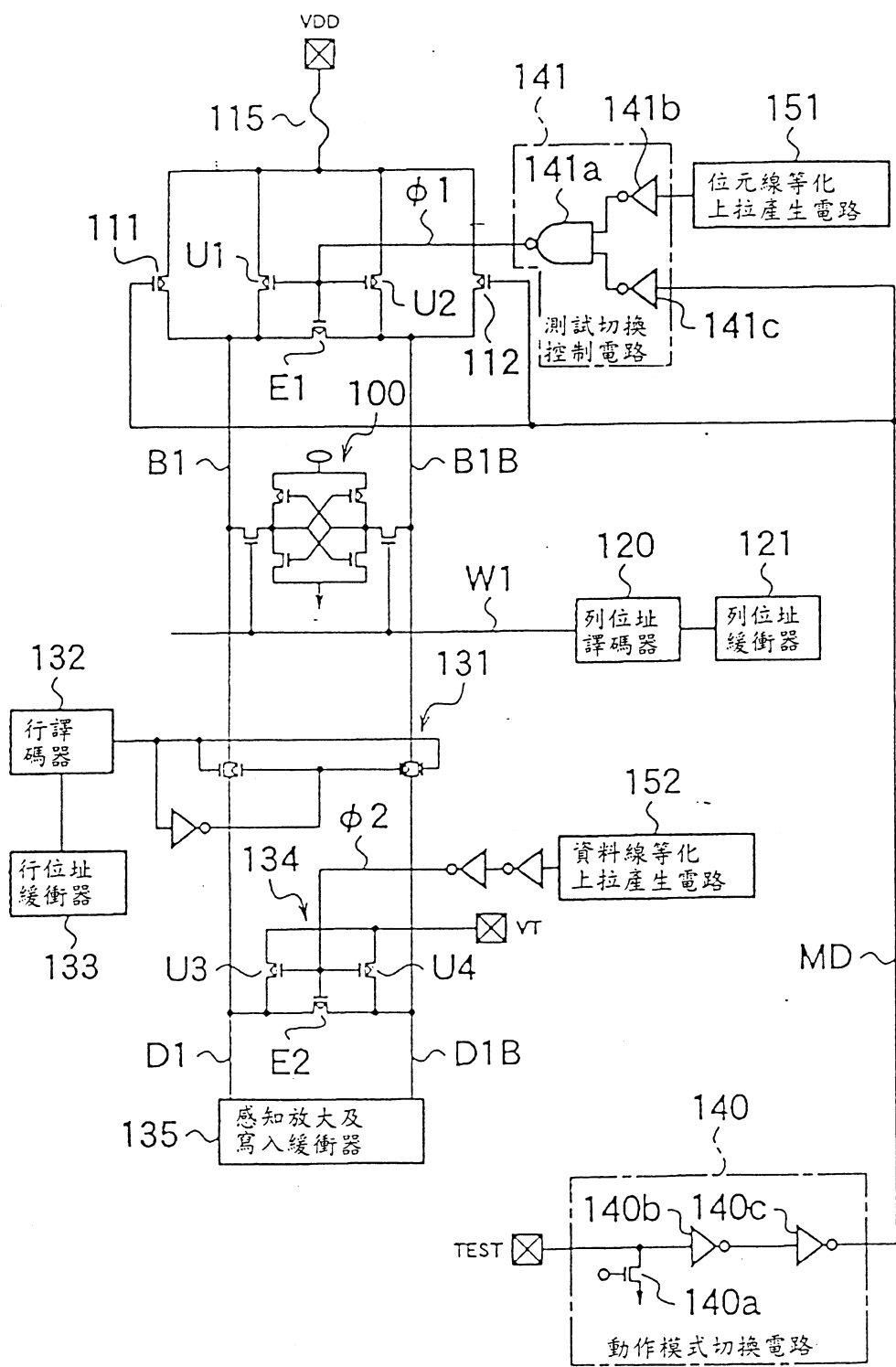


圖 14

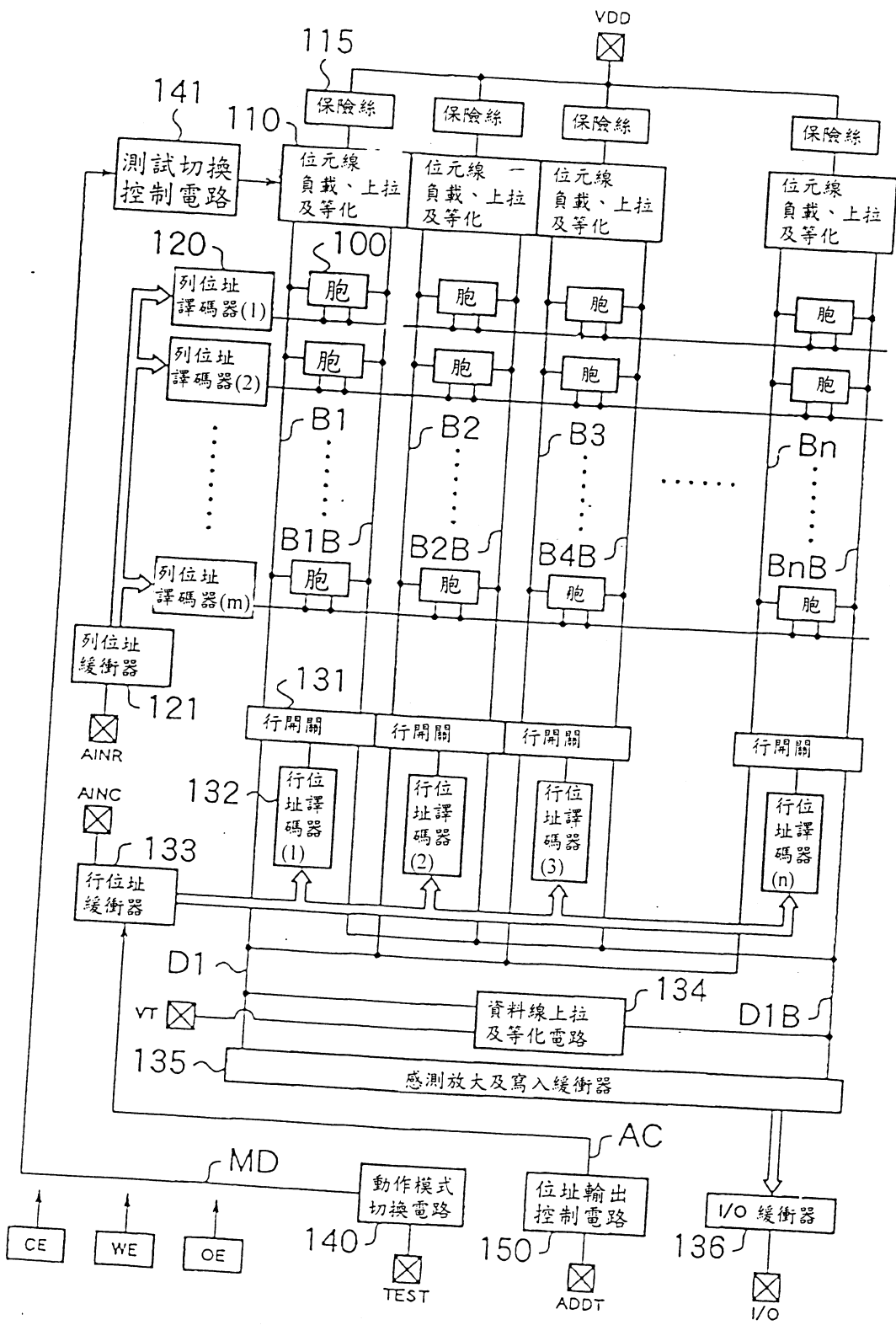


圖 15

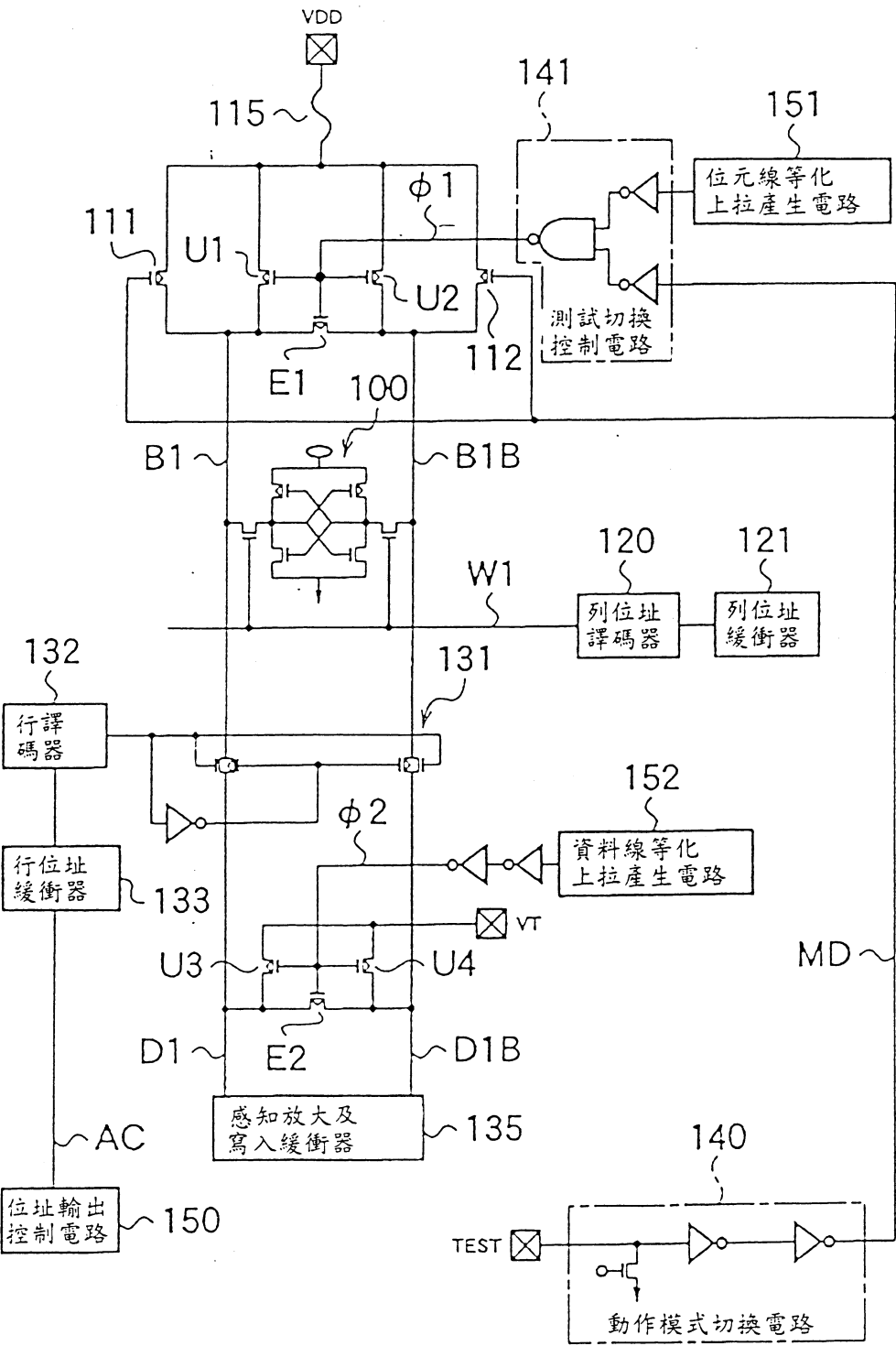


圖 16

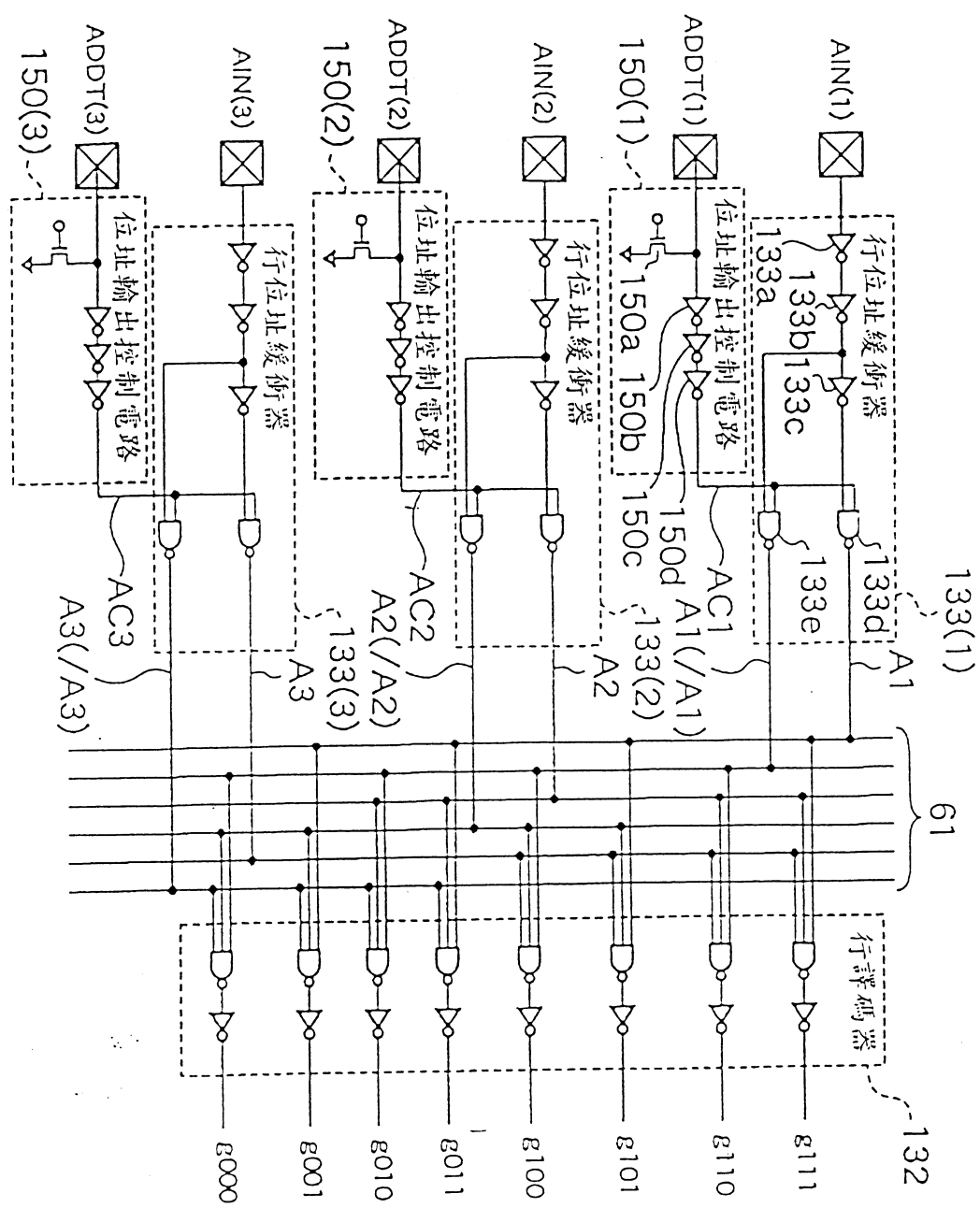


圖 17

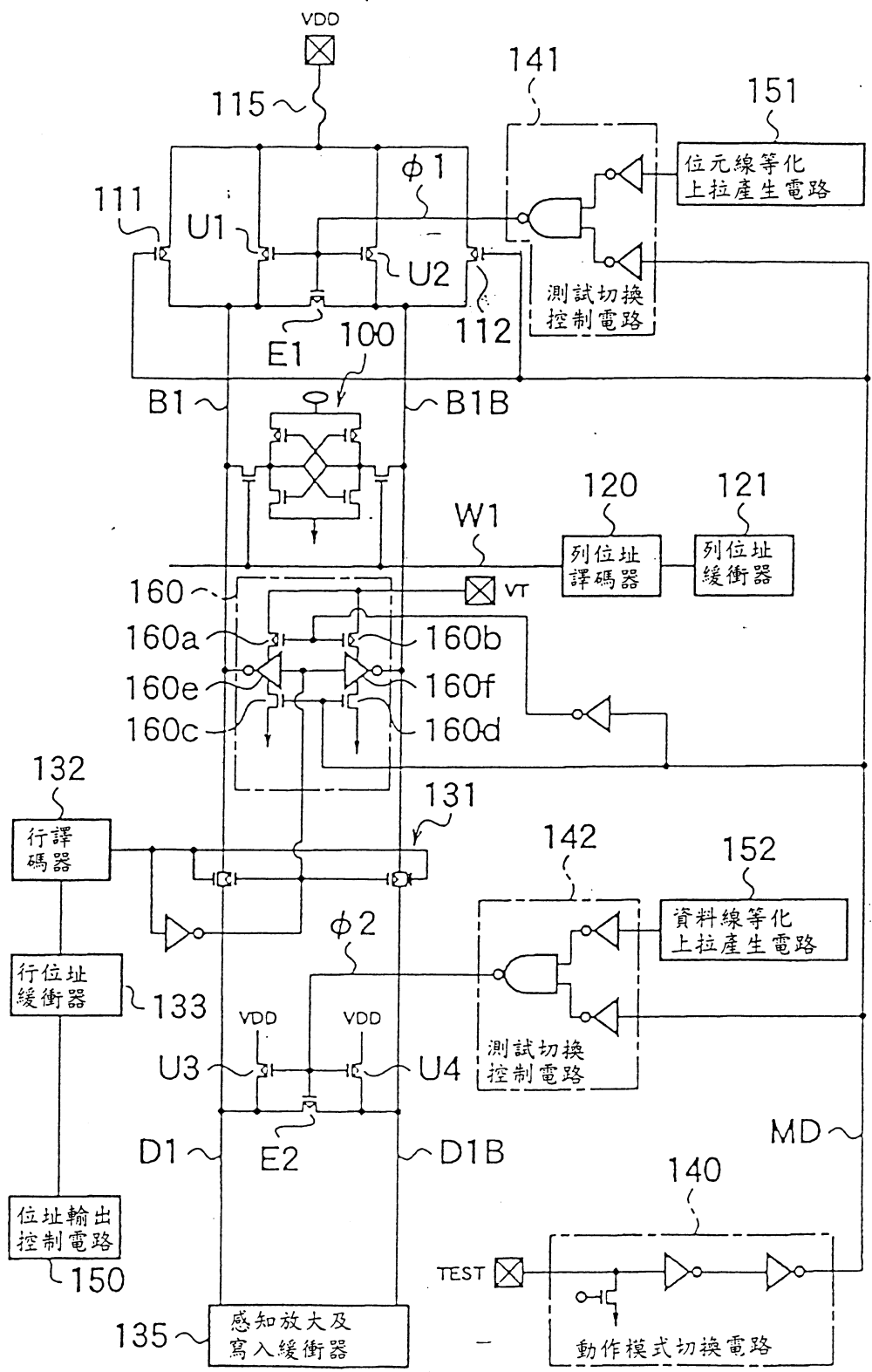


圖 18

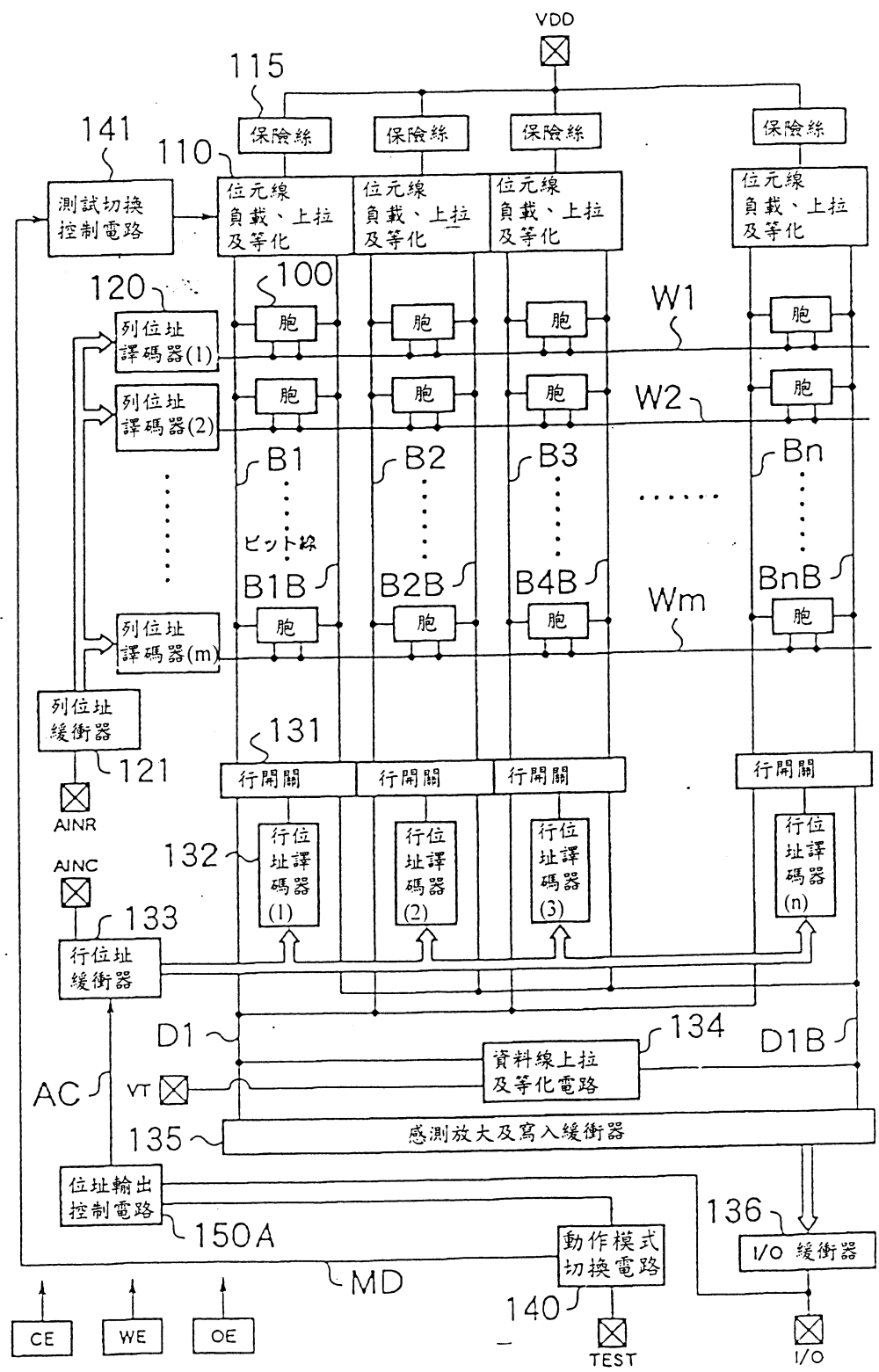


圖 19

六、申請專利範圍

1. 一種半導體記憶裝置，其係具備下述元件者：複數之字元線，其係於列方向各連接特定數之記憶胞者；共通電源線，其係將列方向之前述各記憶胞的電流路徑連接於各特定列者；列選擇用之複數之列選擇線，其係各連接於前述各字元線者；及列譯碼器，其係選擇前述列選擇線者；其特徵在於：

具備選擇機構，其係在各連接於前述各共通電源線與電源間，指示通常動作模式或測試模式之切換的動作模式切換信號，指示切換至測試模式之情況下，依前述列譯碼器選擇前述各共通電源線中之某者，將所選擇之共通電源線與電源連接，除此之外，並將剩餘的共通電源線與電源間予以遮斷；在前述動作模式切換信號指示切換至通常動作模式之情況下，將前述全部之共通電源線連接於電源。

2. 如申請專利範圍第1項之半導體記憶裝置，其中於前述各共通電源線與電源間，各設保險絲者。
3. 一種半導體記憶裝置，其係具備下述元件者：複數之字元線，其係於列方向各連接特定數之記憶胞者；共通電源線，其係將列方向之前述各記憶胞的電流路徑連接於各特定列者；列選擇用之複數之列選擇線，其係各連接於前述各字元線者；及列譯碼器，其係選擇前述列選擇線者；其特徵在於：

設置測試用電路，其係於測試模式時，選擇前述複數之列選擇線中之特定的列選擇線，藉此將與該列選擇線

六、申請專利範圍

對應配設之前述共通電源線連接至電源，除此之外，並將剩餘之共通電源線與電源間予以遮斷。

4. 如申請專利範圍第3項之半導體記憶裝置，其中於前述各共通電源線與電源間，各設保險絲者。

5. 一種半導體記憶裝置，其係具備下述元件者：記憶胞陣列，其係記憶胞配置成矩陣狀，且分割為複數區塊者；複數之字元線，其係將前述記憶胞陣列內所設之前述記憶胞於同一列同數連接者；字元線選擇電路，其係於輸入端連接選擇列之列選擇線及選擇區塊之區塊選擇線，選擇前述複數之字元線中之特定的字元線者；共通電源線，其係將列方向之前述各記憶胞之電流路徑連接於各特定的列者；及列譯碼器，其係將用以基於列位址信號選擇前述列選擇線之選擇信號予以輸出者；其特徵在於：

設置：選擇機構，其係在各連接於前述各共通電源線與電源間，將指示通常動作模式或測試模式之切換的動作模式切換信號及前述列譯碼器所供給之前述選擇信號予以輸入，在前述動作模式切換信號指示切換至測試模式之情況下，依前述選擇信號選擇前述各共通電源線中之某者，將所選擇之共通電源線與電源連接，除此之外，並將剩餘的共通電源線與電源間予以遮斷；在前述動作模式切換信號指示切換至通常動作模式之情況下，將前述全部之共通電源線連接於電源者；及

位址輸出控制機構，其係基於位址輸出控制信號，控

六、申請專利範圍

制對前述列譯碼器供給之列位址信號者，該位址輸出控制信號係在前述動作模式切換信號指示切換至測試模式之情況下，為了執行不良胞指定用控制而自裝置外部供給者。

6. 如申請專利範圍第5項之半導體記憶裝置，其中前述不良胞指定用控制，係在同時選擇前述列選擇線中之特定條而得之第1大區域與其剩餘的第2大區域中，指定出漏電流值比特定值大的區域，於被指定的第1或第2大區域中進一步同時選擇特定條列選擇線而得之第1小區域與其剩餘的第2小區域中，指定出漏電流值比特定值大的區域，反覆執行同樣的處理以指定出漏電流值比特定值大的列選擇線者；

被供給至前述位址輸出控制機構之前述位址輸出控制信號，其係應執行前述不良胞指定用控制者，係控制前述列位址信號用以選擇前述列選擇線之控制信號。

7. 如申請專利範圍第5或6項之半導體記憶裝置，其中假設前述列譯碼器之設置數為 2^n 個，

前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作之情況下，選擇 2^n 條列選擇線中之1條，在指示切換至前述測試模式之情況下，選擇 2^n 條列選擇線中之 $(2^n/2^m)$ 條 $[m=1, 2, \dots, n]$ 者。

8. 如申請專利範圍第7項之半導體記憶裝置，其中為了控制前述 2^n 個列譯碼器之輸出，具備具有2個輸出端之位址緩衝器，成為將裝置外部所供給的 n 個列位址信號施

六、申請專利範圍

加至n個前述位址緩衝器之輸入端的構造；

前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作模式之情況下，於前述n個位址緩衝器之一方的輸出端，輸出與列位址信號同相之輸出信號，除此之外，並於他方之輸出端，輸出與列位址信號反相之輸出信號；在前述動作模式切換信號指示切換至測試模式之情況下，於前述位址緩衝器之2個輸出端，皆輸出與前述列位址信號同相之輸出信號。

9. 如申請專利範圍第5或6項之半導體記憶裝置，其中前述位址輸出控制信號係施加至既設之資料輸出入用端子者。
10. 如申請專利範圍第5或6項之半導體記憶裝置，其中為了依前述不良胞指定控制指定洩漏不良胞之情況下切斷該洩漏路徑，而於前述各共通電源線與電源間，各設保險絲者。
11. 一種半導體記憶裝置，其係具備下述元件者：複數之位元線，其係配設於記憶胞成矩陣狀配置之記憶胞陣列之行方向，連接於前述各記憶胞者；及行選擇開關，其係自前述複數之位元線選擇特定之位元線者；其特徵在於：

設置：測試模式切換控制機構，其係於測試模式時，將自前述各位元線之一端所連接的電源線向各位元線之電源供給，予以遮斷者；及

測試用電源供給機構，其係於前述測試模式時，選擇

六、申請專利範圍

特定的位元線，對該位元線供給測試用之電源者。

12. 如申請專利範圍第11項之半導體記憶裝置，其中於前述各共通電源線與電源間，各設保險絲者。

13. 一種半導體記憶裝置，其係具備下述元件者：複數之位元線，其係配設於記憶胞成矩陣狀配置之記憶胞陣列之行方向，連接於前述各記憶胞之資料傳送開之一端者；行譯碼器，其係基於行位址信號，於行選擇線輸出行選擇信號者；行選擇開關，其係基於前述行選擇信號，自前述複數之位元線選擇特定的位元線者；及複數之資料線，其係經由前述行選擇開關，各連接於前述各位元線者；其特徵在於：

設置：測試模式切換控制機構，其係於指示切換至通常動作模式或測試模式之動作模式切換信號指示切換至測試模式之情況下，將自前述各位元線之一端所連接的電源線向各位元線的電源供給，予以遮斷者；及

測試用電源端子，其係應檢知前述行選擇開關所選擇之位元線的洩漏電流者，係用以對該位元線，經由前述行選擇開關，供給測試用之電源者。

14. 如申請專利範圍第13項之半導體記憶裝置，其中具有：各連接於前述各位元線之一端的位元線負載機構、位元線上拉機構及位元線等化機構；

前述測試模式切換控制機構，係將前述位元線負載機構、前述位元線上拉機構及前述位元線等化機構予以非活性化，將對前述各位元線之電源供給予以遮斷者。

六、申請專利範圍

15. 如申請專利範圍第13或14項之半導體記憶裝置，其中具有：連接於前述資料線之資料線機構及資料線等化機構；

前述測試用電源端子，係對前述資料線上拉機構供給電源者；於前述測試模式時，經由前述資料線上拉機構、前述資料線及前述行選擇開關，可自應檢知所選擇之位元線的洩漏電流之前述電源端子，供給測試用之電源者。

16. 一種半導體記憶裝置，其係具備下述元件者：複數之位元線，其係配設於記憶胞成矩陣狀配置之記憶胞陣列之行方向，連接於前述各記憶胞之資料傳送閘之一端者；行譯碼器，其係基於行位址信號，於行選擇線輸出行選擇信號者；行選擇開關，其係基於前述行選擇信號，自前述複數之位元線選擇特定的位元線者；及複數之資料線，其係經由前述行選擇開關，各連接於前述各位元線者；其特徵在於：

具備：測試模式切換控制機構，其係於指示切換至通常動作模式或測試模式之動作模式切換信號指示切換至測試模式之情況下，將來自前述各位元線之一端所連接之電源線、及資料線所連接之電源線的電源供給，予以遮斷者；

測試用電源端子，其係用以供給測試用電源者；及

位元線洩漏負載機構，其係連接於前述測試用電源端子與接地之間，於前述測試模式時，僅對前述行選擇開

六、申請專利範圍

關所選擇之位元線，供給應檢知該位元線之洩漏電流之前述測試用之電源者。

17.如申請專利範圍第13或14項之半導體記憶裝置，其中具備位址輸出控制機構，其係於前述動作模式切換信號指示切換至測試模式之情況下，為了執行不良位元線指定用控制，基於裝置外部所供給之位址輸出控制信號，控制對前述行譯碼器供給之行位址信號者。

18.如申請專利範圍第17項之半導體記憶裝置，其中前述不良位元線指定用控制，係在同時選擇前述行選擇線中之特定條而得之第1大區域與其剩餘的第2大區域中，指定出漏電流值比特定值大的區域，於被指定的第1或第2大區域中進一步同時選擇特定條行選擇線而得之第1小區域與其剩餘的第2小區域中，指定出漏電流值比特定值大的區域，反覆執行同樣的處理以指定漏電流值比特定值大的行選擇線者；

前述位址輸出控制機構，係應執行前述不良位元線指定用控制者，控制前述行位址信號，選擇前述行選擇線者。

19.如申請專利範圍第18項之半導體記憶裝置，其中假設前述行譯碼器之設置數為 2^n 個，其輸出之前述行選擇線之條數為 2^n 條，

前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作之情況下，選擇 2^n 條行選擇線中之1條，在指示切換至前述測試模式之情況下，選擇 2^n 條行

六、申請專利範圍

選擇線中之 $(2^n/2^m)$ 條 $[m=1, 2, \dots, n]$ 者。

20. 如申請專利範圍第19項之半導體記憶裝置，其中為了控制前述 2^n 個行譯碼器之輸出，具備具有2個輸出端之位址緩衝器，成為將裝置外部所供給的 n 個行位址信號施加至 n 個前述位址緩衝器之輸入端的構造；

前述位址輸出控制機構，在前述動作模式切換信號指示切換至通常動作模式之情況下，於前述 n 個位址緩衝器之一方的輸出端，輸出與行位址信號同相之輸出信號，除此之外，並於他方之輸出端，輸出與行位址信號反相之輸出信號；在前述動作模式切換信號指示切換至測試模式之情況下，於前述位址緩衝器之2個輸出端，皆輸出與前述行位址信號同相之輸出信號。

21. 如申請專利範圍第17項之半導體記憶裝置，其中前述位址輸出控制信號係施加至既設之資料輸出入用端子者。
22. 如申請專利範圍第17項之半導體記憶裝置，其中為了依前述不良位元線指定控制指定洩漏不良位元線之情況下切斷該洩漏路徑，而於前述各位元線與其一端所連接之電源線間，各設保險絲者。