



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년04월15일

(11) 등록번호 10-1969253

(24) 등록일자 2019년04월09일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/12 (2006.01)
H01L 29/04 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/1222 (2013.01)
- (21) 출원번호 10-2017-7020800(분할)
- (22) 출원일자(국제) 2010년09월16일
심사청구일자 2017년07월25일
- (85) 번역문제출일자 2017년07월25일
- (65) 공개번호 10-2017-0090511
- (43) 공개일자 2017년08월07일
- (62) 원출원 특허 10-2012-7008979
원출원일자(국제) 2010년09월16일
심사청구일자 2015년09월16일
- (86) 국제출원번호 PCT/JP2010/066613
- (87) 국제공개번호 WO 2011/043203
국제공개일자 2011년04월14일
- (30) 우선권주장 JP-P-2009-234413 2009년10월08일 일본(JP)
- (56) 선행기술조사문헌
KR1020090065271 A*
(뒷면에 계속)

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사카꾸라 마사유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
- (74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 14 항

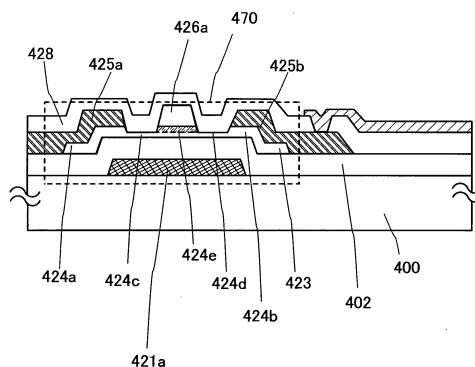
심사관 : 최혜미

(54) 발명의 명칭 반도체 장치

(57) 요약

산화물 반도체를 이용하여 채널 형성 영역이 형성된 채널 보호형 박막 트랜지스터에 있어서, 가열 처리에 의해 탈수화 또는 탈수소화된 산화물 반도체층이 활성층으로서 이용되고, 채널 형성 영역의 표층부에는 나노크리스탈을 포함하는 결정 영역이 포함되고, 나머지 부분은 비정질이거나, 또는 비정질 영역에 미세결정이 점재한 비정질/미결정과 미세결정의 혼합물로 형성된다. 그러한 구조를 갖는 산화물 반도체층을 이용함으로써, 표층부의 수분의 침입이나 표층부로부터의 산소의 이탈에 의해 유발되는 n형화, 및 기생 채널 발생을 방지할 수 있고, 소스 전극 및 드레인 전극과의 접촉 저항을 감소시킬 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/1225 (2013.01)
H01L 29/045 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/78696 (2013.01)

(72) 발명자

와파나베 료스케

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

사카타 준이찌로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

아끼모토 겐고

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

미야나가 아키히루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

히로하시 다꾸야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

기시다 히데유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌

JP2007142195 A
 KR100544919 B1
 KR1020080048936 A
 KR1020090089450 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 장치로서,

제1 트랜지스터 및 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터는

인듐을 포함하는 제1 산화물 반도체층으로서, 제1 영역, 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이의 제1 채널 형성 영역을 포함하는, 제1 산화물 반도체층;

상기 제1 채널 형성 영역의 위에서 접하는 제1 산화물 절연층;

상기 제1 영역 및 상기 제1 산화물 절연층 위의 제1 금속층으로서, 상기 제1 산화물 절연층의 상면 및 상기 제1 영역과 접하는 제1 금속층;

상기 제2 영역 및 상기 제1 산화물 절연층 위의 제2 금속층으로서, 상기 제1 산화물 절연층의 상기 상면 및 상기 제2 영역과 접하는 제2 금속층; 및

게이트 절연층을 개재해서 상기 제1 채널 형성 영역 아래의 게이트 전극을 포함하고,

상기 제2 트랜지스터는

제3 영역, 제4 영역, 상기 제3 영역과 상기 제4 영역 사이의 제2 채널 형성 영역, 및 상기 제3 영역 및 상기 제4 영역 중 하나와 상기 제2 채널 형성 영역 사이의 제5 영역을 포함하는 제2 산화물 반도체층;

상기 제2 채널 형성 영역의 위에서 접하는 제2 산화물 절연층;

상기 제3 영역의 위에서 접하는 제3 금속층; 및

상기 제4 영역의 위에서 접하는 제4 금속층을 포함하고,

상기 반도체 장치는 상기 제2 트랜지스터를 덮는 제3 산화물 절연층을 더 포함하고, 상기 제3 산화물 절연층은 상기 제5 영역과 접하고,

상기 제5 영역의 두께는 상기 제2 채널 형성 영역, 상기 제3 영역, 및 상기 제4 영역 각각의 두께보다 얇고,

상기 제1 산화물 반도체층의 표층부는 나노크리스탈을 포함하고,

상기 제1 채널 형성 영역은 i형이고,

상기 제1 영역은 n형 도전성을 가지고,

상기 제2 영역은 n형 도전성을 가지는, 반도체 장치.

청구항 2

제1항에 있어서,

상기 나노크리스탈의 크기는 1 nm 이상이고 20nm 이하인, 반도체 장치.

청구항 3

반도체 장치로서,

제1 트랜지스터 및 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터는

인듐을 포함하는 제1 산화물 반도체층으로서, 제1 영역, 제2 영역, 및 상기 제1 영역과 상기 제2 영역

사이의 제1 채널 형성 영역을 포함하는, 제1 산화물 반도체층;

상기 제1 채널 형성 영역의 위에서 접하는 제1 산화물 절연층;

상기 제1 영역 및 상기 제1 산화물 절연층 위의 제1 금속층으로서, 상기 제1 영역과 접하는 제1 금속층;

상기 제2 영역 및 상기 제1 산화물 절연층 위의 제2 금속층으로서, 상기 제2 영역과 접하는 제2 금속층; 및

게이트 절연층을 개재해서 상기 제1 채널 형성 영역 아래의 게이트 전극을 포함하고,

상기 제2 트랜지스터는

제3 영역, 제4 영역, 상기 제3 영역과 상기 제4 영역 사이의 제2 채널 형성 영역, 및 상기 제3 영역 및 상기 제4 영역 중 하나와 상기 제2 채널 형성 영역 사이의 제5 영역을 포함하는 제2 산화물 반도체층;

상기 제2 채널 형성 영역의 위에서 접하는 제2 산화물 절연층;

상기 제3 영역의 위에서 접하는 제3 금속층; 및

상기 제4 영역의 위에서 접하는 제4 금속층을 포함하고,

상기 반도체 장치는 상기 제2 트랜지스터를 덮는 제3 산화물 절연층을 더 포함하고, 상기 제3 산화물 절연층은 상기 제5 영역과 접하고,

상기 제5 영역의 두께는 상기 제2 채널 형성 영역, 상기 제3 영역, 및 상기 제4 영역 각각의 두께보다 얇고,

상기 제1 채널 형성 영역은 i형이고,

상기 제1 영역은 n형 도전성을 가지고,

상기 제2 영역은 n형 도전성을 가지는, 반도체 장치.

청구항 4

반도체 장치로서,

제1 트랜지스터 및 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터는

인듐을 포함하는 제1 산화물 반도체층으로서, 제1 영역, 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이의 제1 채널 형성 영역을 포함하는, 제1 산화물 반도체층;

상기 제1 채널 형성 영역의 위에서 접하는 제1 산화물 절연층;

상기 제1 영역 및 상기 제1 산화물 절연층 위의 제1 금속층으로서, 상기 제1 영역과 접하는 제1 금속층;

상기 제2 영역 및 상기 제1 산화물 절연층 위의 제2 금속층으로서, 상기 제2 영역과 접하는 제2 금속층; 및

게이트 절연층을 개재해서 상기 제1 채널 형성 영역 아래의 게이트 전극을 포함하고,

상기 제2 트랜지스터는

제3 영역, 제4 영역, 상기 제3 영역과 상기 제4 영역 사이의 제2 채널 형성 영역, 및 상기 제3 영역 및 상기 제4 영역 중 하나와 상기 제2 채널 형성 영역 사이의 제5 영역을 포함하는 제2 산화물 반도체층;

상기 제2 채널 형성 영역의 위에서 접하는 제2 산화물 절연층;

상기 제3 영역의 위에서 접하는 제3 금속층; 및

상기 제4 영역의 위에서 접하는 제4 금속층을 포함하고,

상기 반도체 장치는 상기 제2 트랜지스터를 덮는 제3 산화물 절연층을 더 포함하고, 상기 제3 산화물 절연층은

상기 제5 영역과 접하고,
 상기 제5 영역의 두께는 상기 제2 채널 형성 영역, 상기 제3 영역, 및 상기 제4 영역 각각의 두께보다 얇고,
 상기 제1 채널 형성 영역의 산소 농도는 상기 제1 영역의 산소 농도보다 높고,
 상기 제1 채널 형성 영역의 상기 산소 농도는 상기 제2 영역의 산소 농도보다 높고,
 상기 제1 채널 형성 영역은 i형이고,
 상기 제1 영역은 n형 도전성을 가지고,
 상기 제2 영역은 n형 도전성을 가지는, 반도체 장치.

청구항 5

제3항 또는 제4항에 있어서,
 상기 제1 산화물 반도체층의 표층부는, 상기 제1 산화물 반도체층의 표면에 수직인 방향으로 c축 배향된 결정을 포함하는, 반도체 장치.

청구항 6

제3항 또는 제4항에 있어서,
 상기 제1 산화물 반도체층의 표층부는 결정을 포함하는, 반도체 장치.

청구항 7

제3항 또는 제4항에 있어서,
 상기 제1 산화물 반도체층의 표층부는 나노크리스탈을 포함하는, 반도체 장치.

청구항 8

반도체 장치로서,
 제1 트랜지스터 및 제2 트랜지스터를 포함하고,
 상기 제1 트랜지스터는

인듐을 포함하는 제1 산화물 반도체층으로서, 제1 영역, 제2 영역, 및 상기 제1 영역과 상기 제2 영역 사이의 제1 채널 형성 영역을 포함하는, 제1 산화물 반도체층;

상기 제1 채널 형성 영역의 위에서 접하는 제1 산화물 절연층;

상기 제1 영역 및 상기 제1 산화물 절연층 위의 제1 금속층으로서, 상기 제1 영역과 접하는 제1 금속층;

상기 제2 영역 및 상기 제1 산화물 절연층 위의 제2 금속층으로서, 상기 제2 영역과 접하는 제2 금속층; 및

게이트 절연층을 개재해서 상기 제1 채널 형성 영역 아래의 게이트 전극을 포함하고,

상기 제2 트랜지스터는

제3 영역, 제4 영역, 상기 제3 영역과 상기 제4 영역 사이의 제2 채널 형성 영역, 및 상기 제3 영역 및 상기 제4 영역 중 하나와 상기 제2 채널 형성 영역 사이의 제5 영역을 포함하는 제2 산화물 반도체층;

상기 제2 채널 형성 영역의 위에서 접하는 제2 산화물 절연층;

상기 제3 영역의 위에서 접하는 제3 금속층; 및

상기 제4 영역의 위에서 접하는 제4 금속층을 포함하고,

상기 반도체 장치는 상기 제2 트랜지스터를 덮는 제3 산화물 절연층을 더 포함하고, 상기 제3 산화물 절연층은 상기 제5 영역과 접하고,

상기 제5 영역의 두께는 상기 제2 채널 형성 영역, 상기 제3 영역, 및 상기 제4 영역 각각의 두께보다 얇고,
상기 제1 산화물 반도체층은 제1 부분, 및 상기 제1 부분보다 상기 제1 산화물 절연층에 더 가까운 제2 부분을 포함하고,

상기 제 2 부분의 결정성은 상기 제 1 부분의 결정성보다 높고,

상기 제1 채널 형성 영역은 i형이고,

상기 제1 영역은 n형 도전성을 가지고,

상기 제2 영역은 n형 도전성을 가지는, 반도체 장치.

청구항 9

제8항에 있어서,

상기 제1 산화물 반도체층의 상기 제2 부분은, 상기 제1 산화물 반도체층의 표면에 수직인 방향으로 c축 배향된 결정을 포함하는, 반도체 장치.

청구항 10

제8항에 있어서,

상기 제1 부분은 비정질 구조를 가지는, 반도체 장치.

청구항 11

제8항에 있어서,

상기 제 1 산화물 반도체층의 상기 제2 부분은 나노크리스탈을 포함하는, 반도체 장치.

청구항 12

제1항, 제3항, 제4항, 및 제8항 중 어느 한 항에 있어서,

상기 제1 금속층 및 상기 제2 금속층은 티타늄을 포함하는, 반도체 장치.

청구항 13

제1항, 제3항, 제4항, 및 제8항 중 어느 한 항에 있어서,

상기 제2 산화물 반도체층의 표층부는 결정을 포함하는, 반도체 장치.

청구항 14

제1항, 제3항, 제4항, 및 제8항 중 어느 한 항에 있어서,

상기 제1 산화물 절연층은 실리콘 및 산소를 포함하는, 반도체 장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치와, 반도체 장치를 이용한 표시 장치 및 전자 기기에 관한 것이다.

배경 기술

[0002] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(두께가 수 나노미터 내지 수백 나노미터 정도임)을 이용하여 박막 트랜지스터(TFT)를 형성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 IC 및 전기 광학 장치 등의 전자 장치에 광범위하게 응용되고, 특히 화상 표시 장치의 스위칭 소자로서 급속히 개발될 것으로 기대된다. 다양한 금속 산화물이 여러 가지 용도에 이용되고 있다. 산화 인듐은 잘 알려져 있는 재료이며, 액정 디스플레이 등에 필수적인 투명 전극 재료로서 이용된다.

[0003] 어떤 금속 산화물들은 반도체 특성을 갖는다. 그러한 반도체 특성을 갖는 금속 산화물의 예로서는, 산화 텅스텐, 산화 주석, 산화 인듐, 및 산화 아연을 포함한다. 그러한 반도체 특성을 갖는 금속 산화물을 이용하여 채널 형성 영역이 형성된 박막 트랜지스터가 이미 알려져 있다(특허문헌 1 및 특허문헌 2).

[0004] 또한, 산화물 반도체를 이용한 TFT는 전계 효과 이동도가 높다. 그 때문에, TFT를 이용하여, 표시 장치 등의 구동 회로를 형성할 수도 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개 특허 제2007-123861호 공보

(특허문헌 0002) 일본 공개 특허 제2007-96055호 공보

발명의 내용

해결하려는 과제

[0006] 절연 표면 위에 복수의 서로 다른 회로를 형성할 경우, 예를 들면, 화소부와 구동 회로를 하나의 기판 위에 형성할 경우, 화소부에 이용되는 박막 트랜지스터에는 높은 온 오프 비(on-off ratio) 등의 우수한 스위칭 특성이 요구되고, 구동 회로에 이용되는 박막 트랜지스터에는 빠른 동작 속도가 요구된다. 특히, 표시 장치의 정밀도가 높을수록, 표시 화상의 기입 시간이 감소된다. 따라서, 구동 회로에 이용되는 박막 트랜지스터는 빠른 속도로 동작하는 것이 바람직하다.

[0007] 본 발명의 일 실시 형태의 목적은, 전기 특성이 양호한, 신뢰성이 매우 높은 박막 트랜지스터, 및 박막 트랜지스터를 스위칭 소자로서 포함한 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명의 일 실시 형태는, 기판 위의 게이트 전극층, 상기 게이트 전극층 위의 게이트 절연층, 상기 게이트 절연층 위의 산화물 반도체층, 상기 산화물 반도체층의 일부에 접하는 산화물 절연층, 및 상기 산화물 반도체층의 일부에 각각 접하는 소스 전극층 및 드레인 전극층을 포함하는 반도체 장치이다. 상기 산화물 반도체층에 있어서, 상기 소스 전극층과 상기 산화물 절연층 사이의 영역, 및 상기 드레인 전극층과 상기 산화물 절연층 사이의 영역은 각각, 상기 소스 전극층과 중첩하는 영역, 상기 산화물 절연층과 중첩하는 영역, 및 상기 드레인 전극층과 중첩하는 영역의 각각보다 얇은 두께를 갖는다.
- [0009] 또한, 상기 산화물 절연층에 접하는 상기 산화물 반도체층의 표층부는 결정 영역을 갖는다.
- [0010] 상기의 구성에 있어서, 반도체 장치에 포함된 게이트 전극층, 소스 전극층, 및 드레인 전극층은, 알루미늄, 구리, 몰리브덴, 티타늄, 크로뮴, 탄탈륨, 텅스텐, 네오디뮴, 및 스칸듐으로부터 선택된 금속 원소를 주성분으로서 함유하는 막, 또는 그 원소들 중 임의의 것을 함유하는 합금막들의 적층 막을 이용하여 형성된다. 소스 전극층 및 드레인 전극층 각각은, 전술한 원소들 중 임의의 것을 함유하는 단층에 한정되지 않고, 2층 이상의 적층될 수 있다.
- [0011] 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 또는 산화 아연 갈륨 등의 투광성 산화물 도전층을 소스 전극층, 드레인 전극층, 및 게이트 전극층에 이용할 수 있음으로써, 화소부의 투광성을 향상시킬 수 있고 개구율을 증가시킬 수 있다.
- [0012] 소스 전극층 및 드레인 전극층을 형성하는 금속 원소를 주성분으로서 포함하는 막과 산화물 반도체층 사이에 산화물 도전층을 형성할 수 있음으로써, 접촉 저항이 낮고 고속으로 동작할 수 있는 박막 트랜지스터를 형성할 수 있다.
- [0013] 상기의 구성에 있어서, 반도체 장치는 산화물 반도체층, 및 산화물 반도체층 위의 산화물 절연층을 포함한다. 산화물 반도체층의 채널 형성 영역에 접촉하는 산화물 절연층은 채널 보호층으로서 기능한다.
- [0014] 상기의 구성에 있어서, 반도체 장치의 채널 보호층으로서 기능하는 산화물 절연층으로서, 스퍼터링 방법에 의해 형성된 무기 절연막을 이용하고, 대표적으로는, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄 등을 이용한다.
- [0015] 산화물 반도체층으로서, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 또한 m 은 정수가 아님)의 박막이 형성된다. 이 박막을 산화물 반도체층으로서 이용하여 박막 트랜지스터를 형성한다. M 은 Ga, Fe, Ni, Mn, 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다는 것을 유의한다. 예를 들면, M 은 Ga일 수 있거나, 또는 Ga 외에도 상기의 금속 원소를 함유할 수 있으며, 예를 들어, M 은 Ga와 Ni, 또는 Ga와 Fe일 수 있다. 또한, 상기의 산화물 반도체에 있어서, 어떤 경우들에서는, M 으로서 함유되는 금속 원소 외에도, 불순물 원소로서 Fe 또는 Ni 등의 전이 금속 원소, 또는 전이 금속의 산화물을 함유할 수 있다. 본 명세서에서는, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ 또한 m 은 정수가 아님)으로 표기되는 조성식의 산화물 반도체층들 중, M 으로서 Ga를 함유하는 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라고 부르고, In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 막이라고도 부른다.
- [0016] 상기의 것 외에도 산화물 반도체층에 이용되는 금속 산화물로서, 다음의 금속 산화물들, 즉, In-Sn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, Zn-O계 금속 산화물 중 임의의 것을 이용할 수 있다. 금속 산화물을 이용하여 형성되는 산화물 반도체층에 산화 실리콘을 포함시킬 수 있다.
- [0017] 산화물 반도체층에는, RTA 방법 등에 의해 고온에서 단시간에 탈수화 또는 탈수소화 처리를 받은 것을 이용한다. RTA 방법 등에 의한 가열 처리는, 산화물 반도체층의 표층부는 입자 사이즈가 1nm 이상 20nm 이하의 소위 나노크리스탈(nanocrystal)을 포함한 결정 영역을 갖도록 하고, 나머지 부분은 비정질이거나, 또는 비정질 영역에 미세결정이 점재한 비정질/비결정과 미세결정의 혼합물로 형성된다.
- [0018] 이와 같은 구성을 갖는 산화물 반도체층을 이용함으로써, 표층부에서의 수분의 침입이나 표층부로부터의 산소의 이탈에 의해 유발되는 n형화에 기인한 전기 특성의 열화를 방지할 수 있다. 산화물 반도체층의 표층부는 백 채널층이며, 나노크리스탈을 포함하는 결정 영역을 가지므로, 기생 채널의 발생을 억제할 수 있다.
- [0019] 탈수화 또는 탈수소화 후에 산화물 반도체층이 섬 형상을 갖도록 형성되는 경우, 측면부들에는 결정 영역이 형

성되지 않는다. 측면부를 제외하고, 표층부에만 결정 영역이 형성되지만, 측면부의 면적 비율은 작아서, 상기의 효과를 방해하지 않는다.

- [0020] 본 발명의 일 실시 형태인 각각의 박막 트랜지스터를 이용하여 동일 기판 위에 형성되는 구동 회로부 및 화소부와, EL 소자, 액정 소자, 또는 전기 영동 소자(electrophoretic element) 등을 이용해서 표시 장치를 형성할 수 있다.
- [0021] 본 발명의 일 실시 형태인 표시 장치에서는, 화소부에 복수의 박막 트랜지스터를 설치하고, 화소부는 박막 트랜지스터들 중 하나의 박막 트랜지스터의 게이트 전극이 다른 트랜지스터의 소스 배선 또는 드레인 배선에 접속된 영역을 갖는다. 또한, 본 발명의 일 형태인 표시 장치의 구동 회로에는, 박막 트랜지스터의 게이트 전극이 그 박막 트랜지스터의 소스 배선 또는 드레인 배선에 접속된 영역이 있다.
- [0022] 박막 트랜지스터는 정전기 등에 기인하여 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 화소부의 박막 트랜지스터의 보호용 보호 회로를 동일 기판 위에 설치하는 것이 바람직하다. 보호 회로는 산화물 반도체층을 포함한 비선형 소자에 의해 형성되는 것이 바람직하다.
- [0023] 본 명세서에 있어서 "제1" 및 "제2" 등의 서수는 편의상 이용되는 것이며, 단계들의 순서 및 층들의 적층 순서를 나타내는 것은 아니라는 것을 유의한다. 또한, 본 명세서에 있어서 서수는 본 발명을 특징하는 고유한 명칭을 나타내는 것은 아니다.
- [0024] 본 명세서에 있어서, 반도체 장치란, 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미하고, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.
- [0025] 산화물 반도체층을 포함한 박막 트랜지스터에 있어서, 산화물 반도체층의 채널 형성 영역의 표층부에 결정 영역을 포함한다. 이에 따라, 전기 특성이 양호하고 신뢰성이 매우 높은 박막 트랜지스터 및 신뢰성이 매우 높은 표시 장치를 형성할 수 있다.

도면의 간단한 설명

- [0026] 첨부 도면에 있어서,
- 도 1은 본 발명의 일 실시 형태를 도시하는 단면도이다.
- 도 2의 (a) 내지 도 2의 (e)는 본 발명의 일 실시 형태를 도시하는 단면 공정도이다.
- 도 3은 본 발명의 일 실시 형태를 도시하는 상면도이다.
- 도 4의 (a1) 및 도 4의 (b1)은 본 발명의 일 실시 형태를 도시하는 단면도이고, 도 4의 (a2) 및 도 4의 (b2)는 상면도이다.
- 도 5의 (a)는 본 발명의 일 실시 형태를 도시하는 단면도이고 도 5의 (b)는 상면도이다.
- 도 6의 (a) 내지 도 6의 (e)는 본 발명의 일 실시 형태를 도시하는 단면 공정도이다.
- 도 7의 (a) 및 도 7의 (b)는 반도체 장치의 블록도이다.
- 도 8의 (a) 및 도 8의 (b)는 각각 신호선 구동 회로의 회로도 및 타이밍 차트이다.
- 도 9의 (a) 내지 도 9의 (c)는 시프트 레지스터의 구성을 도시하는 회로도이다.
- 도 10의 (a) 및 도 10의 (b)는 시프트 레지스터의 동작을 도시하는 회로도 및 타이밍 차트이다.
- 도 11의 (a1) 및 도 11의 (a2)는 본 발명의 일 실시 형태를 도시하는 평면도이고 도 11의 (b)는 단면도이다.
- 도 12는 본 발명의 일 실시 형태를 도시하는 단면도이다.
- 도 13은 본 발명의 일 실시 형태를 도시하는 단면도이다.
- 도 14는 반도체 장치의 화소의 등가 회로를 도시하는 도면이다.
- 도 15의 (a) 내지 도 15의 (c)는 각각 본 발명의 일 실시 형태를 도시하는 단면도이다.
- 도 16의 (a)는 본 발명의 일 실시 형태를 도시하는 평면도이고, 도 16의 (b)는 단면도이다.
- 도 17의 (a) 및 도 17의 (b)는 전자 페이퍼의 사용 패턴의 예를 도시하는 도면이다.

도 18은 전자 서적 판독기의 일 예의 외관도이다.

도 19의 (a) 및 도 19의 (b)는 각각 텔레비전 장치 및 디지털 액자의 예를 도시하는 외관도이다.

도 20의 (a) 및 도 20의 (b)는 게임기의 예를 도시하는 외관도이다.

도 21의 (a) 및 도 21의 (b)는 휴대 전화기의 예를 도시하는 외관도이다.

도 22의 (a) 내지 도 22의 (d)는 각각 본 발명의 일 실시 형태를 도시하는 단면도이다.

도 23은 산화물 반도체의 결정 구조의 예를 도시하는 도면이다.

도 24는 과학적 계산을 도시하는 개요도이다.

도 25의 (a) 및 도 25의 (b)는 과학적 계산의 개요도이다.

도 26의 (a) 및 도 26의 (b)는 과학적 계산의 결과를 도시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 실시 형태들에 대해서 도면을 참조해서 설명한다. 본 발명은 하기의 설명에 한정되지 않고, 본 발명의 사상 및 범위로부터 벗어나지 않고서 본 발명의 형태 및 상세를 여러 가지로 변경할 수 있다는 것을 당업자라면 용이하게 이해할 것이다. 따라서, 본 발명은 하기의 실시 형태의 기재 내용에 한정되는 것으로 해석되어서는 안 된다. 하기에 설명되는 본 발명의 구성에 있어서, 상이한 도면들에 있어서 동일 부분 또는 마찬가지로의 기능을 갖는 부분은 동일한 참조 번호로 나타내고, 그 설명을 생략한다.
- [0028] [실시 형태 1]
- [0029] 본 실시 형태에 있어서, 박막 트랜지스터의 구조에 대해서 도 1을 참조하여 설명한다.
- [0030] 본 실시 형태의 채널 보호층 박막 트랜지스터가 도 1에 도시된다.
- [0031] 도 1에 도시된 박막 트랜지스터(470)에 있어서, 절연 표면을 갖는 기판(400) 위에 게이트 전극층(421a), 게이트 절연층(402), 채널 형성 영역을 포함하는 산화물 반도체층(423), 소스 전극층(425a), 드레인 전극층(425b), 및 채널 보호층으로서 기능하는 산화물 절연층(426a)이 설치된다.
- [0032] 게이트 전극층(421a)은 알루미늄, 구리, 몰리브덴, 티타늄, 크로뮴, 탄탈륨, 텅스텐, 네오디뮴, 및 스칸듐 등의 금속 재료들 중 임의의 것, 또는 이 금속 재료들 중 임의의 것을 주성분으로서 함유하는 합금 재료, 또는 이 금속 재료들 중 임의의 것을 함유하는 질화물을 이용한 단층 구조 또는 적층 구조로 형성될 수 있다. 바람직하게는 알루미늄이나 구리 등의 저저항 금속 재료를 이용하여 형성되는 게이트 전극층이 유효하지만, 그것은 낮은 내열성 및 부식되는 경향 등의 단점을 갖기 때문에, 고용점(refractory) 금속 재료와 조합해서 이용하는 것이 바람직하다는 것을 유의한다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크로뮴, 탄탈륨, 텅스텐, 네오디뮴, 또는 스칸듐 등을 이용할 수 있다.
- [0033] 또한, 화소부의 개구율을 향상시키기 위해, 게이트 전극층(421a)으로서, 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 또는 산화 아연 갈륨 등의 투광성 산화물 도전층을 이용할 수도 있다.
- [0034] 게이트 절연층(402)으로서, CVD 방법이나 스퍼터링 방법 등에 의해 형성되는 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 및 산화 탄탈륨 등 중의 임의의 것으로 이루어진 단층막 또는 적층막을 이용할 수 있다.
- [0035] 산화물 반도체층(423)은, In, Ga, 및 Zn을 함유하는 In-Ga-Zn-O계 막을 이용하여 형성되고, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$)으로 표기되는 구조를 갖는다. M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn), 및 코발트(Co)로부터 선택된 금속 원소들 중 하나 이상의 금속 원소를 나타낸다는 것을 유의한다. 예를 들면, M은 Ga일 수 있거나, 또는 Ga 외에 도 상기의 금속 원소를 함유할 수 있으며, 예를 들어, M은 Ga와 Ni, 또는 Ga와 Fe일 수 있다. 또한, 산화물 반도체에 있어서, 어떤 경우들에서는, M으로서 함유되는 금속 원소 외에도, 불순물 원소로서 Fe 또는 Ni 등의 전이 금속 원소, 또는 전이 금속의 산화물을 함유할 수 있다.
- [0036] 산화물 반도체층(423)은 스퍼터링 방법에 의해 두께 10nm 이상 300nm 이하로, 바람직하게는 20nm 이상 100nm 이하로 형성된다. 도 1에 도시된 바와 같이, 산화물 반도체층(423)에 있어서, 소스 전극층(425a)과 산화물 절연

층(426a) 사이의 제3 영역(424c), 및 드레인 전극층(425b)과 산화물 절연층(426a) 사이의 제4 영역(424d)은 각각, 소스 전극층(425a)과 중첩하는 제1 영역(424a), 산화물 절연층(426a)과 중첩하는 제5 영역(424e), 및 드레인 전극층(425b)과 중첩하는 제2 영역(424b)의 각각보다 얇은 두께를 갖는다는 것을 유의한다.

[0037] 산화물 반도체층(423)으로서, 급속 가열 어닐링(RTA) 방법 등에 의해 고온에서 단시간 동안 탈수화 또는 탈수소화 처리를 받은 것을 이용한다. 탈수화 또는 탈수소화는, 고온의 가스(질소 또는 희가스(rare gas) 등의 불활성 가스) 또는 광을 이용하여 500℃ 이상 750℃ 이하의 온도(또는 글래스 기판의 왜곡점(strain point) 이하의 온도)에서 1분 이상 10분 이하 정도 동안, 바람직하게는 650℃에서 3분 이상 6분 이하 정도 동안 RTA 처리에 의해 행할 수 있다. RTA 방법에 의해, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 글래스 기판의 왜곡점보다 높은 온도에서도 처리를 행할 수 있다.

[0038] 산화물 반도체층(423)이 형성되는 단계에서, 산화물 반도체층(423)은 많은 미결합 본드들(dangling bonds)을 갖는 비정질층이다. 탈수화 또는 탈수소화용 가열 단계를 통해, 근거리에서 있는 미결합 본드들이 서로 결합해서, 산화물 반도체층(423)은 질서화된 비정질 구조를 가질 수 있다. 또한, 질서화가 진행함에 따라, 산화물 반도체층(423)은, 비정질 영역 중에 미세결정이 점재한 비정질/비결정과 미세결정의 혼합물로 형성되게 되거나, 또는 비정질/비결정으로 형성되게 된다. 여기에서, 미세결정은, 입자 사이즈가 1nm 이상 20nm 이하의 소위 나노크리스탈이며, 일반적으로 마이크로크리스탈이라고 불리는 미세결정 입자보다 작다.

[0039] 산화물 절연층(426a)과 중첩하는 산화물 반도체층(423)의 제5 영역(424e)의 표층부는, 결정 영역과, 결정 영역에 형성되는 산화물 반도체층의 표면에 대하여 수직 방향으로 c축 배향된 나노크리스탈을 포함하는 것이 바람직하다. 이 경우, 장축이 c축 방향이고, 단축 방향의 길이는 1nm 이상 20nm 이하이다.

[0040] 이와 같은 구성을 갖는 산화물 반도체층을 이용함으로써, 채널 형성 영역의 표층부에 나노크리스탈을 포함하는 치밀한(dense) 결정 영역이 존재하기 때문에, 표층부에서의 수분의 침입이나 표층부로부터의 산소의 이탈에 의해 유발되는 n형화에 기인한 전기 특성의 열화를 방지할 수 있다. 채널 형성 영역에 있어서 산화물 반도체층의 표층부는 백 채널층이기 때문에, 산화물 반도체층의 n형화의 방지는 기생 채널 발생의 억제에도 효과가 있다.

[0041] 여기에서, In-Ga-Zn-O계 막이 성장하기 쉬운 결정 구조는, 이용되는 금속 산화물 타겟에 의존한다. 예를 들면, 몰비가 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:0.5$ 가 되도록 In, Ga, 및 Zn을 함유하는 산화물 반도체 타겟을 이용해서 In-Ga-Zn-O계 막을 형성하고, 가열 단계를 통해 결정화를 행하는 경우, In 산화물층들 사이에는 Ga와 Zn을 함유하는 1개의 산화물층 또는 2개의 산화물층이 혼재하는 육방정계 층형 화합물 결정 구조가 형성되기 쉽다. 이때, 결정 영역은, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 로 나타내어지는 결정 구조(도 23 참조)를 갖기 쉽다. 산화물 반도체층에 있어서, 비정질 영역 또는 비정질/비결과 미세결정이 혼재하는 영역의 구조의 In:Ga:Zn의 몰비는 1:1:0.5가 되기 쉽다. 대안으로, 몰비가 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 인 금속 산화물 반도체 타겟을 이용해서 성막하고, 가열 단계를 통해 결정화를 행하는 경우, In 산화물층들 사이에 개재되는 Ga와 Zn을 함유하는 산화물층이 2층 구조를 갖기 쉽다. 2층 구조를 갖는 후자의 Ga와 Zn을 함유하는 산화물층의 결정 구조는 안정적이어서 결정 성장이 일어나기 쉽기 때문에, 몰비가 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 인 타겟을 이용하여 가열 단계를 통해 결정화를 행하는 경우, 외층으로부터, 게이트 절연층과 Ga와 Zn을 함유하는 산화물층 사이의 계면까지 연속적인 결정이 형성되는 경우들이 있다. 몰비는 원자의 비라고도 부를 수 있다는 것을 유의한다.

[0042] 본 실시 형태에서, 소스 전극층(425a) 및 드레인 전극층(425b)은 각각, 제1 도전층, 제2 도전층, 및 제3 도전층으로 이루어진 3층 구조를 갖는다. 이 층들의 재료들로서는 각각, 게이트 전극층(421a)과 마찬가지로의 재료를 적절히 이용할 수 있다.

[0043] 또한, 게이트 전극층(421a)과 마찬가지로 투광성 산화물 도전층이 소스 전극층(425a) 및 드레인 전극층(425b)에 이용됨으로써, 화소부의 투광성을 향상시킬 수 있고, 개구율도 증가시킬 수 있다.

[0044] 또한, 소스 전극층(425a) 및 드레인 전극층(425b)이 되는 전술한 금속 재료들 중 임의의 것을 주성분으로서 함유하는 막과 산화물 반도체층(423) 사이에 산화물 도전층을 형성할 수 있어서, 접촉 저항을 감소시킬 수 있다.

[0045] 산화물 반도체층(423) 위에는, 산화물 반도체층(423)과 접촉하고 채널 보호층으로서 기능하는 산화물 절연층(426a)을 설치한다. 산화물 절연층(426a)은 스퍼터링 방법에 의해 무기 절연막, 대표적으로는 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄 등을 이용하여 형성된다.

[0046] 도 1에 있어서, 채널 형성 영역은, 채널 보호층으로서 기능하는 산화물 절연층(426a)이 게이트 절연층(402)을 개재하여 게이트 전극층과 중첩하는 제5 영역(424e)을 일컫는다. 박막 트랜지스터의 채널 길이 L은, 소스 전극

층과 드레인 전극층 사이의 거리로서 정의되지만, 채널 보호형 박막 트랜지스터(470)의 경우, 채널 길이 L 은, 캐리어가 흐르는 방향과 평행한 방향의 산화물 절연층(426a)의 폭과 동일하다는 것을 유의한다. 또한, 박막 트랜지스터(470)의 채널 길이 L 은, 산화물 절연층(426a)과의 계면에 있어서의 산화물 반도체층(423)의 길이, 즉, 도 1의 단면도에 있어서 산화물 절연층(426a)을 나타내는 사다리꼴의 저변의 길이를 의미한다는 것을 유의한다.

[0047] 채널 보호형 박막 트랜지스터에 있어서, 채널 형성 영역의 채널 길이 L 을 단축하기 위해 감소된 좁은 폭을 갖는 산화물 절연층 위에 소스 전극층 및 드레인 전극층을 설치하면, 산화물 절연층 위에서 소스 전극층과 드레인 전극층 사이에 단락이 형성될 수 있다. 이 문제를 해결하기 위해, 도 1의 박막 트랜지스터에 있어서 소스 전극층(425a) 및 드레인 전극층(425b)을, 폭이 좁은 산화물 절연층(426a)으로부터 그들의 단부를 분리해서 설치한다. 채널 보호형 박막 트랜지스터(470)로서, 채널 형성 영역의 채널 길이 L 을 $0.1\mu\text{m}$ 이상 $2\mu\text{m}$ 이하의 길이로 짧게 되도록 산화물 절연층의 폭을 감소시킬 수 있음으로써, 동작 속도가 빠른 박막 트랜지스터를 실현한다.

[0048] 이하, 도 2의 (a) 내지 도 2의 (e) 및 도 3을 참조하여, 도 1에 도시된 채널 보호형 박막 트랜지스터를 포함하는 표시 장치의 제작 공정의 예를 설명한다. 도 3은 표시 장치의 평면도이며, 도 2의 (a) 내지 도 2의 (e)는 각각 도 3의 선 A1-A2 및 선 B1-B2를 따라 절개한 단면도라는 것을 유의한다.

[0049] 우선, 기판(400)을 준비한다. 기판(400)으로서, 다음의 기판들, 즉, 바륨 붕소규소산 글래스, 알루미늄붕소규소산 글래스, 및 알루미늄규소산 글래스 등으로, 퓨전(fusion) 방법 또는 플로트(float) 방법에 의해 제작된 비알카리 글래스 기판, 세라믹 기판, 이 제작 공정의 처리 온도를 견디기에 충분한 내열성을 갖는 플라스틱 기판 등 중의 임의의 것을 이용할 수 있다. 대안으로, 표면에 절연막을 설치한 스테인레스 스틸 합금 기판 등의 금속 기판을 이용해도 된다.

[0050] 전술한 글래스 기판 대신에, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체를 이용하여 형성된 기판을 기판(400)으로서 이용해도 된다는 것을 유의한다. 대안으로, 결정화 글래스 기판 등을 이용할 수 있다.

[0051] 또한, 기판(400) 위에 기초막으로서 절연막을 형성해도 된다. 기초막으로서, CVD 방법이나 스퍼터링 방법 등에 의해, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 또는 질화 산화 실리콘막 중 임의의 것이 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 기판(400)으로서 글래스 기판 등의 이동 가능한 이온들을 함유하는 기판을 이용할 경우, 기초막으로서 질화 실리콘막 또는 질화 산화 실리콘막 등의 질소를 함유하는 막을 이용함으로써, 이동 가능한 이온들이 산화물 반도체층이나 반도체층에 침입하는 것을 방지할 수 있다.

[0052] 다음으로, 게이트 전극층(421a)을 포함하는 게이트 배선, 용량 배선(421b), 및 제1 단자(421c)를 형성하기 위한 도전막을 스퍼터링 방법이나 진공 증착 방법에 의해 기판(400)의 전체 표면 위에 형성한다. 다음으로, 도전막을 기판(400)의 전체 표면에 형성한 후, 제1 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극(게이트 전극층(421a)을 포함하는 게이트 배선, 용량 배선(421b), 및 제1 단자(421c))을 형성한다. 이때, 단절을 방지하기 위해, 적어도 게이트 전극층(421a)의 단부가 테이퍼되도록(tapered) 에칭을 행하는 것이 바람직하다.

[0053] 게이트 전극층(421a)을 포함하는 게이트 배선과, 용량 배선(421b)과, 단자부의 제1 단자(421c)는 알루미늄, 구리, 몰리브덴, 티타늄, 크로뮴, 탄탈륨, 텅스텐, 네오디뮴, 및 스칸듐 등의 금속 재료들 중 임의의 것, 또는 이 금속 재료들 중 임의의 것을 주성분으로서 함유하는 합금 재료, 또는 이 금속 재료들 중 임의의 것을 함유하는 질화물을 이용하여, 단층 구조 또는 적층 구조로 형성될 수 있다. 바람직하게는, 게이트 전극층은 알루미늄이나 구리 등의 저저항 금속 재료를 이용하여 형성되는 것이 유효하지만, 낮은 내열성 및 부식되는 경향 등의 단점을 갖기 때문에, 저저항 금속 재료는 고용점 금속 재료와 조합해서 이용하는 것이 바람직하다는 것을 유의한다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크로뮴, 탄탈륨, 텅스텐, 네오디뮴, 또는 스칸듐 등을 이용할 수 있다.

[0054] 예를 들면, 게이트 전극층(421a)의 적층 구조로서는, 다음의 구조들, 즉, 알루미늄층 위에 몰리브덴층이 적층된 2층 구조, 또는 구리층 위에 몰리브덴층이 적층된 2층 구조, 구리층 위에 질화 티타늄층 또는 질화 탄탈륨층이 적층된 2층 구조, 및 질화 티타늄층과 몰리브덴층의 2층 구조가 바람직하다. 3층 구조로서는, 다음의 구조, 즉, 알루미늄, 알루미늄과 실리콘의 합금, 알루미늄과 티타늄의 합금 또는 알루미늄과 네오디뮴의 합금을 중간층에 함유하고, 텅스텐, 질화 텅스텐, 질화 티타늄, 및 티타늄 중 임의의 것을 상층 및 하층에 함유하는 적층 구조가 바람직하다.

[0055] 그때, 하나 이상의 전극층 및 배선층에 투광성 산화물 도전층을 이용할 수 있어서, 개구율을 증가시킬 수 있다. 예를 들면, 산화물 도전층은 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화

아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 또는 산화 아연 갈륨 등을 이용하여 형성될 수 있다.

- [0056] 다음으로, 게이트 전극층(421a)을 덮도록 게이트 절연층(402)을 형성한다(도 2의 (a) 참조). 게이트 절연층(402)은 CVD 방법이나 스퍼터링 방법 등에 의해 10nm 이상 400nm 이하의 두께로 형성된다.
- [0057] 예를 들면, 게이트 절연층(402)으로서 CVD 방법이나 스퍼터링 방법 등에 의해 산화 실리콘막을 100nm의 두께로 형성한다. 물론, 게이트 절연층(402)은 이러한 산화 실리콘막에 한정되지 않고, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 및 산화 탄탈륨막 등의 임의의 다른 절연막을 이용하여 단층 또는 적층 구조를 갖도록 형성해도 된다.
- [0058] 게이트 절연층(402)은 고밀도 플라즈마 장치를 이용하여 형성된다. 여기에서, 고밀도 플라즈마 장치는, $1 \times 10^{11} / \text{cm}^3$ 이상의 플라즈마 밀도를 실현할 수 있는 장치를 일컫는다. 예를 들면, 3kW 내지 6kW의 마이크로파 전력을 인가하여 플라즈마를 발생시켜서 절연막을 형성한다.
- [0059] 챔버에 원료 가스로서 모노실란 가스(SiH_4)와 산화 질소(N_2O)와 회가스를 도입하고, 10Pa 이상 30Pa 이하의 압력에서 고밀도 플라즈마를 발생시켜서, 글래스 등의 절연 표면을 갖는 기판 위에 절연막을 형성한다. 그 후, 모노실란 가스의 공급을 정지하고, 대기에 노출시키지 않고 산화 질소(N_2O)와 회가스를 도입해서, 절연막 표면에 플라즈마 처리를 행한다. 적어도 산화 질소(N_2O)와 회가스를 도입해서 절연막 표면에 행해지는 플라즈마 처리는, 절연막이 형성된 후에 행해진다. 상기의 공정 수순을 통해 형성된 절연막은 두께가 얇고, 예를 들면, 100nm 미만의 두께를 갖는 경우에도 신뢰성을 확보할 수 있는 절연막에 해당한다.
- [0060] 게이트 절연층(402)을 형성함에 있어서, 챔버에 도입하는 모노실란 가스(SiH_4)와 산화 질소(N_2O)의 유량비는 1:10 내지 1:200의 범위이다. 또한, 챔버에 도입하는 회가스로서는, 헬륨, 아르곤, 크립톤, 또는 크세논 등을 이용할 수 있다. 특히, 저렴한 아르곤을 이용하는 것이 바람직하다.
- [0061] 또한, 고밀도 플라즈마 장치를 이용하여 형성된 절연막은 특정 두께를 가질 수 있기 때문에, 절연막은 단차 피복성이 우수하다. 또한, 고밀도 플라즈마 장치를 이용하여 형성된 절연막에 대해, 박막의 두께를 정밀하게 제어할 수 있다.
- [0062] 상기의 공정 수순을 통해 형성된 절연막은, 종래의 평행 평판형 플라즈마 인헨스트 CVD 장치를 이용하여 형성되는 절연막과는 달리, 같은 예천트를 이용해서 예칭 속도를 서로 비교한 경우에, 종래의 평행 평판형 플라즈마 인헨스트 CVD 장치를 이용하여 형성되는 절연막의 예칭 속도보다 10% 이상 또는 20% 이하만큼 느린 예칭 속도를 갖는다. 따라서, 고밀도 플라즈마 장치를 이용하여 얻은 절연막은 치밀한 막이라고 말할 수 있다.
- [0063] 대안으로, 게이트 절연층(402)은, 유기실란 가스를 이용한 CVD 방법에 의한 산화 실리콘층을 이용하여 형성될 수 있다. 유기실란 가스로서는, 테트라에톡시실란(TEOS)(화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS)(화학식: $\text{Si}(\text{CH}_3)_4$), 테트라메틸실클로테트라실록산(TMCTS), 옥타메틸실클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(화학식: $\text{SiH}(\text{OC}_2\text{H}_5)_3$), 또는 트리디메틸아미노실란(화학식: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 이용할 수 있다.
- [0064] 대안으로, 게이트 절연층(402)은, 알루미늄, 이트륨, 또는 하프늄의 산화물, 질화물, 산화 질화물(oxynitride), 및 질화 산화물(nitride oxide) 중 일종, 또는 전술한 것들 중 적어도 2종 이상을 함유하는 화합물을 이용하여 형성될 수 있다.
- [0065] 본 명세서에 있어서, "산화 질화물"이란 용어는 질소 원자수보다 산소 원자수가 많도록 산소 원자와 질소 원자를 함유하는 물질을 일컫고, "질화 산화물"이란 용어는 산소 원자수보다 질소 원자수가 많도록 질소 원자와 산소 원자를 함유하는 물질을 일컫는다. 예를 들면, "산화 질화 실리콘막"은 질소 원자수보다 산소 원자수가 많도록 산소 원자와 질소 원자를 함유하고, 러더퍼드 후방 산란 분광법(Rutherford backscattering spectrometry)(RBS) 및 수소 전방 산란법(hydrogen forward scattering)(HFS)을 이용해서 측정한 경우, 농도 범위에 있어서, 산소를 50 원자% 이상 70 원자% 이하, 질소를 0.5 원자% 이상 15 원자% 이하, 실리콘을 25 원자% 이상 35 원자% 이하, 및 수소를 0.1 원자% 이상 10 원자% 이하의 범위로 각각 함유한다. 또한, "질화 산화 실리콘막"은 산소 원자수보다 질소 원자수가 많도록 질소 원자와 산소 원자를 함유하고, RBS 및 HFS를 이용해서 측정할 경우에, 농도 범위에 있어서, 산소를 5 원자% 이상 30 원자% 이하, 질소를 20 원자% 이상 55 원자% 이하, 실리콘을 25 원자% 이상 35 원자% 이하, 및 수소를 10 원자% 이상 30 원자% 이하의 범위로 각각

함유한다. 산화 질화 실리콘막 또는 질화 산화 실리콘막에 함유되는 원자수의 합계를 100 at.%라고 정의하는 경우, 질소, 산소, 실리콘, 및 수소의 퍼센티지는 상기의 범위 내에 포함된다는 것을 유의한다.

[0066] 산화물 반도체층(423)을 형성하기 위한 산화물 반도체막을 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역 스퍼터링을 행함으로써, 게이트 절연층의 표면의 먼지를 제거하는 것이 바람직하다는 것을 유의한다. 역 스퍼터링은, 타겟측에 전압을 인가하지 않고, 아르곤 분위기에서 기관측에 RF 전원을 이용하여 전압을 인가해서 기관 주위에 플라즈마를 형성하여 표면을 개질하는 방법을 일컫는다. 아르곤 분위기 대신에 질소 분위기 또는 헬륨 분위기 등을 이용해도 된다는 것을 유의한다. 대안으로, 산소, N_2O 등을 첨가한 아르곤 분위기도 이용될 수 있다. 또한, 대안으로, Cl_2 또는 CF_4 등을 첨가한 아르곤 분위기도 이용될 수 있다. 역 스퍼터링 후, 대기에 노출시키지 않고 산화물 반도체막을 형성함으로써, 게이트 절연층(402)과 산화물 반도체층(423)의 계면에 입자(먼지) 및 수분의 부착을 방지할 수 있다.

[0067] 다음으로, 게이트 절연층(402) 위에 산화물 반도체막을 두께 5nm 이상 200nm 이하로, 바람직하게는 10nm 이상 40nm 이하로 형성한다.

[0068] 산화물 반도체막으로서, 다음의 산화물 반도체막들, 즉, In-Ga-Zn-O계 산화물 반도체막, In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 및 Zn-O계 산화물 반도체막 중 임의의 것을 적용할 수 있다. 대안으로, 산화물 반도체막은, 희가스(대표적으로 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로 아르곤) 및 산소 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 스퍼터링 방법을 이용할 경우, SiO_2 를 2중량% 이상 10중량% 이하만큼 함유하는 타겟을 이용해서 성막을 행하여, 산화물 반도체막에 결정화를 저해하는 $SiO_x(x>0)$ 를 함유시킬 수 있다.

[0069] 여기에서, 산화물 반도체막은, In, Ga, 및 Zn을 함유하는 금속 산화물 타겟(몰비가 $In_2O_3:Ga_2O_3:ZnO = 1:1:0.5$ 이거나, 또는 몰비가 $In:Ga:ZnO = 1:1:1$ 또는 $1:1:2$ 임)을 이용하여, 기관과 타겟 사이의 거리가 100mm이고, 압력이 0.6Pa이고, 직류(DC) 전력이 0.5kW이고, 분위기가 산소 분위기(산소 유량비가 100%임)인 조건에서 형성된다. 펄스 직류(DC) 전원을 이용하면, 성막시에 생성되는 파우더 물질(입자 또는 먼지라고도 부름)을 줄일 수 있고, 막 두께가 균일해질 수 있기 때문에 바람직하다. 본 실시 형태에서는, 산화물 반도체막으로서, In-Ga-Zn-O계 금속 산화물 타겟을 이용해서 스퍼터링 방법에 의해 두께 30nm의 In-Ga-Zn-O계 비단결정막을 형성한다.

[0070] 스퍼터링 방법의 예로서는, 스퍼터링용 전원으로서 고주파 전원을 이용하는 RF 스퍼터링 방법과, DC 전원을 이용하는 DC 스퍼터링 방법, 및 펄스 방식으로 바이어스를 인가하는 펄스 DC 스퍼터링 방법(pulsed DC sputtering method)을 포함한다. RF 스퍼터링 방법은 주로 절연막을 형성하는 경우에 이용되고, DC 스퍼터링 방법은 주로 금속막을 형성하는 경우에 이용된다.

[0071] 또한, 복수의 상이한 재료의 타겟을 세팅할 수 있는 다중-소스 스퍼터링 장치도 있다. 다중-소스 스퍼터링 장치에 의해, 동일한 챔버에서 상이한 재료의 막들을 적층하여 형성할 수 있거나, 또는 동일한 챔버에서 복수 종류의 재료를 동시에 방전시켜 막을 형성할 수 있다.

[0072] 또한, 챔버 내부에 자석 기구를 구비하는 마그네트론 스퍼터링용 스퍼터링 장치, 및 글로우(glow) 방전을 이용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터링용 스퍼터링 장치가 있다.

[0073] 또한, 스퍼터링 방법을 이용하는 성막 방법으로서, 성막 동안 타겟 물질과 스퍼터링 가스 성분을 서로 화학 반응시켜서 그것들의 화합물 박막을 형성하는 반응성 스퍼터링 방법, 및 성막 동안 기관에도 전압을 인가하는 바이어스 스퍼터링 방법도 있다.

[0074] 다음으로, 제2 포토리소그래피 단계에서, 레지스트 마스크를 형성하고 In-Ga-Zn-O계 막을 에칭한다. 에칭에는, 시트르산이나 옥살산 등의 유기산을 에칭제로서 이용할 수 있다. 여기에서, In-Ga-Zn-O계 막은 ITO-07N(Kanto Chemical Co., Inc.제)을 이용한 웨트 에칭에 의해 에칭되어, 불필요한 부분이 제거된다. 따라서, In-Ga-Zn-O계 막을 섬 형상으로 가공하여, 산화물 반도체층(423)을 형성한다. 산화물 반도체층(423)의 단부를 테이퍼 형상으로 에칭함으로써, 단차 형상에 기인한 배선의 파손을 방지할 수 있다. 여기에서의 에칭은, 웨트 에칭에 한정되지 않고 드라이 에칭을 행해도 된다는 것을 유의한다.

[0075] 다음으로, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화용 제1 가열 처리는, 고온

의 가스(질소 또는 희가스 등의 불활성 가스) 또는 광을 이용하여 500℃ 이상 750℃ 이하의 온도(또는 글래스 기판의 왜곡점 이하의 온도)에서 1분 이상 10분 이하 정도 동안, 바람직하게는 650℃에서 3분 이상 6분 이하 정도 동안 급속 가열 어닐링(RTA) 처리에 의해 행해질 수 있다. RTA 방법에 의해, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 글래스 기판의 왜곡점보다 높은 온도에서도 처리를 행할 수 있다. 가열 처리의 타이밍은, 이 타이밍에 한정되지 않고, 예를 들면, 포토리소그래피 단계 또는 성막 단계 전과 후에 복수 회 행해도 된다는 것을 유의한다.

[0076] 여기에서, 산화물 반도체층(423)의 표층부는 제1 가열 처리에 의해 결정화되어, 나노크리스탈을 포함하는 결정 영역(106)을 갖게 된다. 산화물 반도체층(423)의 나머지 부분은 비정질로 되거나, 또는 비정질 영역 중에 미세 결정이 점재한 비정질/비결정과 미세결정의 혼합물로 형성된다. 결정 영역(106)은 산화물 반도체층(423)의 일부이며, 이후, "산화물 반도체층(423)"은 결정 영역(106)을 포함한다는 것을 유의한다.

[0077] 본 명세서에서는, 질소 또는 희가스 등의 불활성 가스 분위기에서의 가열 처리를 탈수화 또는 탈수소화용 가열 처리라고 부른다는 것을 유의한다. 본 명세서에서, "탈수화" 또는 "탈수소화"는 가열 처리에 의해 H_2 또는 H_2O 만을 제거하는 것을 나타내는 것은 아니다. 편의상, H 및 OH 등을 제거하는 것도 "탈수화 또는 탈수소화"라고 일컫는다.

[0078] 또한, 산화물 반도체층에 대하여 탈수화 또는 탈수소화를 행하는 가열 온도 T로부터 강온할 때, 탈수화 또는 탈수소화에 이용된 동일한 노(furnace)를 이용하여 산화물 반도체층을 대기에 노출시키지 않고, 물 또는 수소의 침입을 방지하는 것이 중요하다. 탈수화 또는 탈수소화를 행하여 산화물 반도체층을 저저항 산화물 반도체층, 즉, n형(예를 들면, n^- 형 또는 n^+ 형) 산화물 반도체층으로 변화시킨 후, 저저항 산화물 반도체층을 고저항 산화물 반도체층으로 변화시켜서, 산화물 반도체층이 i형 산화물 반도체층으로 되도록 하여 얻은 산화물 반도체층을 이용해서 박막 트랜지스터를 형성하면, 박막 트랜지스터의 임계값 전압이 포지티브로 되어, 소위 노멀리 오프(normally-off) 특성을 갖는 스위칭 소자를 실현할 수 있다. 박막 트랜지스터에 있어서 0V에 가능한 한 가까운 포지티브의 임계값 전압으로 채널이 형성되는 것이 표시 장치에 바람직하다. 박막 트랜지스터의 임계값 전압이 네거티브이면, 박막 트랜지스터는 소위 노멀리 온(normally-on) 특성을 갖는 경향이 있고, 다시 말해서, 게이트 전압이 0V일 경우에도, 소스 전극과 드레인 전극 사이에 전류가 흐른다. 액티브 매트릭스 표시 장치에서는, 회로에 포함되는 박막 트랜지스터의 전기적 특성이 중요하고, 표시 장치의 성능은 그 전기적 특성에 의존한다. 박막 트랜지스터의 전기적 특성 중, 임계값 전압(V_{th})이 특히 중요하다. 전계 효과 이동도가 높더라도 임계값 전압값이 높거나, 또는 마이너스 측이면, 회로를 제어하기가 곤란하다. 박막 트랜지스터의 임계값 전압이 높고, 그 임계값 전압의 절대값이 큰 경우, 박막 트랜지스터가 낮은 전압에서 구동될 때, 박막 트랜지스터는 TFT로서 스위칭 기능을 행할 수 없고, 부하가 될 수 있다. n채널 박막 트랜지스터의 경우, 게이트 전압으로서 포지티브 전압을 인가한 후 채널이 형성되고 드레인 전류가 흐르는 것이 바람직하다. 구동 전압을 증가시키지 않으면 채널이 형성되지 않는 트랜지스터, 및 네거티브 전압이 인가된 경우에도 채널이 형성되고 드레인 전류가 흐르는 트랜지스터는 회로에 사용될 박막 트랜지스터용으로 부적합하다.

[0079] 또한, 가열 온도 T로부터 강온되는 가스 분위기는, 가열 온도 T까지 승온한 가스 분위기와는 상이한 가스 분위기로 전환될 수 있다. 예를 들면, 탈수화 또는 탈수소화용 가열 처리가 행해진 노에, 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초진조 공기(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)를 채워서 대기에 노출시키지 않고 냉각을 행한다.

[0080] 제1 가열 처리에서는, 분위기에 물 및 수소 등이 함유되지 않는 것이 바람직하다는 것을 유의한다. 대안으로, 가열 처리 장치에 도입되는 불활성 가스의 순도는 6N(99.9999%) 이상인 것이 바람직하고, 더 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하임).

[0081] 상기, 불활성 가스 분위기에서 가열 처리를 행한 경우, 산화물 반도체층은 가열 처리를 통해 산소 결핍형 산화물 반도체층으로 변화되어서, 산화물 반도체층은 저저항 산화물 반도체층(즉, n형(예를 들면, n^- 형) 산화물 반도체층)으로 된다. 그 후, 산화물 반도체층에 접촉하는 산화물 절연층을 형성함으로써 산화물 반도체층을 산소 과잉 상태에 있도록 한다. 따라서, 산화물 반도체층이 i형으로 되며, 즉, 산화물 반도체층이 고저항 산화물 반도체층으로 변화된다. 이에 의해, 전기 특성이 양호해서 신뢰성이 매우 높은 박막 트랜지스터를 형성할 수 있다.

[0082] 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 부분적으로 결정화될 수 있

다. 제1 가열 처리에 의해, 산화물 반도체층(423)은 산소 결핍형으로 변화되어서 그의 저항이 감소된다. 제1 가열 처리 후에, 캐리어 농도가 성막 직후의 산화물 반도체막의 캐리어 농도보다 높아져서, 산화물 반도체층은 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이상의 캐리어 농도를 갖게 된다.

- [0083] 산화물 반도체층의 제1 가열 처리는, 산화물 반도체막이 섬 형상의 산화물 반도체층으로 가공되기 전에 행해질 수 있다. 그 경우에, 제1 가열 처리 후에, 가열 처리 장치로부터 기판을 취출하고, 제2 포토리소그래피 단계를 행한다. 산화물 반도체층(423)의 측면부에는 결정 영역이 형성되지 않고, 산화물 반도체층(423)의 상층부에만 결정 영역(106)이 형성된다.
- [0084] 다음으로, 제3 포토리소그래피 단계에서, 레지스트 마스크가 형성되고, 에칭에 의해 불필요한 부분을 제거해서 게이트 전극층(421a)과 동일한 재료를 이용하여 형성된 배선이나 전극층에 도달하는 콘택트 홀을 형성한다(도 2의 (b) 참조). 이 콘택트 홀은 나중에 형성되는 도전막과의 직접 접촉을 위해 설치된다. 예를 들면, 구동 회로부에 있어서, 게이트 전극층이 소스 전극층 또는 드레인 전극층에 직접 접촉하는 박막 트랜지스터를 형성할 경우에, 또는 단자부의 게이트 배선에 전기적으로 접속되는 단자를 형성할 경우에 콘택트 홀을 형성한다.
- [0085] 다음으로, 산화물 반도체층(423) 및 게이트 절연층(402) 위에, 스퍼터링 방법에 의해 산화물 절연막을 형성한 후, 제4 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 산화물 절연층(426a, 426b, 426c, 426d)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 2의 (c) 참조). 이 단계에서, 산화물 반도체층에 산화물 절연층(426a)과 접촉하는 영역이 형성된다. 이 영역 내에 있어서, 게이트 절연층을 사이에 개재하여 게이트 전극층과 중첩하고, 산화물 절연층(426a)과도 중첩하는 영역이 채널 형성 영역으로 된다. 또한, 제4 포토리소그래피 단계에서, 제1 단자(421c)에 도달하는 콘택트 홀도 형성된다.
- [0086] 산화물 절연막은, 스퍼터링 방법 등의, 산화물 절연막에 물 및 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용해서 적어도 1nm 이상의 두께로 형성할 수 있다. 본 실시 형태에서는, 산화물 절연막으로서 산화 실리콘막을 스퍼터링 방법에 의해 형성한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하일 수 있고, 본 실시 형태에서 기판 온도는 100℃이다. 산화 실리콘막의 스퍼터링 방법에 의한 성막은, 회가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 회가스(대표적으로는, 아르곤) 및 산소 분위기에서 행할 수 있다. 타겟으로서는, 산화 실리콘 타겟 또는 실리콘 타겟을 이용할 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산소 및 회가스 분위기에서 스퍼터링 방법에 의해 산화 실리콘막을 형성할 수 있다. 저저항화된 산화물 반도체층에 접촉해서 형성되는 산화물 절연막으로서는, 수분, 수소 이온, 및 OH^- 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용한다. 대표적으로는, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등을 이용한다.
- [0087] 본 실시 형태에서는, 순도가 6N인 주상 다결정의 붕소 도핑된 실리콘 타겟(저항률 0.01Ω·cm)을 이용하여, 기판과 타겟 사이의 거리(T-S 거리)를 89mm, 압력을 0.4Pa, 직류(DC) 전원을 6kW, 분위기를 산소(산소 유량비가 100%임)로 하여, 펄스 DC 스퍼터링 방법에 의해 성막을 행한다. 그의 막 두께는 300nm이다.
- [0088] 다음으로, 산화물 반도체층(423) 위에 금속 재료를 이용하여 스퍼터링 방법이나 진공 증착 방법에 의해 도전막을 형성한다. 도전막의 재료로서는, 게이트 전극층(421a)과 마찬가지로의 재료를 이용할 수 있다.
- [0089] 본 실시 형태에서는, 제1 내지 제3 도전막을 적층시킨 도전막을 형성한다. 예를 들면, 제1 도전막 및 제3 도전막은 내열성 도전성 재료인 티타늄을 이용하여 형성하고, 제2 도전막은 네오디뮴을 함유하는 알루미늄 합금을 이용하여 형성한다. 이러한 구성은, 힐록(hillock)의 발생을 감소시킬 수 있고 알루미늄의 저저항성을 활용할 수 있다. 본 실시 형태에서는 제1 내지 제3 도전막으로 이루어지는 3층 구조를 이용했지만, 본 발명의 일 실시 형태는 이것에 한정되지 않는다. 단층 구조, 2층 구조, 또는 4층 이상의 적층 구조도 채택될 수 있다. 2층, 또는 4층 이상을 포함하는 구조도 채택될 수 있다. 예를 들면, 티타늄막의 단층 구조 또는 실리콘을 함유하는 알루미늄막의 단층 구조가 채택될 수도 있다.
- [0090] 나노크리스탈을 포함하는 치밀한 결정 영역(106)을 표층부에 갖는 산화물 반도체층 위에 그에 접촉해서 도전막을 성막할 때, 성막에 의한 열이나 성막에 기인한 결정 영역에의 손상이 반도체층의 결정 영역(106)을 비정질화하는 경우가 있다는 것을 유의한다. 그러나, 본 실시 형태에서 나타내는 박막 트랜지스터의 제작 방법에서는, 산화물 반도체층의 채널 형성 영역으로 되는 영역에 접촉하여, 채널 보호층으로서 기능하는 산화물 절연층(426a)이 설치됨으로써, 산화물 반도체층(423)의 적어도 채널 형성 영역(제5 영역)의 표층부는 결정 영역(106)을 가질 수 있다.

- [0091] 다음으로, 제5 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 소스 전극층(425a), 드레인 전극층(425b), 및 접속 전극(429)을 형성한다. 이때, 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 채택한다. 예를 들면, 제1 도전막 및 제3 도전막은 티타늄을 이용하여 형성하고, 제2 도전막은 네오디뮴을 함유하는 알루미늄 합금을 이용하여 형성할 경우, 과산화수소수 또는 가열된 염산을 에천트로서 이용해서 웨트 에칭을 행할 수 있다.
- [0092] 이 에칭 단계에 의해, 산화물 반도체층(423)은 부분적으로 에칭되어, 소스 전극층(425a)과 산화물 절연층(426a) 사이의 제3 영역(424c), 및 드레인 전극층(425b)과 산화물 절연층(426a) 사이의 제4 영역(424d)은 각각, 소스 전극층(425a)과 중첩하는 제1 영역(424a), 산화물 절연층(426a)과 중첩하는 제5 영역(424e), 및 드레인 전극층(425b)과 중첩하는 제2 영역(424b)의 각각보다 얇은 두께를 갖는다(도 2의 (d) 참조). 산화물 반도체층(423)의 제5 영역(424e)은 산화물 절연층(426a)에 의해 에칭되지 않도록 보호되기 때문에, 적어도 채널 형성 영역의 표층부는 나노크리스탈을 포함하는 치밀한 결정 영역을 갖는다는 것을 유의한다. 채널 형성 영역에 있어서, 산화물 반도체층의 표층부는 백 채널층이며, 이 결정 영역은 기생 채널의 발생을 억제할 수 있다.
- [0093] 또한, 이 제5 포토리소그래피 단계에 의해, 접속 전극(429)은, 게이트 절연층에 형성된 컨택트 홀을 통해 단자부의 제1 단자(421c)에 직접 접속된다. 도시되지는 않았지만, 전술한 단계들과 같은 단계들을 통해 구동 회로의 박막 트랜지스터의 소스 배선 또는 드레인 배선과 게이트 전극이 서로 직접 접속된다.
- [0094] 다음으로, 박막 트랜지스터(470)를 덮는 산화물 절연층(428)을 형성한다(도 2의 (e) 참조). 산화물 절연층(428)으로서, 스퍼터링 방법 등에 의해 형성되는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 또는 산화 탄탈륨막을 이용하여 산화물 절연층을 형성한다.
- [0095] 산화물 절연층은, 스퍼터링 방법 등, 산화물 절연층에 물 및 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용해서 형성될 수 있다. 본 실시 형태에서는, 산화물 절연층으로서, 산화 실리콘막을 스퍼터링 방법에 의해 형성한다. 성막시의 기판 온도는, 실온 이상 300℃ 이하일 수 있고, 본 실시 형태에서 기판 온도는 100℃이다. 성막시에 물 및 수소 등의 불순물의 혼입을 방지하기 위해, 성막 전에 감압 하에서 150℃ 이상 350℃ 이하의 온도에서 2분 이상 10분 이하 동안 프리-베이킹을 행하고, 대기에 노출시키지 않고 산화물 절연층을 형성하는 것이 바람직하다. 산화 실리콘막의 스퍼터링 방법에 의한 성막은, 회가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 회가스(대표적으로는, 아르곤) 및 산소 분위기에서 행할 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟을 이용할 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산소 및 회가스 분위기에서 스퍼터링 방법에 의해 산화 실리콘막을 형성할 수 있다. 저저항화된 산화물 반도체층에 접촉해서 형성되는 산화물 절연층으로서, 수분, 수소 이온, 및 OH⁻ 등의 불순물을 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하는 것이 바람직하다.
- [0096] 본 실시 형태에서는, 순도가 6N인 주상 다결정의 붕소 도핑된 실리콘 타겟(저항률 0.01Ω·cm)을 이용하여, 기판과 타겟 사이의 거리(T-S 거리)를 89mm, 압력을 0.4Pa, 직류(DC) 전원을 6kW, 분위기를 산소(산소 유량비가 100%임)로 하여 펄스 DC 스퍼터링 방법에 의해 성막을 행한다. 그의 막 두께는 300nm이다.
- [0097] 다음으로, 불활성 가스 분위기, 또는 질소 가스 분위기에서 제2 가열 처리를(바람직하게는 200℃ 이상 400℃ 이하에서, 예를 들면 250℃ 이상 350℃ 이하에서) 행한다. 예를 들면, 질소 분위기에서 250℃에서 1시간 동안 제2 가열 처리를 행한다. 대안으로, 제1 가열 처리와 마찬가지로 고온에서 단시간 동안 RTA 처리를 행해도 된다. 제2 가열 처리에 의해, 산화물 절연층, 및 산화물 절연층과 중첩하는 산화물 반도체층이 서로 접촉한 상태에서 가열된다. 제2 가열 처리에 의해, 제1 가열 처리에 의해 저저항화된 산화물 반도체층(423)이 산소 과잉 상태로 되고, 고저항 산화물 반도체층(i형 산화물 반도체층)으로 변화될 수 있다.
- [0098] 본 실시 형태에서는, 산화 실리콘막의 형성 후에 제2 가열 처리를 행하지만, 가열 처리의 타이밍은 산화 실리콘막의 형성 이후인 한, 산화 실리콘막의 형성 직후의 타이밍에 한정되지 않는다.
- [0099] 소스 전극층(425a) 및 드레인 전극층(425b)이 내열성 재료를 이용하여 형성되는 경우에는, 제2 가열 처리의 타이밍에서, 제1 가열 처리 조건을 이용한 단계를 행할 수 있다. 그 경우, 가열 처리는 산화 실리콘막 성막 후에 1회 행해질 수 있다.
- [0100] 다음으로, 제6 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 산화물 절연층(428)을 에칭하여 드레인 전극층(425b)에 도달하는 컨택트 홀을 형성한다. 또한, 이 에칭에 의해 접속 전극(429)에 도달하는 컨택트 홀도 형성된다.

- [0101] 다음으로, 레지스트 마스크를 제거한 후, 투명 도전막을 성막한다. 투명 도전막은, 산화 인듐(In_2O_3) 또는 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 이하 간단하게 ITO로 표기됨) 등을 이용하여 스퍼터링 방법이나 진공 증착 방법 등에 의해 형성된다. 그러한 재료는 염산계 용액에 의해 에칭된다. 특히, ITO의 에칭에서는 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화 인듐과 산화 아연의 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 이용할 수 있다는 것을 유의한다.
- [0102] 다음으로, 제7 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(110)을 형성한다.
- [0103] 제7 포토리소그래피 단계에 있어서, 용량부에서 유전체로서 이용되는 게이트 절연층(402), 산화물 절연층(426b), 및 산화물 절연층(428)과, 용량 배선(421b)과 화소 전극층(110)으로 축적 용량을 형성한다.
- [0104] 또한, 제7 포토리소그래피 단계에 있어서, 제1 단자(421c)를 레지스트 마스크로 덮고 단자부에 투명 도전막(128)을 남긴다. 투명 도전막(128)은 FPC에 접속되는 전극 또는 배선으로서 기능한다. 제1 단자(421c)에 직접 접속된 접속 전극(429) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속 단자 전극이 된다. 도시되지 않았지만, 소스 배선의 입력 단자로서 기능하는 접속 단자 전극도 이때 형성된다.
- [0105] 도 4의 (a1) 및 도 4의 (a2)는 각각, 이 단계에서의 게이트 배선 단자부의 단면도 및 평면도이다. 도 4의 (a1)은 도 4의 (a2)의 선 C1-C2를 따라 절개한 단면도이다. 도 4의 (a1)에 있어서, 산화물 절연층(428) 위에 형성되는 투명 도전막(415)은, 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 4의 (a1)에 있어서, 단자부에서는, 게이트 배선과 동일한 재료를 이용하여 형성되는 제1 단자(411)와, 소스 배선과 동일한 재료를 이용하여 형성되는 접속 전극(412)이 그 사이에 게이트 절연층(402)을 개재하여 서로 중첩하고 직접 전기적으로 접속된다. 또한, 접속 전극(412)과 투명 도전막(415)이 산화물 절연층(428)에 형성된 콘택트 홀을 통해서 서로 직접 접속된다.
- [0106] 도 4의 (b1) 및 도 4의 (b2)는 각각, 소스 배선 단자부의 단면도 및 그의 평면도이다. 도 4의 (b1)은 도 4의 (b2)의 선 C3-C4를 따라 절개한 단면도이다. 도 4의 (b1)에 있어서, 산화물 절연층(428) 위에 형성되는 투명 도전막(418)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 4의 (b1)에 있어서, 단자부에서는, 게이트 배선과 동일한 재료를 이용하여 형성되는 전극(416)이, 소스 배선에 전기적으로 접속되는 제2 단자(414) 아래에 위치하고 게이트 절연층(402)을 사이에 개재하여 그 제2 단자와 중첩한다. 전극(416)은 제2 단자(414)에 전기적으로 접속되지 않고, 전극(416)의 전위를 제2 단자(414)의 전위와는 다른 전위, 예를 들면, GND 전위 또는 0V 등으로 설정하거나 또는 전극(416)을 플로팅 상태로 설정하면, 노이즈 또는 정전기를 방지하기 위한 용량을 형성할 수 있다. 제2 단자(414)는, 산화물 절연층(428)을 사이에 개재하여 투명 도전막(418)과 전기적으로 접속된다.
- [0107] 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라서 복수개 설치된다. 또한, 단자부에서는, 게이트 배선과 동 전위의 복수의 제1 단자, 소스 배선과 동 전위의 복수의 제2 단자, 및 용량 배선과 동 전위의 복수의 제3 단자 등이 배치된다. 각각의 단자의 수는 임의의 수일 수 있고, 단자의 수는 실시자가 적절하게 결정할 수 있다.
- [0108] 이 7개의 포토리소그래피 단계를 통해, 7매의 포토마스크를 사용하여, 채널 보호형 박막 트랜지스터(470) 및 축적 용량부를 완성시킬 수 있다. 이 트랜지스터와 축적 용량은 개개의 화소에 대응하여 매트릭스로 배치되어 화소부를 형성함으로써, 액티브 매트릭스 표시 장치에 포함되는 기관들 중 하나를 얻을 수 있다. 본 명세서에서는 편의상 그러한 기관을 액티브 매트릭스 기관이라고 부른다.
- [0109] 액티브 매트릭스 액정 표시 장치를 제작하는 경우에, 액티브 매트릭스 기관과, 대향 전극이 설치된 대향 기관은, 액정층을 사이에 개재하여 서로 접합된다. 대향 기관의 대향 전극에 전기적으로 접속되는 공통 전극을 액티브 매트릭스 기관 위에 설치하고, 공통 전극에 전기적으로 접속되는 제4 단자를 단자부에 설치한다는 것을 유의한다. 제4 단자는 공통 전극을 GND 전위 또는 0V 등의 고정 전위로 설정하기 위해 설치된다.
- [0110] 본 실시 형태의 화소 구성은 도 3의 화소 구성에 한정되지 않는다. 예를 들면, 용량 배선 없이 축적 용량을 형성하기 위해, 화소 전극은, 인접한 화소의 게이트 배선과, 보호 절연막 및 게이트 절연층을 사이에 개재하여 중첩할 수 있다. 이 경우, 용량 배선, 및 용량 배선에 접속되는 제3 단자는 생략될 수 있다.
- [0111] 또한, 대안으로, 도 5의 (a) 및 도 5의 (b)에 도시된 바와 같이, 소스 전극층(425a) 및 드레인 전극층(425b)은, 채널 보호층으로서 기능하는 산화물 절연층(456a) 위에 있을 수 있으며 그 산화물 절연층과 중첩할 수 있다.

이 경우, 소스 전극층(425a) 및 드레인 전극층(425b)의 패터닝 시에 산화물 반도체층이 에칭되지 않기 때문에, 산화물 반도체층에 있어서 얇은 영역이 형성되지 않는다. 즉, 산화물 반도체층은, 각각 동일한 두께를 갖는, 소스 전극층(425a)과 중첩하는 제1 영역(424a), 드레인 전극층(425b)과 중첩하는 제2 영역(424b), 및 채널 형성 영역으로 되는 제5 영역(424e)을 갖는다.

[0112] 또한, 대안으로, 도 22의 (a)에 도시된 바와 같이, 산화물 반도체층의 제5 영역(424e)에 있어서, 비정질이거나 또는 비정질/비결정과 미세결정의 혼합물로 형성된 영역의 두께가, 제3 영역(424c) 및 제4 영역(424d) 각각의 두께보다 얇은(즉, 제5 영역(424e)에 있어서 결정 영역과, 비정질이거나 또는 비정질/비결정과 미세결정의 혼합물로 형성되는 영역 간의 계면이, 제3 영역(424c) 및 제4 영역(424d)의 최외표면들보다 위쪽에 있음) 박막 트랜지스터(490)가 채택될 수 있다. 그러한 구성을 갖는 박막 트랜지스터(490)는, 제1 가열 처리의 가열 온도 또는 가열 시간을 조정함으로써 산화물 반도체층의 결정 영역의 깊이를 극히 얇게 해서 얻을 수 있다. 도 22의 (a)에 도시된 박막 트랜지스터(490)의 구성을 채택함으로써, 오프 전류를 감소시킬 수 있다.

[0113] 도 22의 (a)에 도시된 채널 보호형 박막 트랜지스터(490)의 채널 길이 L 은, 캐리어가 흐르는 방향과 평행한 방향인 산화물 절연층(426a)의 폭과 동일하다. 산화물 반도체층의 제3 영역의 채널 길이 방향의 폭 L_3 과, 제4 영역의 채널 길이 방향의 폭 L_4 는 반드시 동일할 필요는 없지만, 제3 영역의 채널 길이 방향의 폭 L_3 과 제4 영역의 채널 길이 방향의 폭 L_4 의 합계는, 도 22의 (a)에 도시된 박막 트랜지스터(490)에 있어서 일정하다는 것을 유의한다.

[0114] 대안으로, 도 22의 (b)에 도시된 바와 같이, 산화물 반도체층의 제1 영역(424a) 내지 제5 영역(424e)은 그들의 표층부에 결정 영역을 갖는 구성의 박막 트랜지스터(430)가 채택될 수 있다. 도 22의 (b)에 도시된 박막 트랜지스터(430)의 구성을 채택함으로써, 온 전류를 증가시킬 수 있다.

[0115] 박막 트랜지스터들(430, 450, 470, 490) 중에서 선택될 수 있는 상이한 구성을 갖는 박막 트랜지스터들을 하나의 기판 위에 형성할 수 있다. 화소부와 구동 회로를 하나의 기판 위에 형성할 경우, 화소부에 이용되는 박막 트랜지스터에는 우수한 스위칭 특성이 요구되고, 구동 회로에 이용되는 박막 트랜지스터에는 빠른 동작 속도가 바람직하기 때문에, 예를 들면, 도 22의 (c)에 도시된 바와 같이, 구동 회로부에는 박막 트랜지스터(430)를 설치할 수 있고, 화소부에는 박막 트랜지스터(490)를 설치할 수 있다는 것을 유의한다. 구동 회로부에 설치된 박막 트랜지스터(430)는 온 전류를 증가시킬 수 있기 때문에, 큰 전류 구동 능력을 요구하는 응용에 적합하다. 화소부에 설치된 박막 트랜지스터(490)는, 오프 전류를 감소시킬 수 있기 때문에, 화소부의 스위칭 소자로서 이용될 경우, 콘트라스트를 향상시킬 수 있다. 대안으로, 도 22의 (d)에 도시된 바와 같이, 구동 회로부에는 박막 트랜지스터(450)를 설치할 수 있고, 화소부에는 오프 전류가 낮은 박막 트랜지스터(470)를 설치하는 것이 바람직하다. 또한, 대안으로, 도시되지는 않았지만, 구동 회로부에 박막 트랜지스터(430)를 설치하고 화소부에 박막 트랜지스터(470)를 설치하거나, 또는 구동 회로부에 박막 트랜지스터(450)를 설치하고 화소부에 박막 트랜지스터(490)를 설치해도 된다.

[0116] 박막 트랜지스터(430, 450, 470, 490) 각각에 있어서, 서로 접촉하는 게이트 절연층(402)과 산화물 반도체층(423) 간의 계면은 비정질이거나 또는 비정질/비결정과 미세결정의 혼합물로 형성되며, 적어도 산화물 절연층(426a)과 접촉하는 산화물 반도체층의 표층부는 결정 영역을 갖는다.

[0117] 액티브 매트릭스 액정 표시 장치에서는, 매트릭스로 배치된 화소 전극을 구동함으로써, 화면에 표시 패턴이 형성된다. 구체적으로는, 선택된 화소 전극과, 화소 전극에 대응하는 대향 전극 사이에 전압이 인가되어, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에 의해 인식된다.

[0118] 액정 표시 장치의 동화상 표시에 있어서, 액정 분자 자체의 응답 시간이 길기 때문에, 잔상이 생기거나 또는 동화상의 흐려짐이 생기는 문제가 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해서, 전체 화면에 블랙 표시를 1 프레임 기간 걸러 행하는, 소위, 블랙 삽입이라고 불리는 구동 방법이 채택된다.

[0119] 또한, 소위, 배속 프레임 구동이라고 불리는 다른 구동 기술이 있다. 배속 프레임 구동에 있어서는, 수직 동기화 주파수를 통상의 수직 동기화 주파수의 1.5배 이상, 바람직하게는, 2배 이상으로 설정함으로써, 응답 속도를 증가시키고, 구동에 의해 얻어졌던 각 프레임 내에서의 복수의 필드마다 기입할 계조를 선택한다.

[0120] 또한, 대안으로, 액정 표시 장치의 동화상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원을 이용해서 면광원을 형성하고, 면광원의 각 광원을 독립적으로 1 프레임 기간 내에

서 펄스 방식으로 구동하는 구동 방법이 채택될 수도 있다. 3 종류 이상의 LED를 이용할 수 있거나, 또는 화이트광을 발광하는 LED를 이용할 수 있다. 복수의 LED를 독립적으로 제어할 수 있기 때문에, LED의 발광 타이밍을 액정층이 광학 변조되는 타이밍과 동기화시킬 수 있다. 이 구동 방법에 따르면, LED를 부분적으로 턴 오프할 수 있기 때문에, 특히 한 화면을 점유하는 블랙 표시 영역이 많은 영상을 표시하는 경우에는, 전력 소비의 절감 효과를 얻을 수 있다.

- [0121] 이 구동 방법들을 조합함으로써, 액정 표시 장치의 동화상 특성 등의 표시 특성을 종래의 액정 표시 장치에 비해 개선시킬 수 있다.
- [0122] 본 실시 형태에서 얻어지는 n채널 트랜지스터는, In-Ga-Zn-O계 막을 채널 형성 영역에 포함하여, 양호한 다이내믹 특성을 갖는다. 따라서, 이 구동 방법들을 조합해서 본 실시 형태의 트랜지스터에 응용할 수 있다.
- [0123] 발광 표시 장치의 제작에 있어서, 유기 발광 소자의 한쪽의 전극(음극이라고도 부름)을 GND 전위 또는 0V 등의 저전원 전위로 설정하기 때문에, 단자부에, 음극을 GND 전위 또는 0V 등의 저전원 전위로 설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시 장치를 제작함에 있어서, 소스 배선 및 게이트 배선 외에도 전원선을 설치한다. 따라서, 단자부에는, 전원선에 전기적으로 접속되는 제5 단자를 설치한다.
- [0124] 이상의 단계들을 통해, 전기 특성이 양호한, 신뢰성이 매우 높은 박막 트랜지스터 및 그 박막 트랜지스터를 포함한 표시 장치를 제공할 수 있다.
- [0125] 본 실시 형태에 개시된 박막 트랜지스터는, 산화물 반도체층을 이용한 박막 트랜지스터이다. 산화물 반도체층의 적어도 채널 형성 영역의 표층부는 결정 영역을 갖고, 산화물 반도체층의 나머지 부분은 비정질일 수 있거나 또는 비정질/비결정과 미세결정의 혼합물로 형성될 수 있고, 이것은 박막 트랜지스터가 기생 채널의 발생을 억제할 수 있게 해준다.
- [0126] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.
- [0127] [실시 형태 2]
- [0128] 본 실시 형태에서는, 실시 형태 1과는 다른 표시 장치의 제작 공정의 예를 도 6의 (a) 내지 도 6의 (e)를 참조하여 설명한다. 본 실시 형태에 있어서, 실시 형태 1과 동일 부분 또는 실시 형태 1과 마찬가지로의 기능을 갖는 부분은 실시 형태 1과 마찬가지로 취급될 수 있고, 실시 형태 1과 동일하거나 마찬가지로의 단계들은 실시 형태 1과 마찬가지로 행해질 수 있다는 것을 유의한다. 따라서, 그 반복적인 설명은 생략한다.
- [0129] 우선, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(421a)을 포함하는 게이트 배선, 용량 배선(421b), 및 제1 단자(421c)를 형성하기 위한 도전막을 스퍼터링 방법이나 진공 증착 방법에 의해 형성한다. 다음으로, 도전막을 기판(400)의 전체 표면 위에 형성한 후, 제1 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 배선 및 전극(게이트 전극층(421a)을 포함하는 게이트 배선, 용량 배선(421b), 및 제1 단자(421c))를 형성한다.
- [0130] 다음으로, 게이트 전극층(421a), 용량 배선(421b), 및 제1 단자(421c) 위에 게이트 절연층(402)을 형성한 후, 게이트 절연층(402) 위에, 산화물 반도체막(103)을 두께 5nm 이상 200nm 이하로, 바람직하게는 10nm 이상 40nm 이하로 형성한다. 상기의 단계들은 실시 형태 1과 마찬가지로 행할 수 있다는 것을 유의한다.
- [0131] 다음으로, 산화물 반도체막(103) 위에, 스퍼터링 방법에 의해 산화물 절연막(105)을 형성한 후, 제2 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 선택적으로 에칭을 행해서 제1 단자(421c)에 도달하는 콘택트 홀을 형성한다(도 6의 (a) 참조). 산화물 절연막(105)은, 실시 형태 1에 기술된 산화물 절연층(426a)이 되는 산화물 절연막과 마찬가지로 방식으로 형성될 수 있다.
- [0132] 다음으로, 산화물 반도체막(103)의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 위한 제1 가열 처리는, 고온의 가스(질소 또는 희가스 등의 불활성 가스) 또는 광을 이용하여 500℃ 이상 750℃ 이하의 온도(또는 글래스 기판의 왜곡점 이하의 온도)에서 1분 이상 10분 이하 정도 동안, 바람직하게는 650℃에서 3분 이상 6분 이하 정도 동안 급속 가열 어닐링(RTA) 처리에 의해 행해질 수 있다. RTA 처리에 의해, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 글래스 기판의 왜곡점보다 높은 온도에서도 처리를 행할 수 있다. 가열 처리의 타이밍은 이 타이밍에 한정되지 않고, 예를 들면, 포토리소그래피 단계 또는 성막 단계 전과 후에 복수회 행해도 된다는 것을 유의한다.

- [0133] 여기에서, 산화물 반도체막(103)의 표층부는 제1 가열 처리에 의해 결정화되므로, 나노크리스탈을 포함하는 치밀한 결정 영역(106)을 갖게 된다. 산화물 반도체막(103)의 나머지 부분은 비정질로 되거나, 또는 비정질 영역 중에 미세결정이 점재한 비정질/비결정과 미세결정의 혼합물로 형성되게 된다. 결정 영역(106)은 산화물 반도체막(103)의 일부이며, 이후, "산화물 반도체막(103)"은 결정 영역(106)을 포함한다는 것을 유의한다.
- [0134] 또한, 산화물 반도체막에 대하여 탈수화 또는 탈수소화를 행하는 가열 온도 T로부터 강온할 때, 탈수화 또는 탈수소화를 위해 이용된 동일한 노를 이용하여 산화물 반도체층이 대기에 노출되지 않도록 하여, 물 또는 수소의 침입을 방지하는 것이 중요하다. 또한, 가열 온도 T로부터 강온되는 가스 분위기는, 가열 온도 T까지 승온한 가스 분위기와는 상이한 가스 분위기로 전환될 수 있다. 예를 들면, 탈수화 또는 탈수소화용 가열 처리를 행한 노에서, 대기에 노출시키지 않고, 노 안을 고순도의 산소 가스, N₂O 가스, 또는 초건조 에어(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하임)로 채워서 냉각을 행한다.
- [0135] 제1 가열 처리에서는, 분위기 내에 물 및 수소 등이 함유되지 않는 것이 바람직하다는 것을 유의한다. 대안으로, 가열 처리 장치에 도입하는 불활성 가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하임)인 것이 바람직하다.
- [0136] 제1 가열 처리에 의해, 산화물 반도체막(103)은 산소 결핍형으로 변화되어서 그의 저항이 감소된다. 제1 가열 처리 후에, 캐리어 농도가 성막 직후의 산화물 반도체막의 캐리어 농도보다 높아져서, 산화물 반도체막은, 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이상의 캐리어 농도를 갖게 된다.
- [0137] 다음으로, 제3 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 선택적 에칭에 의해 산화물 절연층(426a, 426b, 426c, 426d)을 형성한다. 그 후, 레지스트 마스크를 제거한다(도 6의 (b) 참조). 여기에서, 산화물 절연층(426a)은 박막 트랜지스터의 채널 보호층으로서 기능한다. 또한, 산화물 반도체막(103)에 있어서, 산화물 절연층(426a)과 중첩하는 영역이 나중 단계에서 채널 형성 영역이 되는 영역이다.
- [0138] 다음으로, 산화물 반도체막(103) 및 산화물 절연층(426a, 426b, 426c, 426d) 위에 금속 재료를 이용하여 도전막을 스퍼터링 방법이나 진공 증착 방법에 의해 형성한다. 도전막의 재료로서는, 게이트 전극층(421a)과 마찬가지로의 재료를 이용할 수 있다.
- [0139] 본 실시 형태에서는, 제1 내지 제3 도전막을 적층시킨 도전막을 형성한다. 예를 들면, 제1 도전막 및 제3 도전막은 내열성 도전성 재료인 티타늄을 이용하여 형성하고, 제2 도전막은 네오디뮴을 함유하는 알루미늄 합금을 이용하여 형성한다. 이러한 구성은, 힐록의 발생을 감소시킬 수 있고 알루미늄의 저저항성을 활용할 수 있다. 본 실시 형태에서는 제1 내지 제3 도전막으로 이루어지는 3층 구조를 이용했지만, 본 발명의 일 실시 형태는 이것에 한정되지 않는다. 단층 구조, 2층 구조, 또는 4층 이상의 적층 구조도 채택될 수 있다. 2층, 또는 4층 이상을 포함하는 구조가 채택될 수도 있다. 예를 들면, 티타늄막의 단층 구조 또는 실리콘을 함유하는 알루미늄막의 단층 구조가 채택될 수도 있다.
- [0140] 나노크리스탈을 포함하는 치밀한 결정 영역(106)을 표층부에 갖는 산화물 반도체층 위에 그에 접촉해서 도전막을 성막할 때, 성막에 의한 열 또는 성막에 기인한 결정 영역에의 손상이 반도체층의 결정 영역(106)을 비정질화하는 경우가 있다는 것을 유의한다. 그러나, 본 실시 형태에서 기술되는 박막 트랜지스터의 제작 방법에서는, 산화물 반도체층의 채널 형성 영역이 되는 영역에 접촉하여, 채널 보호층으로서 기능하는 산화물 절연층(426a)이 설치됨으로써, 산화물 반도체층(423)의 적어도 채널 형성 영역의 표층부는 결정 영역(106)을 가질 수 있다.
- [0141] 다음으로, 제4 포토리소그래피 단계에서, 레지스트 마스크(480a, 480b)를 형성하고, 에칭에 의해 불필요한 부분을 제거해서, 도전층(425) 및 접속 전극(429)을 형성한다(도 6의 (c) 참조). 이때, 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 채택한다. 예를 들면, 제1 도전막 및 제3 도전막은 티타늄을 이용하여 형성하고, 제2 도전막은 네오디뮴을 함유하는 알루미늄 합금을 이용하여 형성할 경우, 과산화수소수 또는 가열된 염산을 에천트로서 이용해서 웨트 에칭을 행할 수 있다.
- [0142] 또한, 이 제4 포토리소그래피 단계에 의해, 접속 전극(429)은, 게이트 절연층에 형성된 콘택트 홀을 통해서 단자부의 제1 단자(421c)에 직접 접속된다. 또한, 도시되지는 않았지만, 전술한 단계들과 같은 단계들을 통해 구동 회로의 박막 트랜지스터의 소스 배선 또는 드레인 배선과 게이트 전극이 직접 접속된다.
- [0143] 본 실시 형태에 있어서의 레지스트 마스크(480a, 480b)는 오목부 또는 볼록부를 갖는 레지스트 마스크라고도 일컬을 수 있다. 즉, 레지스트 마스크(480a, 480b)는 두께가 상이한 복수의 영역(여기에서는, 2개의 영역)을 갖

는 레지스트 마스크라고도 일컬을 수 있다. 레지스트 마스크(480a, 480b)에 있어서, 두께가 두꺼운 영역을 레지스트 마스크의 볼록부라고 일컫고, 두께가 얇은 영역을 레지스트 마스크의 오목부라고 일컫는다.

[0144] 레지스트 마스크(480a, 480b) 각각에 있어서, 후에 소스 전극층 또는 드레인 전극층이 되는, 도전막의 영역에 대응해서 볼록부가 형성되고, 후에 설명되는 섬 형상의 산화물 반도체층의 주연부에 대응해서 오목부가 형성된다.

[0145] 본 실시 형태에서 설명되는 레지스트 마스크는 다계조(multi-tone) 마스크를 이용하여 형성될 수 있다. 다계조 마스크는, 다단계의 광량으로 노광을 행할 수 있는 마스크이며, 대표적으로는, 노광 영역, 반노광 영역, 및 미노광 영역을 제공하는 3 레벨의 광량으로 노광을 행한다. 다계조 마스크를 이용하여, 하나의 노광 및 현상 단계에 의해, 복수의 두께(대표적으로는, 2종류의 두께)를 갖는 레지스트 마스크를 형성할 수 있다. 그러므로, 다계조 마스크를 이용함으로써, 포토마스크의 매수를 감소시킬 수 있다.

[0146] 다계조 마스크를 이용하여 노광하고 현상함으로써, 두께가 각각 다른 영역들을 갖는 레지스트 마스크(480a, 480b)를 형성할 수 있다. 레지스트 마스크(480a, 480b)는 이것에 한정되지 않고, 다계조 마스크 없이 형성될 수도 있다는 것을 유의한다.

[0147] 레지스트 마스크(480a, 480b)를 이용하여 도전층(425) 및 접속 전극(429)을 형성한 후, 레지스트 마스크(480a, 480b)를 감소(축소)시킴으로써, 레지스트 마스크(482a, 482b, 및 482c)를 형성한다. 레지스트 마스크(480a, 480b)를 감소(축소)시키기 위해, 산소 플라즈마 등을 이용하여 애싱 등을 행할 수 있다. 레지스트 마스크를 감소(축소)시킴으로써, 레지스트 마스크(480a)의 오목부가 사라지고, 레지스트 마스크(482a, 482b)로 분리된다. 또한, 레지스트 마스크(482a)와 레지스트 마스크(482b) 사이의 영역에 도전층(425)이 노출된다(도시 생략).

[0148] 다음으로, 레지스트 마스크(482a, 482b, 482c)를 이용하여, 도전층(425)의 노출된 부분이 에칭되고, 접속 전극(429)이 부분적으로 에칭된다. 이에 따라, 소스 전극(425a), 드레인 전극(425b), 및 섬 형상의 산화물 반도체층(423)을 형성한다(도 6의 (d) 참조).

[0149] 이 에칭 공정에 의해, 산화물 반도체막(103)은 부분적으로 에칭되어, 소스 전극층(425a)과 산화물 절연층(426a) 사이의 제3 영역(424c), 및 드레인 전극층(425b)과 산화물 절연층(426a) 사이의 제4 영역(424d)은 각각, 소스 전극층(425a)과 중첩하는 제1 영역(424a), 드레인 전극층(425b)과 중첩하는 제2 영역(424b), 및 산화물 절연층(426a)과 중첩하는 제5 영역(424e)의 각각보다 얇은 두께를 갖는다. 산화물 반도체층(423)의 제5 영역(424e)은, 에칭되지 않도록 산화물 절연층(426a)에 의해 보호되기 때문에, 적어도 채널 형성 영역의 표층부는 나노크리스탈을 포함하는 치밀한 결정 영역을 갖는다는 것을 유의한다. 채널 형성 영역에 있어서, 산화물 반도체층의 표층부는 백 채널층이며, 이 결정 영역은 기생 채널의 발생을 억제할 수 있다.

[0150] 또한, 제1 영역(424a)과 제2 영역(424b) 각각의 두께는 채널 형성 영역인 제5 영역(424e)의 두께와 같다.

[0151] 다음으로, 박막 트랜지스터(410)를 덮는 산화물 절연층(428)을 형성한다(도 6의 (e) 참조). 산화물 절연층(428)으로서는, 스퍼터링 방법 등에 의해 형성되는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 산화 질화 알루미늄막, 또는 산화 탄탈륨막 등의 산화물 절연층을 이용하여 형성된다.

[0152] 다음으로, 불활성 가스 분위기 또는 질소 가스 분위기에서 제2 가열 처리(바람직하게는, 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하의 온도에서)를 행한다. 예를 들면, 질소 분위기에서 250℃에서 1시간 동안 제2 가열 처리를 행한다. 대안으로, 제1 가열 처리와 마찬가지로 고온에서 단시간 동안 RTA 처리를 행해도 된다. 제2 가열 처리에 의해, 산화물 절연층, 및 산화물 절연층과 중첩하는 산화물 반도체층이 서로 접촉한 상태에서 가열된다. 제2 가열 처리에 의해, 제1 가열 처리로 저저항화된 산화물 반도체층(423)이 산소 과잉 상태로 되고 고저항 산화물 반도체층(i형 산화물 반도체층)으로 변화될 수 있다는 것을 유의한다.

[0153] 본 실시 형태에서는, 산화 실리콘막의 형성 후에 제2 가열 처리를 행하지만, 가열 처리의 타이밍은 산화 실리콘막 형성 이후인 한, 산화 실리콘막의 형성 직후의 타이밍에 한정되지 않는다.

[0154] 소스 전극층(425a) 및 드레인 전극층(425b)이 내열성 재료를 이용하여 형성되는 경우에는, 제2 가열 처리의 타이밍에서, 제1 가열 처리 조건을 이용한 단계를 행할 수 있다. 그 경우, 가열 처리는 산화 실리콘막 형성 후에 1회 행해질 수 있다.

[0155] 산화물 절연층(428) 위에 보호 절연층을 형성해도 된다는 것을 유의한다. 보호 절연층으로서는, 예를 들면, RF 스퍼터링 방법에 의해 질화 실리콘막을 형성할 수 있다. 보호 절연층은, 수분, 수소 이온, 및 OH⁻ 등의 불순물

을 함유하지 않고, 이들이 외부로부터 침입하는 것을 방지하는 무기 절연막을 이용하여 형성된다. 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 또는 산화 질화 알루미늄막 등을 이용한다. 또한, 보호 절연층은 산화물 절연층(428) 다음에 연속적으로 형성될 수 있다는 것을 유의한다.

[0156] 다음으로, 제5 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 산화물 절연층(428)을 에칭하여 드레인 전극층(425b)에 도달하는 콘택트 홀을 형성한다. 또한, 이 에칭에 의해 접속 전극(429)에 도달하는 콘택트 홀도 형성한다.

[0157] 다음으로, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투광성 도전막은, 산화 인듐(In_2O_3) 또는 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, 이하 간단하게 ITO로 표기됨) 등을 이용하여 스퍼터링 방법이나 진공 증착 방법 등에 의해 형성된다. 그러한 재료는 염산계 용액에 의해 에칭된다. 특히 ITO의 에칭에서는 잔사가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화 인듐과 산화 아연의 합금($\text{In}_2\text{O}_3\text{-ZnO}$)을 이용할 수 있다는 것을 유의한다.

[0158] 다음으로, 제6 포토리소그래피 단계에서, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(110)을 형성한다.

[0159] 제6 포토리소그래피 단계에 있어서, 용량부에서 유전체로서 이용되는 게이트 절연층(402), 산화물 반도체층, 산화물 절연층(426b), 및 산화물 절연층(428)과, 용량 배선(421b)과 화소 전극층(110)으로 축적 용량을 형성한다.

[0160] 또한, 제6 포토리소그래피 단계에 있어서, 제1 단자(421c)를 레지스트 마스크로 덮고 단자부에 투명 도전막(128)을 남긴다. 투명 도전막(128)은 FPC에 접속되는 전극 또는 배선으로서 기능한다. 제1 단자(421c)에 직접 접속된 접속 전극(429) 위에 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속 단자 전극이 된다. 도시되지는 않았지만, 소스 배선의 입력 단자로서 기능하는 접속 단자 전극도 이때 형성된다.

[0161] 이 6개의 포토리소그래피 단계를 통해, 6매의 포토마스크를 사용하여, 채널 보호형 박막 트랜지스터(410) 및 축적 용량부를 완성시킬 수 있다.

[0162] 본 실시 형태에 개시된 박막 트랜지스터는, 산화물 반도체층을 이용한 박막 트랜지스터이다. 산화물 반도체층의 채널 형성 영역의 표층부는 결정 영역을 갖고, 산화물 반도체층의 나머지 부분은 비정질일 수 있거나 또는 비정질/비결정과 미세결정의 혼합물로 형성될 수 있다. 이러한 구조를 갖는 박막 트랜지스터에 의해, 기생 채널의 발생을 억제할 수 있고, 이에 따라, 전기 특성이 양호한 신뢰성이 매우 높은 박막 트랜지스터 및 표시 장치를 제작할 수 있다.

[0163] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.

[0164] [실시 형태 3]

[0165] 본 실시 형태에서는, 하나의 기관 위에 적어도 구동 회로의 일부와, 화소부에 배치되는 박막 트랜지스터를 형성하는 예에 대해서 하기에서 설명한다.

[0166] 화소부에 배치하는 박막 트랜지스터는 실시 형태 1 또는 실시 형태 2에 따라 형성한다. 또한, 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터는 n채널 TFT이다. 이 때문에, 구동 회로들 중, n채널 TFT로 구성될 수 있는 일부 구동 회로들을 화소부의 박막 트랜지스터와 동일 기관 위에 형성한다.

[0167] 도 7의 (a)는 액티브 매트릭스 표시 장치의 블록도의 예를 도시한다. 표시 장치의 기관(5300) 위에는, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)를 설치한다. 화소부(5301)에는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연장되어 배치되고, 복수의 주사선이 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303)로부터 연장되어 설치된다. 주사선과 신호선의 교차 영역들에는, 표시 소자를 각각 갖는 화소들이 매트릭스로 배치된다는 것을 유의한다. 또한, 표시 장치의 기관(5300)은 플렉시블 인쇄 회로(FPC) 등의 접속부를 통해 타이밍 제어 회로(5305)(컨트롤러 또는 제어 IC라고도 부름)에 접속된다.

[0168] 도 7의 (a)에서, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303), 및 신호선 구동 회로(5304)는, 화소부(5301)와 동일 기관(5300) 위에 형성된다. 이에 따라, 외부에 설치되는 구동 회로 등의 부품의 수가 감소하므로, 비용이 절감될 수 있다. 또한, 기관(5300)의 외부에 설치된 구동 회로로부터 배선들을 연장시키는 경

우에 접속부에서의 접속 수를 감소시킬 수 있어서, 신뢰성 또는 수율을 향상시킬 수 있다.

- [0169] 타이밍 제어 회로(5305)는 제1 주사선 구동 회로(5302)에, 예를 들면, 제1 주사선 구동 회로용 스타트 신호(GSP1)와 주사선 구동 회로용 클럭 신호(GCK1)를 공급한다. 또한, 타이밍 제어 회로(5305)는 제2 주사선 구동 회로(5303)에, 예를 들면, 제2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 함)와 주사선 구동 회로용 클럭 신호(GCK2)를 공급한다. 신호선 구동 회로(5304)에는, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 비디오 신호용 데이터(DATA)(간단히 비디오 신호라고도 부름), 및 래치 신호(LAT)가 공급된다. 각 클럭 신호는, 위상이 상이한 복수의 클럭 신호일 수 있거나, 또는 반전된 클럭 신호(CKB)와 함께 공급될 수도 있다. 제1 주사선 구동 회로(5302) 또는 제2 주사선 구동 회로(5303) 중 어느 하나는 생략될 수 있다는 것을 유의한다.
- [0170] 도 7의 (b)에 있어서, 구동 주파수가 낮은 회로(예를 들면, 제1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303))를 화소부(5301)와 동일 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)가 설치된 기판과는 다른 기판 위에 형성한다. 이 구성은, 단결정 반도체를 이용하여 형성된 트랜지스터와 비교하면 전계 효과 이동도가 작은 박막 트랜지스터를 이용하여 기판(5300) 위에 구동 회로를 형성할 수 있게 해준다. 이에 따라, 표시 장치의 대형화, 단계 수의 감소, 비용의 절감, 또는 수율의 향상 등을 달성할 수 있다.
- [0171] 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터는 n채널 TFT이다. 도 8의 (a) 및 도 8의 (b)에서, n채널 TFT를 이용하여 형성된 신호선 구동 회로의 구성 및 동작의 예를 나타낸다.
- [0172] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로부(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로(5602_1 내지 5602_N)(N은 자연수임)를 포함한다. 스위칭 회로(5602_1 내지 5602_N)는 각각, 복수의 박막 트랜지스터(5603_1 내지 5603_k)(k는 자연수임)를 포함한다. 박막 트랜지스터(5603_1 내지 5603_k)가 n채널 TFT인 예를 설명한다.
- [0173] 신호선 구동 회로의 접속 관계에 대해서 스위칭 회로(5602_1)를 일례로서 이용하여 설명한다. 박막 트랜지스터(5603_1 내지 5603_k)의 제1 단자는 각각 배선(5604_1 내지 5604_k)에 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 제2 단자는 각각 신호선(S1 내지 Sk)에 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 게이트는 배선(5605_1)에 접속된다.
- [0174] 시프트 레지스터(5601)는 배선(5605_1 내지 5605_N)에 H 레벨 신호(H 신호 또는 고전력 전위 레벨이라고도 부름)를 순차적으로 출력하는 기능, 및 스위칭 회로(5602_1 내지 5602_N)를 순차적으로 선택하는 기능을 갖는다.
- [0175] 스위칭 회로(5602_1)는, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk) 간의 도통 상태(제1 단자와 제2 단자 사이의 도통)를 제어하는 기능, 즉, 배선(5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급할지 여부를 제어하는 기능을 갖는다. 이렇게, 스위칭 회로(5602_1)는 셀렉터의 기능을 갖는다. 박막 트랜지스터(5603_1 내지 5603_k)는 각각 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk) 간의 도통 상태를 제어하는 기능, 즉, 배선(5604_1 내지 5604_k)의 전위를 각각 신호선(S1 내지 Sk)에 공급하는 기능을 갖는다. 이렇게, 박막 트랜지스터(5603_1 내지 5603_k)는 각각 스위치로서 기능한다.
- [0176] 배선(5604_1 내지 5604_k)에는 각각 비디오 신호용 데이터(DATA)가 입력된다는 것을 유의한다. 비디오 신호용 데이터(DATA)는 화상 데이터 또는 화상 신호에 대응하는 아날로그 신호일 경우가 많다.
- [0177] 다음으로, 도 8의 (a)에 도시된 신호선 구동 회로의 동작에 대해서 도 8의 (b)의 타이밍차트를 참조하여 설명한다. 도 8의 (b)에는 신호(Sout_1 내지 Sout_N), 및 신호(Vdata_1 내지 Vdata_k)의 예를 도시한다. 신호(Sout_1 내지 Sout_N)는 각각 시프트 레지스터(5601)의 출력 신호의 예이며, 신호(Vdata_1 내지 Vdata_k)는 각각 배선(5604_1 내지 5604_k)에 입력되는 신호의 예이다. 신호선 구동 회로의 1 동작 기간은 표시 장치에 있어서의 1 게이트 선택 기간에 대응한다는 것을 유의한다. 예를 들어, 1 게이트 선택 기간은 기간 T1 내지 기간 TN으로 분할된다. 기간 T1 내지 기간 TN은 선택된 행의 화소들에 비디오 신호용 데이터(DATA)를 기입하기 위한 기간이다.
- [0178] 기간 T1 내지 기간 TN에 있어서, 시프트 레지스터(5601)는 H 레벨의 신호를 배선(5605_1 내지 5605_N)에 순차 출력한다. 예를 들면, 기간 T1에 있어서, 시프트 레지스터(5601)는, 하이 레벨의 신호를 배선(5605_1)에 출력한다. 그러면, 박막 트랜지스터(5603_1 내지 5603_k)가 턴온되므로, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk)이 도통하게 된다. 이 경우, 배선(5604_1 내지 5604_k)에 Data(S1) 내지 Data(Sk)가 각각 입력된다. Data(S1) 내지 Data(Sk)는 각각, 박막 트랜지스터(5603_1 내지 5603_k)를 통해 선택된 행의 제1열 내지 제k열

의 화소들에 각각 기입된다. 이렇게 해서, 기간 T1 내지 기간 TN에 있어서, 선택된 행의 k개의 열들의 화소들에 비디오 신호용 데이터(DATA)가 순차 기입된다.

- [0179] 비디오 신호용 데이터(DATA)가 복수의 열의 화소들에 기입됨으로써, 비디오 신호용 데이터(DATA)의 수 또는 배선의 수를 감소시킬 수 있다. 따라서, 외부 회로에의 접속 수를 감소시킬 수 있다. 또한, 각 타이밍에서 비디오 신호가 복수의 열들의 화소들에 기입됨으로써, 기입 시간을 연장할 수 있고, 비디오 신호의 기입 부족을 방지할 수 있다.
- [0180] 시프트 레지스터(5601) 및 스위칭 회로(5602)로서는, 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 이용하여 형성되는 회로를 이용할 수 있다는 것을 유의한다. 그 경우, 시프트 레지스터(5601)에 포함되는 모든 트랜지스터는 n채널만일 수 있거나 또는 p채널만일 수 있다.
- [0181] 주사선 구동 회로의 구성에 대해서 설명한다. 주사선 구동 회로는 시프트 레지스터를 포함한다. 추가적으로, 주사선 구동 회로는 레벨 시프터 또는 버퍼 등을 포함하는 경우도 있을 수 있다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링되고 증폭되어, 그 결과의 신호가 대응하는 주사선에 공급된다. 주사선에는, 1 라인 분의 화소들의 트랜지스터들의 게이트들이 접속된다. 1 라인 분의 화소들의 트랜지스터들은 모두 일제히 턴온되어야 하기 때문에, 다량의 전류를 공급할 수 있는 버퍼가 이용된다.
- [0182] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 이용되는 시프트 레지스터의 일 형태에 대해서 도 9의 (a) 내지 도 9의 (c) 및 도 10의 (a) 및 도 10의 (b)를 참조하여 설명한다.
- [0183] 시프트 레지스터는 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)(N은 3 이상의 자연수임)를 포함한다(도 9의 (a) 참조). 도 9의 (a)에 도시된 시프트 레지스터의 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)에는, 제1 배선(11)으로부터 제1 클럭 신호(CK1), 제2 배선(12)으로부터 제2 클럭 신호(CK2), 제3 배선(13)으로부터 제3 클럭 신호(CK3), 및 제4 배선(14)으로부터 제4 클럭 신호(CK4)가 각각 공급된다. 제1 펄스 출력 회로(10_1)에는, 제5 배선(15)으로부터 스타트 펄스(SP1)(제1 스타트 펄스)가 입력된다. 또한, 제2 단(stage) 또는 그 이후의 단의 제n 펄스 출력 회로(10_n)(n은 2 이상 N 이하의 자연수임)에는, 이전 단의 펄스 출력 회로로부터의 신호(그러한 신호를 전단 신호 OUT(n-1)이라고 부름)가 입력된다. 제1 펄스 출력 회로(10_1)에는, 제1 펄스 출력 회로(10_1)보다 2단 후단의 제3 펄스 출력 회로(10_3)로부터의 신호가 또한 입력된다. 마찬가지로, 제2 단 또는 그 이후의 단에서의 제n 펄스 출력 회로(10_n)에는, 제n 펄스 출력 회로(10_n)보다 2단 후단의 제(n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(그러한 신호를 후단 신호 OUT(n+2)라고 부름)가 입력된다. 따라서, 각 단의 펄스 출력 회로는, 각 후단의 펄스 출력 회로 및/또는 각 펄스 출력 회로보다 2단 전단의 펄스 출력 회로에 입력하기 위한 제1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR)), 및 다른 배선 등에의 전기적 접속을 위한 제2 출력 신호(OUT(1) 내지 OUT(N))가 출력된다. 도 9의 (a)에 도시된 바와 같이, 시프트 레지스터의 최후 2개의 단에는 후단의 신호(OUT(n+2))가 입력되지 않기 때문에, 예를 들어, 제6 배선(16)으로부터의 제2 스타트 펄스(SP2)와 제7 배선(17)으로부터의 제3 스타트 펄스(SP3)를 최후의 단의 전단과 최후의 단에 각각 입력할 수 있다는 것을 유의한다. 대안으로, 시프트 레지스터에서 생성된 신호도 추가적으로 입력될 수 있다. 예를 들면, 화소부예의 펄스 출력에 영향을 주지 않는 제(n+1) 펄스 출력 회로(10_(n+1)) 및 제(n+2) 펄스 출력 회로(10_(n+2))를 설치하여(이러한 회로를 더미 단이라고도 부름), 더미 단들로부터 제2 스타트 펄스(SP2)로서 기능하는 신호 및 제3 스타트 펄스(SP3)로서 기능하는 신호를 생성하는 구성을 채택할 수 있다.
- [0184] 클럭 신호(CK)는 일정한 간격으로 H 레벨 신호와 L 레벨 신호(L 신호 또는 저전원 전위 레벨이라고 부름)를 교호하는 신호라는 것을 유의한다. 여기에서, 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)는 1/4 사이클만큼 순차 지연된다. 본 실시 형태에서는, 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)를 이용하여 펄스 출력 회로의 구동의 제어 등을 행한다. 클럭 신호가 입력되는 구동 회로에 따라서, 클럭 신호는 GCK 또는 SCK로서 이용되지만, 여기에서는 클럭 신호를 CK로서 나타낸다.
- [0185] 제1 입력 단자(21), 제2 입력 단자(22), 및 제3 입력 단자(23)는 제1 배선(11) 내지 제4 배선(14) 중 임의의 것에 전기적으로 접속된다. 예를 들면, 도 9의 (a)에 있어서, 제1 펄스 출력 회로(10_1)의 제1 입력 단자(21)가 제1 배선(11)에 전기적으로 접속되고, 제1 펄스 출력 회로(10_1)의 제2 입력 단자(22)가 제2 배선(12)에 전기적으로 접속되고, 제1 펄스 출력 회로(10_1)의 제3 입력 단자(23)가 제3 배선(13)에 전기적으로 접속된다. 또한, 제2 펄스 출력 회로(10_2)의 제1 입력 단자(21)가 제2 배선(12)에 전기적으로 접속되고, 제2 펄스 출력 회로(10_2)의 제2 입력 단자(22)가 제3 배선(13)에 전기적으로 접속되고, 제2 펄스 출력 회로(10_2)의 제3 입력 단자(23)가 제4 배선(14)에 전기적으로 접속된다.

- [0186] 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N) 각각은, 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27)를 포함한다(도 9의 (b) 참조). 제1 펄스 출력 회로(10_1)에 있어서, 제1 입력 단자(21)에 제1 클럭 신호 CK1이 입력되고, 제2 입력 단자(22)에 제2 클럭 신호 CK2가 입력되고, 제3 입력 단자(23)에 제3 클럭 신호 CK3이 입력되고, 제4 입력 단자(24)에 스타트 펄스가 입력되고, 제5 입력 단자(25)에 후단 신호 OUT(3)가 입력되고, 제1 출력 단자(26)로부터 제1 출력 신호 OUT(1)(SR)이 출력되고, 제2 출력 단자(27)로부터 제2 출력 신호 OUT(1)이 출력된다.
- [0187] 다음으로, 도 9의 (b)에 도시된 펄스 출력 회로의 구체적인 회로 구조의 예를 도 9의 (c)를 참조하여 설명한다.
- [0188] 도 9의 (c)에 도시된 펄스 출력 회로는 제1 트랜지스터(31) 내지 제11 트랜지스터(41)를 포함한다. 제1 입력 단자(21) 내지 제5 입력단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27) 외에도, 제1 고전원 전위 VDD가 공급되는 전원선(51), 제2 고전원 전위 VCC가 공급되는 전원선(52), 저전원 전위 VSS가 공급되는 전원선(53)으로부터, 제1 트랜지스터(31) 내지 제11 트랜지스터(41)에 신호 또는 전원 전위가 공급된다. 여기서, 도 9의 (c)에 도시된 전원선들의 전원 전위들 간의 크기 관계는, 제1 전원 전위 VDD가 제2 전원 전위 VCC 이상이고, 제2 전원 전위 VCC가 제3 전원 전위 VSS보다 높게 설정된다. 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)는 일정한 간격으로 H 레벨 신호와 L 레벨 신호를 교호하는 신호이지만, 클럭 신호가 H 레벨일 때 전위가 VDD이고, 클럭 신호가 L 레벨일 때 전위가 VSS이다. 전원선(51)의 전위 VDD는 전원선(52)의 전위 VCC보다 높게 함으로써, 동작에 영향을 주는 일없이, 트랜지스터의 게이트 전극에 인가되는 전위를 낮출 수 있고, 트랜지스터의 임계값의 시프트를 감소시킬 수 있고, 열화를 억제할 수 있다.
- [0189] 도 9의 (c)에 있어서, 제1 트랜지스터(31)의 제1 단자가 전원선(51)에 전기적으로 접속되고, 제1 트랜지스터(31)의 제2 단자가 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제1 트랜지스터(31)의 게이트 전극이 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자가 전원선(53)에 전기적으로 접속되고, 제2 트랜지스터(32)의 제2 단자가 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되고, 제2 트랜지스터(32)의 게이트 전극이 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자가 제1 입력 단자(21)에 전기적으로 접속되고, 제3 트랜지스터(33)의 제2 단자가 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자가 전원선(53)에 전기적으로 접속되고, 제4 트랜지스터(34)의 제2 단자가 제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자가 전원선(53)에 전기적으로 접속되고, 제5 트랜지스터(35)의 제2 단자가 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제5 트랜지스터(35)의 게이트 전극이 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자가 전원선(52)에 전기적으로 접속되고, 제6 트랜지스터(36)의 제2 단자가 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제6 트랜지스터(36)의 게이트 전극이 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자가 전원선(52)에 전기적으로 접속되고, 제7 트랜지스터(37)의 제2 단자가 제8 트랜지스터(38)의 제2 단자에 전기적으로 접속되고, 제7 트랜지스터(37)의 게이트 전극이 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자가 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제8 트랜지스터(38)의 게이트 전극이 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자가 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 전기적으로 접속되고, 제9 트랜지스터(39)의 제2 단자가 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제9 트랜지스터(39)의 게이트 전극이 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자가 제1 입력 단자(21)에 전기적으로 접속되고, 제10 트랜지스터(40)의 제2 단자가 제2 출력 단자(27)에 전기적으로 접속되고, 제10 트랜지스터(40)의 게이트 전극이 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자가 전원선(53)에 전기적으로 접속되고, 제11 트랜지스터(41)의 제2 단자가 제2 출력 단자(27)에 전기적으로 접속되고, 제11 트랜지스터(41)의 게이트 전극이 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다.
- [0190] 도 9의 (c)에 있어서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자의 접속부는 노드 A이다. 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극의 접속부가 노드 B이다(도 10의 (a) 참조).
- [0191] 박막 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자라는 것을 유의한다. 박막 트랜지스터는 드레인 영역과 소스 영역 사이에 채널 영역을 갖고, 드레인 영역, 채널 영역, 및 소스 영역을 통해 전류가 흐를 수 있다. 여기에서, 박막 트랜지스터의 소스와 드레인은, 박막 트랜지스터의 구조 및 동작 조건 등

에 따라 바뀔 수 있기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스 또는 드레인으로서 기능하는 영역을, 소스 또는 드레인이라고 부르지 않을 경우가 있다. 그러한 경우, 예를 들어, 소스 및 드레인 중 하나를 제1 단자라고 부를 수 있고, 소스 및 드레인 중 다른 하나를 제2 단자라고 부를 수 있다.

[0192] 여기에서, 도 10의 (a)에 도시된 펄스 출력 회로를 복수개 구비하는 시프트 레지스터의 타이밍 차트가 도 10의 (b)에 도시된다. 도 10의 (b)에 있어서, 시프트 레지스터가 주사선 구동 회로일 경우, 기간(61)은 수직 귀선 기간이며, 기간(62)은 게이트 선택 기간이라는 것을 유의한다.

[0193] 도 10의 (a)에 도시된 바와 같이, 게이트에 제2 전원 전위 VCC가 인가되는 제9 트랜지스터(39)를 설치하는 경우, 부트스트랩 동작의 전후에 있어서 다음과 같은 이점이 있다는 것을 유의한다.

[0194] 게이트 전극에 제2 전원 전위 VCC가 인가되는 제9 트랜지스터(39)가 없을 경우, 부트스트랩 동작에 의해 노드 A의 전위가 상승하면, 제1 트랜지스터(31)의 제2 단자인 소스의 전위가 제1 전원 전위 VDD보다 큰 값으로 상승한다. 그리고, 제1 트랜지스터(31)의 소스가 제1 단자측, 즉, 전원선(51)측으로 스위칭된다. 그 때문에, 제1 트랜지스터(31)에서는, 게이트와 소스의 사이에, 그리고 게이트와 드레인 사이에, 큰 양의 바이어스 전압이 인가되기 때문에 큰 스트레스가 걸리고, 이것은 트랜지스터의 열화의 요인이 될 수 있다. 따라서, 게이트 전극에 제2 전원 전위 VCC가 공급되는 제9 트랜지스터(39)를 설치하는 경우, 부트스트랩 동작에 의해 노드 A의 전위는 상승하지만, 그와 동시에, 제1 트랜지스터(31)의 제2 단자의 전위의 상승을 방지할 수 있다. 즉, 제9 트랜지스터(39)에 의해, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압을 감소시킬 수 있다. 따라서, 본 실시 형태의 회로 구성에 의해, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 네거티브 바이어스 전압을 감소시킬 수 있기 때문에, 스트레스에 기인한 제1 트랜지스터(31)의 열화를 억제할 수 있다.

[0195] 제9 트랜지스터(39)는, 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 제9 트랜지스터(39)가 제1 단자와 제2 단자를 통해서 접속되는 임의의 개소에 설치될 수 있다는 것을 유의한다. 또한, 시프트 레지스터가 본 실시 형태의 복수의 펄스 출력 회로를 포함하는 경우, 주사선 구동 회로보다 단의 수가 많은 신호선 구동 회로에서는, 제9 트랜지스터(39)를 생략해도 되므로, 트랜지스터 수를 감소시키는 이점이 있다.

[0196] 제1 트랜지스터(31) 내지 제11 트랜지스터(41)의 반도체층으로서 산화물 반도체를 이용하는 경우, 박막 트랜지스터의 오프 전류를 감소시킬 수 있고, 온 상태 전류 및 전계 효과 이동도를 증가시킬 수 있고, 열화의 정도를 감소시킬 수 있음으로써, 회로의 오동작을 감소시킬 수 있다는 것을 유의한다. 산화물 반도체를 이용하여 형성된 트랜지스터 및 비정질 실리콘을 이용하여 형성된 트랜지스터에 비해, 게이트 전극에 고전위가 인가되는 것에 의한 트랜지스터의 열화의 정도가 작다. 그 때문에, 제2 전원 전위 VCC를 공급하는 전원선에, 제1 전원 전위 VDD를 공급하는 경우에도 마찬가지로 동작이 얻어질 수 있고, 회로들 사이에 주회하는 전원선의 수를 감소시킬 수 있으므로, 회로 크기를 감소시킬 수 있다.

[0197] 제7 트랜지스터(37)의 게이트 전극에 제3 입력 단자(23)로부터 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극에 제2 입력 단자(22)로부터 공급되는 클럭 신호가 각각 제2 입력 단자(22)와 제3 입력 단자(23)로부터 공급되도록, 접속 관계를 변경한 경우에도 마찬가지로 기능을 얻게 된다는 것을 유의한다. 이 경우, 도 10의 (a)에 도시된 시프트 레지스터에 있어서, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 둘 다 턴온된 상태에서, 제7 트랜지스터(37)가 턴오프되고 제8 트랜지스터(38)가 턴온된 상태로 된 다음, 제7 트랜지스터(37)와 제8 트랜지스터(38)가 둘 다 턴오프된 상태로 상태가 변화됨으로써, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위가 저하하는 것에 기인한, 노드 B의 전위의 저하가, 제7 트랜지스터(37)의 게이트 전극의 전위의 저하에 의해, 그리고 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의해 2회 생기게 된다. 한편, 도 10의 (a)에 도시된 시프트 레지스터에 있어서, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 둘 다 턴온된 상태에서, 제7 트랜지스터(37)가 턴오프되고 제8 트랜지스터(38)가 턴오프된 상태로 된 다음, 제7 트랜지스터(37)와 제8 트랜지스터(38)가 둘 다 턴오프되는 상태로 상태가 변화된다. 이에 따라, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위가 저하하는 것에 기인한 노드 B의 전위의 저하를, 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 기인한 1회로 감소시킬 수 있다. 그 때문에, 제7 트랜지스터(37)의 게이트 전극에 제3 입력 단자(23)로부터 클럭 신호 CK3이 공급되고, 제8 트랜지스터(38)의 게이트 전극에 제2 입력 단자(22)로부터 클럭 신호 CK2가 공급되는 접속 관계가 바람직하다. 이것은, 노드 B의 전위의 변동의 횟수를 감소시킬 수 있어서 노이즈를 감소시킬 수 있기 때문이다.

[0198] 이렇게, 제1 출력 단자(26)의 전위 및 제2 출력 단자(27)의 전위를 각각 L 레벨로 유지하는 동안의 기간에, 노

드 B에 정기적으로 H 레벨 신호가 공급됨으로써, 펄스 출력 회로의 오동작을 억제할 수 있다.

- [0199] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.
- [0200] [실시 형태 4]
- [0201] 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 제작하고, 박막 트랜지스터를 화소부에 그리고 또한 구동 회로에 이용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 부름)를 제작할 수 있다. 또한, 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 갖는 구동 회로의 일부 또는 전체를, 화소부와 동일 기판 위에 형성함으로써, 시스템-온-패널을 얻을 수 있다.
- [0202] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는, 액정 소자(액정 표시 소자라고도 부름) 또는 발광 소자(발광 표시 소자라고도 부름)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그의 카테고리에 포함하고, 구체적으로는 그의 카테고리에 무기 전계발광(electroluminescence)(EL) 소자 및 유기 EL 소자 등을 포함한다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 이용될 수 있다.
- [0203] 또한, 표시 장치는, 표시 소자가 밀봉되어 있는 패널, 및 컨트롤러를 포함하는 IC 등을 패널에 실장한 모듈을 포함한다. 또한, 표시 장치를 제작하는 공정에 있어서의, 표시 소자가 완성되기 전의 형태에 상당하는 소자 기판에는, 전류를 표시 소자에 공급하기 위한 수단을 복수의 화소 각각에 설치한다. 소자 기판은, 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 되며, 또는 화소 전극이 되는 도전막을 형성한 후, 도전막이 에칭되어 화소 전극을 형성하기 전의 상태이어도 되고, 임의의 형태를 가질 수 있다.
- [0204] 본 명세서에 있어서의 표시 장치는 화상 표시 장치, 표시 장치, 또는 광원(조명 장치를 포함함)을 의미한다는 것을 유의한다. 또한, 표시 장치는 그의 카테고리에 다음의 모듈들, 즉, 플렉시블 인쇄 회로(FPC), 테이프 자동 접합(tape automated bonding)(TAB) 테이프, 또는 테이프 캐리어 패키지(tape carrier package)(TCP) 등이 부착된 커넥터를 포함하는 모듈, 인쇄 배선 보드가 단부에 설치된 TAB 테이프 또는 TCP를 갖는 모듈, 및 표시 소자에 칩 온 글래스(chip on glass)(COG) 방법에 의해 집적 회로(IC)가 직접 실장된 모듈을 포함한다.
- [0205] 본 실시 형태에 있어서, 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대해서 도 11의 (a1), 도 11의 (a2), 및 도 11의 (b)를 참조하여 설명한다. 도 11의 (a1) 및 도 11의 (a2)는, 제1 기판(4001) 위에 형성된 실시 형태 1 및 실시 형태 2에 나타난 In-Ga-Zn-O계 막을 산화물 반도체층으로서 포함하는 신뢰성이 매우 높은 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를, 제1 기판(4001)과 제2 기판(4006) 사이에 시일재(4005)에 의해 밀봉한 패널의 상면도이다. 도 11의 (b)는 도 11의 (a1) 및 도 11의 (a2)의 선 M-N을 따라 절개한 단면도이다.
- [0206] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 설치된다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 설치된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기판(4001)과 시일재(4005)와 제2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸인 영역과는 상이한 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 신호선 구동 회로(4003)가 실장된다.
- [0207] 별도 형성된 구동 회로의 접속 방법은 특별히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 이용할 수 있다는 것을 유의한다. 도 11의 (a1)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시하며, 도 11의 (a2)는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 도시한다.
- [0208] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)는 각각, 복수의 박막 트랜지스터를 포함한다. 도 11의 (b)는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 도시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 설치된다.
- [0209] 박막 트랜지스터(4010, 4011)로서는, In-Ga-Zn-O계 막을 산화물 반도체층으로서 포함하는 신뢰성이 매우 높은 실시 형태 1 및 실시 형태 2에 기술된 박막 트랜지스터들 중 임의의 것을 이용할 수 있다. 본 실시 형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널 박막 트랜지스터이다.
- [0210] 액정 소자(4013)에 포함되는 화소 전극층(4030)은 박막 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 설치된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 서로 중첩하는 부분이 액정 소자(4013)에 해당한다. 화소 전극층(4030)과 대향 전극층(4031)에는

배향막으로서 기능하는 절연층(4032)과 절연층(4033)이 각각 설치되고, 액정층(4008)은 화소 전극층(4030)과 대향 전극층(4031) 사이에 절연층(4032, 4033)을 개재하여 끼워진다. 도시되지는 않았지만, 컬러 필터는 제1 기관(4001)측 또는 제2 기관(4006)측 중 어느 측에 설치해도 된다.

[0211] 제1 기관(4001)과 제2 기관(4006)은 글래스, 금속(대표적으로는, 스테인레스 스틸), 세라믹, 또는 플라스틱을 이용할 수 있다는 것을 유의한다. 플라스틱으로서는, 유리섬유 강화 플라스틱(fiberglass-reinforced plastics)(FRP) 플레이트, 폴리비닐 플루오라이드(PVF) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 호일을 PVF 필름들이나 폴리에스테르 필름들 사이에 끼운 구조의 시트를 이용할 수 있다.

[0212] 스페이서(4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 주상 스페이서(columnar spacer)이며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 설치된다. 대안으로, 구형의 스페이서를 이용해도 된다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기관 위에 형성되는 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기관 사이에 배치되는 도전성 입자에 의해 대향 전극층(4031)과 공통 전위선을 서로 전기적으로 접속할 수 있다. 도전성 입자는 시일재(4005)에 포함된다는 것을 유의한다.

[0213] 대안으로, 배향막을 필요로 하지 않는 블루 상(blue phase)을 나타내는 액정을 이용해도 된다. 블루 상은 액정 상들 중 하나이며, 콜레스테릭 액정을 승온하는 동안, 콜레스테릭 상이 등방 상으로 전이하기 직전에 나타난다. 블루 상은 좁은 온도 범위 내에서만 나타나기 때문에, 온도 범위를 개선하기 위해서 5 중량% 이상의 카이랄제를 함유하는 액정 조성물을 액정층(4008)에 이용한다. 블루 상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 $10 \mu\text{sec}$ 이상 $100 \mu\text{sec}$ 이하로 짧고, 광학적으로 등방성이기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0214] 본 실시 형태에 있어서 투과형 액정 표시 장치의 예를 설명하지만, 본 발명은 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에도 적용할 수 있다는 것을 유의한다.

[0215] 본 실시 형태에 따른 액정 표시 장치는, 기관의 외측 표면(시인측)에 편광판을 설치하고, 기관의 내측 표면에 착색층, 및 표시 소자용 전극층을 설치한 예가 설명되지만, 편광판은 기관의 내측 표면에 설치해도 된다. 편광판과 착색층의 적층 구조는 본 실시 형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정의 조건에 따라서 적절히 설정될 수 있다. 또한, 블랙 매트릭스로서 기능하는 차광막을 설치할 수 있다.

[0216] 본 실시 형태에서는, 박막 트랜지스터에 기인한 표면 요철을 감소시키기 위해, 그리고 박막 트랜지스터의 신뢰성을 향상시키기 위해, 실시 형태 1 또는 실시 형태 2에서 얻어진 박막 트랜지스터를 보호막 및 평탄화 절연막으로서 기능하는 절연층(절연층(4020, 4021))으로 덮는다. 보호막은, 대기 중에 존재하는 유기물, 금속, 및 수분 등의 오염 불순물의 침입을 방지하기 위해 설치되고, 치밀한 막인 것이 바람직하다는 것을 유의한다. 보호막은 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 및 질화 산화 알루미늄막 중 임의의 것을 이용한 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 본 실시 형태에서는 보호막을 스퍼터링 방법에 의해 형성하는 예를 설명하지만, 임의의 다른 방법이 사용될 수도 있다.

[0217] 본 실시 형태에서는, 보호막으로서 적층 구조를 갖는 절연층(4020)을 형성한다. 여기에서는, 절연층(4020)의 제1 층으로서, 스퍼터링 방법에 의해 산화 실리콘막을 형성한다. 보호막으로서 산화 실리콘막을 이용하면, 소스 전극층 및 드레인 전극층으로서 이용되는 알루미늄막의 힐록 방지에 효과가 있다.

[0218] 보호막의 제2 층으로서 절연층을 형성한다. 여기에서는, 절연층(4020)의 제2 층으로서, 스퍼터링 방법에 의해 질화 실리콘막을 형성한다. 보호막으로서 질화 실리콘막을 이용하면, 나트륨 등의 이동 가능한 이온들이 반도체 영역에 침입하여 TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.

[0219] 보호막을 형성한 후, 산화물 반도체층의 어닐링(300°C 이상 400°C 이하)을 행해도 된다.

[0220] 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)은 아크릴, 폴리이미드, 벤조시클로부텐, 폴리이미드, 또는 에폭시 등의 내열성을 갖는 유기 재료를 이용하여 형성할 수 있다. 그러한 유기 재료 외에, 저유전율 재료(로우-k 재료), 실록산계 수지, PSG(phosphosilicate glass), 또는 BPSG(borophosphosilicate glass) 등을 이용할 수도 있다. 절연층(4021)은, 이 재료를 이용하여 형성된 복수의 절연막을 적층시킴으로써 형성될 수 있다는 것을 유의한다.

- [0221] 실록산계 수지는, 실록산계 재료를 출발 재료로서 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당하다는 것을 유의한다. 실록산계 수지는 치환기로서 유기기(예를 들면, 알킬기나 아릴기) 또는 플루오로기를 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.
- [0222] 절연층(4021)의 형성 방법은 특별히 한정되지 않고, 재료에 따라서 다음의 방법 또는 수단, 즉, 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 코팅 방법, 또는 액적 토출 방법(예를 들면, 잉크 제트 방법, 스크린 인쇄, 또는 오프셋 인쇄) 등의 방법, 또는 닥터 나이프(doctor knife), 롤 코터(roll coater), 커튼 코터(curtain coater), 또는 나이프 코터(knife coater) 등의 도구를 채택할 수 있다. 절연층(4021)을 액체 재료를 이용하여 형성할 경우, 베이킹 단계와 동시에, 산화물 반도체층의 어닐링(300℃ 이상 400℃ 이하)을 행해도 된다. 절연층(4021)의 베이킹 단계는 산화물 반도체층의 어닐링도 겸함으로써, 효율적으로 반도체 장치를 제작할 수 있다.
- [0223] 화소 전극층(4030)과 대향 전극층(4031)은, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물(이하, 간단하게는 ITO로 표기됨), 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성 도전 재료를 이용하여 형성될 수 있다.
- [0224] 화소 전극층(4030)과 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 부름)를 포함하는 도전성 조성물을 이용할 수 있다. 도전성 조성물을 이용해서 형성된 화소 전극은, 시트 저항이 10000 ohms/square 이하이고, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률은 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0225] 도전성 고분자로서는, 소위 π -전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 및 이들 중 2종 이상의 공중합체 등을 들 수 있다.
- [0226] 또한, 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0227] 본 실시 형태에서, 접속 단자 전극(4015)은, 액정 소자(4013)에 포함된 화소 전극층(4030)에 이용된 것과 동일한 도전막을 이용하여 형성된다. 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층에 이용된 것과 동일한 도전막을 이용하여 형성된다.
- [0228] 접속 단자 전극(4015)은, FPC(4018)에 포함된 단자에 이방성 도전막(4019)을 통해서 전기적으로 접속된다.
- [0229] 도 11의 (a1), 도 11의 (a2), 및 도 11의 (b)는 신호선 구동 회로(4003)를 별도 형성하여, 제1 기관(4001)에 실장하는 예를 도시하지만, 본 실시 형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성해서 실장해도 되며, 또는 신호선 구동 회로의 일부만 또는 주사선 구동 회로의 일부만을 별도 형성해서 실장해도 된다.
- [0230] 도 12는 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 이용해서 제작되는 TFT 기관(2600)을 이용하여 반도체 장치로서 액정 표시 모듈을 형성하는 예를 도시한다.
- [0231] 도 12는 액정 표시 모듈의 예를 도시하며, TFT 기관(2600)과 대향 기관(2601)이 시일재(2602)에 의해 서로 고착되고, 기관들 사이에, TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 설치되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행할 경우에 필요하다. RGB 방식의 경우, 레드, 그린, 및 블루에 대응하는 각 착색층이 각 화소에 설치된다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606), 편광판(2607), 및 확산판(2613)이 설치된다. 광원은 냉음극관(2610)과 반사판(2611)을 포함하고, 회로 기관(2612)은 플렉시블 배선 보드(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)에 접속되고, 제어 회로나 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층은 그 사이에 위상차판을 개재하여 적층될 수 있다.
- [0232] 액정 표시 모듈은, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(anti ferroelectric liquid crystal) 모드 등을 채택할 수 있다.

- [0233] 이상의 공정을 통해, 반도체 장치로서 신뢰성이 매우 높은 액정 표시 패널을 제작할 수 있다.
- [0234] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.
- [0235] [실시 형태 5]
- [0236] 본 실시 형태에서는, 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 적용한 반도체 장치로서 전자 페이퍼의 예를 설명한다.
- [0237] 도 13은 반도체 장치의 예로서 액티브 매트릭스 전자 페이퍼를 도시한다. 반도체 장치에 이용되는 박막 트랜지스터(581)로서는, 실시 형태 1 및 실시 형태 2에 나타낸 박막 트랜지스터를 적용할 수 있다.
- [0238] 도 13의 전자 페이퍼는, 트위스팅 볼 표시 방식(twisting ball display system)을 이용한 표시 장치의 예이다. 트위스트 볼 표시 방식은, 블랙과 화이트로 각각 착색된 구형 입자들을 표시 소자에 이용되는 전극층들인 제1 전극층과 제2 전극층 사이에 배치하고, 제1 전극층과 제2 전극층에 전위차를 발생시켜서 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법을 일컫는다.
- [0239] 기관(580)과 기관(596) 사이에 밀봉된 박막 트랜지스터(581)는 바텀 게이트 구조의 박막 트랜지스터이며, 그 소스 전극층 또는 드레인 전극층이 절연층들(584, 585)에 형성된 개구를 통해 제1 전극층(587)에 접촉함으로써, 박막 트랜지스터(581)가 제1 전극층(587)에 전기적으로 접속된다. 제1 전극층(587)과 제2 전극층(588) 사이에는 구형 입자들(589)이 설치된다. 각각의 구형 입자(589)는 블랙 영역(590a) 및 화이트 영역(590b)을 포함하고, 또한 블랙 영역(590a) 및 화이트 영역(590b) 주위의 액체로 채워져 있는 캐비티(594)를 포함한다. 구형 입자(589)의 주변은 수지 등의 충전재(595)로 충전된다(도 13 참조). 본 실시 형태에서는, 제1 전극층(587)이 화소 전극에 해당하고, 제2 전극층(588)이 공통 전극에 해당한다. 제2 전극층(588)은 박막 트랜지스터(581)와 동일 기관 위에 설치되는 공통 전위선에 전기적으로 접속된다. 실시 형태 1 또는 실시 형태 2에 기술된 공통 접속부를 이용하여, 한 쌍의 기관 사이에 배치되는 도전성 입자들에 의해 제2 전극층(588)이 공통 전위선에 전기적으로 접속될 수 있다.
- [0240] 또한, 트위스팅 볼 대신에, 전기 영동 소자도 이용할 수 있다. 투명한 액체와, 포지티브로 대전된 화이트 미립자와, 네거티브로 대전된 블랙 미립자를 봉입한 직경 10 μ m 이상 200 μ m 이하 정도의 마이크로캡슐을 이용한다. 제1 전극층과 제2 전극층 사이에 설치되는 마이크로캡슐은, 제1 전극층과 제2 전극층에 의해 전계가 인가되면, 화이트 미립자와, 블랙 미립자가 반대측으로 이동하여, 화이트 또는 블랙을 표시할 수 있다. 이 원리를 이용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불린다. 전기 영동 표시 소자는, 액정 표시 소자보다 반사율이 높기 때문에, 보조광이 불필요해서, 전력 소비가 작고, 어둑어둑한 장소에서도 표시부가 인식될 수 있다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 일단 표시된 화상이 유지될 수 있다. 따라서, 전과 발신원으로부터 표시 기능을 갖는 반도체 장치(간단히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고 부를 수 있음)가 멀리 있는 경우에도, 표시된 상이 저장될 수 있다.
- [0241] 이상의 공정을 통해, 반도체 장치로서 신뢰성이 매우 높은 전자 페이퍼를 실현할 수 있다.
- [0242] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.
- [0243] [실시 형태 6]
- [0244] 본 실시 형태에서는, 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 적용한 반도체 장치로서 발광 표시 장치의 예를 설명한다. 표시 장치에 포함된 표시 소자로서, 여기에서는 전계발광을 이용하는 발광 소자를 설명한다. 전계발광을 이용하는 발광 소자는, 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 불리고, 후자는 무기 EL 소자라고 불린다.
- [0245] 유기 EL 소자에 있어서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자와 정공이 각각 발광 유기 화합물을 함유하는 층에 주입되어, 전류가 흐른다. 캐리어들(전자와 정공)이 재결합하여, 발광 유기 화합물이 여기된다. 발광 유기 화합물은 여기 상태에서부터 기저 상태로 되돌아감으로써 발광한다. 이러한 메커니즘 때문에, 이 발광 소자는 전류 여기형 발광 소자라고 불린다.
- [0246] 무기 EL 소자들은 그들의 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자들을 바인더 중에 분산시킨 발광층을 갖고, 그 발광 메커니즘은 도너(donor)

준위와 억셉터(acceptor) 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층들 사이에 끼우고 또한 그것을 전극들 사이에 끼운 구조이며, 그 발광 메커니즘은 금속 이온의 내각 전자 전이를 이용하는 국지형 발광이다. 여기에서는 발광 소자로서 유기 EL 소자의 예를 설명한다는 것을 유의한다.

- [0247] 도 14는 본 발명을 적용한 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 예를 도시한다.
- [0248] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대해서 설명한다. 여기에서는, 1개의 화소가, 실시 형태 1 및 실시 형태 2에 기술된, 산화물 반도체층(In-Ga-Zn-O계 막)을 채널 형성 영역에 각각 포함하는 2개의 n채널 트랜지스터를 포함하는 예를 설명한다.
- [0249] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404), 및 용량 소자(6403)를 포함한다. 스위칭용 트랜지스터(6401)의 게이트가 주사선(6406)에 접속되고, 스위칭용 트랜지스터(6401)의 제1 전극(소스 전극 및 드레인 전극 중 하나)이 신호선(6405)에 접속되고, 스위칭용 트랜지스터(6401)의 제2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)의 게이트가 용량 소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제1 전극이 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제2 전극이 발광 소자(6404)의 제1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 해당한다. 공통 전극(6408)은, 동일 기판 위에 설치되는 공통 전원선에 전기적으로 접속된다. 그 접속부를 공통 접속부로서 이용할 수 있다.
- [0250] 발광 소자(6404)의 제2 전극(공통 전극(6408))은 저전원 전위로 설정된다. 저전원 전위는, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위 < 고전원 전위를 충족시키는 전위이라는 것을 유의한다. 저전원 전위로서는, 예를 들면, GND 전위 또는 0V 등이 채택될 수 있다. 고전원 전위와 저전원 전위 사이의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 공급하여 발광 소자(6404)를 발광시킨다. 여기에서, 발광 소자(6404)를 발광시키기 위해, 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위가 설정된다.
- [0251] 용량 소자(6403)의 대체물로서 구동용 트랜지스터(6402)의 게이트 용량을 사용할 수 있기 때문에, 용량 소자(6403)는 생략될 수 있다는 것을 유의한다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성될 수 있다.
- [0252] 전압-입력 전압 구동 방법의 경우에, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 턴온되거나, 또는 턴오프되는 2개의 상태 중 어느 하나로 되도록 하는 비디오 신호가 입력된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)가 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 신호선(6405)에는, (전원선 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다는 것을 유의한다.
- [0253] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행할 경우에, 신호의 입력을 변경함으로써, 도 14와 동일한 화소 구성을 이용할 수 있다.
- [0254] 아날로그 계조 구동을 행할 경우, 구동용 트랜지스터(6402)의 게이트에 (발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 인가된다. 발광 소자(6404)의 순방향 전압은, 원하는 휘도가 얻어지는 경우의 전압을 가리키고, 적어도 순방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하게 하는 비디오 신호가 입력됨으로써, 발광 소자(6404)에 전류가 공급될 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호를 이용하는 경우, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려서, 아날로그 계조 구동을 행할 수 있다.
- [0255] 화소 구성은 도 14에 도시된 것에 한정되지 않는다는 것을 유의한다. 예를 들면, 도 14에 도시된 화소에 스위치, 저항, 용량, 트랜지스터, 또는 논리 회로 등을 추가할 수 있다.
- [0256] 다음으로, 발광 소자의 구성에 대해서, 도 15의 (a) 내지 도 15의 (c)를 참조하여 설명한다. 여기에서, 구동용 TFT가 n채널 트랜지스터인 경우를 예시하며, 화소의 단면 구조에 대해서 설명한다. 도 15의 (a) 내지 도 15의 (c)에 도시된 반도체 장치에 이용되는 구동용 TFT(7001, 7011, 7021)는, 실시 형태 1 및 실시 형태 2에 기술된 박막 트랜지스터와 마찬가지로 제작될 수 있고, 각각 In-Ga-Zn-O계 막을 산화물 반도체층으로서 포함하는 신뢰

성이 매우 높은 박막 트랜지스터이다.

- [0257] 발광 소자로부터 발광된 광을 취출하기 위해, 적어도 양극 및 음극 중 하나가 광을 투과시키는 것이 요구된다. 기관 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는, 기관측에 대향하는 측의 표면을 통해 발광을 취출하는 탑 에미션 구조, 기관측의 표면을 통해 발광을 취출하는 바텀 에미션 구조, 또는 기관측 표면, 및 기관측과는 반대측의 표면을 통해 발광을 취출하는 듀얼 에미션 구조를 가질 수 있다. 본 발명의 일 실시 형태에 따른 화소 구성은 이 에미션 구조들 중 임의의 것을 갖는 발광 소자에 적용될 수 있다.
- [0258] 다음에, 바텀 에미션 구조의 발광 소자에 대해서 도 15의 (a)를 참조하여 설명한다.
- [0259] 도 15의 (a)는, 구동용 TFT(7011)가 n채널 트랜지스터이고, 발광 소자(7012)에서 발생하는 광이 제1 전극(7013)을 통과하여 방출되는 경우의 화소의 단면도이다. 도 15의 (a)에서, 구동용 TFT(7011)의 드레인 전극층에 전기적으로 접속된 투광성 도전막(7017) 위에, 발광 소자(7012)의 제1 전극(7013)이 형성되고, 제1 전극(7013) 위에 EL층(7014) 및 제2 전극(7015)이 그 순서로 적층된다.
- [0260] 투광성 도전막(7017)으로서는, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물로 이루어진 막 등의 투광성 도전막을 이용할 수 있다.
- [0261] 발광 소자의 제1 전극(7013)에는 다양한 재료들 중 임의의 것을 이용할 수 있다. 예를 들면, 제1 전극(7013)이 음극으로서 기능할 경우에는, 구체적으로, 일함수가 작은 재료, 예를 들면, Li 또는 Cs 등의 알칼리 금속, Mg, Ca, 또는 Sr 등의 알칼리 토류 금속, 이 금속들 중 임의의 것을 함유하는 합금(예를 들면, Mg:Ag 또는 Al:Li), 또는 Yb 또는 Er 등의 희토류 금속 등을 이용하여 제1 전극(7013)을 형성하는 것이 바람직하다. 도 15의 (a)에서, 제1 전극(7013)은 광을 투과시키기에 충분한 두께(바람직하게는, 5nm 내지 30nm 정도)로 형성된다. 예를 들면, 20nm의 막 두께를 갖는 알루미늄막을 제1 전극(7013)으로서 이용한다.
- [0262] 대안으로, 투광성 도전막과 알루미늄막을 적층할 수 있고, 그 후 선택적으로 에칭하여 투광성 도전막(7017)과 제1 전극(7013)을 형성할 수 있다. 이 경우, 같은 마스크를 이용해서 에칭을 행할 수 있기 때문에, 바람직하다.
- [0263] 제1 전극(7013)의 주연부는 격벽(7019)으로 덮여진다. 격벽(7019)은, 폴리이미드, 아크릴, 폴리아미드, 또는 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용해서 형성될 수 있다. 격벽(7019)은, 감광성의 수지 재료를 이용하여, 제1 전극(7013) 위에 개구부를 갖도록 형성됨으로써, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 특히 바람직하다. 격벽(7019)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.
- [0264] 제1 전극(7013) 및 격벽(7019) 위에 형성되는 EL층(7014)은, 적어도 발광층을 포함할 수 있고, 단층 또는 적층된 복수의 층을 이용하여 형성될 수 있다. EL층(7014)이 복수의 층을 이용하여 형성되는 경우, 음극으로서 기능하는 제1 전극(7013) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이 순서로 적층된다. 이 층들을 모두 형성할 필요는 없다는 것을 유의한다.
- [0265] 적층 순서는 상기의 적층 순서에 한정되지 않고, 양극으로서 기능하는 제1 전극(7013) 위에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층을 이 순서로 적층해도 된다. 그러나, 전력 소비를 비교할 경우, 제1 전극(7013)이 음극으로서 기능하고, 제1 전극(7013) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 적층하는 것이, 구동 회로부의 전압 상승을 억제할 수 있고, 전력 소비를 감소시킬 수 있기 때문에 바람직하다.
- [0266] EL층(7014) 위에 형성된 제2 전극(7015)으로서는, 다양한 재료를 이용할 수 있다. 예를 들면, 제2 전극(7015)을 양극으로서 이용할 경우, ZrN, Ti, W, Ni, Pt, Cr 등의 일함수가 큰 재료나, 또는 ITO, IZO, 또는 ZnO 등의 투광성 도전 재료를 이용하는 것이 바람직하다. 또한, 제2 전극(7015) 위에 차광막(7016), 예를 들면 광을 차단하는 금속, 또는 광을 반사하는 금속 등을 설치한다. 본 실시 형태에서는, 제2 전극(7015)으로서 ITO막을 이용하고, 차광막(7016)으로서 Ti막을 이용한다.
- [0267] 제1 전극(7013)과 제2 전극(7015) 사이에, 발광층을 포함하는 EL층(7014)을 끼운 영역이 발광 소자(7012)에 해당한다. 도 15의 (a)에 도시된 소자 구조의 경우, 발광 소자(7012)로부터 발광된 광은, 화살표로 나타낸 바와 같이 제1 전극(7013)측으로 방출된다.

- [0268] 도 15의 (a)에 있어서, 발광 소자(7012)로부터 발광된 광은, 컬러 필터층(7033), 절연층(7032), 산화물 절연층(7031), 게이트 절연층(7060), 및 기판(7010)을 통과해서 외부에 방출된다.
- [0269] 컬러 필터층(7033)은 잉크젯 방법 등의 액적 토출 방법, 인쇄 방법, 또는 포토리소그래피 기술을 이용한 에칭 방법 등에 의해 형성한다.
- [0270] 컬러 필터층(7033)은 오버코트층(7034)으로 덮여지고, 또한 보호 절연층(7035)으로 덮여진다. 도 15의 (a)에 있어서, 오버코트층(7034)은 얇은 두께를 갖는 것으로 도시되지만, 오버코트층(7034)은, 아크릴 수지 등의 수지 재료를 이용하여, 컬러 필터층(7033)에 의해 유발된 요철을 감소시키는 기능을 갖는다.
- [0271] 보호 절연층(7035) 및 절연층(7032)에 형성되어, 접속 전극층(7030)에 도달하는 컨택트 홀은 격벽(7019)과 중첩하는 부분에 설치된다.
- [0272] 다음으로, 듀얼 에미션 구조를 갖는 발광 소자에 대해서, 도 15의 (b)를 참조하여 설명한다.
- [0273] 도 15의 (b)에서, 구동용 TFT(7021)의 드레인 전극층에 전기적으로 접속된 투광성 도전막(7027) 위에 발광 소자(7022)의 제1 전극(7023)이 형성되고, 제1 전극(7023) 위에 EL층(7024)과 제2 전극(7025)이 이 순서로 적층된다.
- [0274] 투광성 도전막(7027)으로서, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물로 이루어진 막 등의 투광성 도전막을 이용할 수 있다.
- [0275] 제1 전극(7023)에는 다양한 재료들 중 임의의 것을 이용할 수 있다. 예를 들면, 제1 전극(7023)이 음극으로서 기능할 경우에는, 구체적으로, 일함수가 작은 재료, 예를 들면, Li 또는 Cs 등의 알칼리 금속, Mg, Ca, 또는 Sr 등의 알칼리 토류 금속, 이 금속들 중 임의의 것을 함유하는 합금(예를 들면, Mg:Ag 또는 Al:Li), 또는 Yb 또는 Er 등의 희토류 금속 등을 이용하여 제1 전극(7023)을 형성하는 것이 바람직하다. 본 실시 형태에 있어서, 제1 전극(7023)은 음극으로서 기능하고, 제1 전극(7023)은 광을 투과시키기에 충분한 두께(바람직하게는, 5nm 내지 30nm 정도)를 갖도록 형성된다. 예를 들면, 20nm의 두께를 갖는 알루미늄막을 음극으로서 이용할 수 있다.
- [0276] 대안으로, 투광성 도전막과 알루미늄막을 적층할 수 있고, 그 후 선택적으로 에칭하여 투광성 도전막(7027)과 제1 전극(7023)을 형성할 수 있다. 이 경우, 같은 마스크를 이용해서 에칭할 수 있어서 바람직하다.
- [0277] 제1 전극(7023)의 주연부는 격벽(7029)으로 덮여진다. 격벽(7029)은, 폴리이미드, 아크릴, 폴리아미드, 또는 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용해서 형성될 수 있다. 격벽(7029)은, 감광성 재료를 이용하여, 제1 전극(7023) 위에 개구부를 갖도록 형성됨으로써, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 특히 바람직하다. 격벽(7029)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.
- [0278] 제1 전극(7023) 및 격벽(7029) 위에 형성되는 EL층(7024)은, 적어도 발광층을 포함할 수 있고, 단층 또는 적층된 복수의 층을 이용하여 형성될 수 있다. EL층(7024)이 복수의 층을 이용하여 형성되는 경우, 음극으로서 기능하는 제1 전극(7023) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이 순서로 적층된다. 이 층들을 모두 형성할 필요는 없다는 것을 유의한다.
- [0279] 적층 순서는 상기의 것에 한정되지 않고, 제1 전극(7023)을 양극으로서 이용하고, 제1 전극(7023) 위에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층을 이 순서로 적층해도 된다. 그러나, 전력 소비를 비교할 경우, 제1 전극(7023)이 음극으로서 기능하고, 이 음극 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 적층하는 것이, 전력 소비를 감소시킬 수 있기 때문에 바람직하다는 것을 유의한다.
- [0280] EL층(7024) 위에 형성된 제2 전극(7025)으로서, 다양한 재료를 이용할 수 있다. 예를 들면, 제2 전극(7025)을 양극으로서 이용할 경우, 일함수가 큰 재료, 예를 들면, ITO, IZO, 또는 ZnO 등의 투광성 도전 재료 등을 이용하는 것이 바람직하다. 본 실시 형태에서는, 제2 전극(7025)이 양극으로서 이용되고, 산화 실리콘을 함유하는 ITO막이 형성된다.
- [0281] 제1 전극(7023)과 제2 전극(7025) 사이에, 발광층을 포함하는 EL층(7024)을 끼운 영역이 발광 소자(7022)에 해당한다. 도 15의 (b)에 도시된 소자 구조의 경우, 발광 소자(7022)로부터 발광된 광은, 화살표로 나타낸 바와 같이 제2 전극(7025)측 및 제1 전극(7023)측 양측으로부터 방출된다.
- [0282] 도 15의 (b)에 있어서, 발광 소자(7022)로부터 제1 전극(7023)측으로 방출된 광은, 컬러 필터층(7043), 절연층

(7042), 산화물 절연층(7041), 게이트 절연층(7070), 및 기관(7020)을 통과해서 외부에 방출된다는 것을 유의한다.

[0283] 컬러 필터층(7043)은 잉크젯 방법 등의 액적 토출 방법, 인쇄 방법, 또는 포토리소그래피 기술 등을 이용한 에칭 방법 등에 의해 형성된다.

[0284] 컬러 필터층(7043)은 오버코트층(7044)으로 덮여지고, 또한 보호 절연층(7045)으로 덮여진다.

[0285] 보호 절연층(7045) 및 절연층(7042)에 형성되어, 접속 전극층(7040)에 도달하는 컨택트 홀은 격벽(7029)과 중첩하는 부분에 설치된다.

[0286] 듀얼 에미션 구조를 갖는 발광 소자를 이용하여, 양쪽 표시면에서 풀 컬러 표시를 행하는 경우, 제2 전극(7025)측으로부터의 광은 컬러 필터층(7043)을 통과하지 않기 때문에, 다른 컬러 필터층을 구비한 밀봉 기관을 제2 전극(7025) 위에 설치하는 것이 바람직하다는 것을 유의한다.

[0287] 다음으로, 탑 에미션 구조를 갖는 발광 소자에 대해서 도 15의 (c)를 참조하여 설명한다.

[0288] 도 15의 (c)는, 구동용 TFT(7001)가 n채널 TFT이고, 발광 소자(7002)에서 발광된 광이 제2 전극(7005)을 통과해서 방출되는 경우의 화소의 단면도이다. 도 15의 (c)에서, 구동용 TFT(7001)의 드레인 전극층에 전기적으로 접속되도록 발광 소자(7002)의 제1 전극(7003)이 형성되고, 제1 전극(7003) 위에 EL층(7004) 및 제2 전극(7005)이 이 순서로 적층된다.

[0289] 제1 전극(7003)은 다양한 재료들 중 임의의 것을 이용하여 형성될 수 있으며, 예를 들면, 제1 전극(7003)이 음극으로서 이용될 경우에는, 일함수가 작은 재료, 예를 들면, Li 또는 Cs 등의 알칼리 금속, Mg, Ca, 또는 Sr 등의 알칼리 토류 금속, 이 금속들 중 임의의 것을 함유하는 합금(예를 들면, Mg:Ag 또는 Al:Li), 또는 Yb 또는 Er 등의 희토류 금속 등을 이용하는 것이 바람직하다.

[0290] 제1 전극(7003) 및 격벽(7009) 위에 형성되는 EL층(7004)은, 적어도 발광층을 포함할 수 있고, 단층 또는 적층된 복수의 층을 이용하여 형성될 수 있다. EL층(7004)이 복수의 층을 이용하여 형성되는 경우, EL층(7004)은, 제1 전극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 적층함으로써 형성된다. 이 층들을 모두 형성할 필요는 없다는 것을 유의한다.

[0291] 적층 순서는 상기의 적층 순서에 한정되지 않고, 양극으로서 이용되는 제1 전극(7003) 위에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층을 이 순서로 적층해도 된다.

[0292] 도 15의 (c)에서는, Ti막, 알루미늄막, 및 Ti막이 이 순서로 적층된 적층막 위에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이 순서로 적층된다. 또한, Mg:Ag 합금 박막과 ITO막의 적층을 형성한다.

[0293] TFT(7001)가 n채널 트랜지스터인 경우, 제1 전극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이 순서로 적층하는 것이, 구동 회로에 있어서의 전압 상승을 억제할 수 있고, 전력 소비를 감소시킬 수 있기 때문에 바람직하다는 것을 유의한다.

[0294] 제2 전극(7005)은 투광성 도전 재료를 이용해서 형성하고, 예를 들면, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물로 이루어진 투광성 도전막 등을 이용할 수 있다.

[0295] 제1 전극(7003)과 제2 전극(7005) 사이에, 발광층을 포함하는 EL층(7004)을 끼운 영역이 발광 소자(7002)에 해당한다. 도 15의 (c)에 도시된 소자 구조의 경우, 발광 소자(7002)로부터 발광된 광은, 화살표로 나타낸 바와 같이 제2 전극(7005)측으로 방출된다.

[0296] 도 15의 (c)에 있어서, TFT(7001)의 드레인 전극층은 산화물 절연층(7051), 보호 절연층(7052), 및 절연층(7055)에 형성된 컨택트 홀을 통해서 제1 전극(7003)에 전기적으로 접속된다. 평탄화 절연층(7053)은 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 또는 에폭시 등의 수지 재료를 이용하여 형성될 수 있다. 그러한 수지 재료 외에도, 저유전율 재료(로우-k 재료), 실록산계 수지, PSG(phosphosilicate glass), 또는 BPSG(borophosphosilicate glass) 등을 이용할 수도 있다. 평탄화 절연층(7053)은, 이 재료로 형성된 복수의 절연막을 적층시킴으로써 형성될 수 있다는 것을 유의한다. 평탄화 절연층(7053)의 형성 방법은 특별히 한정되지 않고, 평탄화 절연층(7053)은 그 재료에 따라서, 스퍼터링 방법, SOG 방법, 스핀 코팅, 디핑, 스프레이 코팅, 또는 액적 토출 방법(예를 들면, 잉크 제트 방법, 스크린 인쇄, 또는 오프셋 인쇄) 등의 방법에 의해, 또

는 닥터 나이프, 롤 코터, 커튼 코터, 또는 나이프 코터 등의 도구(장비)에 의해 형성될 수 있다.

- [0297] 제1 전극(7003) 및 인접한 화소의 제1 전극(7003)을 절연시키기 위해 격벽(7009)이 설치된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리이미드, 또는 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용해서 형성될 수 있다. 격벽(7009)은, 감광성 수지 재료를 이용하여, 제1 전극(7003) 위에 개구부를 갖도록 형성됨으로써, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 특히 바람직하다. 격벽(7009)으로서 감광성 수지 재료를 이용할 경우, 레지스트 마스크를 형성하는 단계를 생략할 수 있다.
- [0298] 도 15의 (c)에 도시된 구조에 있어서, 풀 컬러 표시를 행하기 위해, 발광 소자(7002), 발광 소자(7002)에 인접한 발광 소자들 중 하나, 및 인접한 발광 소자들 중 다른 하나는 각각, 예를 들면, 그린 발광 소자, 레드 발광 소자, 및 블루 발광 소자이다. 대안으로, 3종류의 발광 소자 외에도 화이트 발광 소자를 포함하는 4종류의 발광 소자를 이용하여 풀 컬러 표시를 행할 수 있는 발광 표시 장치를 제작해도 된다.
- [0299] 도 15의 (c)의 구조에 있어서, 배치되는 복수의 발광 소자는 모두 화이트 발광 소자이고, 컬러 필터 등을 갖는 밀봉 기판을 발광 소자(7002) 위에 배치하는 방식으로 풀 컬러 표시를 행할 수 있는 발광 표시 장치를 제작해도 된다. 화이트 등의 단색을 나타내는 재료를 형성하고, 컬러 필터나 색 변환층과 조합함으로써, 풀 컬러 표시를 행할 수 있다.
- [0300] 물론 단색 광의 표시를 행할 수도 있다. 예를 들면, 화이트 발광을 이용해서 조명 장치를 형성해도 되며, 또는 단색 발광을 이용해서 에어리어-컬러 발광 장치를 형성해도 된다.
- [0301] 필요하다면, 원편광판을 포함하는 편광 필름 등의 광학 필름을 설치해도 된다.
- [0302] 여기에서는, 발광 소자로서 유기 EL 소자에 대해서 설명하지만, 발광 소자로서 무기 EL 소자를 설치할 수도 있다는 것을 유의한다.
- [0303] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)가 발광 소자에 전기적으로 접속되는 예를 나타냈지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이 채택될 수도 있다는 것을 유의한다.
- [0304] 본 실시 형태에서 나타내는 반도체 장치의 구성은, 도 15의 (a) 내지 도 15의 (c)에 나타난 구성에 한정되는 것이 아니라, 본 발명의 기술적 사상에 기초하여 다양한 방식으로 변형될 수 있다.
- [0305] 다음으로, 실시 형태 1 또는 실시 형태 2에 나타내는 박막 트랜지스터를 적용한 반도체 장치의 일 실시 형태에 해당하는 발광 표시 패널(발광 패널이라고도 부름)의 외관 및 단면에 대해서, 도 16의 (a) 및 도 16의 (b)를 참조하여 설명한다. 도 16의 (a)는, 제1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를, 제1 기판과 제2 기판 사이에 시일재에 의해 밀봉한 패널의 상면도이다. 도 16의 (b)는 도 16의 (a)의 선 H-I를 따라 절개한 단면도이다.
- [0306] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 시일재(4505)가 설치된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제2 기판(4506)이 설치된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제1 기판(4501), 시일재(4505), 및 제2 기판(4506)에 의해 충전재(4507)와 함께 밀봉된다. 이러한 방식으로, 패널이 외부 공기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름 또는 자외선 경화 수지 필름 등)이나 커버 재료로 패널을 패키징(밀봉)하는 것이 바람직하다.
- [0307] 제1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 각각, 복수의 박막 트랜지스터를 포함하고, 도 16의 (b)에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)의 예를 도시한다.
- [0308] 박막 트랜지스터(4509, 4510)로서는, In-Ga-Zn-O계 막을 산화물 반도체층으로서 포함하는 실시 형태 1 및 실시 형태 2에 기술된 신뢰성이 매우 높은 박막 트랜지스터들 중 임의의 것을 이용할 수 있다. 본 실시 형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널 박막 트랜지스터이다.
- [0309] 절연층(4544) 위에는, 구동 회로용으로 사용되는 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4540)이 설치된다. 도전층(4540)을 산화물 반도체층의 채널 형성 영역과 중첩하도록 설치함으로써, BT 시험 전과 후 간에 있어서 박막 트랜지스터(4509)의 임계값 전압의 변화량을 감소시킬 수 있다. 또한, 도전층(4540)의 전위는, 박막 트랜지스터(4509)의 게이트 전극층과 같을 수도 있거나 또는 상이할

수도 있다. 도전층(4540)은 제2 게이트 전극층으로서도 기능할 수 있다. 대안으로, 도전층(4540)의 전위는 GND 전위 또는 0V일 수 있거나, 또는 도전층(4540)은 플로팅 상태일 수 있다.

- [0310] 또한, 참조 번호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)의 구성은, 제1 전극층(4517), 전계발광층(4512), 및 제2 전극층(4513)의 적층 구조이지만, 특별히 이 구성에 한정되지 않는다는 것을 유의한다. 발광 소자(4511)의 구성은, 발광 소자(4511)로부터 추출되는 광의 방향 등에 따라서 적절히 변경될 수 있다.
- [0311] 격벽(4520)은 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 이용해서 형성된다. 격벽(4520)은 감광성 재료를 이용하여 형성되고, 개구부가 제1 전극층(4517) 위에 형성되어, 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 특히 바람직하다.
- [0312] 전계발광층(4512)은 단층 또는 적층된 복수의 층으로 형성될 수 있다.
- [0313] 발광 소자(4511)에 산소, 수소, 수분, 또는 이산화탄소 등이 침입하는 것을 방지하기 위해, 제2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성해도 된다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, 또는 DLC 막 등을 형성할 수 있다.
- [0314] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 각종 신호 및 전위가 FPC(4518a, 4518b)로부터 공급된다.
- [0315] 본 실시 형태에서, 접속 단자 전극(4515)은, 발광 소자(4511)에 포함된 제1 전극층(4517)에 이용된 것과 동일한 도전막을 이용하여 형성된다. 단자 전극(4516)은, 박막 트랜지스터(4509, 4510)에 포함된 소스 전극층 및 드레인 전극층에 이용된 것과 동일한 도전막을 이용하여 형성된다.
- [0316] 접속 단자 전극(4515)은, FPC(4518a)에 포함되는 단자에 이방성 도전막(4519)을 통해서 전기적으로 접속된다.
- [0317] 발광 소자(4511)로부터 광이 추출되는 방향에 위치하는 제2 기판은 투광성을 가져야 한다. 그 경우에, 제2 기판용으로, 글래스판, 플라스틱판, 폴리에스테르 필름, 또는 아크릴 필름 등의 투광성 재료를 이용한다.
- [0318] 충전재(4507)로서는, 질소나 아르곤 등의 불활성 가스 외에도, 자외선 경화 수지 또는 열경화성 수지를 이용할 수 있다. 예를 들면, 폴리비닐 클로라이드(PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, 폴리비닐 부티랄(PVB), 또는 에틸렌 비닐 아세테이트(EVA)를 이용할 수 있다. 본 실시 형태에 있어서, 충전재로서 질소를 이용한다.
- [0319] 또한, 필요하다면, 발광 소자의 발광 표면 위에 편광판, 원편광판(타원편광판을 포함함), 위상차판(1/4 파장판 또는 1/2 파장판), 또는 컬러 필터 등의 광학 필름을 적절히 설치해도 된다. 또한, 편광판 또는 원편광판에 반사 방지막을 설치해도 된다. 예를 들면, 눈부심을 감소시키기 위해 표면의 요철에 의해 반사광을 확산시키는 안티글래어 처리(anti-glare treatment)를 행할 수 있다.
- [0320] 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로로서 실장될 수 있다. 또한, 신호선 구동 회로나 그 일부만, 또는 주사선 구동 회로나 그 일부만을 별도 형성해서 실장해도 된다. 본 실시 형태는 도 16의 (a) 및 도 16의 (b)에 도시된 구성에 한정되지 않는다.
- [0321] 이상의 공정을 통해, 반도체 장치로서 신뢰성이 매우 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0322] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.
- [0323] [실시 형태 7]
- [0324] 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 적용한 반도체 장치는, 전자 페이퍼로서 이용될 수 있다. 전자 페이퍼는 데이터를 표시할 수 있는 것인 한, 각종 분야의 전자 장치에 이용될 수 있다. 예를 들면, 전자 페이퍼는 이북(e-book) 판독기(전자 서적), 포스터, 전철 등의 차량 내의 광고, 또는 신용 카드 등의 각종 카드에 있어서의 표시에 적용될 수 있다. 전자 장치의 예들이 도 17의 (a), 도 17의 (b), 및 도 18에 도시된다.
- [0325] 도 17의 (a)는 전자 페이퍼를 이용한 포스터(2631)를 도시한다. 광고 매체가 종이 인쇄물일 경우에는, 광고의

교환은 수작업에 의해 행해지지만, 전자 페이퍼를 이용하면 단시간에 광고 표시를 바꿀 수 있다. 또한, 표시 결합이 없이 안정적인 화상이 얻어질 수 있다. 포스터는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다는 것을 유의한다.

[0326] 도 17의 (b)는 전철 등의 차량 내의 광고(2632)를 도시한다. 광고 매체가 종이 인쇄물일 경우에는, 광고의 교환은 수작업에 의해 행해지지만, 광고 매체가 전자 페이퍼인 경우에는, 많은 수고를 필요로 하지 않고 단시간에 광고 표시를 바꿀 수 있다. 또한, 표시 결합이 없이 안정적인 화상이 얻어질 수 있다. 차량 내의 광고는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다는 것을 유의한다.

[0327] 도 18은 이북 판독기의 예를 도시한다. 예를 들면, 이북 판독기(2700)는 2개의 하우징, 즉, 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)에 결합되어, 힌지(2711)를 축으로 하여 이북 판독기(2700)를 개폐할 수 있다. 그러한 구성에 의해, 이북 판독기(2700)가 종이 서적과 마찬가지로 동작할 수 있다.

[0328] 하우징(2701)에는 표시부(2705)가 조립되고, 하우징(2703)에는 표시부(2707)가 조립된다. 표시부(2705)와 표시부(2707)는 하나의 화상 또는 상이한 화상을 표시할 수 있다. 상이한 표시부들에 상이한 화상들을 표시하는 구성에 있어서, 예를 들면, 우측의 표시부(도 18의 표시부(2705))는 텍스트를 표시할 수 있고, 좌측의 표시부(도 18의 표시부(2707))는 화상을 표시할 수 있다.

[0329] 도 18에 도시된 예에서는, 하우징(2701)에 조작부 등을 설치한다. 예를 들면, 하우징(2701)에, 전원 스위치(2721), 조작 키(2723), 및 스피커(2725) 등을 설치한다. 조작 키(2723)에 의해 페이지를 넘길 수 있다. 하우징의 표시부와 동일 표면에 키보드 및 포인팅 장치 등을 설치할 수 있다는 것을 유의한다. 또한, 하우징의 이면이나 측면에, 외부 접속 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속 가능한 단자 등) 및 기록 매체 삽입부 등을 설치할 수도 있다. 또한, 이북 판독기(2700)는 전자 사전의 기능을 가질 수도 있다.

[0330] 이북 판독기(2700)는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자 서적 서버로부터, 원하는 북 데이터 등을 구입할 수 있고, 다운로드할 수 있다.

[0331] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.

[0332] [실시 형태 8]

[0333] 실시 형태 1 또는 실시 형태 2에 기술된 박막 트랜지스터를 이용한 반도체 장치는 각종 전자 기기들(게임기를 포함함)에 적용할 수 있다. 그러한 전자 장치들의 예들은, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 부름), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 액자, 휴대 전화기(휴대 전화 핸드셋 또는 휴대 전화 장치라고도 부름), 휴대형 게임 콘솔, 휴대형 정보 단말기, 음향 재생 장치, 및 빠징고 머신 등의 대형 게임기 등이다.

[0334] 도 19의 (a)는 텔레비전 장치의 예를 도시한다. 텔레비전 장치(9600)에 있어서, 표시부(9603)는 하우징(9601)에 조립된다. 표시부(9603)는 영상을 표시할 수 있다. 여기에서, 하우징(9601)은 스탠드(9605)에 의해 지지된다.

[0335] 텔레비전 장치(9600)는, 하우징(9601)의 조작 스위치 또는 별도의 리모트 콘트롤러(9610)에 의해 조작될 수 있다. 리모트 콘트롤러(9610)의 조작 키(9609)에 의해 채널 및 음량이 제어될 수 있어서, 표시부(9603)에 표시되는 영상이 제어될 수 있다. 또한, 리모트 콘트롤러(9610)는, 리모트 콘트롤러(9610)로부터 출력되는 데이터를 표시하는 표시부(9607)를 구비할 수 있다.

[0336] 텔레비전 장치(9600)는 수신기 및 모뎀 등을 구비한다는 것을 유의한다. 수신기를 이용하여, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 장치(9600)가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 경우, 일 방향(송신자로부터 수신자에게로) 또는 쌍방향(송신자와 수신자 사이에 또는 수신자들 사이에) 정보 통신을 행할 수 있다.

[0337] 도 19의 (b)는 디지털 액자의 예를 도시한다. 예를 들면, 디지털 액자(9700)에 있어서, 표시부(9703)는 하우징(9701)에 조립된다. 표시부(9703)는 각종 화상을 표시할 수 있다. 예를 들면, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시할 수 있고, 통상적인 액자와 마찬가지로 기능할 수 있다.

- [0338] 디지털 액자(9700)는 조작부, 외부 접속부(USB 단자, 또는 USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 및 기록 매체 삽입부 등을 구비한다. 이 컴포넌트들은 표시부가 설치된 표면에 설치될 수 있지만, 그들을 측면이나 이면에 설치하는 것이 디지털 액자(9700)의 디자인을 위해서 바람직하다. 예를 들면, 디지털 액자의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 저장한 메모리를 삽입함으로써, 화상 데이터를 전송시킬 수 있고, 그 후 표시부(9703)에 표시시킬 수 있다.
- [0339] 디지털 액자(9700)는, 무선으로 데이터를 송수신할 수 있다. 원하는 화상 데이터를 무선으로 전송시켜 표시하는 구성이 채택될 수 있다.
- [0340] 도 20의 (a)는 휴대형 게임기이며, 휴대형 게임기가 열리거나 접히는 것이 가능하도록 연결부(9893)에 연결된 2개의 하우징, 즉, 하우징(9881)과 하우징(9891)으로 구성된다. 하우징(9881)에는 표시부(9882)가 조립되고, 하우징(9891)에는 표시부(9883)가 조립된다. 또한, 도 20의 (a)에 도시된 휴대형 게임기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 및 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음향, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선을 측정하는 기능을 구비함), 및 마이크로폰(9889)) 등을 구비한다. 물론, 휴대형 게임기의 구성은 전술한 것에 한정되지 않고, 적어도 본 발명의 반도체 장치를 구비한 다른 구성이 채택될 수 있다. 휴대형 게임기는 다른 액세서리를 적절히 포함할 수 있다. 도 20의 (a)에 도시된 휴대형 게임기는, 기록 매체에 저장되어 있는 프로그램 또는 데이터를 관독해서 그것을 표시부에 표시하는 기능, 및 다른 휴대형 게임기와 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 도 20의 (a)에 도시된 휴대형 게임기의 기능은 전술한 것에 한정되지 않고, 휴대형 게임기는 다양한 기능을 가질 수 있다는 것을 유의한다.
- [0341] 도 20의 (b)는 대형 게임기인 슬롯 머신(9900)의 예를 도시한다. 슬롯 머신(9900)에 있어서, 하우징(9901)에 표시부(9903)가 조립된다. 또한, 슬롯 머신(9900)은 스타트 레버나 스톱 스위치 등의 조작 수단, 동전 투입구, 및 스피커 등을 포함한다. 물론, 슬롯 머신(9900)의 구성은 상기의 구성에 한정되지 않고, 적어도 본 발명의 반도체 장치를 구비한 다른 구성이 채택될 수 있다. 슬롯 머신(9900)은 다른 액세서리를 적절히 포함할 수 있다.
- [0342] 도 21의 (a)는 휴대 전화기의 예를 도시한다. 휴대 전화기(1000)는, 하우징(1001)에 조립된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 및 마이크로폰(1006) 등을 포함한다.
- [0343] 도 21의 (a)에 도시된 표시부(1002)를 손가락 등으로 접촉하는 경우, 데이터가 휴대 전화기(1000)에 입력될 수 있다. 또한, 전화를 걸거나 메일을 작성하는 등의 조작이, 표시부(1002)를 손가락 등으로 접촉함으로써 행해질 수 있다.
- [0344] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제1 모드는 화상 표시를 주로 하는 표시 모드이다. 제2 모드는 텍스트 등의 데이터 입력을 주로 하는 입력 모드이다. 제3 모드는 표시 모드와 입력 모드의 2개의 모드가 결합된 표시 및 입력 모드이다.
- [0345] 예를 들면, 전화를 걸거나 메일을 작성하는 경우, 표시부(1002)에 대해 텍스트 입력을 주로 하는 텍스트 입력 모드가 선택되어 화면에 표시되는 텍스트가 입력될 수 있다. 그 경우, 표시부(1002)의 화면의 거의 모든 영역에 키보드 또는 번호 버튼을 표시하는 것이 바람직하다.
- [0346] 휴대 전화기(1000) 내부에, 자이로스코프 또는 가속도 센서 등의 기울기를 검출하는 센서를 포함하는 검출 장치를 설치하는 경우, 휴대 전화기(1000)의 설치 방향(휴대 전화기(1000)가 가로 모드 또는 세로 모드용으로 수평하게 또는 수직하게 배치되는지)을 판단하여, 표시부(1002)의 화면의 표시를 자동적으로 전환할 수 있다.
- [0347] 화면 모드는, 표시부(1002)를 접촉함으로써, 또는 하우징(1001)의 조작 버튼(1003)을 조작함으로써 전환된다. 대안으로, 표시부(1002)에 표시되는 화상의 종류에 따라 화면 모드가 전환될 수도 있다. 예를 들면, 표시부에 표시되는 화상의 신호가 동화상 데이터의 신호인 경우, 화면 모드는 표시 모드로 전환된다. 신호가 텍스트 데이터의 신호인 경우, 화면 모드는 입력 모드로 전환된다.
- [0348] 또한, 입력 모드에 있어서, 표시부(1002)에서 광 센서에 의해 검출되는 신호를 검지하는 동안, 표시부(1002)의 터치에 의한 입력이 특정 기간 행해지지 않을 경우에는, 화면 모드를 입력 모드로부터 표시 모드로 전환하도록 제어할 수 있다.
- [0349] 표시부(1002)는 이미지 센서로서 기능할 수 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락으로 접촉할

때, 장문 또는 지문 등을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 센싱용 광원을 설치함으로써, 손가락 정맥 또는 손바닥 정맥 등을 촬상할 수도 있다.

[0350] 도 21의 (b)도 휴대 전화기의 예를 도시한다. 도 21의 (b)의 휴대 전화기는 하우징(9411)에 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시 장치(9410), 하우징(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크 로폰(9404), 스피커(9405), 및 전화 콜의 수신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 포함한다. 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)와 화살표로 표시된 2방향으로 착탈 가능하다. 따라서, 표시 장치(9410)의 단축이 통신 장치(9400)의 단축에 부착될 수 있고, 표시 장치(9410)의 장축이 통신 장치(9400)의 장축에 부착될 수 있다. 또한, 표시 기능만을 필요로 할 경우, 통신 장치(9400)로부터 표시 장치(9410)를 탈착시킬 수 있고 단독으로 이용할 수 있다. 통신 장치(9400)와 표시 장치(9410) 사이에 무선 통신 또는 유선 통신에 의해 화상 또는 입력 정보를 송수신할 수 있고, 이들 각각은 충전 가능한 배터리를 갖는다.

[0351] 본 실시 형태에 기술된 구성은, 다른 실시 형태들에 기술된 구성 중 임의의 것과 적절히 조합될 수 있다는 것을 유의한다.

[0352] [실시 형태 9]

[0353] 본 실시 형태에서는, 산화물 반도체층이 금속층(도전층) 또는 산화물 절연층에 접촉될 때 산소가 이동하는 현상에 대해서, 비정질 산화물 반도체층의 경우와 결정 산화물 반도체층의 경우 사이의 차이를 과학적 계산 결과를 이용하여 설명한다.

[0354] 도 24는, 본 발명의 일 실시 형태인 박막 트랜지스터의 구조에 있어서, 산화물 반도체층이 소스 전극층 및 드레인 전극층으로서 기능하는 금속층 및 산화물 절연층에 접촉한 상태의 모식도이다. 화살표 방향은, 이들이 서로 접촉한 상태에서 또는 이들이 가열되는 상태에서 산소의 이동 방향을 나타낸다.

[0355] 산소 결손이 발생하는 경우, i형 산화물 반도체층은 n형 도전성을 갖고, 반면, 산소가 과잉 공급되는 경우, 산소 결손에 의해 유발된 n형 산화물 반도체층이 i형 산화물 반도체층으로 된다. 이 효과는 실제의 장치 공정에 활용되며, 소스 전극층 및 드레인 전극층으로서 기능하는 금속층에 접촉하는 산화물 반도체층에 있어서, 산소가 금속층으로 당겨지고, 금속층에 접촉한 영역의 일부(두께가 얇은 경우에는, 막 두께 방향 전체 영역)에서 산소 결손이 발생함으로써, 산화물 반도체층이 n형 산화물 반도체층으로 되고, 금속층과의 양호한 접촉을 얻을 수 있다. 또한, 산화물 절연층에 접촉하는 산화물 반도체층에 산화물 절연층으로부터 산소가 공급되어, 산화물 절연층에 접촉하는 산화물 반도체층의 영역의 일부(막 두께가 얇은 경우에는, 막 두께 방향 전체 영역)가 과잉의 산소를 함유하여, i형 영역이 됨으로써, 산화물 반도체층이 i형 산화물 반도체층이 되고 박막 트랜지스터의 채널 형성 영역으로서 기능하게 된다.

[0356] 본 발명의 일 실시 형태에서는, 산화물 반도체층이, 소스 전극층 및 드레인 전극층으로서 기능하는 금속층 및 산화물 절연층에 접촉하는 영역에 있어서, 결정 영역이 형성되고, 그 영역이 비정질 상태인 경우와 그 영역이 결정 영역인 경우 간의 산소의 이동 상태의 차이를 과학적 계산에 의해 검사했다.

[0357] 과학적 계산에 이용된 모델들은, In-Ga-Zn-O계 비정질 구조와 In-Ga-Zn-O계 결정 구조를 갖는다. 각 모델에 있어서, 직방체의 길이 방향의 영역들 중 하나에서 다른 영역에 비해, 산소가 10% 결손되었다(도 25의 (a) 및 도 25의 (b) 참조). 계산은, 650℃의 가속 조건에서 10 nanoseconds 후의 In-Ga-Zn-O계 비정질 구조와 In-Ga-Zn-O계 결정 구조에서의 산소의 분포를 비교하는 것이다. 각각의 조건을 표 1과 표 2에 나타낸다.

표 1

	구조 조건
원자수	317(산소=192)
격자 상수	a=b=1.3196 nm, c=2.6101 nm, α=β=90°, γ=120°
밀도	6.23 g/cm ³

[0358]

표 2

	계산 내용
양상블	NTV (원자수, 온도, 체적 고정)
온도	923 K
시간 스텝 크기	0.2 fs
총 계산 시간	10 ns
포텐셜	"금속-산소 & 산소-산소"에 "Born-Mayer-Huggins 타입"을 적용
전하	In:+3, Ga:+3, Zn:+2, O:-2

[0359]

[0360]

비정질 산화물 반도체층을 이용한 경우의 산소의 분포를 도 26의 (a)에 나타내고, 결정 산화물 반도체층을 이용한 경우의 산소의 분포를 도 26의 (b)에 나타낸다. 점선은 초기 상태(초기)를 나타내고, 실선은 결과(10 nanoseconds 후)를 나타낸다. 비정질 산화물 반도체층이 이용되든지 또는 결정 산화물 반도체층이 이용되는지에 상관없이, 산소가 이동하는 것을 알았다.

[0361]

산소 결손이 있는 영역에서, 계산 전후 사이에서의 산소 원자의 증가율은, 비정질 산화물 반도체층의 경우에 15.9%이었고, 결정 산화물 반도체층에서 11.3%이었다. 즉, 비정질 산화물 반도체층에서의 산소가 결정 산화물 반도체층에서의 산소보다 움직이기 쉬워서, 산소 결손을 보상하기 쉽다는 결과로 되었다. 즉, 결정 산화물 반도체층에서의 산소는 비정질 산화물 반도체층에서의 산소보다 상대적으로 움직이기 어렵다.

[0362]

따라서, 본 발명의 일 실시 형태에 있어서의 결정 영역을 갖는 산화물 반도체층에서, 비정질 산화물 반도체층의 경우와 마찬가지로 산소가 이동한다는 것도 확인되었다. 또한, 결정 산화물 반도체층에서는 비정질 산화물 반도체층에서보다 상대적으로 산소가 움직이기 어렵기 때문에, 결정 영역은 산화물 반도체층으로부터의 산소의 이동을 억제하는 효과를 갖는다는 것도 확인할 수 있었다.

[0363]

본 출원은 2009년 10월 8일자로 일본 특허청에 출원된 일본 특허 출원 제2009-234413호에 기초하며, 그 전체 내용이 본 명세서에 참고로 인용된다.

부호의 설명

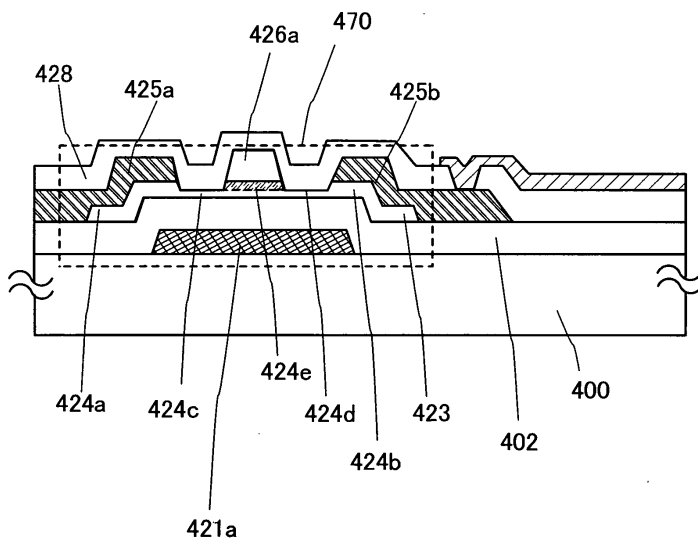
[0364]

10: 펄스 출력 회로, 11: 배선, 12: 배선, 13: 배선, 14: 배선, 15: 배선, 16: 배선, 17: 배선, 21: 입력 단자, 22: 입력 단자, 23: 입력 단자, 24: 입력 단자, 25: 입력 단자, 26: 출력 단자, 27: 출력 단자, 28: 박막 트랜지스터, 31: 트랜지스터, 32: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 37: 트랜지스터, 38: 트랜지스터, 39: 트랜지스터, 40: 트랜지스터, 41: 트랜지스터, 42: 트랜지스터, 43: 트랜지스터, 51: 전원선, 52: 전원선, 53: 전원선, 61: 기간, 62: 기간, 103: 산화물 반도체막, 105: 산화물 절연막, 106: 결정 영역, 110: 화소 전극층, 128: 투명 도전막, 400: 기관, 402: 게이트 절연층, 410: 박막 트랜지스터, 411: 단자, 412: 접속 전극, 414: 단자, 415: 투명 도전막, 416: 전극, 418: 투명 도전막, 421a: 게이트 전극층, 421b: 용량 배선, 421c: 단자, 423: 산화물 반도체층, 424a: 제1 영역, 424b: 제2 영역, 424c: 제3 영역, 424d: 제4 영역, 424e: 제5 영역, 425a: 소스 전극층, 425b: 드레인 전극층, 426a: 산화물 절연층, 426b: 산화물 절연층, 428: 산화물 절연층, 429: 접속 전극, 430: 박막 트랜지스터, 450: 박막 트랜지스터, 456a: 산화물 절연층, 470: 박막 트랜지스터, 480a: 레지스트 마스크, 480b: 레지스트 마스크, 482a: 레지스트 마스크, 482b: 레지스트 마스크, 482c: 레지스트 마스크, 490: 박막 트랜지스터, 580: 기관, 581: 박막 트랜지스터, 585: 절연층, 587: 전극층, 588: 전극층, 589: 구형 입자, 590a: 블랙 영역, 590b: 화이트 영역, 594: 캐비티, 595: 충전재, 596: 기관, 1000: 휴대 전화기, 1001: 하우징, 1002: 표시부, 1003: 조작 버튼, 1004: 외부 접속 포트, 1005: 스피커, 1006: 마이크로폰, 2600: TFT 기관, 2601: 대향 기관, 2602: 시일재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선 회로부, 2609: 플렉시블 배선 보드, 2610: 냉음극관, 2611: 반사판, 2612: 회로 기관, 2613: 확산판, 2631: 포스터, 2632: 차량 내의 광고, 2700: 이북 판독기, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 힌지, 2721: 전원 스위치, 2723: 조작 키, 2725: 스피커, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 시일재, 4006: 기관, 4008: 액정층, 4010: 박막 트랜지스터, 4011: 박막 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4501: 기관, 4502: 화소부, 4503a: 신호선 구동 회로,

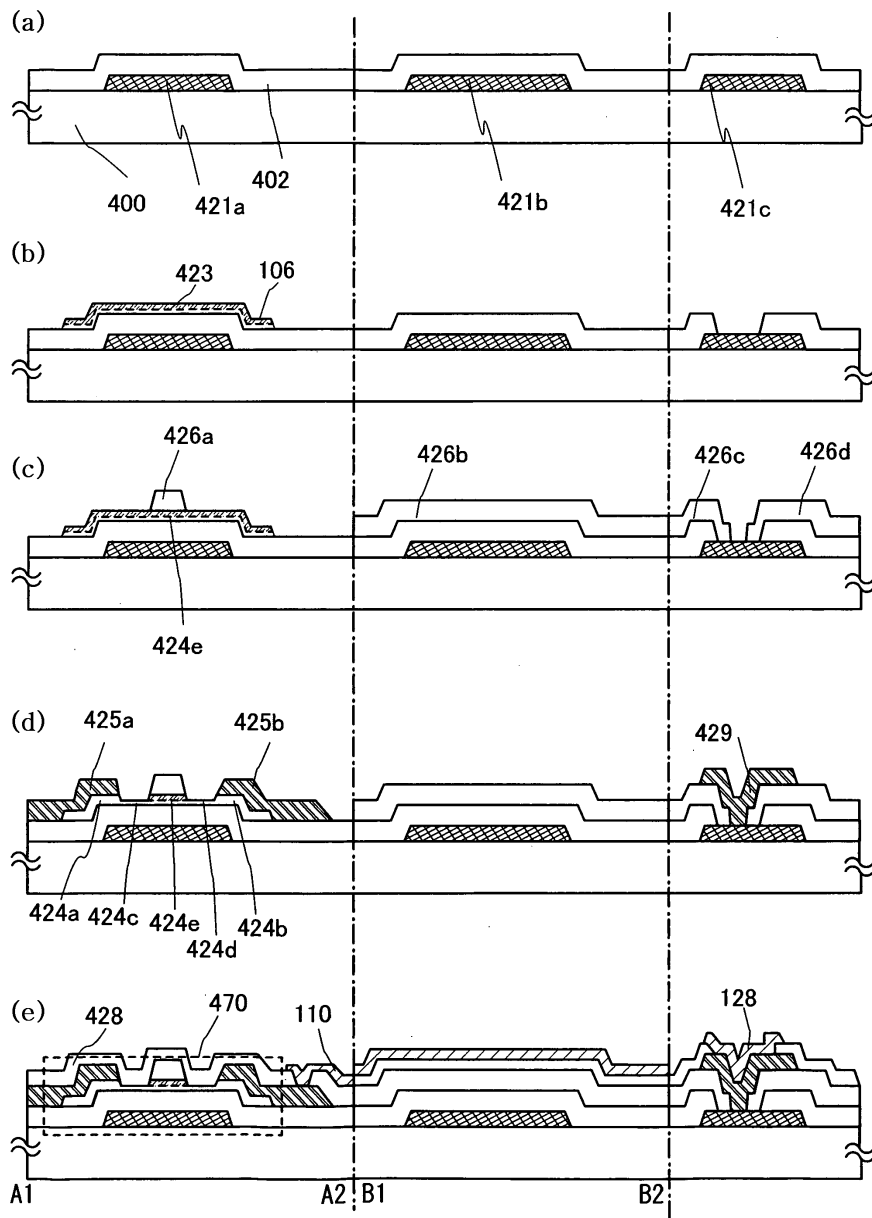
4503b: 신호선 구동 회로, 4504a: 주사선 구동 회로, 4504b: 주사선 구동 회로, 4505: 시일재, 4506: 기판, 4507: 충전재, 4509: 박막 트랜지스터, 4510: 박막 트랜지스터, 4511: 발광 소자, 4512: 전계발광층, 4513: 제 2 전극층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 제1 전극층, 4518a: FPC, 4518b: FPC, 4519: 이방성 도전막, 4520: 격벽, 4540: 도전층, 4544: 절연층, 5300: 기판, 5301: 화소부, 5302: 제1 주사선 구동 회로, 5303: 제2 주사선 구동 회로, 5304: 신호선 구동 회로, 5305: 타이밍 제어 회로, 5601: 시프트 레지스터, 5602: 스위칭 회로, 5603: 박막 트랜지스터, 5604: 배선, 5605: 배선, 6400: 화소, 6401: 스위칭 트랜지스터, 6402: 구동 트랜지스터, 6403: 용량, 6404: 발광 소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전극, 7001: TFT, 7002: 발광 소자, 7003: 제1 전극, 7004: EL층, 7005: 제2 전극, 7009: 격벽, 7010: 기판, 7011: 구동용 TFT, 7012: 발광 소자, 7013: 전극, 7014: EL층, 7015: 전극, 7016: 차광막, 7017: 도전막, 7019: 격벽, 7020: 기판, 7021: 구동용 TFT, 7022: 발광 소자, 7023: 제1 전극, 7024: EL층, 7025: 제 2 전극, 7027: 도전막, 7029: 격벽, 7030: 접속 전극층, 7031: 산화물 절연층, 7032: 절연층, 7033: 컬러 필터층, 7034: 오버코트층, 7035: 보호 절연층, 7040: 접속 전극층, 7041: 산화물 절연층, 7042: 절연층, 7043: 컬러 필터층, 7044: 오버코트층, 7045: 보호 절연층, 7051: 산화물 절연층, 7052: 보호 절연층, 7053: 평탄화 절연층, 7055: 절연층, 7060: 게이트 절연층, 7070: 게이트 절연층, 9400: 통신 장치, 9401: 하우징, 9402: 조작 버튼, 9403: 외부 입력 단자, 9404: 마이크로폰, 9405: 스피커, 9406: 발광부, 9410: 표시 장치, 9411: 하우징, 9412: 표시부, 9413: 조작 버튼, 9600: 텔레비전 장치, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 리모트 컨트롤러, 9700: 디지털 액자, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 조작 키, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크로폰, 9890: LED 램프, 9891: 하우징, 9893: 연결부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부.

도면

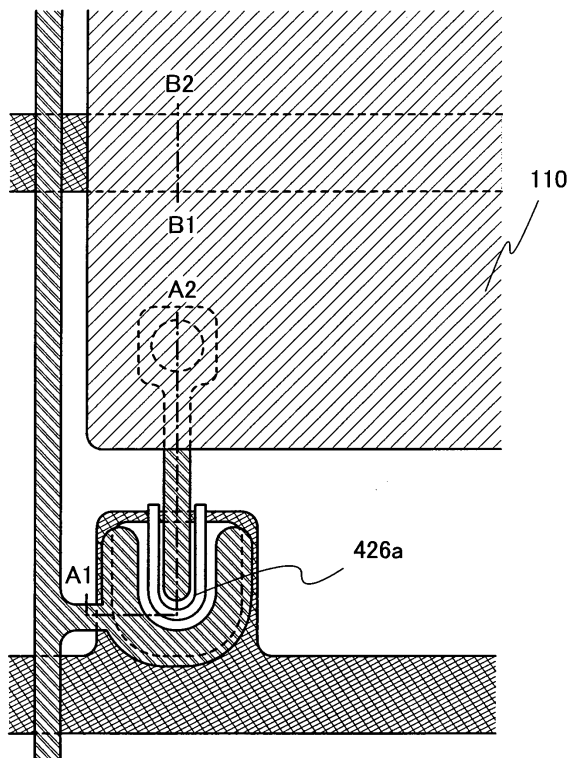
도면1



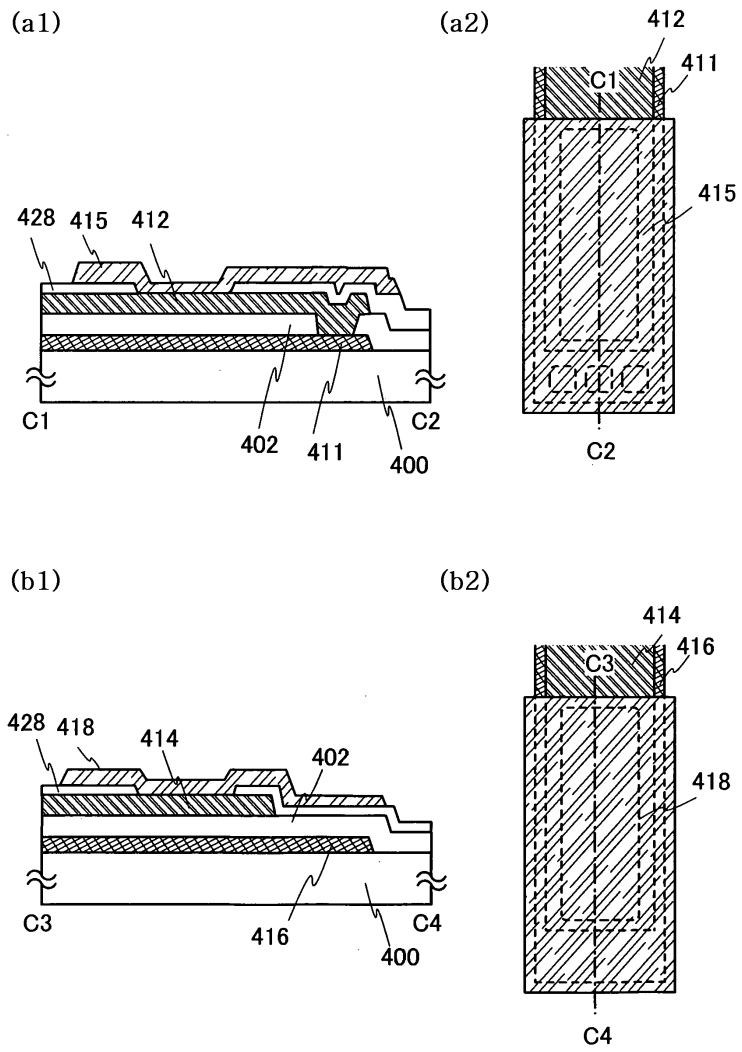
도면2



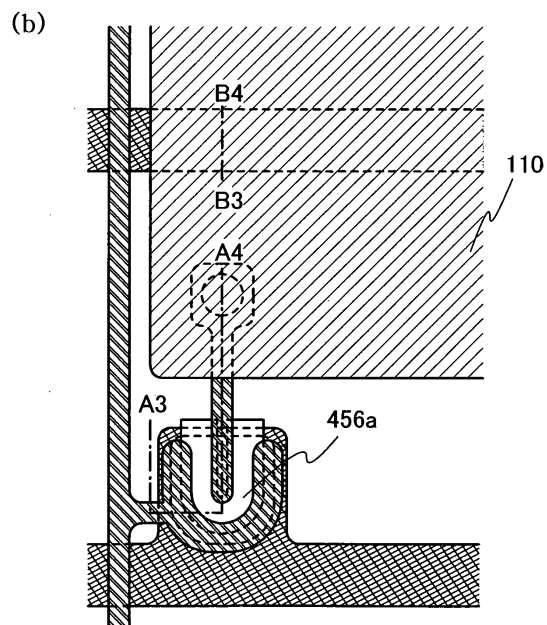
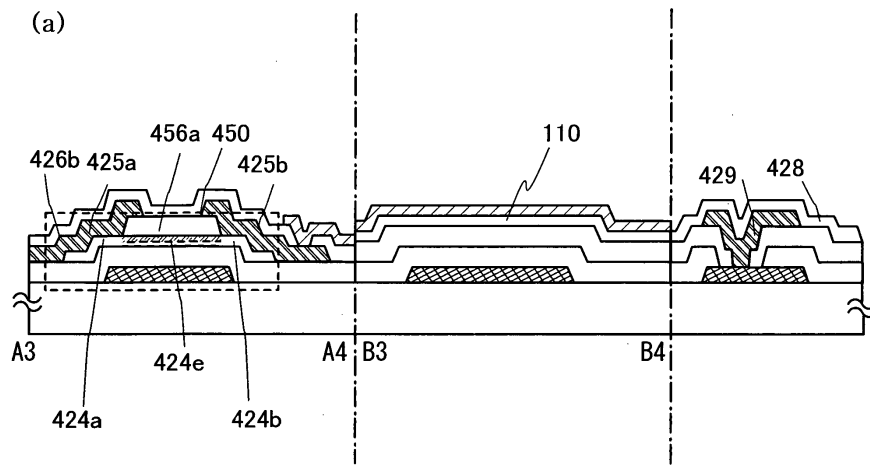
도면3



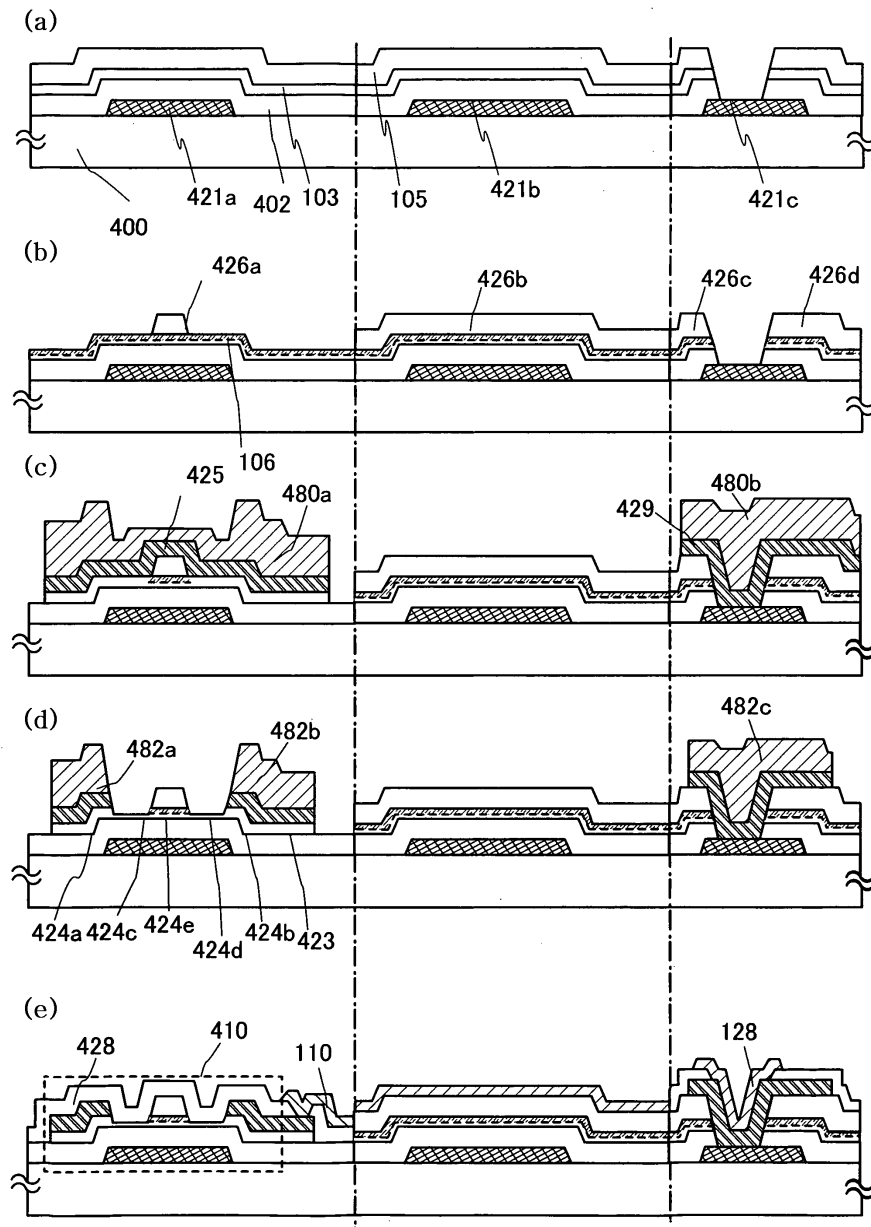
도면4



도면5

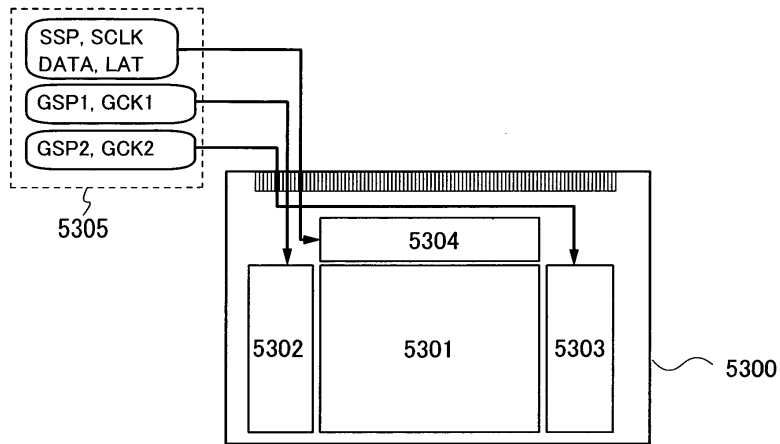


도면6

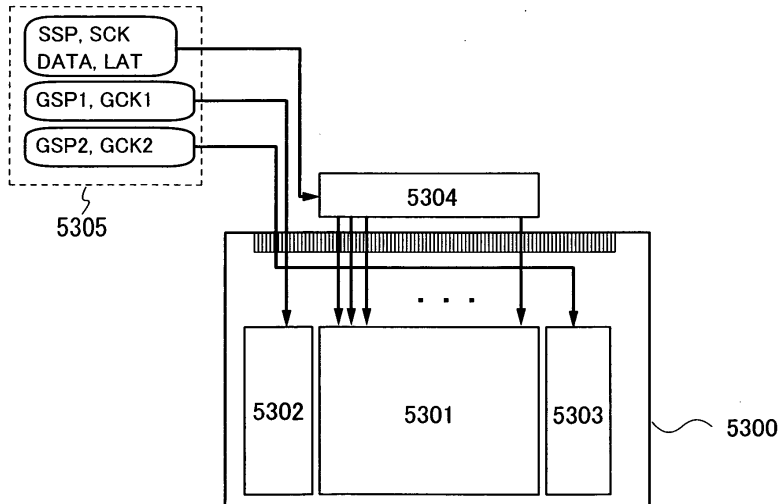


도면7

(a)

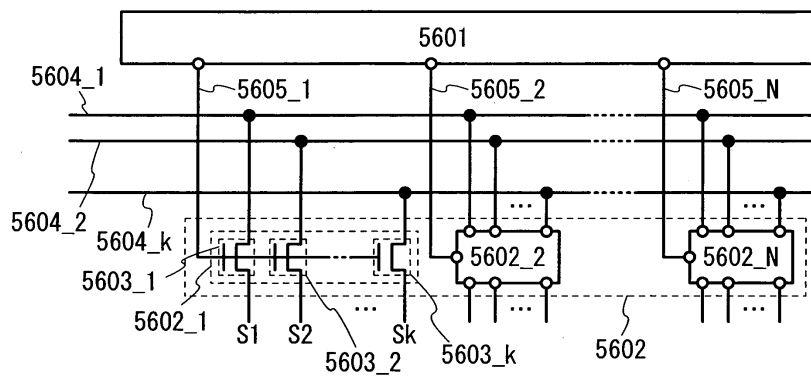


(b)

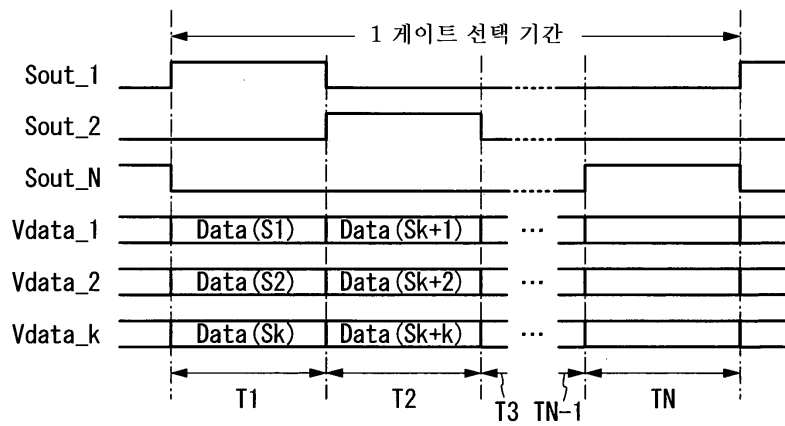


도면8

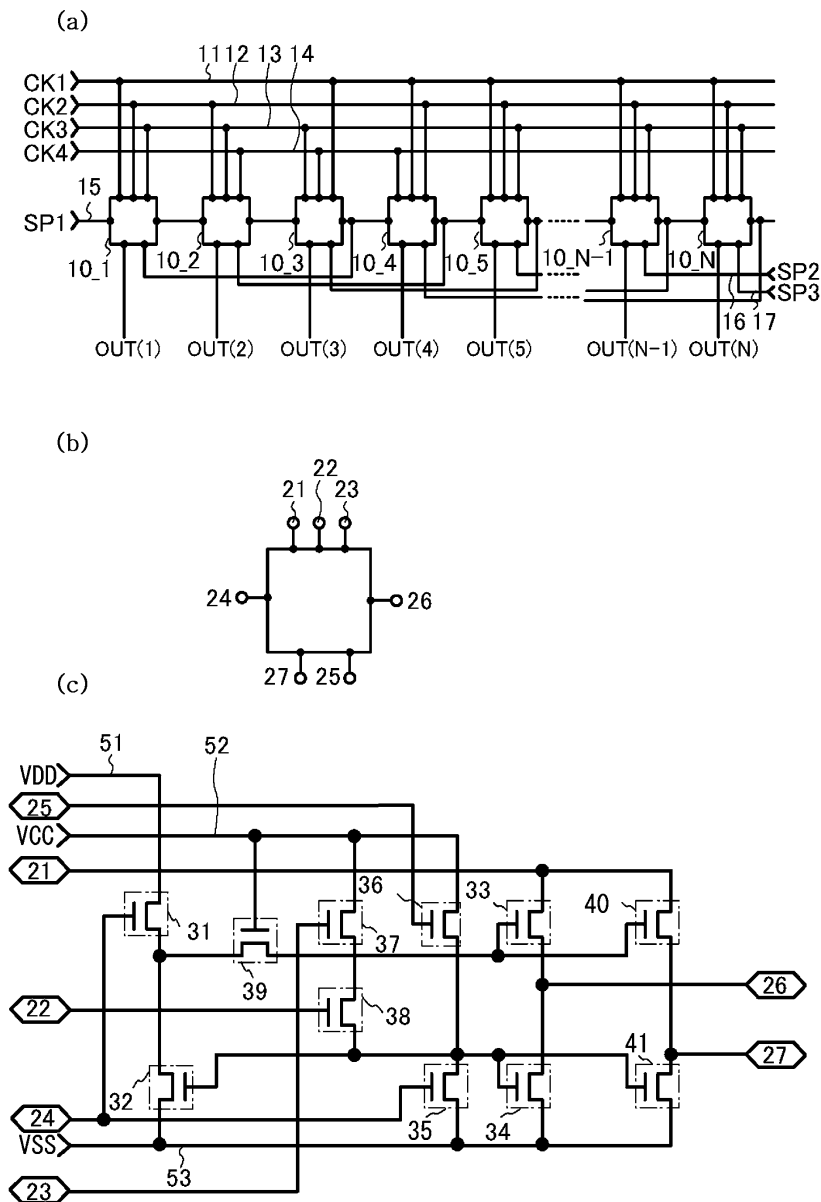
(a)



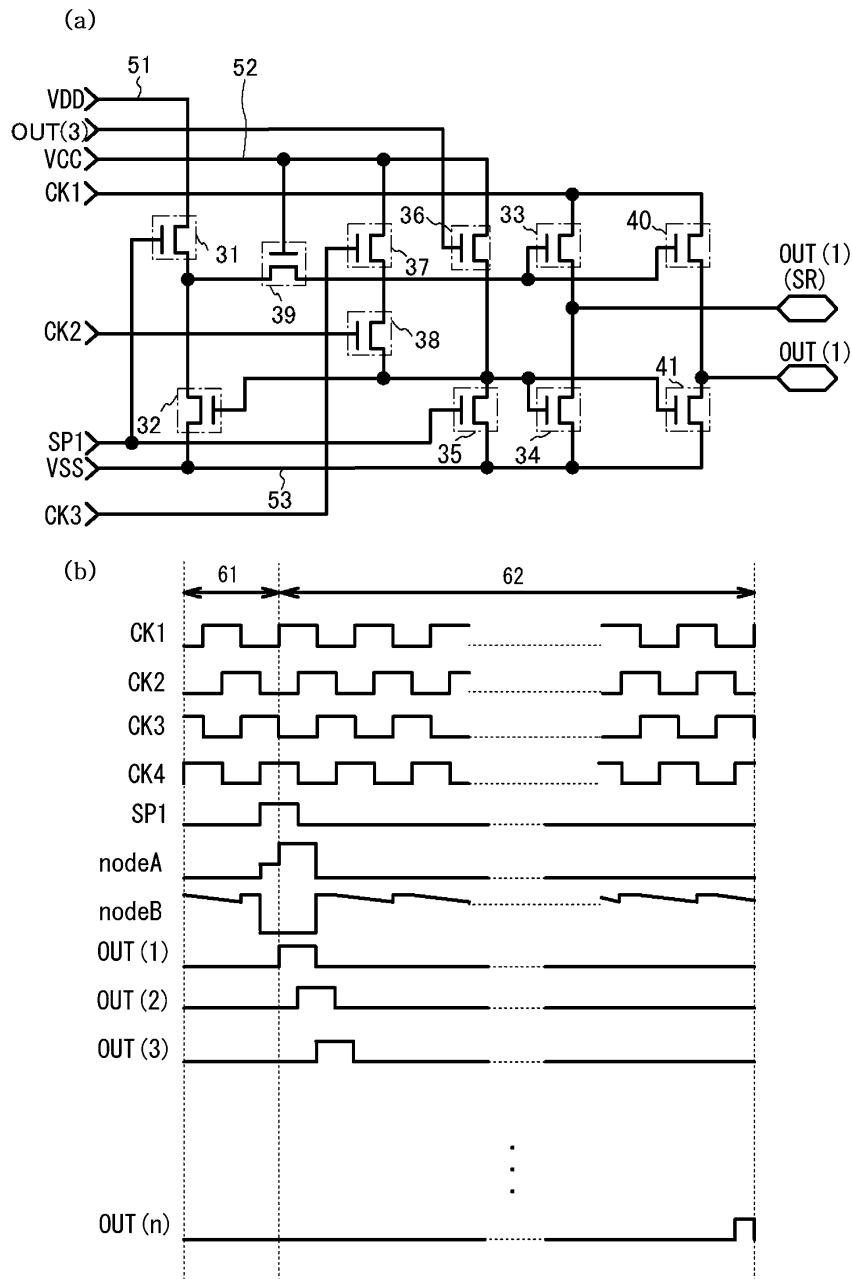
(b)



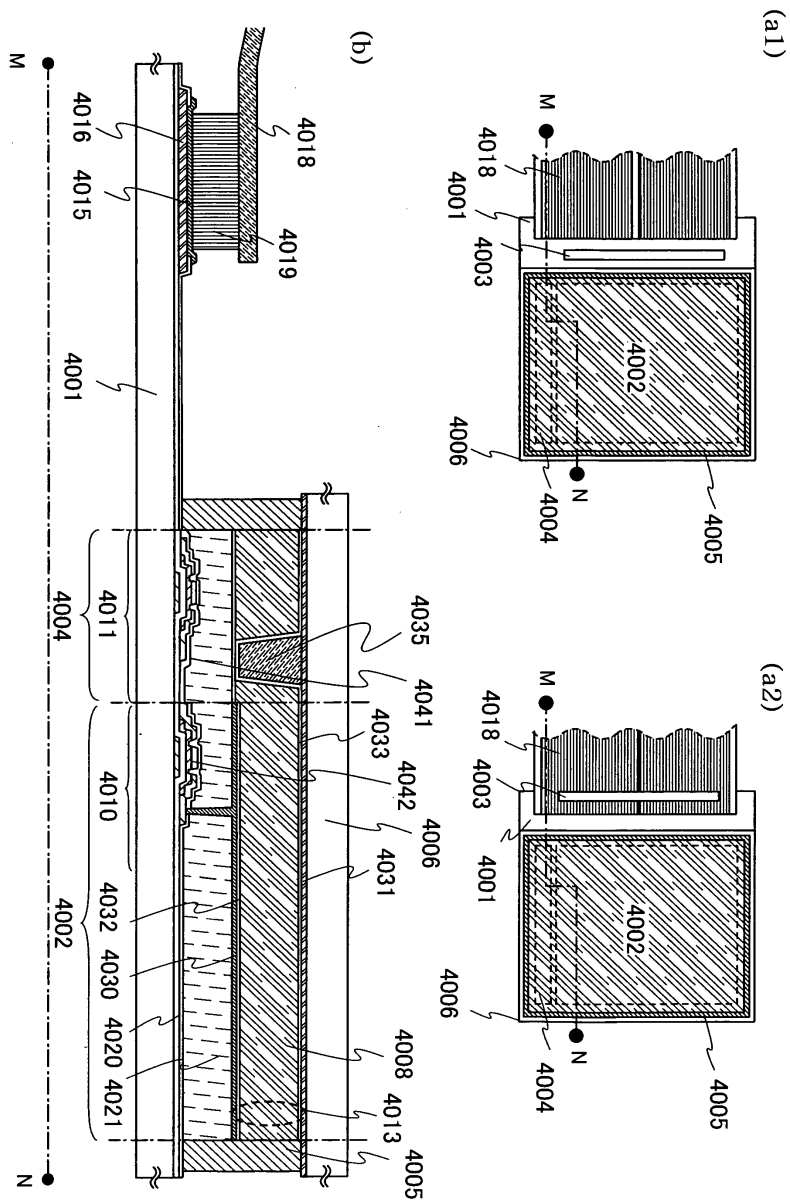
도면9



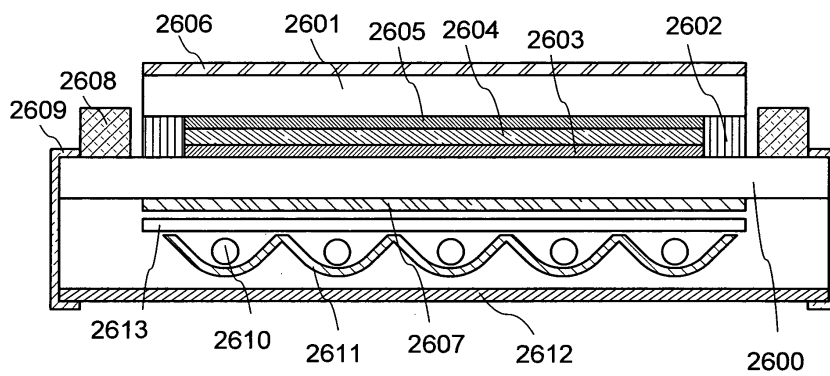
도면10



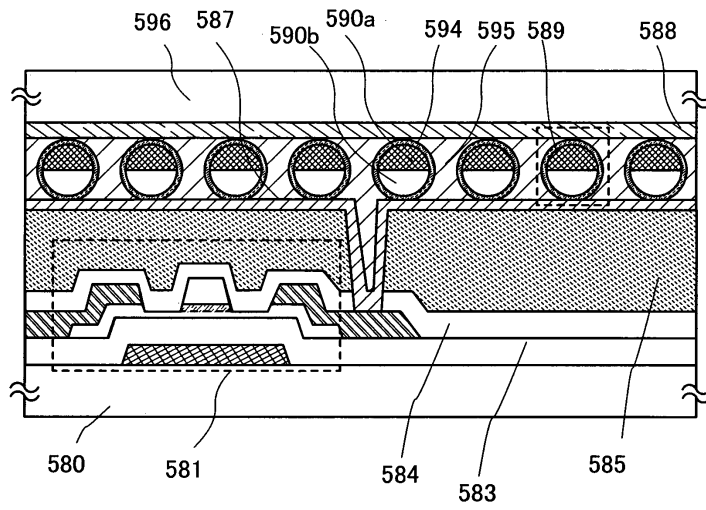
도면11



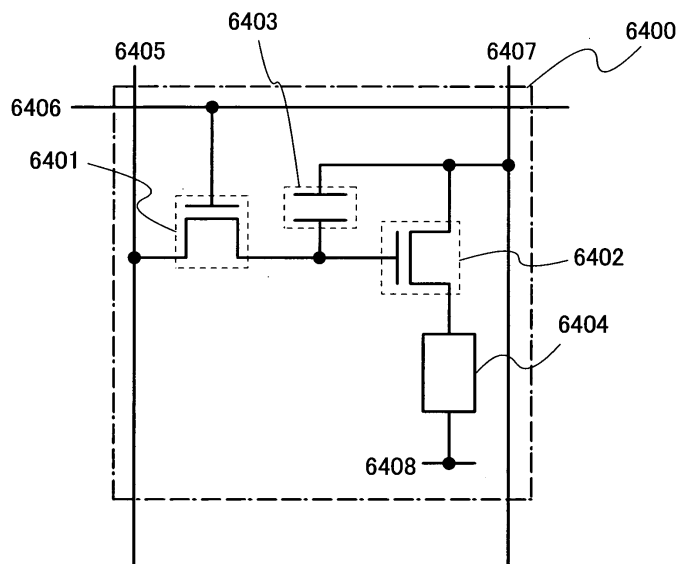
도면12



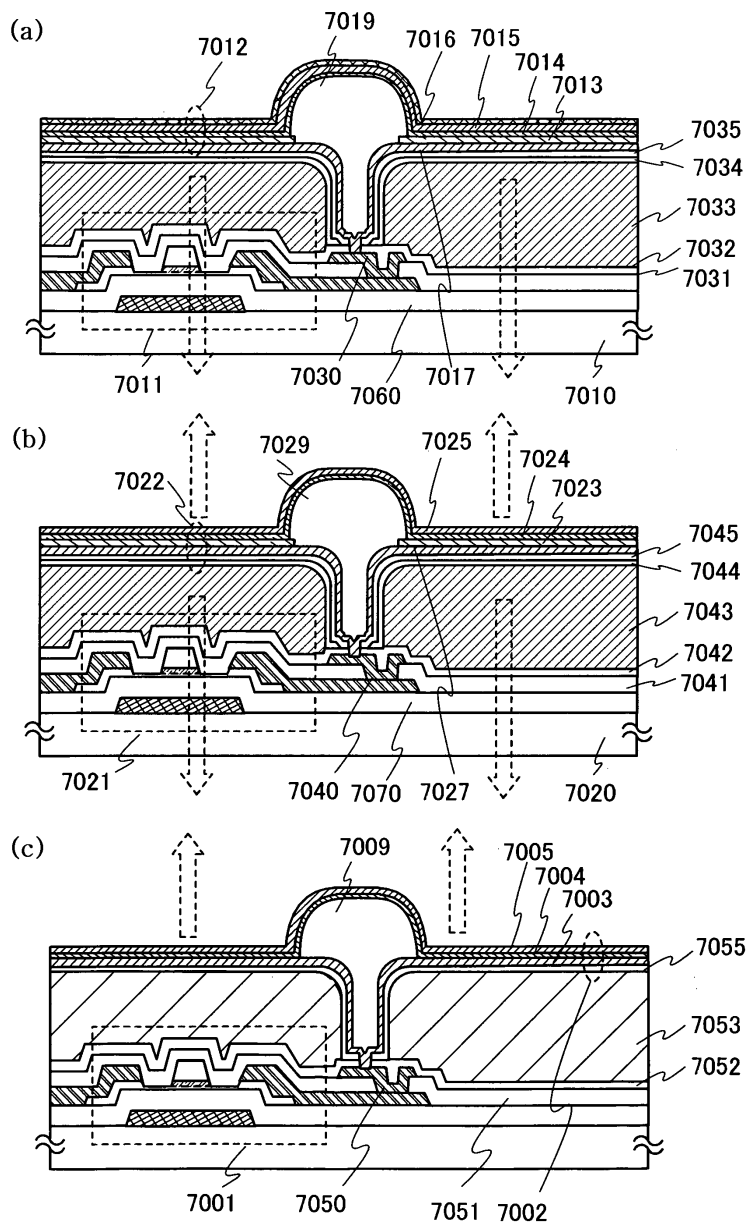
도면13



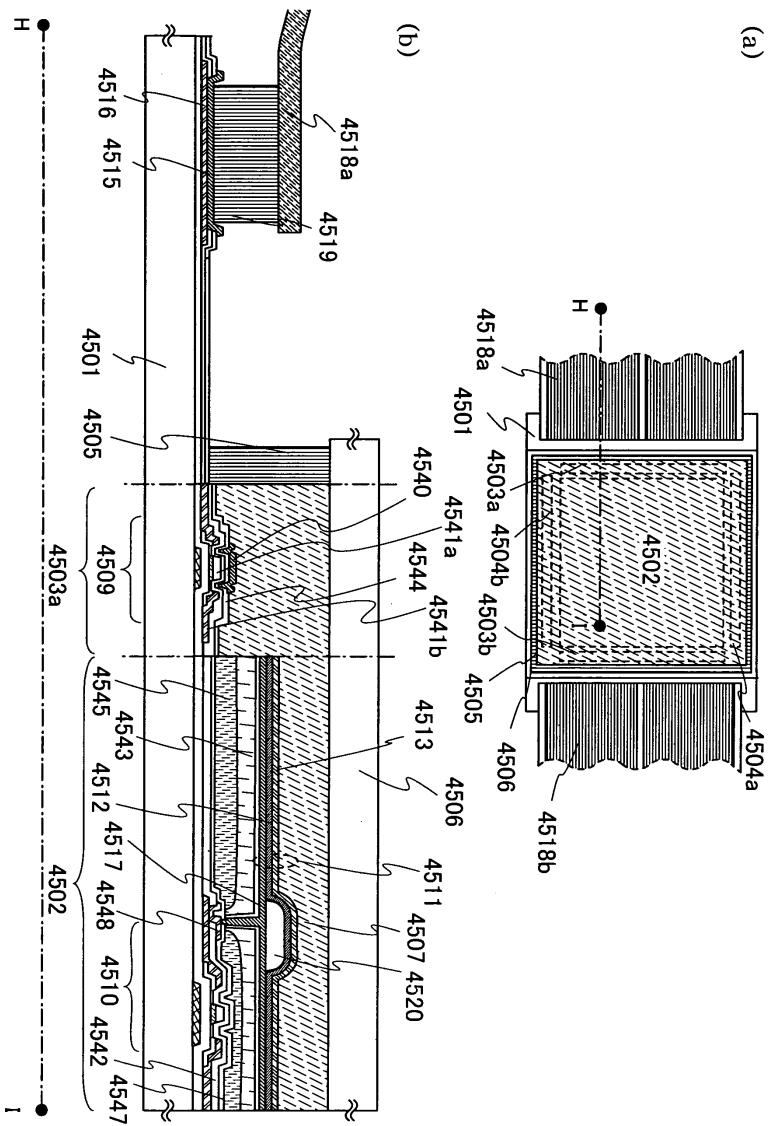
도면14



도면15



도면16

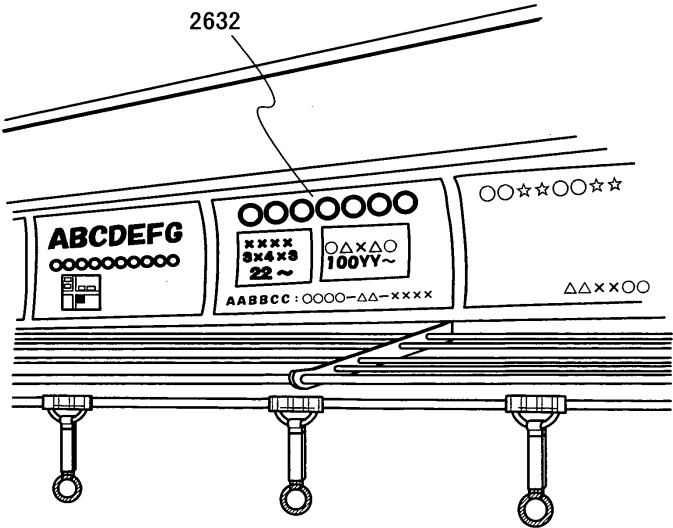


도면17

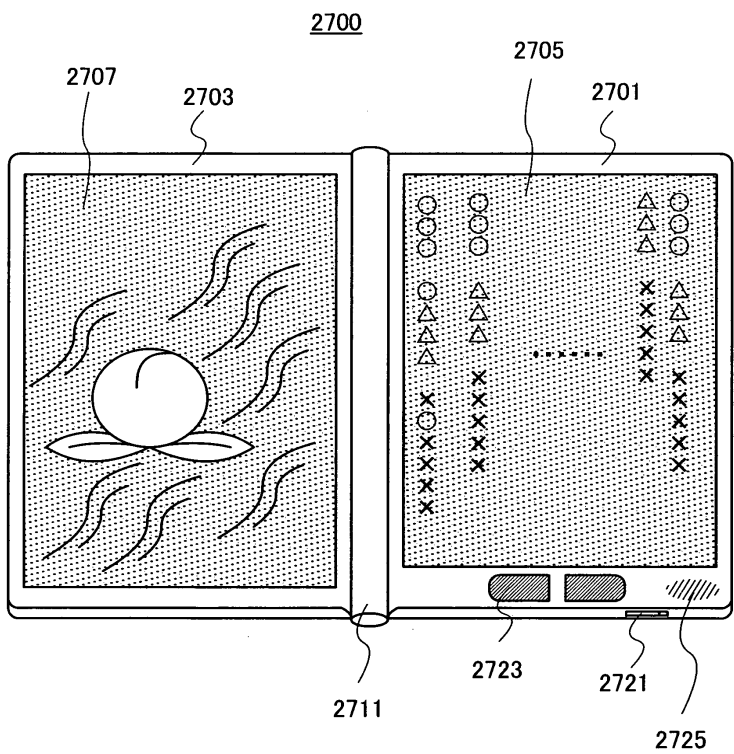
(a)



(b)

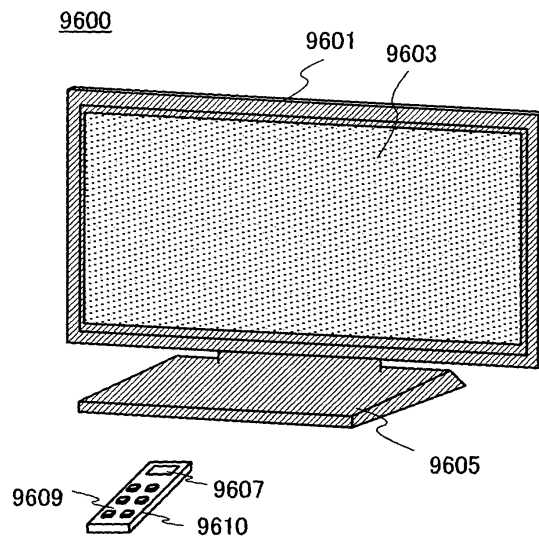


도면18

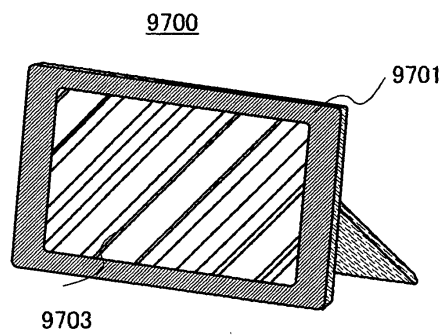


도면19

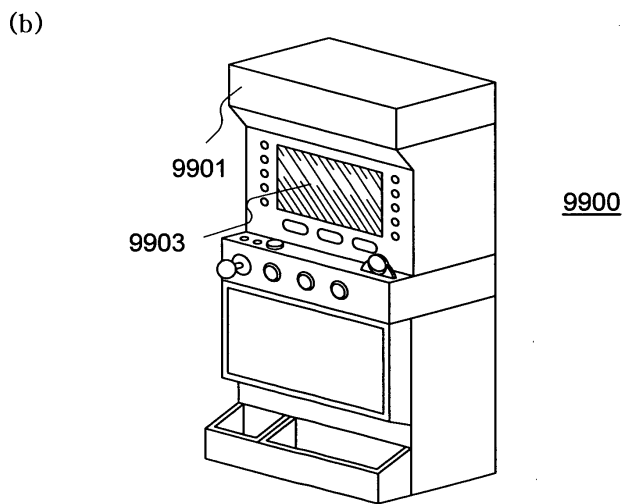
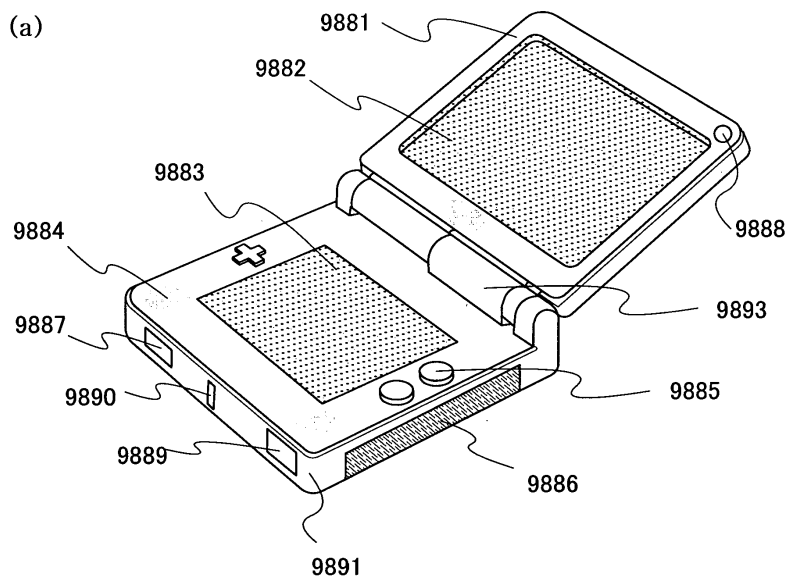
(a)



(b)

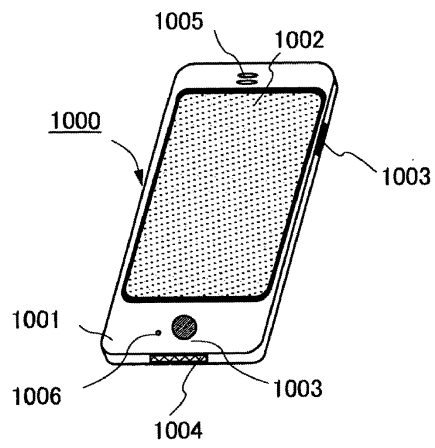


도면20

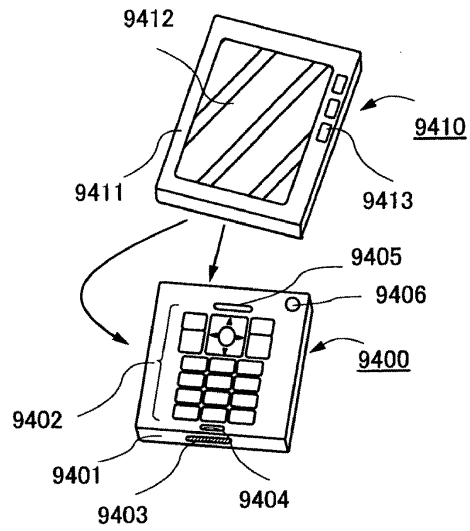


도면21

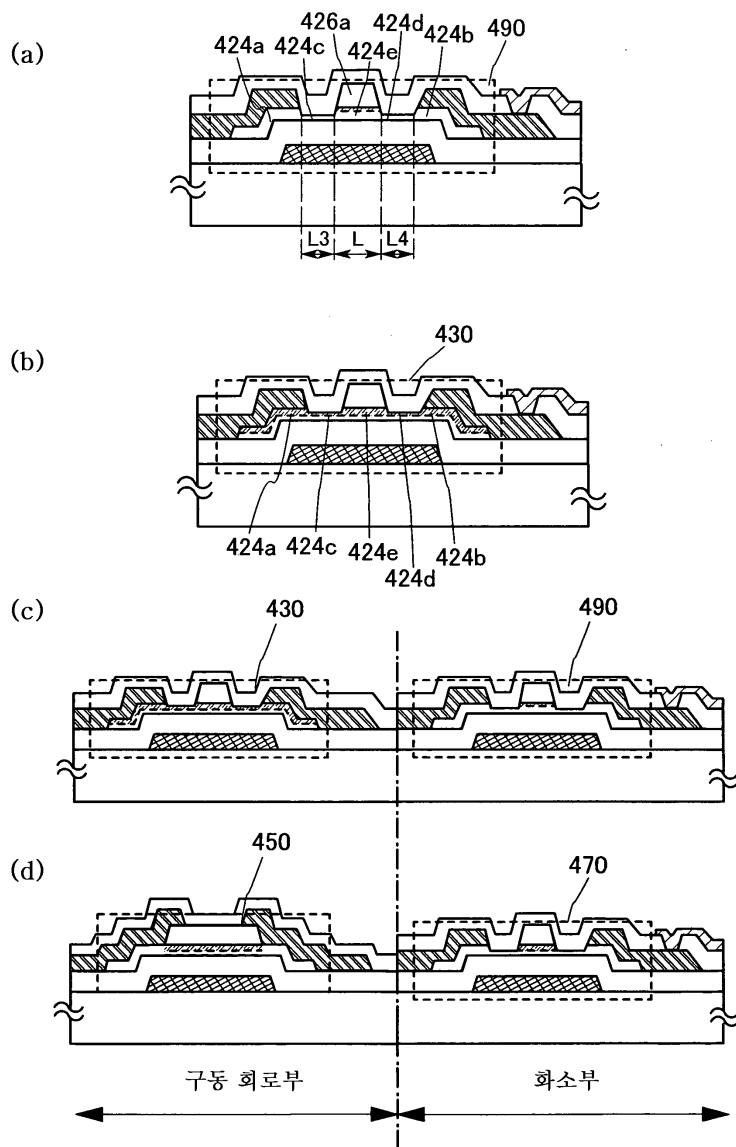
(a)



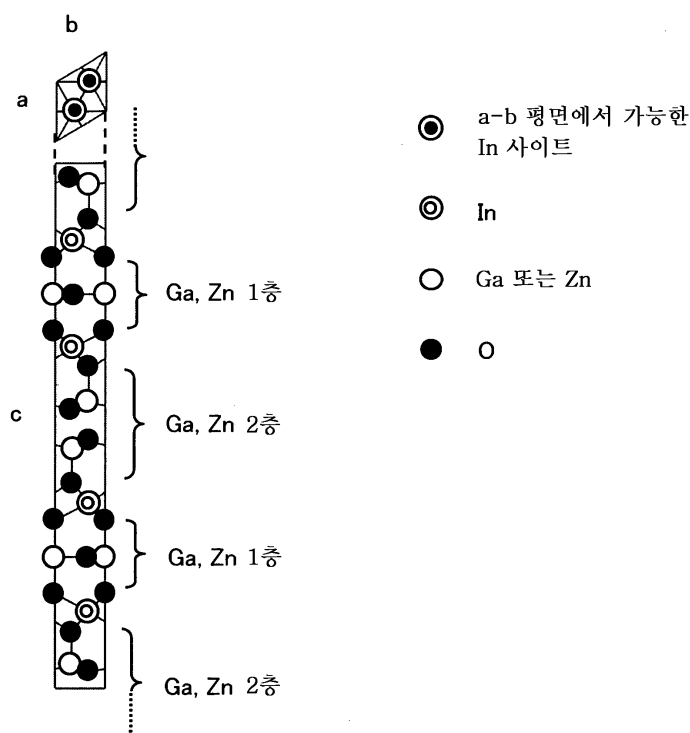
(b)



도면22

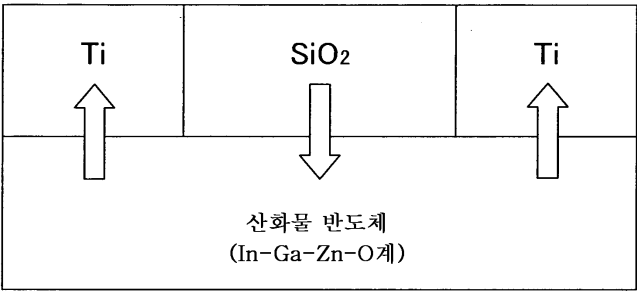


도면23



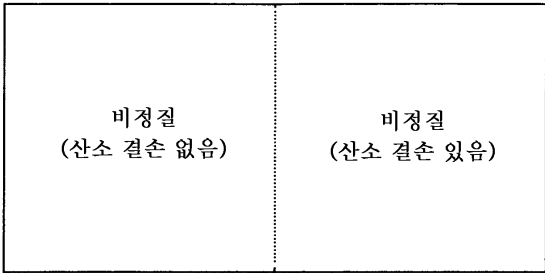
In₂Ga₂ZnO₇의 결정 구조

도면24

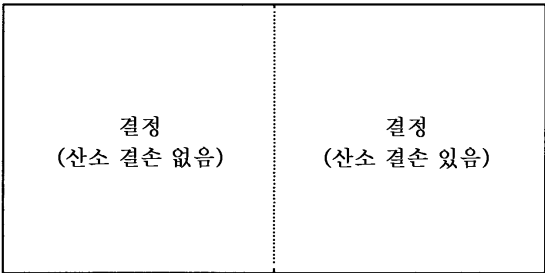


도면25

(a)

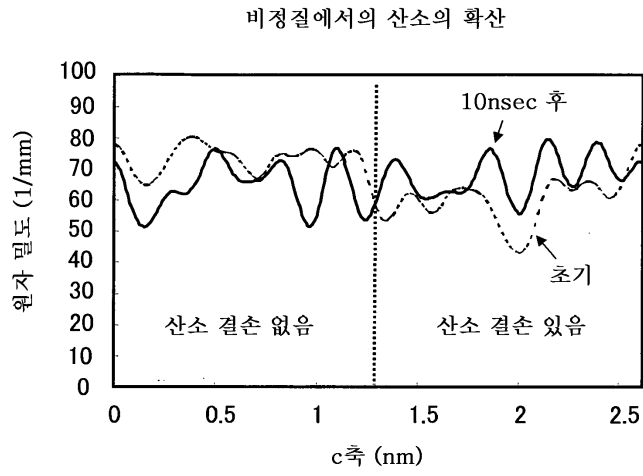


(b)



도면26

(a)



(b)

