

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成29年9月21日(2017.9.21)

【公開番号】特開2015-65650(P2015-65650A)
 【公開日】平成27年4月9日(2015.4.9)
 【年通号数】公開・登録公報2015-023
 【出願番号】特願2014-170407(P2014-170407)
 【国際特許分類】

H 0 3 K 3/356 (2006.01)
 H 0 1 L 29/786 (2006.01)
 H 0 1 L 21/8234 (2006.01)
 H 0 1 L 27/088 (2006.01)
 H 0 1 L 21/8238 (2006.01)
 H 0 1 L 27/092 (2006.01)
 H 0 1 L 21/8242 (2006.01)
 H 0 1 L 27/108 (2006.01)
 H 0 1 L 27/10 (2006.01)

【F I】

H 0 3 K 3/356 B
 H 0 1 L 29/78 6 1 3 B
 H 0 1 L 29/78 6 1 8 B
 H 0 1 L 27/08 1 0 2 A
 H 0 1 L 27/08 3 2 1 A
 H 0 1 L 27/08 1 0 2 E
 H 0 1 L 27/08 1 0 2 H
 H 0 1 L 27/10 3 2 1
 H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成29年8月11日(2017.8.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】記憶回路

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2の論理回路と、
 第1および第2のトランジスタと、
 第1のキャパシタと、
 第1および第2のノードと、を有し、
 前記第1のノードに前記第1のキャパシタが接続され、
 前記第2のノードに前記第2の論理回路の入力端子が接続され、

前記第 1 のトランジスタは前記第 1 の論理回路の出力端子と前記第 1 のノード間の接続を制御するスイッチとして機能し、ゲートに第 1 のクロック信号が入力され、

前記第 2 のトランジスタは前記第 1 のノードと前記第 2 のノード間の接続を制御するスイッチとして機能し、ゲートに第 2 のクロック信号が入力され、

前記第 1 のクロック信号と前記第 2 のクロック信号は、位相が互いに反転した関係にある信号であり、

前記第 1 および前記第 2 のトランジスタは、チャンネル形成領域が酸化物半導体でなるトランジスタであることを特徴とする記憶回路。

【請求項 2】

第 1 および第 2 の論理回路と、

第 1 および第 2 のインバータと、

第 1 および第 2 のトランジスタと、

第 1 のキャパシタと、

第 1 乃至第 3 のノードと、を有し、

前記第 1 のノードに前記第 1 のキャパシタが接続され、

前記第 2 のノードと前記第 3 のノード間に前記第 1 のトランジスタ、前記第 2 のトランジスタが直列に接続され、

前記第 3 のノードに前記第 2 の論理回路の入力端子が接続され、

前記第 1 のトランジスタは前記第 1 の論理回路の出力端子と前記第 1 のノード間の接続を制御するスイッチとして機能し、ゲートに第 1 のクロック信号が入力され、

前記第 2 のトランジスタは前記第 1 のノードと前記第 2 のノード間の接続を制御するスイッチとして機能し、ゲートに第 2 のクロック信号が入力され、

前記第 1 のクロック信号と前記第 2 のクロック信号は、位相が互いに反転した関係にある信号であり、

前記第 1 および前記第 2 のトランジスタは、チャンネル形成領域が酸化物半導体でなるトランジスタであることを特徴とする記憶回路。

【請求項 3】

請求項 2 項において、

前記第 1 のインバータのトランジスタは、前記第 2 の論理回路のトランジスタよりも、チャンネル幅、チャンネル長の少なくとも一方が短い記憶回路。

【請求項 4】

請求項 2 項において、

前記第 2 のトランジスタ、並びに前記第 1 及び前記第 2 のインバータのトランジスタのチャンネル幅は、前記第 1 のインバータが最も短く、前記第 2 の論理回路が最も長い記憶回路。

【請求項 5】

請求項 2 乃至 4 のいずれか 1 項において、

前記第 1 のインバータの入力端子と前記第 2 のインバータの出力端子を接続する第 1 のスイッチを有し、

前記第 1、前記第 2 のクロック信号の供給が停止されている期間、前記第 1 のスイッチはオン状態になる記憶回路。

【請求項 6】

請求項 5 において、

前記第 1 のスイッチは、トランスファーゲートまたは第 3 のトランジスタであり、

前記第 3 のトランジスタは、チャンネル形成領域が酸化物半導体でなるトランジスタである記憶回路。

【請求項 7】

請求項 2 乃至 6 のいずれか 1 項において、

第 4 および第 5 のトランジスタと、

第 2 のキャパシタと、

第 4 のノードと、をさらに有し、
前記第 2 のキャパシタは前記第 4 のノードに接続され、
前記第 4 のトランジスタは、前記第 2 の論理回路の前記入力端子と前記第 4 のノード間の接続を制御するスイッチとして機能し、
前記第 5 のトランジスタは、前記第 1 のノードと前記第 4 のノード間の接続を制御するスイッチとして機能し、
前記第 4、前記第 5 のトランジスタは、チャネル形成領域が酸化物半導体でなるトランジスタである記憶回路。

【請求項 8】

請求項 2 乃至 6 のいずれか 1 項において、
第 4 および第 5 のトランジスタと、
第 2 のキャパシタと、
第 4 のノードと、をさらに有し、
前記第 2 のキャパシタは前記第 4 のノードに接続され、
前記第 4 のトランジスタは、前記第 2 の論理回路の前記入力端子と前記第 4 のノード間の接続を制御するスイッチとして機能し、
前記第 5 のトランジスタは、前記第 1 のノードと前記第 2 のノード間の接続を制御するスイッチとして機能し、
前記第 4、前記第 5 のトランジスタは、チャネル形成領域が酸化物半導体でなるトランジスタである記憶回路。

【請求項 9】

請求項 1 乃至 8 のいずれか 1 項において、
前記第 2 のノードに接続された第 3 のキャパシタを有する記憶回路。