

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5538672号
(P5538672)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月9日(2014.5.9)

(51) Int.Cl.

F 1

HO1L 29/78	(2006.01)
HO1L 21/336	(2006.01)
HO1L 21/8242	(2006.01)
HO1L 27/108	(2006.01)

HO1L 29/78	301V
HO1L 27/10	671B
HO1L 27/10	621Z

請求項の数 10 (全 15 頁)

(21) 出願番号

特願2007-275691 (P2007-275691)

(22) 出願日

平成19年10月23日(2007.10.23)

(65) 公開番号

特開2009-105227 (P2009-105227A)

(43) 公開日

平成21年5月14日(2009.5.14)

審査請求日

平成22年9月9日(2010.9.9)

(73) 特許権者 513192281

ピースフォー ルクスコ エスエイアールエル
P S 4 L u x c o S. a. r. l.
ルクセントルク大公国エル-2121、ル
クセントルク、ヴァル デ ポン マラテ
ス208

(74) 代理人 100115738

弁理士 驚頭 光宏

(74) 代理人 100121681

弁理士 緒方 和文

(74) 代理人 100130982

弁理士 黒瀬 泰之

(74) 代理人 100127199

弁理士 三谷 拓也

最終頁に続く

(54) 【発明の名称】半導体装置及びその製造方法並びにデータ処理システム

(57) 【特許請求の範囲】

【請求項 1】

ソース領域及びドレイン領域を有し、前記ソース領域と前記ドレイン領域との間にゲートトレンチが形成された活性領域と、前記活性領域を取り囲む素子分離領域と、少なくとも一部が前記ゲートトレンチ内に埋め込まれたゲート電極とを備え、

前記ゲートトレンチの底部は、前記素子分離領域から相対的に遠い第1の底部と、前記素子分離領域から相対的に近い第2の底部を有し、

前記第2の底部の角部における曲率半径は前記第1の底部の角部における曲率半径よりも大きく、

前記活性領域のうち、前記ゲートトレンチの前記第2の底部を構成する部分は主チャネル領域として機能し、前記主チャネル領域は前記ゲート電極と前記素子分離領域との間に挟まれた薄膜構造を有していることを特徴とする半導体装置。 10

【請求項 2】

前記活性領域のうち、前記ゲートトレンチの前記第1の底部を構成する部分は副チャネル領域として機能することを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記主チャネル領域のしきい値は、前記副チャネル領域のしきい値よりも低いことを特徴とする請求項2に記載の半導体装置。

【請求項 4】

前記ゲートトレンチの前記第2の底部は、逆アーチ型を有していることを特徴とする請 20

求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記素子分離領域の側壁面が、半導体基板に対して略垂直な上部側壁面及びテーパー形状を有する下部側壁面を有すること特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記主チャネル領域は、前記ゲート電極と前記素子分離領域の前記下部側壁面との間に設けられていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記活性領域内における前記ゲートトレンチの長さが 40 ~ 70 nm であり、

10

前記ゲートトレンチの幅が前記ゲートトレンチの長さの 80 ~ 90 % であることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

半導体基板上に素子分離領域を形成し、当該素子分離領域によって互いに分離された複数の活性領域を形成する工程と、

前記活性領域と交差するゲートトレンチを形成する工程と、

前記ゲートトレンチの内壁面にゲート酸化膜を形成する工程と、

前記ゲート酸化膜が形成されたゲートトレンチ内にゲート電極を埋設する工程とを備え、

前記ゲートトレンチを形成する工程は、前記ゲートトレンチの底部が、前記素子分離領域から相対的に遠い第 1 の底部と、前記素子分離領域から相対的に近い第 2 の底部を有し、前記第 2 の底部の角部における曲率半径が前記第 1 の底部の角部における曲率半径よりも大きくなるように、前記活性領域内の所定の領域をエッチングすることを特徴とする半導体装置の製造方法。

20

【請求項 9】

前記ゲートトレンチを形成する工程は、前記活性領域のうち、前記ゲートトレンチの前記第 2 の底部を構成する主チャネル領域が、前記ゲート電極と前記素子分離領域との間に挟まれた薄膜構造を有するように、前記活性領域内の前記所定の領域をエッチングすることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

30

請求項 1 乃至 7 のいずれか一項に記載の半導体装置を含むメモリデバイスと、データブロッコセッサと、ストレージデバイスと、I/O デバイスとを備え、これらがシステムバスにより相互に接続されていることを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関し、特に、トレンチゲート型トランジスタを含む半導体装置及びその製造方法に関するものである。また、本発明はそのような半導体装置を用いて構成されたデータ処理システムに関するものである。

【背景技術】

40

【0002】

近年、DRAM (Dynamic Random Access Memory) のメモリセルの微細化に伴い、セルトランジスタのゲート長も短くせざるを得なくなっている。しかし、ゲート長が短くなるほどトランジスタの短チャネル効果が顕著になり、サブスレショルド電流が増大するという問題がある。また、サブスレショルド電流を抑制するため基板の不純物濃度を高めた場合にはリーク電流が増大するため、DRAMにおいてはリフレッシュ特性の悪化が深刻な問題となる。

【0003】

この問題を回避するため、半導体基板に形成した溝 (トレンチ) にゲート電極を埋め込む、いわゆるトレンチゲート型トランジスタ (リセスチャネルトランジスタともいう) が

50

注目されている。トレンチゲート型トランジスタによれば、実効チャネル長を十分に確保することができ、最小加工寸法が90nm以下の微細なDRAMも実現可能である。さらに最近は、リセス内に立体的なSOI(Silicon On Insulator)構造を形成し、そのシリコン層をチャネル領域として用いる方法も提案されている(特許文献1参照)。

【特許文献1】特開平8-274277号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

セルトランジスタの微細化を進めていくと、ゲートトレンチの幅を狭くする必要が生じる。このため、図15に示すようにゲートトレンチ16の底部の角部における曲率半径が小さくなり、サブスレショルド係数が増加するという問題がある。これは、曲率半径が小さい個所で、ゲート酸化膜容量に対するチャネル空乏層容量の比率が大きくなってしまうからと考えられる。よって、同じしきい値電圧の場合であれば、トレンチの角部の曲率半径が小さいほど待機時のリーク電流が増加する。このため、ゲートトレンチの幅を狭くすると、リフレッシュ特性が悪化するという問題があった。

【0005】

本発明は上記課題を解決するものであり、本発明の目的は、トレンチゲート型トランジスタのサブスレショルド特性の向上を図りつつ、ゲートトレンチの幅が縮小された高性能な半導体装置を提供することにある。

【0006】

また、本発明の他の目的は、そのような半導体装置の製造方法を提供することにある。

【0007】

本発明のさらに他の目的は、そのような半導体装置を用いた高性能なデータ処理システムを提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するため、本発明の半導体装置は、ソース領域及びドレイン領域を有し、ソース領域とドレイン領域との間にゲートトレンチが形成された活性領域と、活性領域を取り囲む素子分離領域と、少なくとも一部がゲートトレンチ内に埋め込まれたゲート電極とを備え、ゲートトレンチの底部は、素子分離領域から相対的に遠い第1の底部と、素子分離領域から相対的に近い第2の底部を有し、第2の底部の曲率半径は第1の底部の曲率半径よりも大きいことを特徴とする。

【0009】

本発明において、活性領域のうちゲートトレンチの第2の底部を構成する部分は、主チャネル領域として機能し、主チャネル領域はゲート電極と素子分離領域との間に挟まれた薄膜構造を有していることが好ましい。一方、活性領域のうちゲートトレンチの第1の底部を構成する部分は、副チャネル領域として機能することが好ましい。この場合において、主チャネル領域のしきい値は、副チャネル領域のしきい値よりも低いことが好ましい。さらに、ゲートトレンチの第2の底部は、逆アーチ型を有していることが好ましい。これによれば、側壁チャネル領域が極薄SOI構造となり、ゲート-ソース間電圧 V_{GS} が低いときは側壁チャネル領域にのみ電流が流れ、 V_{GS} が高いときはトレンチ底部と側壁チャネル領域の両方に電流が流れるため、カットオフ特性を良好にすことができ、サブスレショルド特性を向上させることができる。

【0010】

本発明において、素子分離領域の側壁面は、半導体基板に対して略垂直な上部側壁面及びテーパー形状を有する下部側壁面を有することが好ましい。この場合において、主チャネル領域は、ゲート電極と素子分離領域の下部側壁面との間に設けられていることが好ましい。素子分離領域の側壁面がこのような形状であれば、薄膜SOI構造の逆アーチ型のチャネル領域を確実に形成することができ、側壁チャネル領域の高さを低く抑えることができる。

10

20

30

40

50

【0011】

本発明においては、活性領域内におけるゲートトレンチの長さが40～70nmであり、ゲートトレンチの幅がゲートトレンチの長さの80～90%であることが好ましい。ゲートトレンチの長さと幅が以上のような関係を有する場合には、逆アーチ型のチャネル構造を確実に形成することができる。

【0012】

本発明の上記目的はまた、半導体基板上に素子分離領域を形成し、当該素子分離領域によって互いに分離された複数の活性領域を形成する工程と、活性領域と交差するゲートトレンチを形成する工程と、ゲートトレンチの内壁面にゲート酸化膜を形成する工程と、ゲート酸化膜が形成されたゲートトレンチ内にゲート電極を埋設する工程とを備え、ゲートトレンチを形成する工程は、ゲートトレンチの底部が、素子分離領域から相対的に遠い第1の底部と、素子分離領域から相対的に近い第2の底部を有し、第2の底部の曲率半径が第1の底部の曲率半径よりも大きくなるように、活性領域内の所定の領域をエッチングすることを特徴とする半導体装置の製造方法によっても達成される。10

【0013】

本発明において、ゲートトレンチを形成する工程は、活性領域のうち、ゲートトレンチの第2の底部を構成する主チャネル領域が、ゲート電極と素子分離領域との間に挟まれた薄膜構造を有するように、活性領域内の所定の領域をエッチングすることが好ましい。

【0014】

本発明の上記目的はまた、上述した本発明による半導体装置を含むメモリデバイスと、データプロセッサと、ストレージデバイスと、I/Oデバイスとを備え、これらがシステムバスにより相互に接続されていることを特徴とするデータ処理システムによっても達成される。20

【発明の効果】

【0015】

本発明によれば、例えばゲート幅が90nm以下の微細なトランジスタにおいてもチャネル領域の曲率半径を大きくすることができます。この場合、トランジスタの実効チャネル長が溝ゲートよりも短くなるが、チャネル領域が極薄SOI構造となり、カットオフ特性が良好となるため、スレショルド特性を向上させることができます。その結果、リーク電流を抑制することができ、本構造をDRAMのメモリセルトランジスタに適用した場合には、リフレッシュ特性を改善することができる。30

【発明を実施するための最良の形態】

【0016】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0017】

図1は、本発明の好ましい実施形態による半導体装置の主要部のレイアウトを示す略平面図である。

【0018】

本実施形態による半導体装置100はDRAMのメモリセルであり、図1に示すように、セルトランジスタが形成される複数の活性領域10aと、活性領域10aを横切るように一方向に形成された複数のゲート電極18とを備えている。図1には示さないが、DRAMのメモリセルは1つのセルトランジスタと1つのセルキャパシタからなり、活性領域10a内に形成されたセルトランジスタの上方にセルキャパシタが縦積みされた構造を有している。活性領域10aは、周囲をSTI(Shallow Trench Isolation)14に囲まれた細長い平面形状を有しており、その長手方向はゲート電極18の配設方向に対して所定の角度をなしている。各活性領域10aはいずれも2本のゲート電極18と交差するようにレイアウトされている。40

【0019】

図2は、セルトランジスタの構造を示す模式図であって、(a)は図1のA-A線に沿

50

った断面を示し、(b)はB-B線に沿った断面を示し、(c)はC-C線に沿った断面を示している。

【0020】

図2に示すように、セルトランジスタ200は、活性領域10a内に形成されたゲートトレンチ16と、ゲートトレンチ16の内壁面に形成されたゲート酸化膜17と、ゲートトレンチ16の内部に一部が埋め込まれたゲート電極18と、ゲート電極18の上面を保護するキャップ絶縁膜19と、ゲート電極18の側面を保護するサイドウォール絶縁膜22と、活性領域10aの長手方向中央部及び両端部に設けられたLDD(Lightly Doped Drain)20及びソース/ドレイン領域21と、各ソース/ドレイン領域21の上方に設けられたセルコンタクト24とを備えている。

10

【0021】

特に限定されるものではないが、本実施形態のゲート電極18は、DOPOS(Doped Poly-silicon)膜18aと、DOPOS膜18a上に形成された導電性多層膜18bからなる。導電性多層膜18bは、タングステンシリサイド膜(WSix)と、WSix膜上に形成された窒化タングステン(WN)膜と、WN膜上に形成されたタングステン(W)膜が順に積層された構造を有していることが好ましい。DOPOS膜18aの下部はゲートトレンチ16内に埋め込まれており、上部は基板面よりも上方に突出している。DOPOS膜18aは約100nm、WSix膜は約10nm、WN膜は約5nm、W膜は約70nmの厚さをそれぞれ有することが好ましい。

【0022】

20

図3は、活性領域10aの構造を説明するための模式的な斜視図である。また図4は、ゲートトレンチ16の構造を示す略断面図であり、(a)は図1のD₁-D₁線に沿った断面を示し、(b)はD₂-D₂線に沿った断面を示し、(c)はB₁-B₁線に沿った断面を示し、(d)はB₂-B₂線に沿った断面を示している。

【0023】

30

図3に示すように、一つの活性領域10aには2つのゲートトレンチ16、16が形成されている。活性領域10a内におけるゲートトレンチ16の長さL₁は、ゲートトレンチ16の幅W₁よりも長いほうが好ましい。詳細には、ゲートトレンチ16の長さL₁は40~70nmであることが好ましく、ゲートトレンチ16の幅W₁はゲートトレンチ16の長さL₁の80~90%であることが好ましい。ゲートトレンチ16の幅W₁が前記範囲内にある場合には、上述した本発明が解決しようとする課題が顕著に発生するからであり、ゲートトレンチ16の長さL₁と幅W₁が以上のような関係を有する場合には、後述する逆アーチ型の側壁チャネル領域を形成しやすいからである。尚、ゲートトレンチ16の長さL₁とは、活性領域10aを横切る方向における距離を指す。したがって、ゲートトレンチ16の長さL₁は、活性領域10aの幅と実質的に一致する。

【0024】

活性領域10aのうち、ゲートトレンチ16の底部16bを構成する部分は、チャネル領域として機能する。このような立体的なチャネル構造によれば、ゲートトレンチ16の幅W₁が狭い場合であっても十分な実効チャネル長を得ることができる。これにより、平面的な占有面積を縮小しつつ、サブスレショルド電流を抑制することが可能となる。

40

【0025】

ゲートトレンチ16の底部16bは、ゲートトレンチ16の長さ方向における略中央部、すなわち、素子分離領域14から相対的に遠い第1の底部16b₁と、ゲートトレンチ16の長さ方向における略端部、すなわち、素子分離領域14から相対的に近い第2の底部16b₂を有している。そして、活性領域10aのうち、ゲートトレンチ16の第2の底部16b₂を構成する部分は、側壁チャネル領域10d(主チャネル領域)を構成し、ゲート電極18と素子分離領域14との間に挟まれた薄膜SOI構造を有している。一方、活性領域10aのうち、ゲートトレンチ16の第1の底部16b₁を構成する部分は、副チャネル領域10eとして機能する。

【0026】

50

図3に示すように、第2の底部16b₂の曲率半径は第1の底部16b₁の曲率半径よりも大きい。本実施形態では、ゲートトレンチ16の第1の底部16b₁については、半導体基板と略平行な平坦面を有している一方(図4(b)参照)、ゲートトレンチ16の第2の底部16b₂については逆アーチ型であり、平坦面をほとんど有していない(図4(a)参照)。

【0027】

このような逆アーチ形状により、ゲートトレンチ16の深さ(リセス量)は、図4(a)及び(b)に示すように、ゲートトレンチ16の幅方向(W₁方向)の中央部において最も深く、両端部に近づくほど浅くなる。こうした断面形状は、ゲートトレンチ16の長手方向(L₁方向)の位置によって変化する。上述の通り、ゲートトレンチ16の長手方向の略中央付近において切断した場合には、図4(b)に示すように、トレンチの底面が略平坦であり、このため角部16aの曲率半径が小さい。つまり、角部16aのみが僅かに湾曲した逆アーチ型を有している。これに対し、ゲートトレンチ16の長手方向の端部において切断した場合には、図4(a)に示すように、トレンチの底面がほぼ全体的に湾曲しており、このため角部16aの曲率半径が大きくなっている。

【0028】

その結果、図4(c)及び(d)に示すように、活性領域10a内におけるゲートトレンチ16の長手方向の両側にシリコン薄膜10dが逆アーチ型に残された構造となる。薄膜SOI構造の側壁チャネル領域は、非常に薄く形成することが可能であり、これにより完全空乏化することができる。

【0029】

上述の薄膜SOI構造を確実に形成するためには、図4(c)及び(d)に示すように、STI14の側壁面が逆テーパー形状(つまり、活性領域10aの側壁面が順テーパー形状)であることが好ましい。STI14の側壁面の角度は90度未満であればよいが、88度以下であることがより好ましい。ただし、80度以下では、SOI構造が厚くなりすぎるため好ましくない。活性領域10aの側壁面がこのような傾斜を有する場合には、活性領域10aを掘り下げてゲートトレンチ16を形成する際に、STI14の側壁面に接するシリコン側壁10dを確実に残存させることができる。

【0030】

こうして形成されたシリコン薄膜からなるSOI構造は、ゲートトレンチ16の底部16bと共にチャネル領域(主チャネル領域)として機能する。したがって、セルトランジスタ200のゲート-ソース間電圧V_{GS}がしきい値電圧を超えたとき、側壁チャネル領域10dに電流が流れる構造となる。特に、V_{GS}が低いときは側壁チャネル領域10dにのみ電流が流れ、V_{GS}が高いときはトレンチ底部16bと側壁チャネル領域10dの両方に電流が流れる。リセスチャネルトランジスタがこのようなチャネル構造を有する場合には、従来の単純なリセスチャネルトランジスタよりもトランジスタの実効チャネル長が短くなるが、側壁チャネル領域10dが極薄SOI構造となり、カットオフ特性が良好となるため、サブスレショルド特性を向上させることができる。

【0031】

また、側壁チャネル領域10dの上部(ゲートトレンチ16の第2の底部16b₂)が逆アーチ形状を有することから、しきい値電圧V_{th}の制御が容易である。一般に、空乏化トランジスタのV_{th}を制御するためにはゲート電極の仕事関数を変える(例えばN⁺ゲートからP⁺ゲートに変更する)必要があるため、V_{th}の微調整が難しい。しかし、本構造によれば、ゲート電極をN⁺ゲートのままとしながら、ソース/ドレイン領域のイオン注入だけでV_{th}を制御することができる。

【0032】

このように、本実施形態の半導体装置は、側壁チャネル領域10dの上部、すなわち、ゲートトレンチ16の第2の底部16b₂の曲率半径がゲートトレンチ16の中央部における曲率半径よりも大きいことから、逆アーチ型の側壁チャネル領域10dからなる薄膜SOI構造を得ることが可能となる。逆アーチ型の側壁チャネル領域10dが存在する場

10

20

30

40

50

合、このような側壁チャネル領域 10 d が存在しない場合と比べてトランジスタの実効チャネル長がやや短くなるが、逆アーチ型の側壁チャネル領域 10 d は極薄 SOI 構造となり、カットオフ特性が良好となるため、スレショルド特性を向上させることができる。その結果、リーク電流を抑制することができ、DRAM のメモリセルトランジスタのリフレッシュ特性を改善することができる。

【0033】

図 5 は、STI 14 の形状の他の例を示す略断面図である。

【0034】

図 5 に示すように、本実施形態の STI 14 は、側壁面全体がテーパー面で構成されているのではなく、基板面に対して垂直な上部側壁面 14 t a と、逆テーパー形状を有する下部側壁面 14 t b とで構成されている。特に限定されるものではないが、STI 14 の深さが 200 nm の場合、上部側壁面 14 t a の高さは 70 nm、下部側壁面 14 t b の高さは 130 nm であることが好ましい。テーパーの角度は 90 度未満であればよく、88 度以下であることが好ましい。STI 14 がこのような形状であれば、上部側壁面に接する活性領域 10 a 内のシリコンはゲートトレンチ形成時のエッチングにより除去され、下部側壁面 14 t b に接するシリコンのみ残存がすることになるため、側壁チャネル領域の高さを低く抑えることができる。側壁チャネル領域がこのような形状であれば、チャネルの完全空乏化がさらに容易となり、カットオフ特性をさらに向上させることができる。

【0035】

次に、図 6 乃至図 13 を参照しながら、本発明の好ましい実施の形態による半導体装置の製造方法について詳細に説明する。

【0036】

図 6 乃至図 13 は、半導体装置 100 の製造工程を示す略断面図であり、各図中の (a) は図 1 の A - A 断面、(b) は B - B 断面、(c) は C - C 断面にそれぞれ対応している。

【0037】

本実施形態による半導体装置の製造工程では、まず図 6 に示すように、シリコン基板 10 上に STI 用のマスクパターンを形成する。マスクパターンの形成では、シリコン基板 10 の表面にパッド酸化膜 11 及びシリコン窒化膜 12 を順次形成する。特に限定されるものではないが、パッド酸化膜 11 は約 9 nm、シリコン窒化膜 12 は約 120 nm の膜厚を有することが好ましい。パッド酸化膜 11 は熱酸化により形成することができ、シリコン窒化膜 12 は HDP - CVD (High Density Plasma - Chemical Vapor Deposition) 法により形成することができる。続いて、周知のフォトリソグラフィー及びエッチング技術を用いて、図 1 に示した活性領域 10 a を形成すべき領域にパッド酸化膜 11 及びシリコン窒化膜 12 を残存させる。このときパッド酸化膜 11 がオーバーエッチングされるため、図示のようにシリコン基板 10 の表面も少しエッチングされる。

【0038】

次に、図 7 に示すように、シリコン窒化膜 12 をマスクとしてシリコン基板 10 をドライエッチングすることにより、シリコン基板 10 に深さ約 200 nm の STI 用トレンチ 13 を形成する。STI 用トレンチ 13 の側壁面全体が一定のテーパーを有する場合には、エッチング条件を一定とすればよい。また、図 5 に示したように、STI 用トレンチ 13 の側壁面 13 t が垂直面を含む場合には、トレンチ形成時のエッチング条件を途中で切り替えるべき。垂直面を形成する際の条件としては、HBr、O₂、SF₆ 等を含む混合ガスを用い、10 mTorr の圧力、200 W のパワーでエッチングすることができる。また、テーパー面を形成する際の条件としては、Cl₂、O₂、N₂ 等を含む混合ガスを用い、10 mTorr の圧力、100 W のパワーでエッチングすることができる。

【0039】

続いて、図 8 に示すように、STI 用トレンチ 13 の内部にシリコン酸化膜 14 を埋設して STI を形成する。STI の形成では、まずトレンチ 13 の内壁面に下地膜としての薄いシリコン酸化膜 (図示せず) を約 1000 nm の熱酸化により形成する。その後、ト

10

20

30

40

50

ンチ 13 の内部を含む基板全面に厚さ約 400 ~ 500 nm のシリコン酸化膜（素子分離膜）14 を CVD 法によって堆積させる。

【0040】

その後、シリコン窒化膜 12 をストップとして、シリコン酸化膜 14 を CMP (Chemical Mechanical Polishing) 法により研磨する。さらに、シリコン酸化膜 14 の上部をフッ酸によるウェットエッティングにより除去し、続いて、シリコン窒化膜 12 を 160 の熱リン酸によるウェットエッティングにより除去する。このとき、図 8 (a) に示すように、シリコン酸化膜 14 の上面がシリコン基板 10 の上面よりも上方に位置し、且つ、シリコン基板 10 に対して略垂直な肩状部分 14s を持つように、上記シリコン酸化膜 14 のエッティング量を制御する。肩状部分 14s の段差は、約 30 nm とするのが好ましい。

10

【0041】

以上により、シリコン酸化膜 14 からなる STI 及び複数の活性領域 10a が完成する。

【0042】

次に、図 9 に示すように、ゲートトレンチ用のマスクパターンを形成する。マスクパターンの形成では、ゲートトレンチ 16 形成時のハードマスクとなる厚さ約 100 ~ 120 nm のシリコン窒化膜 15 を基板全面に形成する。続いて、フォトトレジスト（図示せず）を用いて、ゲートトレンチ 16 を形成すべき領域上に開口が形成されるように、シリコン窒化膜 15 をドライエッティングによりパターニングする。これにより、シリコン窒化膜 15 は、活性領域 10a 上にゲートトレンチの幅に対応する開口 15a を備えたマスク層となる。シリコン窒化膜 15 のドライエッティングには、CF₄、CHF₃ 等を含む混合ガスによる異方性ドライエッティングを用い、シリコン酸化膜 11、14 に対するエッティング速度比が 8 より大きい条件で行なうことが好ましい。

20

【0043】

次に、図 10 に示すように、シリコン窒化膜 15 をマスクとして深さ約 120 ~ 140 nm のゲートトレンチ 16 を形成する。ゲートトレンチ 16 の形成では、まずパッド酸化膜 11 をドライエッティングにより除去する。このドライエッティングはブレークスルーエッティングと呼ばれ、エッティングガスとしては、例えば、CF₄、CHF₂ 及び Ar を含む混合ガスを用いることができる。続いて、シリコン窒化膜 15 及びシリコン酸化膜 14 に対して高い選択比を持つドライエッティングに切り換え、シリコン窒化膜 17 をマスクとしてシリコン基板 10 をエッティングする。ゲートトレンチ形成のためのエッティングには、例えば、Cl₂、HBr、O₂ を含む混合ガスによる異方性ドライエッティングを用い、シリコン酸化膜 14 に対するエッティング速度比が 15 より大きい条件で行なうことが好ましい。

30

【0044】

ゲートトレンチ 16 を形成するためのドライエッティングは、シリコン窒化膜 15 だけではなく、STI の材料であるシリコン酸化膜 14 に対しても高い選択比を持つため、図 10 (b) に示すように、上述のシリコン酸化膜 14 の肩状部分 14s がマスクとして機能し、ゲートトレンチ 16 の両側にシリコン基板 10 の一部がエッティングされずに薄く残存する。この薄く残ったシリコン薄膜 10d の高さは約 25 ~ 55 nm となる。

40

【0045】

次に、図 11 に示すように、ゲートトレンチ 16 の内壁面にゲート酸化膜 17 を形成する。ゲート酸化膜 17 の形成では、まずゲートトレンチ 16 の内壁面に厚さは約 10 nm の犠牲酸化膜（図示せず）を形成する。次いで、熱リン酸を用いたウェットエッティングにより、シリコン窒化膜 15 を除去し、さらにフッ酸を用いたウェットエッティングにより、犠牲酸化膜を除去する。こうして、ゲートトレンチ形成後の工程においてその内壁面が受けたダメージを犠牲酸化膜と共に除去するので、ダメージのない清浄な内壁面が再生される。その後、ゲートトレンチ 16 の内壁面に厚さ約 8 nm のゲート酸化膜 17 を熱酸化により形成する。以上により、ゲート酸化膜 17 が完成する。

【0046】

次に、図 12 に示すように、ゲート電極 18 及びキャップ絶縁膜 19 を形成する。詳細

50

には、まずゲートトレンチ 16 内を含む基板全面に厚さ約 100 nm の DOPOS 膜 18a を堆積させ、さらにその上に導電性多層膜 18b として厚さ約 10 nm のタンゲステンシリサイド膜 (WSix) 膜、厚さ約 5 nm の窒化タンゲステン膜 (WN)、厚さ約 70 nm のタンゲステン膜 (W)、及び厚さ約 140 nm のシリコン窒化膜 19 をこの順で形成する。次に、この多層膜をゲートトレンチ 16 に沿って直線状にパターニングする。これにより、ゲートトレンチ 16 内に埋め込まれた部分とシリコン基板 10 の表面よりも突出した部分を有するメモリセルトランジスタのトレンチゲートが完成する。

【0047】

続いて、図 13 に示すように、ゲート電極 18 及びキャップ絶縁膜 19 をマスクとしてイオン注入を行い、活性領域 10a の長手方向中央部及び両端部に、LDD (Lightly Doped Drain) 20 及びソース / ドレイン領域 21 を形成する。N チャネル MOS トランジスタの場合には、P、As 等の N 型不純物を、また P チャネル MOS トランジスタの場合には、B、BF₂、In 等の P 型不純物を、それぞれ所定の条件でイオン注入すればよい。

【0048】

次に、ゲート電極 18 の側面に厚さ約 25 nm のサイドウォール絶縁膜 22 を形成し、その後、シリコン酸化膜からなる層間絶縁膜 23 を形成し、ソース / ドレイン領域 21 の上方にセルコンタクト 24 を形成する。以上により、図 2 に示したリセスチャネルセルトランジスタ 200 が完成する。

【0049】

その後は図示を省略するが、セルキャパシタや配線等を通常の方法により形成し、DRAM のメモリセルが完成する。

【0050】

以上説明したように、本実施形態の製造方法によれば、ゲートトレンチ内に極薄 SOI 構造のチャネル領域を形成することができる、リセスチャネルトランジスタのスレシヨルド特性を向上させることができる。

【0051】

図 14 は、本発明の好ましい実施形態による半導体装置を用いたデータ処理システム 300 の構成を示すブロック図であり、本実施形態による半導体装置が DRAM である場合を示している。

【0052】

図 14 に示すデータ処理システム 300 は、データプロセッサ 320 と、本実施形態による半導体装置 (DRAM) 330 が、システムバス 310 を介して相互に接続された構成を有している。データプロセッサ 320 としては、例えば、マイクロプロセッサ (MPU)、デジタルシグナルプロセッサ (DSP) などを含まれるが、これらに限定されない。図 14 においては簡単のため、システムバス 310 を介してデータプロセッサ 320 と DRAM 330 とが接続されているが、システムバス 310 を介さずにローカルなバスによってこれらが接続されていても構わない。

【0053】

また、図 14 には、簡単のためシステムバス 310 が 1 組しか描かれていないが、必要に応じ、コネクタなどを介しシリアルないしパラレルに設けられていても構わない。また、図 14 に示すメモリシステムデータ処理システムでは、ストレージデバイス 340、I/O デバイス 350、ROM 360 がシステムバス 310 に接続されているが、これらは必ずしも必須の構成要素ではない。

【0054】

ストレージデバイス 340 としては、ハードディスクドライブ、光学ディスクドライブ、フラッシュメモリなどが挙げられる。また、I/O デバイス 350 としては、液晶ディスプレイなどのディスプレイデバイスや、キーボード、マウスなどの入力デバイスなどが挙げられる。また、I/O デバイス 350 は、入力デバイス及び出力デバイスのいずれか一方のみであっても構わない。さらに、図 14 に示す各構成要素は、簡単のため 1 つずつ

10

20

30

40

50

描かれているが、これに限定されるものではなく、1又は2以上の構成要素が複数個設けられていても構わない。

【0055】

本発明は、以上の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の変更を加えることが可能であり、これらも本発明の範囲に包含されるものであることは言うまでもない。

【0056】

例えば、上記実施形態においては、本発明をDRAMのセルトランジスタに適用した場合を例に説明したが、本発明の適用対象がこれに限定されるものではなく、他のトランジスタに適用することも可能である。さらに、上記実施形態では、半導体基板としてシリコン基板を用いているが、本発明はシリコン基板に限定されるものではなく、他の半導体材料を用いてもかまわない。

【図面の簡単な説明】

【0057】

【図1】図1は、本発明の好ましい実施形態による半導体装置の一例であるDRAMのメモリセルのレイアウトを示す略平面図である。

【図2】図2は、セルトランジスタの構造を示す模式図であって、(a)は図1のA-A断面、(b)はB-B断面、(c)はC-C断面に対応するものである。

【図3】図3、活性領域10aの構造を示す略斜視図である。

【図4】図4は、ゲートトレンチ16の構造を示す略断面図であり、(a)は図1のA₁-A₁断面、(b)はA₂-A₂断面、(c)はD₁-D₁断面、(d)はD₂-D₂断面に対応するものである。

【図5】図5は、STIの形状の他の例を示す略断面図である。

【図6】図6は、半導体装置100の製造工程(STI用マスクの形成)を示す略断面図である。

【図7】図7は、半導体装置100の製造工程(STI用トレンチの形成)を示す略断面図である。

【図8】図8は、半導体装置100の製造工程(STIの形成)を示す略断面図である。

【図9】図9は、半導体装置100の製造工程(ゲートトレンチ用マスクの形成)を示す略断面図である。

【図10】図10は、半導体装置100の製造工程(ゲートトレンチの形成)を示す略断面図である。

【図11】図11は、半導体装置100の製造工程(ゲート酸化膜の形成)を示す略断面図である。

【図12】図12は、半導体装置100の製造工程(ゲート電極及びキャップ絶縁膜の形成)を示す略断面図である。

【図13】図13は、半導体装置100の製造工程(LDD及びソース/ドレイン領域の形成)を示す略断面図である。

【図14】図14は、本発明の好ましい実施形態による半導体装置を用いたデータ処理システム300の構成を示すブロック図であり、本実施形態による半導体装置がDRAMである場合を示している。

【図15】図15は、従来のゲートトレンチの形状を示す略断面図である。

【符号の説明】

【0058】

10 シリコン基板

10a 活性領域

10d シリコン薄膜(側壁チャネル領域/主チャネル領域)

10e 副チャネル領域

11 シリコン酸化膜(パッド酸化膜)

12 シリコン窒化膜

10

20

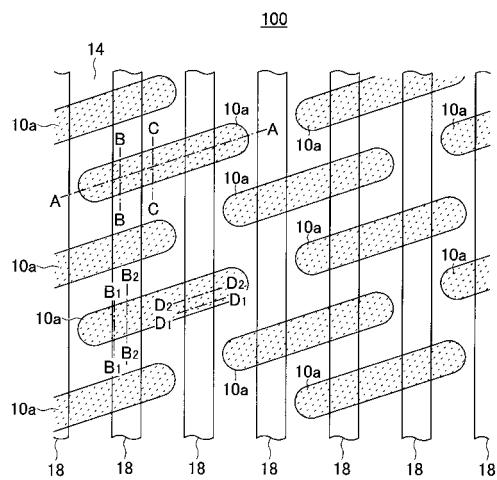
30

40

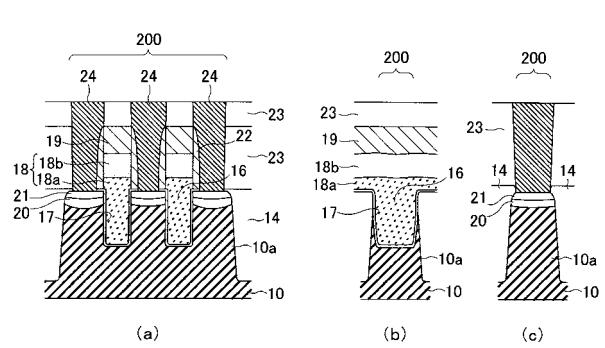
50

1 3	S T I 用トレンチ	
1 3 t	S T I の側壁面	
1 3 t a	上部側壁面	
1 3 t b	下部側壁面	
1 4	シリコン酸化膜 (S T I)	
1 4 s	S T I の肩状部分	
1 4 t	S T I の側壁面	
1 4 t a	上部側壁面	
1 4 t b	下部側壁面	
1 5	シリコン窒化膜 (ハードマスク)	10
1 5 a	開口	
1 6	ゲートトレンチ	
1 6 a	ゲートトレンチの角部	
1 6 b	ゲートトレンチの底部	
1 6 b ₁	ゲートトレンチの第 1 の底部	
1 6 b ₂	ゲートトレンチの第 2 の底部	
1 7	ゲート酸化膜	
1 8	ゲート電極	
1 8 a	D O P O S 膜	
1 8 b	導電性多層膜	20
1 9	シリコン窒化膜 (キャップ絶縁膜)	
2 1	ソース / ドレイン領域	
2 2	サイドウォール絶縁膜	
2 3	層間絶縁膜	
2 4	セルコンタクト	
1 0 0	半導体装置	
2 0 0	セルトランジスタ	
3 0 0	データ処理システム	
3 1 0	システムバス	
3 2 0	データプロセッサ	30
3 4 0	ストレージデバイス	
3 5 0	デバイス	
W ₁	ゲートトレンチの幅	
L ₁	ゲートトレンチの長さ	

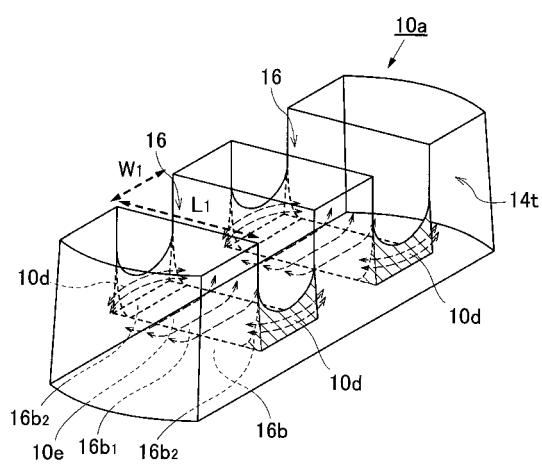
【図1】



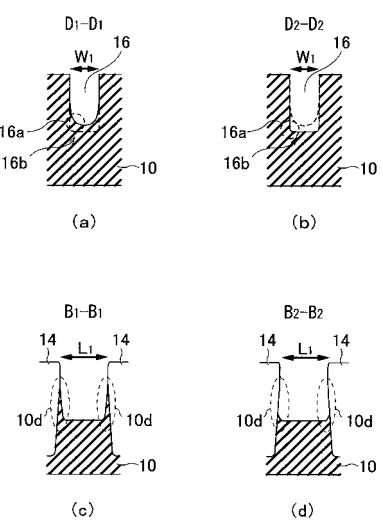
【図2】



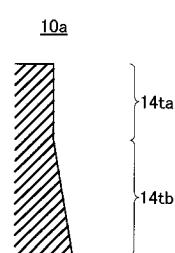
【図3】



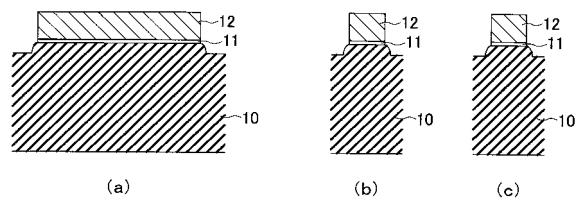
【図4】



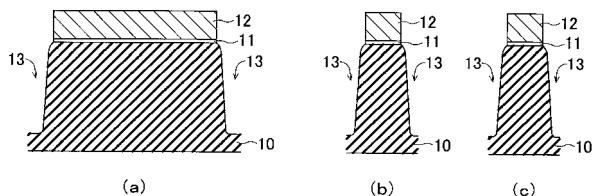
【図5】



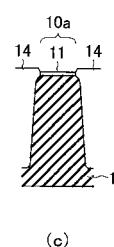
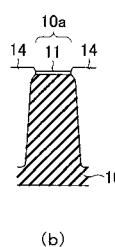
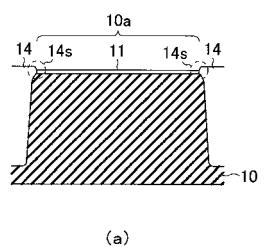
【図6】



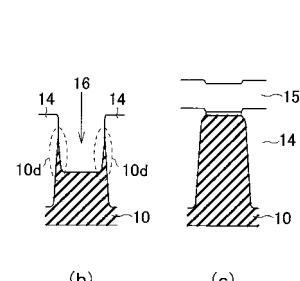
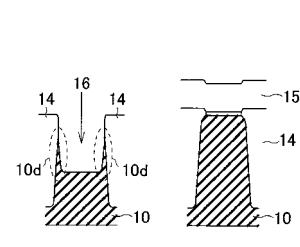
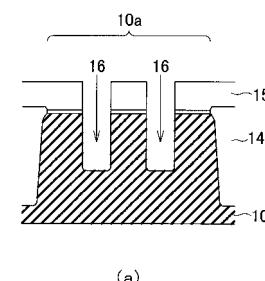
【図7】



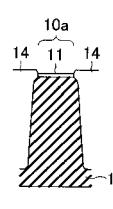
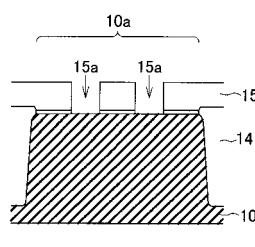
【図8】



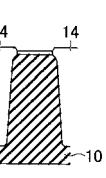
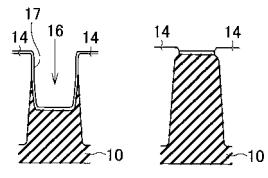
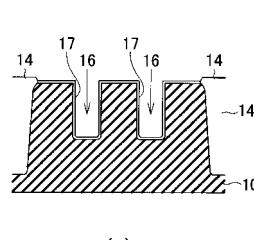
【図10】



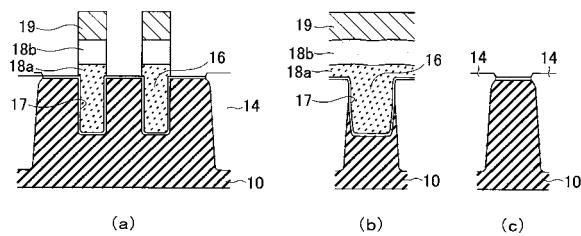
【図9】



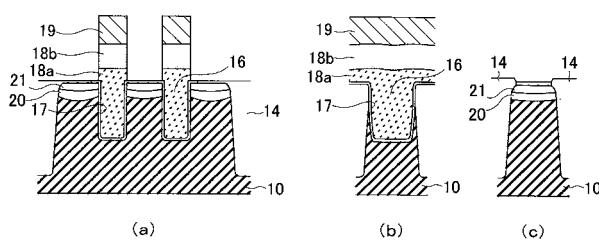
【図11】



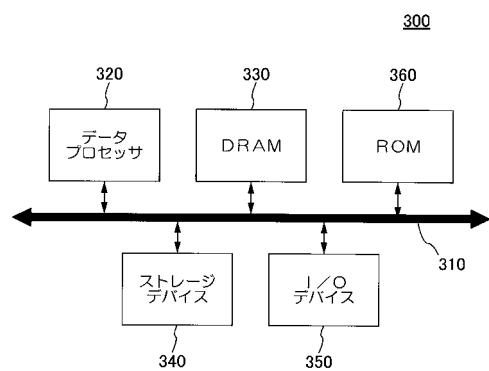
【図12】



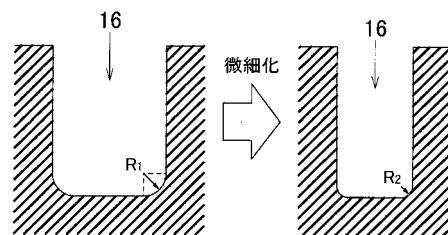
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 鯨井 裕

東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

審査官 岩本 勉

(56)参考文献 特開2007-158269 (JP, A)

特開平06-112480 (JP, A)

特開2008-171863 (JP, A)

特開2009-170857 (JP, A)

特開2004-311977 (JP, A)

特開2008-166786 (JP, A)

特開2008-186979 (JP, A)

特開2007-194333 (JP, A)

特表2007-518250 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336、

21/8229、21/8242-21/8247、

27/10-27/115、27/28、29/76、

29/772-29/78、51/05