

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3913689号  
(P3913689)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 A

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 L

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

H O 1 L 51/50 (2006.01)

H O 5 B 33/14 A

請求項の数 13 (全 45 頁)

(21) 出願番号 特願2003-50784 (P2003-50784)  
 (22) 出願日 平成15年2月27日(2003.2.27)  
 (62) 分割の表示 特願平11-334453の分割  
 原出願日 平成11年11月25日(1999.11.25)  
 (65) 公開番号 特開2003-303833 (P2003-303833A)  
 (43) 公開日 平成15年10月24日(2003.10.24)  
 審査請求日 平成18年11月20日(2006.11.20)  
 (31) 優先権主張番号 特願平10-333623  
 (32) 優先日 平成10年11月25日(1998.11.25)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有するT F Tが絶縁表面を有する基板上に形成された半導体装置であって、

前記ゲート電極は、前記ゲート絶縁膜に接して形成された島状の第1導電層と、前記島状の第1導電層上に形成された島状の第2導電層と、前記島状の第1導電層と前記島状の第2導電層とに接して形成された島状の第3導電層とからなり、

前記島状の第2導電層は、前記島状の第1導電層のチャネル長方向の長さよりも短く、前記島状の第1導電層及び前記島状の第3導電層によって囲まれており、

前記半導体層は、チャネル形成領域と、一導電型の不純物元素が添加されたソース領域及びドレイン領域と、前記チャネル形成領域と前記ソース領域及び前記ドレイン領域との間にそれぞれ形成された、一導電型の不純物元素が添加されたL D D領域とを有し、

前記島状の第1導電層と前記島状の第3導電層とは、端部が一致しており、

前記島状の第2導電層と前記チャネル形成領域とは、前記ゲート絶縁膜を介して端部が一致しており、

前記チャネル形成領域と前記ソース領域との間に形成されたL D D領域は、前記ゲート電極と重なっており、

前記チャネル形成領域と前記ドレイン領域との間に形成されたL D D領域の一部は、前記ゲート電極と重なっていることを特徴とする半導体装置。

10

20

## 【請求項 2】

半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを有する T F T が 絶縁表面を有する基板上に 形成された半導体装置であって、

前記ゲート電極は、前記ゲート絶縁膜に接して形成された島状の第 1 導電層と、前記島状の第 1 導電層上に形成された島状の第 2 導電層と、前記島状の第 1 導電層と前記島状の第 2 導電層とに接して形成された島状の第 3 導電層とからなり、

前記島状の第 2 導電層は、前記島状の第 1 導電層のチャネル長方向の長さよりも短く、前記島状の第 1 導電層及び前記島状の第 3 導電層によって囲まれており、

前記半導体層は、チャネル形成領域と、一導電型の不純物元素が添加されたソース領域及びドレイン領域と、前記チャネル形成領域と前記ソース領域及び前記ドレイン領域との間にそれぞれ形成された、一導電型の不純物元素が添加された L D D 領域とを有し、

前記島状の第 1 導電層と前記島状の第 3 導電層とは、端部が一致しており、

前記島状の第 2 導電層と前記チャネル形成領域とは、前記ゲート絶縁膜を介して端部が一致しており、

前記 L D D 領域の一部は、前記ゲート電極と重なっており、

前記ゲート絶縁膜の厚さは、前記ゲート電極と接する領域に比較して前記ゲート電極と接していない領域の方が薄いことを特徴とする半導体装置。

## 【請求項 3】

請求項 1 または 2 において、前記島状の第 1 導電層は、シリコン、チタン、タンタル、タングステン、モリブデンから選ばれた一種あるいは複数種の元素、または前記元素を成分とする化合物であることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記島状の第 2 導電層は、アルミニウム、銅から選ばれた一種あるいは複数種の元素、または前記元素を主成分とする化合物であることを特徴とする半導体装置。

## 【請求項 5】

請求項 1 乃至 4 のいずれか一において、前記島状の第 3 導電層は、シリコン、チタン、タンタル、タングステン、モリブデンから選ばれた一種あるいは複数種の元素、または前記元素を成分とする化合物であることを特徴とする半導体装置。

## 【請求項 6】

請求項 1 乃至 5 のいずれか一において、前記半導体装置は、液晶表示装置であることを特徴とする半導体装置。

## 【請求項 7】

請求項 1 乃至 5 のいずれか一において、前記半導体装置は、エレクトロルミネッセンス表示装置であることを特徴とする半導体装置。

## 【請求項 8】

請求項 1 乃至 5 のいずれか一において、前記半導体装置は、携帯電話、ビデオカメラ、携帯情報端末、ゴーグル型ディスプレイ、記録媒体を用いるプレーヤー、携帯書籍、パーソナルコンピュータ、デジタルカメラ、プロジェクター、ナビゲーションシステムから選ばれたいずれか一つであることを特徴とする半導体装置。

## 【請求項 9】

半導体層と、ゲート絶縁膜と、島状の第 1 乃至第 3 導電層からなるゲート電極とを有する T F T が 絶縁表面を有する基板上に 形成された半導体装置の作製方法であって、

前記絶縁表面を有する基板上に半導体層を形成し、

前記半導体層に接してゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 導電層と第 2 導電層とを順次形成し、

前記第 2 導電層の一部をエッチングして、前記島状の第 2 導電層を形成した後、

一導電型の不純物元素を、前記島状の第 2 導電層をマスクとして前記半導体層に添加し

、

その後、前記第 1 導電層と前記島状の第 2 導電層に接して、第 3 導電層を形成し、  
前記第 1 導電層及び前記第 3 導電層の一部をエッチングして、前記島状の第 2 導電層を  
囲う前記島状の第 1 導電層及び前記島状の第 3 導電層をそれぞれ形成し、

前記島状の第 1 乃至第 3 導電層の上面及び一方の側面を覆うようにレジストマスクを形成した後、

前記一導電型の不純物元素を、前記レジストマスクをマスクとして前記半導体層の選択された領域に添加して、ソース領域及びドレイン領域と、チャンネル形成領域と前記ソース領域及び前記ドレイン領域との間にそれぞれ形成された L D D 領域とを形成し、

前記チャンネル形成領域と前記ソース領域との間に形成された L D D 領域は、前記ゲート電極と重なっており、

10

前記チャンネル形成領域と前記ドレイン領域との間に形成された L D D 領域の一部は、前記ゲート電極と重なっていることを特徴とする半導体装置の作製方法。

【請求項 1 0】

半導体層と、ゲート絶縁膜と、島状の第 1 乃至第 3 導電層からなるゲート電極とを有する T F T が絶縁表面を有する基板上に形成された半導体装置の作製方法であって、

前記絶縁表面を有する基板上に半導体層を形成し、

前記半導体層に接してゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 導電層と第 2 導電層とを順次形成し、

前記第 2 導電層の一部をエッチングして、前記島状の第 2 導電層を形成した後、

一導電型の不純物元素を、前記島状の第 2 導電層をマスクとして前記半導体層に添加し

20

その後、前記第 1 導電層と前記島状の第 2 導電層に接して、第 3 導電層を形成し、

前記第 1 導電層及び前記第 3 導電層の一部をエッチングして、前記島状の第 2 導電層を囲う前記島状の第 1 導電層及び前記島状の第 3 導電層をそれぞれ形成するとともに、前記島状の第 1 導電層と接する領域以外の前記ゲート絶縁膜の膜厚を薄くし、

前記島状の第 1 乃至第 3 導電層の上面及び側面を覆うようにレジストマスクを形成した後、

前記一導電型の不純物元素を、前記レジストマスクをマスクとして前記半導体層の選択された領域に添加して、ソース領域及びドレイン領域と、チャンネル形成領域と前記ソース領域及び前記ドレイン領域との間にそれぞれ形成された L D D 領域とを形成し、

30

前記 L D D 領域の一部は、前記ゲート電極と重なっていることを特徴とする半導体装置の作製方法。

【請求項 1 1】

請求項 9 または 1 0 において、前記島状の第 1 導電層として、シリコン、チタン、タンタル、タングステン、モリブデンから選ばれた一種あるいは複数種の元素、または前記元素を成分とする化合物を用いることを特徴とする半導体装置の作製方法。

【請求項 1 2】

請求項 9 乃至 1 1 のいずれか一において、前記島状の第 2 導電層として、アルミニウム、銅から選ばれた一種あるいは複数種の元素、または前記元素を主成分とする化合物を用いることを特徴とする半導体装置の作製方法。

40

【請求項 1 3】

請求項 9 乃至 1 2 のいずれか一において、前記島状の第 3 導電層として、シリコン、チタン、タンタル、タングステン、モリブデンから選ばれた一種あるいは複数種の元素、または前記元素を成分とする化合物を用いることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、T F T と記す）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示装置に代表される電気光学装置および電気光学装置を搭載した電子機器の構成に関する。なお、本願明

50

細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器を範疇に含んでいる。

【 0 0 0 2 】

【 従来の技術 】

T F Tをガラス基板または石英基板上に設け、アクティブマトリクス型液晶表示装置を製作する技術開発が積極的に推進されている。中でも結晶構造を有する半導体膜を活性層にしたT F T（以下、結晶質T F Tと記す）は高移動度が得られるので、同一基板上に機能回路を集積させて高精細な画像表示を実現することが可能であるとされている。

【 0 0 0 3 】

ここで、本明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含み、さらに、特開平7 - 1 3 0 6 5 2号公報、特開平8 - 7 8 3 2 9号公報、特開平1 0 - 1 3 5 4 6 8号公報、特開平1 0 - 1 3 5 4 6 9号公報、または特開平1 0 - 2 4 7 7 3 5号公報で開示された半導体を含んでいる。

10

【 0 0 0 4 】

アクティブマトリクス型液晶表示装置を構成するためには、画素マトリクス回路のnチャネル型T F T（以下、画素T F Tと記す）だけでも1 0 0 ~ 2 0 0万個が必要となり、さらに周辺に設ける機能回路を付加するとそれ以上の結晶質T F Tが必要である。液晶表示装置に要求される仕様は厳しく、画像表示を安定して行うためには、結局、個々の結晶質T F Tの信頼性を確保することが第1に必要とされている。

【 0 0 0 5 】

20

T F Tなどの電界効果トランジスタの特性は、ドレイン電流とドレイン電圧が比例して増加する線形領域と、ドレイン電圧が増加してもドレイン電流が飽和する飽和領域と、ドレイン電圧を印加しても理想的には電流が流れない遮断領域とに分けて考えることができる。本明細書では、線形領域と飽和領域をT F Tのオン領域と呼び、遮断領域をオフ領域と呼ぶ。また、便宜上、オン領域のドレイン電流をオン電流と呼びオフ領域の電流をオフ電流と呼ぶ。

【 0 0 0 6 】

画素T F Tは駆動条件として振幅1 5 ~ 2 0 V程度のゲート電圧が印加される。従って、オン領域とオフ領域の両方の特性を満足する必要がある。一方、画素マトリクス回路を駆動するための周辺回路はC M O S回路を基本として構成され、主にオン領域の特性が重視される。

30

【 0 0 0 7 】

ところが、結晶質T F Tは信頼性の面で依然L S Iなどに用いられるM O Sトランジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質T F Tを連続駆動させると、電界効果移動度やオン電流の低下やオフ電流の増加といった劣化現象が観測されることがある。この原因はホットキャリア注入現象であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものである。

【 0 0 0 8 】

L S Iの技術分野ではM O Sトランジスタのオフ電流を下げ、かつ、ドレイン近傍の高電界を緩和する方法として、低濃度ドレイン（L D D : Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域の外側に低濃度の不純物領域を設けたものであり、この低濃度不純物領域をL D D領域と呼んでいる。

40

【 0 0 0 9 】

結晶質T F TでもL D D構造を形成することは当然知られている。例えば、特開平7 - 2 0 2 2 1 0号公報には、ゲート電極を互いに幅の異なる2層構造とし、上層の幅を下層の幅よりも小さく形成し、そのゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、一回のイオン注入でL D D領域を形成している。そして、L D D領域の直上にゲート電極が重なる構造としている。

【 0 0 1 0 】

50

このような構造は、G O L D ( Gate-drain Overlapped LDD ) 構造、L A T I D ( Large-tilt-angle implanted drain ) 構造、または、I T L D D ( Inverse T LDD ) 構造等として知られている。そして、ドレイン近傍の高電界を緩和してホットキャリア注入現象を防ぎ、信頼性を向上させることができる。例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによる G O L D 構造であるが、他の構造の T F T と比べ、きわめて優れた信頼性が得られることが確認されている。

#### 【 0 0 1 1 】

しかしながら、同論文に公開された構造では通常の L D D 構造に比べてオフ電流が大きくなってしまいうという問題があり、そのための対策が必要である。特に、画素マトリクス回路を構成する画素 T F T では、オフ電流が増加すると、消費電力が増えたり画像表示に異常が現れたりするので、G O L D 構造を結晶質 T F T をそのまま適用することはできない。

10

#### 【 0 0 1 2 】

##### 【 発明が解決しようとする課題 】

本発明はこのような問題点を解決するための技術であり、M O S トランジスタと同等かそれ以上の信頼性を達成すると同時に、オン領域とオフ領域の両方で良好な特性が得られる結晶質 T F T を実現することを目的とする。そして、そのような結晶質 T F T で回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを目的とする。

#### 【 0 0 1 3 】

##### 【 課題を解決するための手段 】

図 1 8 は、これまでの知見を基にして、T F T の構造とそのとき得られる  $V_g - I_d$  ( ゲート電圧 ドレイン電流 ) 特性を模式的に示したものである。図 1 8 ( A - 1 ) は、半導体層がチャネル形成領域と、ソース領域と、ドレイン領域とから成る最も単純な T F T の構造である。同図 ( B - 1 ) はこの T F T の特性であり、 $+V_g$  側が T F T のオン領域、 $-V_g$  側はオフ領域である。そして、実線は初期特性を示し、破線はホットキャリア注入現象による劣化の特性を示している。この構造ではオン電流とオフ電流が共に高く、また、劣化も大きいので、例えば、画素マトリクス回路の画素 T F T などにはこのままでは使用できなかった。

20

#### 【 0 0 1 4 】

図 1 8 ( A - 2 ) は、( A - 1 ) に L D D 領域となる低濃度不純物領域が設けられた構造であり、ゲート電極とオーバーラップしない L D D 構造である。同図 ( B - 2 ) はこの T F T の特性であり、オフ電流をある程度抑えることができるが、オン電流の劣化を防ぐことはできなかった。また、図 1 8 ( A - 3 ) は、L D D 領域がゲート電極と完全にオーバーラップした構造で、G O L D 構造とも呼ばれるものである。同図 ( B - 3 ) はこれに対応する特性で、劣化を問題ない程度にまで抑えることはできるが、 $-V_g$  側で ( A - 2 ) の構造よりもオフ電流が増加している。

30

#### 【 0 0 1 5 】

従って、図 1 8 ( A - 1 )、( A - 2 )、( A - 3 ) に示す構造では、画素マトリクス回路に必要なオン領域の特性とオフ領域の特性を、信頼性の問題を含めて同時に満足させることはできなかった。しかし、図 1 8 ( A - 4 ) に示すように L D D 領域をゲート電極とオーバーラップさせた部分と、オーバーラップさせない部分とを形成するような構造とすると、オン電流の劣化を十分に抑制し、かつ、オフ電流を低減することが可能となる。

40

#### 【 0 0 1 6 】

図 1 8 ( A - 4 ) の構造は以下の考察により導かれるものである。図 1 8 ( A - 3 ) に示したような構造で、n チャネル型 T F T のゲート電極に負の電圧が印加されたとき、即ちオフ領域において、ゲート電極とオーバーラップして形成された L D D 領域では、負電圧の増加と共にゲート絶縁膜との界面にホールが誘起されて、ドレイン領域、L D D 領域、チャネル領域をつなぐ少数キャリアによる電流経路が形成される。このとき、ドレイン領域に正の電圧が印加されているとホールはソース領域側に流れるため、これがオフ電流の

50

増加原因と考えられた。

【 0 0 1 7 】

このような電流経路を途中で遮断するために、ゲート電圧が印加されても少数キャリアが蓄積されないＬＤＤ領域を設ければ良いと考えることができる。本発明はこのような構成を有するＴＦＴと、このＴＦＴを用いた回路に関するものである。

【 0 0 1 8 】

従って、本発明の構成は、基板上に、半導体層と、該半導体層上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲート電極とを有するＴＦＴが形成されている半導体装置において、前記ゲート電極は、前記ゲート絶縁膜に接して形成されるゲート電極の第１層目と、前記ゲート電極の第１層目上であって該ゲート電極の第１層目の内側に形成されるゲート電極の第２層目と、前記ゲート電極の第１層目と前記ゲート電極の第２層目とに接して形成されるゲート電極の第３層目とを有し、前記半導体層は、チャネル形成領域と、一導電型の第１の不純物領域と、前記チャネル形成領域と前記第１の不純物領域との間に形成された一導電型の第２の不純物領域とを有し、前記一導電型の第２の不純物領域の一部は、前記ゲート電極の第１層目と重なっていることを特徴としている。

10

【 0 0 1 9 】

また、他の発明の構成は、絶縁表面を有する基板上に、半導体層を形成する第１の工程と、前記半導体層に接して、ゲート絶縁膜を形成する第２の工程と、前記ゲート絶縁膜上に、導電層（Ａ）と導電層（Ｂ）を順次形成する第３の工程と、前記導電層（Ｂ）を所定のパターンにエッチングして、ゲート電極の第２層目を形成する第４の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第５の工程と、前記導電層（Ａ）と前記ゲート電極の第２層目とに接して、導電層（Ｃ）を形成する第６の工程と、前記導電層（Ｃ）と導電層（Ａ）とを所定のパターンにエッチングして、ゲート電極の第３層目とゲート電極の第１層目とを形成する第７の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第８の工程とを有することを特徴としている。

20

【 0 0 2 0 】

また、他の発明の構成は、絶縁表面を有する基板上に、半導体層を形成する第１の工程と、前記半導体層に接して、ゲート絶縁膜を形成する第２の工程と、前記ゲート絶縁膜上に、導電層（Ａ）と導電層（Ｂ）を順次形成する第３の工程と、前記導電層（Ｂ）を所定のパターンにエッチングして、ゲート電極の第２層目を形成する第４の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第５の工程と、前記導電層（Ａ）と前記ゲート電極の第２層目とに接して、導電層（Ｃ）を形成する第６の工程と、前記導電層（Ｃ）と導電層（Ａ）とを所定のパターンにエッチングして、ゲート電極の第３層目とゲート電極の第１層目とを形成する第７の工程と、一導電型の不純物元素を前記半導体層の選択された領域に添加する第８の工程と、前記ゲート電極の第１層目と前記ゲート電極の第３層目との一部を除去する第９の工程とを有することを特徴としている。

30

【 0 0 2 1 】

また、他の発明の構成は、絶縁表面を有する基板上に、第１の半導体層と第２の半導体層を形成する第１の工程と、前記第１の半導体層と第２の半導体層上に、ゲート絶縁膜を形成する第２の工程と、前記ゲート絶縁膜上に、導電層（Ａ）と導電層（Ｂ）を順次形成する第３の工程と、前記導電層（Ｂ）を所定のパターンにエッチングして、ゲート電極の第２層目を形成する第４の工程と、一導電型の不純物元素を前記第１の半導体層の選択された領域に添加する第５の工程と、前記導電層（Ａ）と前記ゲート電極の第２層目とに接して、導電層（Ｃ）を形成する第６の工程と、前記導電層（Ｃ）と導電層（Ａ）とを所定のパターンにエッチングして、ゲート電極の第３層目とゲート電極の第１層目とを形成する第７の工程と、一導電型の不純物元素を前記第１の半導体層と第２の半導体層の選択された領域に添加する第８の工程と、一導電型とは逆の導電型の不純物を前記第２の半導体層の選択された領域に添加する第９の工程とを有することを特徴としている。

40

【 0 0 2 2 】

このようなＴＦＴは、ＣＭＯＳ回路のｎチャネル型ＴＦＴや画素ＴＦＴに好適に用いるこ

50

とができる。本発明のＴＦＴの構成において、半導体層に形成する第１の不純物領域はソース領域またはドレイン領域として機能するものであり、第２の不純物領域はＬＤＤ領域として機能する。従って、一導電型の不純物元素の濃度は第２の不純物領域の方が第１の不純物領域よりも低い。

#### 【００２３】

また、前記半導体層の一端に設けられた一導電型の不純物領域と、前記ゲート絶縁膜と、前記ゲート電極の第１層目乃至ゲート電極の第３層目から形成された配線とから保持容量を形成し、前記保持容量は前記ＴＦＴのソースまたはドレインに接続している構成をとることもできる。

#### 【００２４】

さらに、前記ゲート電極の第１層目と、前記ゲート電極の第３層目とは、シリコン（Ｓｉ）、チタン（Ｔｉ）、タンタル（Ｔａ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、から選ばれた一種または複数種の元素、あるいは前記元素を成分とする化合物であり、前記ゲート電極の第２層目は、アルミニウム（Ａｌ）、銅（Ｃｕ）、から選ばれた一種または複数種の元素、あるいは前記元素を主成分とする化合物であることを特徴としている。

#### 【００２５】

##### 【発明の実施の形態】

本発明の実施の形態を図１により説明する。絶縁表面を有する基板１０１は、ガラス基板、プラスチック基板、セラミックス基板などを用いることができる。また、酸化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレス基板を用いても良い。また、石英基板を使用することも可能である。

#### 【００２６】

そして、基板１０１のＴＦＴが形成される側の面には、下地膜１０２が形成される。下地膜１０２はプラズマＣＶＤ法やスパッタ法で形成すれば良く、酸化シリコン膜や窒化シリコン膜、または酸化窒化シリコン膜で形成すると良い。下地膜１０２は基板１０１から不純物が半導体層へ拡散することを防ぐために設けるものである。例えば、窒化シリコン膜を２５～１００ｎｍ形成し、さらに酸化シリコン膜を５０～２００ｎｍ形成した２層構造としても良い。

#### 【００２７】

下地膜１０２に接して形成する半導体層は、プラズマＣＶＤ法、減圧ＣＶＤ法、スパッタ法などの成膜法で形成される非晶質半導体膜を、レーザーアニール法や熱アニール法による固相成長法で結晶化した、結晶質半導体を用いることが望ましい。また、前記成膜法で形成される微結晶半導体膜を適用することも可能である。ここで適用できる半導体材料は、シリコン、ゲルマニウム、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることもできる。

#### 【００２８】

或いは、基板３０１上に形成する半導体層は、単結晶シリコン層を形成したＳＯＩ（Silicon On Insulators）基板としても良い。ＳＯＩ基板にはその構造や作製方法によっていくつかの種類が知られているが、代表的には、ＳＩＭＯＸ（Separation by Implanted Oxygen）、ＥＬＴＲＡＮ（Epitaxial Layer Transfer：キャノン社の登録商標）基板、Smart-Cut（SOITEC社の登録商標）などを使用することができる。勿論、その他のＳＯＩ基板を使用することも可能である。

#### 【００２９】

図１では、ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴの断面構造を示している。ｎチャネル型ＴＦＴとｐチャネル型ＴＦＴのゲート電極は、ゲート電極の第１層目と、ゲート電極の第２層目と、ゲート電極の第３層目とから構成されている。ゲート電極の第１層目１１３、１１６はゲート絶縁膜１０３に接して形成されている。そして、ゲート電極の第１層目よりもチャネル長方向の長さが短く形成されたゲート電極の第２層目１１４、１１７が、ゲート電極の第１層目１１３、１１６に重ねて設けられる。さらにゲート電極の第３層目は１１５、１１８は、ゲート電極の第１層目１１３、１１６と、ゲート電極の第２層目

10

20

30

40

50

114、117上に形成される。

【0030】

ゲート電極の第1層目113、116は、シリコン(Si)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた材料か、これらの材料を成分とする材料で形成する。例えば、W-Mo化合物や、窒化タンタル(TaN)、窒化タングステン(WN)としても良い。ゲート電極の第1層目の厚さは10~100nm、好ましくは20~50nmとすれば良い。

【0031】

ゲート電極の第2層目114、117は抵抗率の低い、アルミニウム(Al)や銅(Cu)を成分とする材料を用いることが望ましい。ゲート電極の第2層目の厚さは50~400nm、好ましくは100~200nmとすれば良い。ゲート電極の第2層目は、ゲート電極の電気抵抗を下げる目的で形成するものであり、ゲート電極に接続するゲート配線やバスラインの長さや抵抗値を考慮して、その両者の兼ね合いで決定すれば良い。

【0032】

ゲート電極の第3層目115、118は、ゲート電極の第1層目と同様にシリコン(Si)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)から選ばれた材料か、これらの材料を成分とする材料で形成する。ゲート電極の第3層目の厚さは50~400nm、好ましくは100~200nmとすれば良い。

【0033】

いずれにしても、ゲート電極の第1層目と、ゲート電極の第2層目と、ゲート電極の第3層目とは、スパッタ法で上記材料の被膜を形成すれば良く、ウエットエッチングとドライエッチングにより所定の形状に形成する。ここで、ゲート電極の第3層目を、ゲート電極の第2層目を覆って形成させるためには、上記で示したようにゲート電極の第2層目の厚さを管理することはもとより、スパッタ条件を適切に設定する必要がある。例えば、形成する被膜の成膜速度を比較的遅くすることは有効な手段である。

【0034】

図1のようなゲート電極の構造として、ゲート電極の第2層目を、ゲート電極の第1層目とゲート電極の第3層目で囲んだクラッド構造とすることで耐熱性を高めることができる。ゲート電極の材料としては、AlやCuなどの抵抗率の低い材料を用いることが望ましいが、450℃以上で加熱するとヒロックが発生したり、周辺の絶縁膜や半導体層に拡散してしまうといった問題点がある。しかし、このような現象はSi、Ti、Ta、W、Moなどの材料か、これらの材料を成分とする材料で囲んだクラッド構造とすることで防ぐことができる。

【0035】

nチャネル型TFETの半導体層は、チャネル形成領域104と、第1の不純物領域107、108と、チャネル形成領域に接して形成される第2の不純物領域105、106a、106bとから成っている。第1の不純物領域と第2の不純物領域にはいずれもn型を付与する不純物元素が添加されている。このとき、前記不純物元素の濃度は、第1の不純物領域の濃度が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 、好ましくは $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ として、第2の不純物領域の濃度が $1 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ 、代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ で添加されている。第1の不純物領域107、108はソース領域およびドレイン領域として機能する。

【0036】

一方、pチャネル型TFETの第3の不純物領域111、112a、112bは、ソース領域またはドレイン領域として機能するものである。そして、第3の不純物領域112bにはn型を付与する不純物元素が第1の不純物領域と同じ濃度で含まれているが、その1.5~3倍の濃度でp型を付与する不純物元素が添加されている。

【0037】

第2の不純物領域への不純物元素は、添加するn型を付与する不純物元素をゲート電極の第1層目113とゲート絶縁膜103を通過させて半導体層に添加する方法により行われ

10

20

30

40

50



るものである。

【0038】

第2の不純物領域106a、106bは、図2(A)、(B)に示すようにゲート絶縁膜103を介してゲート電極と重なる第2の不純物領域106aとゲート電極と重ならない第2の不純物領域106bとに分けることができる。すなわち、ゲート電極とオーバーラップするLDD領域と、オーバーラップしないLDD領域が形成される。この領域の作り分けは、一導電型の不純物元素を添加する第1の工程(第2の不純物領域の形成)と、一導電型の不純物元素を添加する第2の工程(第1の不純物領域の形成)により行うものであり、このときフォトリソをマスクとして利用すれば良い。

【0039】

これは、同一基板上に駆動電圧の異なる回路を作製するときにはきわめて便利な方法である。図2(B)には、液晶表示装置のロジック回路部、バッファ回路部、アナログスイッチ部、および画素マトリクス回路に使用するTFTの設計値の一例を示す。このとき、それぞれのTFTの駆動電圧を考慮して、チャネル長はもとより、ゲート電極と重なる第2の不純物領域106aとゲート電極と重ならない第2の不純物領域106bの長さを設定することが可能となる。

【0040】

駆動回路のシフトレジスタ回路のTFTや、バッファ回路のTFTは基本的にオン領域の特性が重視されるので、いわゆるGOLD構造でも良く、ゲート電極と重ならない第2の不純物領域106bは必ずしも設ける必要はない。しかしあえて設ける場合は駆動電圧を考慮して0.5~3μmの範囲で設定すれば良い。いずれにしても、耐圧を考慮してゲート電極と重ならない第2の不純物領域106bの値は、駆動電圧が高くなるにしたがって大きくすることが望ましい。

【0041】

また、アナログスイッチや、画素マトリクス回路に設けるTFTはオフ電流が増加しては困るので、例えば、駆動電圧16Vの場合、チャネル長3μmとしてゲート電極と重なる第2の不純物領域106aを1.5μmとし、ゲート電極と重ならない第2の不純物領域106bを1.5μmとする。勿論、本発明はここで示す設計値に限定されるものでなく、実施者が適宜決定すれば良い。

【0042】

また、図17に示すように、本発明において、ゲート電極の第1層目1701と、ゲート電極の第2層目1702と、ゲート電極の第3層目1703とのチャネル長方向の長さは、作製するTFTの寸法と深い関わりがある。ゲート電極の第2層目1702のチャネル長方向の長さは、チャネル長L1にほぼ相当するものである。このときL1は0.1~10μm、代表的には0.2~5μmの値とすれば良い。

【0043】

また、第2の不純物領域1705の長さL6は前述のようにフォトリソによるマスキングで任意に設定することが可能であるが、0.2~6μm、代表的には0.6~3μmで形成することが望ましい。

【0044】

そして、第2の不純物領域1705がゲート電極と重なる長さL4は、ゲート電極の第1層目1701の長さL2と密接な関係にある。L4の長さは、0.1~4μm、代表的には0.5~3μmで形成することが望ましい。また、第2の不純物領域1705がゲート電極と重ならない長さL5は、前述のように必ずしも設ける必要がない場合もあるが、通常は0.1~3μm、代表的には0.3~2μmとするのが良い。ここでL4とL5の長さは、例えば、前述のようにTFTの駆動電圧を根拠にして決めると良い。

【0045】

また、図1においてチャネル形成領域104には、あらかじめ $1 \times 10^{16} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度でボロンが添加されても良い。このボロンはしきい値電圧を制御するために添加されるものであり、同様の効果が得られるものであれば他の元素で代用することも

10

20

30

40

50

できる。

【0046】

以上示したように本発明は、ゲート電極をゲート電極の第1層目113、116と、ゲート電極の第2層目114、117と、ゲート電極の第3層目115、118とで形成し、図1で示すようにゲート電極の第2層目114、117が、ゲート電極の第1層目113、116とゲート電極の第3層目115、118で囲まれたクラッド型の構造としてある。そして、少なくともnチャネル型TFTでは、ゲート絶縁膜103を介して半導体層に設けられた第2の不純物領域106の一部が、このようなゲート電極と重なっている構造に特徴がある。

【0047】

nチャネル型TFTにおいて、第2の不純物領域はチャネル形成領域104を中心としてドレイン領域側（図1の第1の不純物領域108側）だけに設けても良い。また画素マトリクス回路の画素TFTのように、オン領域とオフ領域の両方の特性が要求される場合には、チャネル形成領域104を中心としてソース側（図1の第1の不純物領域107側）とドレイン領域側（図1の第1の不純物領域108側）の両方に設けることが望ましい。

【0048】

一方、pチャネル型TFTにはチャネル形成領域109と第3の不純物領域111、112a、112bが形成された構造とする。勿論、本発明のnチャネル型TFTと同様の構造としても良いが、pチャネル型TFTはもともと信頼性が高いため、オン電流を稼いでnチャネル型TFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には、特にこの特性のバランスをとることが重要である。但し、本発明の構造をpチャネル型TFTに適用しても何ら問題はない。

【0049】

こうしてnチャネル型TFTおよびpチャネル型TFTが完成したら、第1の層間絶縁膜119で覆い、ソース配線120、121、ドレイン配線122を設ける。図1の構造では、これらを設けた後でパッシベーション膜123として窒化シリコン膜を設けている。さらに樹脂材料でなる第2の層間絶縁膜124が設けられている。第2の層間絶縁膜は、樹脂材料に限定される必要はないが、例えば、液晶表示装置に应用する場合には、表面の平坦性を確保するために樹脂材料を用いることが好ましい。

【0050】

図1では、nチャネル型TFTとpチャネル型TFTとを相補的に組み合わせるCMOS回路を例にして示したが、nチャネル型TFTを用いたNMOS回路や、液晶表示装置の画素マトリクス回路に本願発明を適用することもできる。

【0051】

以上に示した本願発明の構成について、以下に示す実施例でさらに詳細に説明する。

【0052】

〔実施例1〕

本実施例では、本願発明の構成を、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

【0053】

図3(A)において、基板301には、コーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板301のTFTが形成される表面には、下地膜302をプラズマCVD法やスパッタ法で形成する。下地膜302は図示していないが、窒化シリコン膜を25～100nm、代表的には50nmの厚さに、酸化シリコン膜を50～300nm、代表的には150nmの厚さに形成する。

【0054】

その他に、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜を10～200nm（好ましくは50～100nm）、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜を50～200nm（好ましくは100～150nm）の厚さに積層形成する。

10

20

30

40

50

## 【0055】

次に、この下地膜302の上に50nmの厚さの、非晶質シリコン膜をプラズマCVD法で形成する。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550で数時間加熱して脱水素処理を行い、含有水素量を5 atomic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

## 【0056】

ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作製することが可能であるので、下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。下地膜を形成後、一旦大気雰囲気さらさない工程にすることにより、表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキを低減させることができる。

10

## 【0057】

非晶質シリコン膜を結晶化する工程は、公知のレーザーアニール法または熱アニール法の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成する。

## 【0058】

結晶化をレーザーアニール法にて行う場合には、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。また、YAGレーザーを光源とし、その基本周波数、第2高調波、第3高調波、第4高調波を光源としても良い。パルス発振型のエキシマレーザーを用いる場合には、レーザー光を線状に加工してレーザーアニールを行う。レーザーアニール条件は実施者が適宜選択するものであるが、例えば、レーザーパルス発振周波数30Hzとし、レーザーエネルギー密度を100～500mJ/cm<sup>2</sup>(代表的には300～400mJ/cm<sup>2</sup>)とする。そして線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を80～98%として行う。

20

## 【0059】

尚、本実施例では半導体層を非晶質シリコン膜から結晶質シリコン膜を形成したが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

## 【0060】

こうして形成した結晶質シリコン膜をパターニングして、島状の半導体層303、304、305を形成する。

30

## 【0061】

次に、島状の半導体層303、304、305を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜306を形成する。ゲート絶縁膜306は、プラズマCVD法でN<sub>2</sub>OとSiH<sub>4</sub>を原料とした酸化窒化シリコン膜を10～200nm、好ましくは50～150nmの厚さで形成すれば良い。ここでは100nmの厚さに形成する。

## 【0062】

そして、ゲート絶縁膜306上にゲート電極の第1層目とゲート電極の第2層目とゲート電極の第3層目から成るゲート電極を形成する。まず、導電層(A)307と、導電層(B)308を形成する。導電層(A)307はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。また、導電層(A)307の厚さは10～100nm、好ましくは20～50nmとする必要がある。ここでは、50nmの厚さでTi膜をスパッタ法で形成する。

40

## 【0063】

ゲート絶縁膜306と導電層(A)307の厚さの管理は重要である。これは、後に実施される第1の不純物添加の工程において、n型を付与する不純物をゲート絶縁膜306と導電層(A)307を通過させて半導体層303、305に添加するためである。実際には、ゲート絶縁膜306と導電層(A)307の膜厚と、添加する不純物元素の濃度を考慮して、第1の不純物添加の工程条件を決定した。前記膜厚範囲であれば不純物元素を半導体層に添加できることは予め確認されたが、膜厚が設定された本来の値よりも10%以

50

上変動すると、添加される不純物濃度が減少してしまう。

【0064】

導電層(B)は、Al、Cuから選ばれた材料を用いることが好ましい。これはゲート電極の電気抵抗を下げるために設けられるものであり、50~400nm、好ましくは100~200nmの厚さに形成する。Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1~5atomic%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜306の表面に窒化シリコン膜を30~100nmの厚さで設けておくことが好ましい。

【0065】

ここでは、Scが0.5atomic%添加されたAl膜をスパッタ法で200nmの厚さに形成する(図3(A))。

10

【0066】

次に公知のパターニング技術を使ってレジストマスクを形成し、導電層(B)308の一部を除去する工程を行う。ここでは、導電層(B)308はScが0.5atomic%添加されたAl膜で形成されているので、リン酸溶液を用いたウエットエッチング法で行う。そして、図3(B)に示すように導電層(B)からゲート電極の第2層目309、310、311、312を形成する。それぞれのゲート電極の第2層目のチャンネル長方向の長さは、CMOS回路を形成するゲート電極の第2層目309、310で3μmとし、また、画素マトリクス回路はマルチゲート構造となっていて、ゲート電極の第2層目311、312のそれぞれの長さを2μmとした。

20

【0067】

この工程をドライエッチング法で行うことも可能であるが、導電層(A)307にダメージを与えず、選択性良く導電層(B)308の不要な領域を除去するためにはウエットエッチング法が好ましい。

【0068】

また、画素マトリクス回路を構成する画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、導電層(B)と同じ材料で保持容量の容量配線313を形成する。

【0069】

そして、pチャンネル型TFTを形成する領域にレジストマスク314を形成して、1回目のn型を付与する不純物元素を添加する工程を行う。結晶質半導体材料に対してn型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH<sub>3</sub>)を用いたイオンドーブ法で行う。この工程では、ゲート絶縁膜306と導電層(A)307を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定する。半導体層に添加するリンの濃度は $1 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>の範囲にするのが好ましく、ここでは $1 \times 10^{18}$  atoms/cm<sup>3</sup>とする。そして、半導体層にリンが添加された領域315、316、317、318、319、320が形成される(図3(B))。

30

【0070】

そして、レジストマスク314を除去した後、導電層(A)307とゲート電極の第2層目309、310、311、312と保持容量の配線313に密接させてゲート電極の第3層目となる導電層(C)321を形成する。導電層(C)321はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。例えば、また、導電層(C)321の厚さは10~100nm、好ましくは20~50nmとする必要がある。ここでは、50nmの厚さでTa膜をスパッタ法で形成する(図3(C))。

40

【0071】

次に公知のパターニング技術を使ってレジストマスクを形成し、導電層(C)321と導電層(A)307の一部を除去する工程を行う。ここでは、ドライエッチング法により行う。導電層(C)321はTaであり、ドライエッチングの条件として、CF<sub>4</sub>を80S

50

CCM、 $O_2$ を20SCCM導入して100mTorr、で500Wの高周波電力を投入して行う。このときTaのエッチングレートは60nm/分である。また、導電層(A)307をエッチングする条件は、 $SiCl_4$ を40SCCM、 $Cl_2$ を5SCCM、 $BCl_3$ を180SCCM導入して、80mTorr、1200Wの高周波電力を印加して行う。このとき、Tiのエッチングレートは34nm/分である。

#### 【0072】

エッチング後わずかに残さが確認されることがあるが、SPX洗浄液やEKCなどの溶液で洗浄することにより除去することができる。また、上記エッチング条件で、下地にあるゲート絶縁膜306のエッチングレートは18~38nm/分であり、エッチング時間が長いとゲート絶縁膜のエッチングが進んでしまうため注意が必要である。

10

#### 【0073】

そして、ゲート電極の第1層目322、323、324、325とゲート電極の第3層目327、328、329、330とが形成される。ゲート電極の第1層目とゲート電極の第3層目とのチャネル長方向の長さは同じに形成され、ゲート電極の第1層目322、323とゲート電極の第3層目327、328は6 $\mu$ mの長さに形成する。また、ゲート電極の第1層目324、325とゲート電極の第3層目329、330は4 $\mu$ mの長さに形成する(図4(A))。

#### 【0074】

このようにして、ゲート電極の第1層目とゲート電極の第2層目とゲート電極の第3層目とから成るゲート電極が形成される。また、画素マトリクス回路を構成する画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、導電層(A)と、導電層(C)とから保持容量の配線326、331が形成される。

20

#### 【0075】

そして、図4(B)に示すように、レジストマスク332、333、334、335、336を形成して、2回目のn型を付与する不純物元素を添加する工程を行う。これも、フォスフィン( $PH_3$ )を用いたイオンドープ法で行う。この工程でもゲート絶縁膜306を通してその下の半導体層にリンを添加するために、加速電圧は80keVと高めに設定する。そして、リンが添加された領域337、338、339、340、341、342、343が形成される。この領域のリンの濃度は、1回目のn型を付与する不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とする。

30

#### 【0076】

この工程において、レジストマスク332、333、334、335のチャネル長方向の長さは、それぞれのTFTの構造を決める上で重要である。特に、nチャネル型TFTにおいては、前述のゲート電極の第1層目と第3層目の長さ、このレジストマスクの長さにより、第2の不純物領域がゲート電極と重なる領域と、重ならない領域をある範囲で自由に決めることができる。本実施例では、ゲート電極の第1層目322と第3層目327の長さを6 $\mu$ mで、ゲート電極の第1層目324、325と第3層目329、330の長さを4 $\mu$ mで形成したので、レジストマスク332は9 $\mu$ mの長さで、レジストマスク334、335は7 $\mu$ mの長さで形成した。勿論、ここで記載したそれぞれの長さは一例であるので、前述のようにTFTの駆動電圧を考慮して決めると良い。

40

#### 【0077】

次にnチャネル型TFTを形成する領域をレジストマスク344、345で覆って、pチャネル型TFTが形成される領域のみに、p型を付与する第3の不純物元素を添加する工程を行う。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)、が知られているが、ここではボロンをその不純物元素として、ジボラン( $B_2H_6$ )を用いてイオンドープ法で添加する。この場合も加速電圧を80keVとして、 $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加する。そして、図4(C)に示すようにボロンが高濃度に添加された第3の不純物領域346a、346b、347a、347bが形成される。第3の不純物域346b、347bには前の工程で添加されたリンが含

50

まれているが、その 2 倍の濃度でボロンが添加されているので問題はない(図 4 ( C ) )  
。

#### 【 0 0 7 8 】

図 4 ( C ) までの工程が終了したら、図 5 で示すように、レジストマスク 3 4 4、3 4 5 を除去して、第 1 の層間絶縁膜 3 7 4 を形成する工程を行う。第 1 の層間絶縁膜 3 7 4 は 2 層構造で形成する。最初に窒化シリコン膜 3 7 4 a を 5 0 n m の成膜する。窒化シリコン膜はプラズマ C V D 法で形成し、 $\text{SiH}_4$  を 5 S C C M、 $\text{NH}_3$  を 4 0 S C C M、 $\text{N}_2$  を 1 0 0 S C C M 導入して 0 . 7 T o r r、3 0 0 W の高周波電力を投入する。そして、続いて酸化シリコン膜 3 7 4 b を T E O S を 5 0 0 S C C M、 $\text{O}_2$  を 5 0 S C C M 導入し 1 T o r r、2 0 0 W の高周波電力を投入して 9 5 0 n m の厚さに成膜する。このように窒化シリコン膜 3 7 4 a と酸化シリコン膜 3 7 4 b により、合計 1  $\mu\text{m}$  の第 1 の層間絶縁膜 3 7 4 を形成する。

10

#### 【 0 0 7 9 】

ここで形成された窒化シリコン膜は次の熱処理工程を行うために必要なものである。本実施例では、前述のようなクラッド構造のゲート電極を形成する。この構造は A 1 で形成されるゲート電極の第 2 層目を、T i で形成されるゲート電極の第 1 層目と T a で形成されるゲート電極の第 3 層目で囲むように形成している。T a は A 1 のヒロックや周辺へのしみ出しを防ぐ効果があるが、常圧において 4 0 0 以上で加熱するとすぐに酸化してしまう欠点を有している。その結果、電気抵抗が増加してしまうが、その表面を第 1 の層間絶縁膜の窒化シリコン膜 3 7 4 a で被覆しておく、酸化を防止することができる。

20

#### 【 0 0 8 0 】

熱処理の工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために行う必要がある。この工程は、電気加熱炉を用いる熱アニール法や、前述のエキシマレーザーを用いるレーザーアニール法や、ハロゲンランプを用いるラピットサーマルアニール法 ( R T A 法 ) で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下にかくれる領域まで活性化させることは困難である。従って、ここでは熱アニール法で活性化の工程を行う。この時の条件は、窒素雰囲気中において 3 0 0 ~ 7 0 0 、好ましくは 3 5 0 ~ 5 5 0 、ここでは 4 5 0 、2 時間の処理を行う。

#### 【 0 0 8 1 】

第 1 の層間絶縁膜 3 7 4 はその後、パターニングでそれぞれの T F T のソース領域と、ドレイン領域に達するコンタクトホールが形成する。そして、ソース配線 3 7 5、3 7 6、3 7 7、とドレイン配線 3 7 8、3 7 9 を形成する。図示していないが、本実施例ではこの配線を、T i 膜を 1 0 0 n m、T i を含む A 1 膜 3 0 0 n m、T i 膜 1 5 0 n m をスパッタ法で連続して形成する 3 層構造の配線として用いる。

30

#### 【 0 0 8 2 】

そして、ソース配線 3 7 5、3 7 6、3 7 7 とドレイン配線 3 7 8、3 7 9 と、第 1 の層間絶縁膜 3 7 4 を覆ってパッシベーション膜 3 8 0 を形成する。パッシベーション膜 3 8 0 は、窒化シリコン膜で 5 0 n m の厚さで形成する。さらに、有機樹脂からなる第 2 の層間絶縁膜 3 8 1 を約 1 0 0 0 n m の厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、3 0 0 で焼成して形成する。

40

#### 【 0 0 8 3 】

以上までの工程で、クラッド構造のゲート電極が形成され、C M O S 回路の n チャネル型 T F T にはチャネル形成領域 3 4 8、第 1 の不純物領域 3 6 0、3 6 1、第 2 の不純物領域 3 4 9 a、3 4 9 b、3 5 0 a、3 5 0 b が形成される。ここで、第 2 の不純物領域は、ゲート電極と重なる領域 3 4 9 a、3 5 0 a が 1 . 5  $\mu\text{m}$  の長さに、ゲート電極と重なる

50

らない領域（ＬＤＤ領域）３４９ｂ、３５０ｂが１．５μｍの長さにそれぞれ形成される。そして、第１の不純物領域３６０はソース領域として、第１の不純物領域３６１はドレイン領域として機能する。

【００８４】

pチャネル型ＴＦＴは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域３６２、第３の不純物領域３６３ａ、３６３ｂ、３６４ａ、３６４ｂが形成される。第３の不純物領域３６３ａ、３６３ｂはソース領域として、第３の不純物領域３６４ａ、３６４ｂはドレイン領域となる。

【００８５】

また、画素マトリクス回路の画素ＴＦＴは、チャネル形成領域３６５、３６９と第１の不純物領域３６８、３７２と第２の不純物領域３６６、３６７、３７０、３７１が形成される。この第２の不純物領域は、ゲート電極と重なる領域３６６ａ、３６７ａ、３７０ａ、３７１ａと重ならない領域３６６ｂ、３６７ｂ、３７０ｂ、３７１ｂとに分けることができる。

10

【００８６】

こうして図５に示すように、基板３０１上にＣＭＯＳ回路と、画素マトリクス回路が形成されたアクティブマトリクス基板が作製される。また、画素マトリクス回路の画素ＴＦＴのドレイン側には、保持容量が同時に形成される。

【００８７】

[実施例２]

20

本実施例では、実施例１と同様に、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるＣＭＯＳ回路を同時に作製する他の実施形態について説明する。

【００８８】

まず、実施例１と同様に図３（Ａ）から（Ｃ）までの工程と、図４（Ａ）までの工程を行う。

【００８９】

そして、図６（Ａ）はゲート電極の第１層目とゲート電極の第２層目とゲート電極の第３層目とからゲート電極が形成されている状態を示す。この状態の基板に対して、レジストマスク６０１、６０２、６０３、６０４、６０５を形成し、n型を付与する不純物元素を添加する工程を行う。そして、第１の不純物領域６０６、６０７、６０８、６０９、６１０、６１１、６１２が形成される（図６（Ｂ））。

30

【００９０】

ここで形成されるレジストマスク６０１、６０２は、いずれもＬＤＤ領域をＴＦＴのドレイン領域側のみに形成する形状のものである。これは、第２の不純物領域をゲート絶縁膜上からマスクする領域がチャネル形成領域を中心として、片側のみに形成されるものである。

【００９１】

このようなレジストマスクの形成は、ＣＭＯＳ回路のnチャネル型ＴＦＴに対して特に有効である。ＬＤＤ領域が片側のみに形成されるため、ＴＦＴの直列抵抗成分を実質的に下げることが可能となり、オン電流を増加させることができる。

40

【００９２】

これまで述べてきたＧＯＬＤ構造にしても、ＬＤＤ構造にしても、ドレイン領域近傍の高電界を緩和するために設けるためのものであり、ＴＦＴのドレイン側に形成されていればその効果は十分得られる。

【００９３】

さらに、レジストマスク６１３、６１４を形成し、実施例１と同様にp型を付与する不純物元素を添加する工程を行い、第３の不純物領域６１５ａ、６１５ｂ、６１６を形成する。第３の不純物領域６１５ａは前の工程で添加したn型を付与する不純物元素が含まれている（図６（Ｃ））。

【００９４】

50

以降の工程は実施例 1 と同様に行えば良く、ソース配線 3 7 5、3 7 6、3 7 7 とドレイン配線 3 7 8、3 7 9、パッシベーション膜 3 8 0、有機樹脂からなる第 2 の層間絶縁膜 3 8 1 を形成して図 7 に示すアクティブマトリクス基板が完成する。そして、CMOS 回路の n チャネル型 TFT にはチャネル形成領域 6 1 7、第 1 の不純物領域 6 2 0、6 2 1、第 2 の不純物領域 6 1 8、6 1 9 が形成される。ここで、第 2 の不純物領域は、ゲート電極と重なる領域 (GOLD 領域) 6 1 9 a と、ゲート電極と重ならない領域 (LDD 領域) 6 1 9 b がそれぞれ形成される。そして、第 1 の不純物領域 6 2 0 はソース領域として、第 1 の不純物領域 6 2 1 はドレイン領域となる。

【0095】

p チャネル型 TFT は、チャネル形成領域 6 2 2、第 3 の不純物領域 6 2 4 a、6 2 4 b、6 2 3 が形成される。第 3 の不純物領域 6 2 3 はソース領域として、第 3 の不純物領域 6 2 4 a、6 2 4 b はドレイン領域となる。画素マトリクス回路の画素 TFT は、チャネル形成領域 6 2 5、6 2 9 と第 1 の不純物領域 6 2 8、6 3 2 と第 2 の不純物領域 6 2 6、6 2 7、6 3 0、6 3 1 が形成される。この第 2 の不純物領域は、ゲート電極と重なる領域 6 2 6 a、6 2 7 a、6 3 0 a、6 3 1 a と重ならない領域 6 2 6 b、6 2 7 b、6 3 0 b、6 3 1 b とに分けることができる。

【0096】

[実施例 3]

本実施例では、実施例 1 と同様に、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態である CMOS 回路を同時に作製する他の実施形態について説明する。

【0097】

まず、実施例 1 と同様に図 3 (A) から (C) までの工程を行う。

【0098】

そして、図 8 (A) では、公知のパターニング技術を使ってレジストマスク 8 0 1、8 0 2、8 0 3、8 0 4、8 0 5 を形成し、導電層 (C) 3 2 1 と導電層 (A) 3 0 7 の一部を除去する工程を行う。ここでは、実施例 1 と同様にドライエッチング法により行う。そして、ゲート電極の第 1 層目 8 5 1、8 5 2、8 5 3、8 5 4、8 5 5 とゲート電極の第 3 層目 8 5 6、8 5 7、8 5 8、8 5 9、8 6 0 とを形成する。ゲート電極の第 1 層目とゲート電極の第 3 層目とのチャネル長方向の長さは同じに形成され、CMOS 回路のゲート電極の第 1 層目 8 5 1、8 5 2 とゲート電極の第 3 層目 8 5 6、8 5 7 は最終的な形状よりも長く 9  $\mu\text{m}$  の長さに形成する。また、画素マトリクス回路のゲート電極の第 1 層目 8 5 3、8 5 4 とゲート電極の第 3 層目 8 5 8、8 5 9 は同様に 7  $\mu\text{m}$  の長さに形成する。

【0099】

また、画素マトリクス回路の画素 TFT のドレイン側に保持容量を設ける構造となっている。このとき、導電層 (A) と、導電層 (C) とから保持容量の配線 8 5 5、8 6 0 を形成する。

【0100】

そして、実施例 1 と同様に 2 回目の n 型を付与する不純物元素を添加する工程を行う。この工程では、ゲート電極が接していないゲート絶縁膜の領域を通して半導体層にリンが添加して、高濃度にリンが添加される領域 8 0 6、8 0 7、8 0 8、8 1 1、8 1 2 を形成する。この工程の終了後、レジストマスク 8 0 1、8 0 2、8 0 3、8 0 4、8 0 5 は除去する (図 8 (A))。

【0101】

次に、再度フォトリソレジスト膜を形成し、裏面からの露光によるパターニングの工程を行う。このとき、図 8 (B) に示すようにゲート電極がマスクとなって、自己整合的にレジストマスク 8 1 3、8 1 4、8 1 5、8 1 6、8 1 7 が形成される。裏面からの露光は直接光と散乱光を利用して行うもので、光強度や露光時間などの露光条件の調節により、図 8 (B) に示すようにレジストマスクをゲート電極上の内側に形成することができる。

【0102】

10

20

30

40

50



レジストマスク 813、814、815、816、817を使用して、ゲート電極の第3層目とゲート電極の第1層目のマスクされていない領域をドライエッチング法により除去する。ドライエッチングの条件は実施例1と同様に行う。エッチングが終了した後レジストマスク 813、814、815、816、817は除去する。

【0103】

そして、図8(C)に示すように、ゲート電極の第1層目818、819、820、821と、ゲート電極の第3層目823、824、825、826及び保持容量の配線822、827が形成される。エッチングにより、CMOS回路のゲート電極の第1層目851、852とゲート電極の第3層目856、857は6 $\mu$ mの長さになる。また、画素マトリクス回路のゲート電極の第1層目853、854とゲート電極の第3層目858、859は同様に4 $\mu$ mの長さに形成される。

10

【0104】

さらに、nチャネル型TFTが形成される領域にレジストマスク828、829を形成してp型を付与する第3の不純物元素を添加する工程を行う(図8(C))。

【0105】

以降の工程は実施例1と同様に行えば良く、図5に示すアクティブマトリクス基板が作製することができる。

【0106】

[実施例4]

本実施例では、実施例1と同様に、画素マトリクス回路とその周辺に設る駆動回路の基本形態であるCMOS回路を同時に作製する他の実施形態について説明する。

20

【0107】

まず、実施例1と同様に図3(A)から(C)までの工程を行う。そして、図9(A)で示すようにゲート電極の形成を行う。

【0108】

次に、公知のパターニング技術を使ってレジストマスクを形成し、導電層(C)321と導電層(A)307との一部を除去する工程を行う。ここでは、ドライエッチング法により行う。導電層(C)321はTaであり、ドライエッチングの条件として、CF<sub>4</sub>を80SCCM、O<sub>2</sub>を20SCCM導入して100mTorr、で500Wの高周波電力を投入して行う。このときTa膜のエッチングレートは60nm/分である。また、導電層(A)307をエッチングする条件は、SiCl<sub>4</sub>を40SCCM、Cl<sub>2</sub>を5SCCM、BCl<sub>3</sub>を180SCCM導入して、80mTorr、1200Wの高周波電力を印加して行う。このとき、Ti膜のエッチングレートは34nm/分である。

30

【0109】

そして、ゲート電極の第1層目322、323、324、325とゲート電極の第3層目327、328、329、330とを形成する。ゲート電極の第1層目とゲート電極の第3層目とのチャネル長方向の長さは同じに形成され、ゲート電極の第1層目322、323とゲート電極の第3層目327、328は、ここでは6 $\mu$ mの長さに形成する。また、ゲート電極の第1層目324、325とゲート電極の第3層目329、330は、4 $\mu$ mの長さに形成する。

40

【0110】

上記エッチング条件では、酸化窒化シリコン膜で形成されたゲート絶縁膜306もエッチングされる。そのエッチングレートはTa膜のエッチング条件で18nm/分である。通常はゲート絶縁膜がエッチングされないように注意深く行われるものであるが、この現象を積極的に利用して、ゲート電極に接していないゲート絶縁膜の領域を薄くすることができる。これは、ゲート電極をエッチングする工程で、エッチング時間をそのまま増加させればすぐに実施することができる。

【0111】

しかし、ゲート絶縁膜をエッチングするためには、やはり使用するガスを選ぶ必要があり、塩素系のガスよりはCF<sub>4</sub>やNF<sub>3</sub>などのフッ素系のガスの方が良い結果が得られる。

50

## 【0112】

ここでは、T a膜をエッチングするときに使用したC F<sub>4</sub>とO<sub>2</sub>の混合ガスにより行う。C F<sub>4</sub>を80SCCM、O<sub>2</sub>を20SCCM導入して100mTorr、で500Wの高周波電力を投入して行う。そして、100nmの厚さで形成されていたゲート絶縁膜306に対して、約2分半のエッチングにより図9(A)に示すようにゲート電極と接していないゲート絶縁膜の領域を50nmの厚さにまで薄くすることができる。

## 【0113】

そして実施例1と同様に、レジストマスク332、333、334、335、336を形成して2回目のn型を付与する不純物元素を添加する工程を行う。このとき、n型を付与する不純物元素を添加する領域337、338、339、340、341、342、343はゲート絶縁膜の厚さが50nmとなっているので、半導体層に効率よく不純物元素を添加することができる。

10

## 【0114】

ゲート絶縁膜が薄くなったことで、イオンドープ法における加速電圧を80keVから40keVまで下げることが可能となり、ゲート絶縁膜や半導体層へのダメージを減らすことができる(図9(B))。

## 【0115】

次に図9(C)に示すようにレジストマスク344、345を形成し、p型を付与する不純物元素を添加する工程も同様に実施するものであり、p型を付与する不純物が添加される領域346a、346b、347a、347bに接するゲート絶縁膜は厚さが50nmとなっているので、イオンドープ法における加速電圧を80keVから40keVまで下げることが可能となり、半導体層に効率よく不純物元素を添加することができる。

20

## 【0116】

その他の工程は実施例1に従えば良く、ソース配線375、376、377とドレイン配線378、379、パッシベーション膜380、有機樹脂からなる第2の層間絶縁膜381を形成して図10に示すアクティブマトリクス基板が完成する。CMOS回路のnチャネル型TFTにはチャネル形成領域348、第1の不純物領域360、361、第2の不純物領域349、350が形成される。ここで、第2の不純物領域は、ゲート電極と重なる領域349a、350a、ゲート電極と重ならない領域(LDD領域)349b、350bが形成される。そして、第1の不純物領域360はソース領域として、第1の不純物領域361はドレイン領域として機能する。pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域362、第3の不純物領域363a、363b、364a、364bが形成される。第3の不純物領域363a、363bはソース領域として、第3の不純物領域364a、364bはドレイン領域となる。また、画素マトリクス回路の画素TFTは、チャネル形成領域365、369と第1の不純物領域368、372と第2の不純物領域366a、366b、367a、367b、370a、370b、371a、371bが形成される。この第2の不純物領域は、ゲート電極と重なる領域366a、367a、370a、371aと重ならない領域366b、367b、370b、371bとに分けることができる。

30

## 【0117】

## [実施例5]

本実施例では、本願発明の構成を、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態であるCMOS回路を同時に作製する方法について説明する。

40

## 【0118】

図11(A)において、基板1101には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いる。そして、基板1101のTFTが形成される表面に、下地膜1102をプラズマCVD法やスパッタ法で形成する。下地膜1102は図示していないが、窒化シリコン膜を25~100nm、代表的には50nmの厚さに、酸化シリコン膜を50~300nm、代表的には150nmの厚さに形成する。また、下地膜1102は、窒化シリコン膜や酸化窒化シリコン膜のみを用いても良い。

50

## 【0119】

次に、この下地膜1102の上に50nmの厚さの、非晶質シリコン膜をプラズマCVD法で形成する。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550で数時間加熱して脱水素処理を行い、含有水素量を5 atomic%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

## 【0120】

ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作製されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。下地膜を形成後、一旦大気雰囲気さらされない工程にすることにより、表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

10

## 【0121】

ここで、半導体層として用いる結晶質シリコン膜を、触媒元素を用いた熱結晶化法により形成する。触媒元素を用いる場合、特開平7-130652号公報、特開平8-78329号公報で開示された技術を用いることが望ましい。

## 【0122】

ここで、特開平7-130652号公報に開示されている技術を本願発明に適用する場合の例を図19(A)、(B)で説明する。基板1901上に酸化シリコン膜1902が形成され、その上に非晶質シリコン膜1903を形成する。非晶質シリコン膜1903の表面に重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層1904を形成する(図19(A))。

20

## 【0123】

次に、500、1時間の脱水素工程の後、500～650で4～12時間、例えば550で8時間の熱処理を行い、結晶質シリコン膜1905を形成する(図19(B))。

## 【0124】

また、特開平8-78329号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質シリコン膜の選択的な結晶化を可能とするものである。同技術を本願発明に適用する場合について、図20(A)、(B)で説明する。

30

## 【0125】

まず、ガラス基板2001上に酸化シリコン膜2002、非晶質シリコン膜2003を形成し、さらに酸化シリコン膜2004を連続的に形成する。この時、酸化シリコン膜2004の厚さは150nmとする。

## 【0126】

次に酸化シリコン膜2004をパターニングして、選択的に開孔部2005を形成し、その後、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層2006が形成され、ニッケル含有層2006は開孔部2005の底部のみで非晶質シリコン膜2003と接触する(図20(A))。

## 【0127】

次に、500～650で4～24時間、例えば570、14時間の熱処理を行い、結晶質シリコン膜2007を形成する。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜2007は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある(図20(B))。

40

## 【0128】

尚、上記2つの技術において使用可能な触媒元素は、ニッケル(Ni)の以外にも鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)といった元素を用いても良い。

50

## 【0129】

以上のような技術を用いて結晶質シリコン膜を形成し、パターニングを行えば、図11に示す半導体層1103、1104、1105を形成することができる。

## 【0130】

また、触媒元素を用いて結晶質シリコン膜を形成し、その触媒元素を結晶質シリコン膜から除去するゲッタリング工程を行った例を示す。

## 【0131】

これは、非晶質シリコン膜の結晶化に用いた触媒元素を結晶化後にリンのゲッタリング作用を用いて除去する技術である。同技術を用いることで、結晶質シリコン膜中の触媒元素の濃度を $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下、好ましくは $1 \times 10^{16}$  atoms/cm<sup>3</sup>にまで低減することができる。

10

## 【0132】

図21(A)では、下地膜2102、結晶質シリコン膜2103が形成された状態を示している。そして、結晶質シリコン膜2103の表面にマスク用の酸化シリコン膜2104が150 nmの厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シリコン膜にリンが添加された領域2105を設ける。

## 【0133】

この状態で、窒素雰囲気中で550～800℃、5～24時間、例えば600℃、12時間の熱処理を行うと、結晶質シリコン膜にリンが添加されている領域2105がゲッタリングサイトとして働き、結晶質シリコン膜2103に残存していた触媒元素はリンが添加されている領域2105に偏析させることができる。

20

## 【0134】

そして、マスク用の酸化シリコン膜2104と、リンが添加されている領域2105とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17}$  atoms/cm<sup>3</sup>以下にまで低減した結晶質シリコン膜を得ることができる。この結晶質シリコン膜は図11(A)の半導体層1103、1104、1105として使用することができる。

## 【0135】

次に、島状の半導体層1103、1104、1105を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜1106を形成する。ゲート絶縁膜1106は、プラズマCVD法でN<sub>2</sub>OとSiH<sub>4</sub>を原料とした窒化酸化シリコン膜を10～200 nm、好ましくは50～150 nmの厚さで形成すれば良い。ここでは100 nmの厚さに形成する。

30

## 【0136】

そして、ゲート絶縁膜1106の表面にゲート電極の第1層目とする導電層(A)1107と、ゲート電極の第2層目とする導電層(B)1108とを形成する。導電層(A)1107はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。また、導電層(A)1107の厚さは10～100 nm、好ましくは20～50 nmとする必要がある。ここでは、50 nmの厚さでTi膜をスパッタ法で形成する。

40

## 【0137】

ゲート電極の第2層目となる導電層(B)1108は、Al、Cuから選ばれた材料を用いることが好ましい。これはゲート電極の電気抵抗を下げるために設けられるものであり、50～400 nm、好ましくは100～200 nmの厚さに形成する。Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1～5 atomic%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜1106の表面に窒化シリコン膜を30～100 nmの厚さで設けておくと好ましい。

## 【0138】

50

ここでは、Scが0.5 atomic%添加されたAl膜をスパッタ法で200 nmの厚さに形成する(図11(A))。

#### 【0139】

次に公知のパターニング技術を使ってレジストマスクを形成し、導電層(B)1108の一部を除去する工程を行う。ここでは、導電層(B)1108はScが0.5 atomic%添加されたAl膜で形成されているが、リン酸溶液を用いたウエットエッチング法で行うことができる。そして、図11(B)に示すようにゲート電極の第2層目1109、1110、1111、1112を形成する。それぞれのゲート電極の第2層目のチャネル長方向の長さは、CMOS回路を形成するゲート電極の第2層目1109、1110で3  $\mu$ mとし、また、画素マトリクス回路はマルチゲートの構造となっていて、ゲート電極の第2層目1111、1112のそれぞれの長さを2  $\mu$ mとする。

10

#### 【0140】

また、画素マトリクス回路を構成する画素TFTのドレイン側に保持容量を設ける構造となっている。このとき、導電層(B)と同じ材料で保持容量の配線1113が形成される。

#### 【0141】

そして、n型を付与する第1の不純物元素を添加する工程を行う。ここでは、リンを用い、フォスフィン(PH<sub>3</sub>)を用いたイオンドープ法で行う。この工程では、ゲート絶縁膜1106と導電層(A)1107を通してその下の半導体層1103、1104、1105にリンを添加するために、加速電圧は80 keVと高めに設定する。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup>の範囲にするのが好ましく、ここでは $1 \times 10^{18}$  atoms/cm<sup>3</sup>とする。そして、半導体層にリンが添加された領域1114、1115、1116、1117、1118、1119、1120、1121が形成される(図11(B))。

20

#### 【0142】

次にnチャネル型TFTを形成する領域をレジストマスク1122、1123で覆って、pチャネル型TFTが形成される領域のみに、p型を付与する第3の不純物元素を添加する工程を行う。ここではボロンをその不純物元素として、ジボラン(B<sub>2</sub>H<sub>6</sub>)を用いてイオンドープ法で添加する。ここでも加速電圧を80 keVとして、 $2 \times 10^{20}$  atoms/cm<sup>3</sup>の濃度にボロンを添加する。そして、図11(C)に示すようにボロンが高濃度に添加された第3の不純物領域1124、1125が形成される。

30

#### 【0143】

そして、レジストマスク1122、1123を除去した後、導電層(A)1107とゲート電極の第2層目1109、1110、1111、1112と保持容量の配線1113に密接させてゲート電極の第3層目となる導電層(C)1126を形成する。導電層(C)1126はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を成分とする化合物を用いても良い。例えば、また、導電層(C)1126の厚さは10~100 nm、好ましくは20~50 nmとする必要がある。ここでは、50 nmの厚さでMo-W膜をスパッタ法で形成する。(図12(A))

#### 【0144】

次に公知のパターニング技術を使ってレジストマスクを形成し、導電層(C)1126と導電層(A)1107との一部を除去する工程を行う。ここでは、ドライエッチング法により行う。導電層(C)1126はMo-W膜であり、ドライエッチングの条件として、Cl<sub>2</sub>を80 SCCM導入して10 mTorr、で350 Wの高周波電力を投入して行う。このときMo-W膜のエッチングレートは50 nm/分である。また、導電層(A)1107をエッチングする条件は、SiCl<sub>4</sub>を40 SCCM、Cl<sub>2</sub>を5 SCCM、BCl<sub>3</sub>を180 SCCM導入して、80 mTorr、1200 Wの高周波電力を印加して行う。このとき、Ti膜のエッチングレートは34 nm/分である。

40

#### 【0145】

エッチング後わずかに残さが確認されることがあるが、SPX洗浄液やEKCなどの溶液

50

で洗浄することにより除去することができる。また、上記エッチング条件で、下地にあるゲート絶縁膜 1106 のエッチングレートは 18 ~ 38 nm / 分であり、エッチング時間が長いとゲート絶縁膜のエッチングが進んでしまうため注意が必要である。

#### 【0146】

そして、ゲート電極の第1層目 1127、1128、1129、1130 とゲート電極の第3層目 1132、1133、1134、1135 とを形成する。ゲート電極の第1層目とゲート電極の第3層目とのチャネル長方向の長さは同じに形成され、ゲート電極の第1層目 1127、1128 とゲート電極の第3層目 1132、1133 は、ここでは 6  $\mu$ m の長さに形成する。また、ゲート電極の第1層目 1129、1130 とゲート電極の第3層目 1134、1135 は、4  $\mu$ m の長さに形成する（図12（B））。 10

#### 【0147】

また、画素マトリクス回路を構成する画素 TFT のドレイン側に保持容量を設ける構造となっている。このとき、導電層（A）と、導電層（C）とから保持容量の電極 1131、1136 を形成する。

#### 【0148】

そして、図12（C）に示すように、レジストマスク 1137、1138、1139、1140、1141 を形成して、n 型を付与する第2の不純物元素を添加する工程を行う。ここでは、フォスフィン（ $\text{PH}_3$ ）を用いたイオンドープ法で行う。この工程でも、ゲート絶縁膜 1106 を通してその下の半導体層にリンを添加するために、加速電圧は 80 keV と高めに設定する。そして、リンが添加された領域 1142、1143、1144、1145、1146、1147、1148 を形成する。この領域のリンの濃度は n 型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> とするのが好ましく、ここでは  $1 \times 10^{20}$  atoms/cm<sup>3</sup> とする。 20

#### 【0149】

この工程において、レジストマスク 1137、1138、1139、1140 のチャネル長方向の長さは、それぞれの TFT の構造を決める上で重要である。特に、nチャネル型 TFT においては、前述のゲート電極の第1層目と第3層目の長さ、このレジストマスクの長さにより、第2の不純物領域がゲート電極と重なる領域と、重ならない領域をある範囲で自由に決めることができる。本実施例では、ゲート電極の第1層目 1127、1128 とゲート電極の第3層目 1132、1133 の長さが 6  $\mu$ m であり、ゲート電極の第1層目 1129、1130 とゲート電極の第3層目 1134、1135 の長さが 4  $\mu$ m であるので、第1とゲート電極の第3層目の長さが 6  $\mu$ m で形成されたので、レジストマスク 1137 は 9  $\mu$ m の長さで、レジストマスク 1139、1140 は 7  $\mu$ m の長さで形成する。 30

#### 【0150】

図12（C）までの工程が終了したら、レジストマスク 1137、1138、1139、1140、1141 を除去して、第1の層間絶縁膜 1168 を形成する工程を行う。第1の層間絶縁膜 1168 は 2 層構造で形成する。最初に窒化シリコン膜を 50 nm の成膜する。窒化シリコン膜はプラズマ CVD 法で形成され、 $\text{SiH}_4$  を 5 SCCM、 $\text{NH}_3$  を 40 SCCM、 $\text{N}_2$  を 100 SCCM 導入して 0.7 Torr、300 W の高周波電力を投入する。そして、続いて酸化シリコン膜を TEOS を 500 SCCM、 $\text{O}_2$  を 50 SCCM 導入し 1 Torr、200 W の高周波電力を投入して 950 nm の厚さに成膜する。従って、合計 1  $\mu$ m の第1の層間絶縁膜 1168 を形成する。 40

#### 【0151】

熱処理の工程は、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために行う必要がある。この工程は、電気加熱炉を用いた熱アニール法や、前述のエキシマレーザーを用いたレーザーアニール法や、ハロゲンランプを用いたラビットサーマルアニール法（RTA 法）で行えば良い。しかし、レーザーアニール法は低い基板加熱温度で活性をすることができるが、ゲート電極の下の半導体層まで活性化させることは困難である。従って、ここでは熱アニール法で活性化の工程を行う。加熱処理は、窒素雰 50

雰囲気において300～700、好ましくは350～550、ここでは450、2時間の処理を行う。

【0152】

第1の層間絶縁膜1168はその後、パターニングでそれぞれのTFTのソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース配線1169、1170、1171、とドレイン配線1172、1173を形成する。図示していないが、本実施例ではこの配線を、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmをスパッタ法で連続して形成する3層構造の配線として用いる。

【0153】

そして、ソース配線1169、1170、1171とドレイン配線1172、1173と、第1の層間絶縁膜1168を覆ってパッシベーション膜1174を形成する。パッシベーション膜1174は、窒化シリコン膜で50nmの厚さで形成する。さらに、有機樹脂からなる第2の層間絶縁膜1175を約1000nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300で焼成して形成する。

【0154】

以上までの工程で、クラッド構造のゲート電極が形成され、CMOS回路のnチャネル型TFTにはチャネル形成領域1149、第1の不純物領域1152、1153、第2の不純物領域1150a、1150b、1151a、1151bが形成される。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)1150a、1151aが1.5μmの長さに、ゲート電極と重ならない領域(LDD領域)1150b、1151bが1.5μmの長さにそれぞれ形成される。そして、第1の不純物領域1152はソース領域として、第1の不純物領域1153はドレイン領域となる。

【0155】

pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域1154、第3の不純物領域1155a、1155b、1156a、1156bが形成される。そして、第3の不純物領域1155a、1155bはソース領域として、第3の不純物領域1156a、1156bはドレイン領域となる。

【0156】

また、画素マトリクス回路の画素TFTは、チャネル形成領域1157、1161と第1の不純物領域1160、1164と第2の不純物領域1158、1159、1162、1163が形成される。ここで第2の不純物領域は、ゲート電極と重なる領域1158a、1159a、1162a、1163aと重ならない領域1158b、1159b、1162b、1163bとが形成される。

【0157】

こうして図13に示すように、基板1101上にCMOS回路と、画素マトリクス回路が形成されたアクティブマトリクス基板が作製される。また、画素マトリクス回路のnチャネル型TFTのドレイン側には、保持容量部が同時に形成される。

【0158】

[実施例6]

本実施例では、実施例1で作製されたアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0159】

図5の状態のアクティブマトリクス基板に対して、図16(A)に示すように第2の層間絶縁膜381上に遮光膜1601、第3の層間絶縁膜1602を形成する。遮光膜1601は顔料を含む有機樹脂膜や、Ti、Crなどの金属膜を用いると良い。また、第3の層間絶縁膜1602は、ポリイミドなどの有機樹脂膜で形成する。そして、第3の層間絶縁

膜 1 6 0 2 と第 2 の層間絶縁膜 3 8 1 にドレイン配線 3 7 9 に達するコンタクトホールを形成し、画素電極 1 6 0 3 を形成する。画素電極 1 6 0 3 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を 1 0 0 nm の厚さにスパッタ法で形成し、画素電極 1 6 0 3 を形成する。

#### 【0160】

透明導電膜の材料のエッチング処理は塩酸系の溶液により行う。しかし、ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$  -  $\text{ZnO}$ ) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO と比較して熱安定性にも優れているという特徴をもつ。同様に、酸化亜鉛 ( $\text{ZnO}$ ) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム ( $\text{Ga}$ ) を添加した酸化亜鉛 ( $\text{ZnO} : \text{Ga}$ ) などを用いることができる。

10

#### 【0161】

次に、図 1 6 (B) に示すように、配向膜 1 6 0 4 を第 3 の層間絶縁膜 1 6 0 2 と画素電極 1 6 0 3 形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板 1 6 0 5 には、透明導電膜 1 6 0 6 と、配向膜 1 6 0 7 とを形成する。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにする。

#### 【0162】

上記の工程を経て、画素マトリクス回路と、CMOS 回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ (共に図示せず) などを介して貼り合わせる。その後、両基板の間に液晶材料 1 6 0 8 を注入し、封止剤 (図示せず) によって完全に封止する。よって図 1 6 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

20

#### 【0163】

次に本実施例のアクティブマトリクス型液晶表示装置の構成を、図 1 4 と図 1 5 (A)、(B) を用いて説明する。図 1 4 は本実施例のアクティブマトリクス基板の斜視図である。アクティブマトリクス基板は、ガラス基板 3 0 1 上に形成される画素マトリクス回路 1 4 0 1 と、走査 (ゲート) 線駆動回路 1 4 0 2 と、データ (ソース) 線駆動回路 1 4 0 3 で構成される。画素マトリクス回路の画素 TFT 1 4 0 0 は n チャネル型 TFT であり、周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。走査 (ゲート) 線駆動回路 1 4 0 2 と、データ (ソース) 線駆動回路 1 4 0 3 はそれぞれゲート配線 1 5 0 2 とソース配線 1 5 0 3 で画素マトリクス回路 1 4 0 1 に接続されている。

30

#### 【0164】

図 1 5 (A) は画素マトリクス回路 1 4 0 1 の上面図であり、ほぼ 1 画素の上面図である。画素マトリクス回路には画素 TFT である n チャネル型 TFT が設けられている。ゲート配線 1 5 0 2 に連続して形成されるゲート電極 1 5 2 0 は、図示されていないゲート絶縁膜を介してその下の半導体層 1 5 0 1 と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、画素 TFT のドレイン側には、半導体層と、ゲート絶縁膜と、ゲート電極と同じ材料で形成された電極とから、保持容量 1 5 0 7 が形成されている。そして、保持容量 1 5 0 7 に接続した容量配線 1 5 2 1 が、ゲート配線 1 5 0 2 と平行に設けられている。また、図 1 5 (A) で示す A - A' に沿った断面構造は、図 5 に示す CMOS 回路の断面図に対応している。

40

#### 【0165】

一方、図 1 5 (B) に示す CMOS 回路では、ゲート配線 1 5 1 5 から延在するゲート電極 1 5 1 3、1 5 1 4 が、図示されていないゲート絶縁膜を介してその下の半導体層 1 5 1 0、1 5 1 2 とそれぞれ交差している。図示はしていないが、同様に n チャネル型 TFT の半導体層には、ソース領域、ドレイン領域、第 1 の不純物領域が形成されている。また、p チャネル型 TFT の半導体層にはソース領域とドレイン領域が形成されている。そして、その位置関係は、B - B' に沿った断面構造は、図 5 に示す画素マトリクス回路の

50



断面図に対応している。

#### 【0166】

本実施例では、画素TFT1400をダブルゲートの構造としているが、シングルゲートの構造でも良いし、トリプルゲートとしたマルチゲート構造にしても構わない。本実施例のアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではない。本願発明の構造は、ゲート電極の構造と、ゲート絶縁膜を介して設けられた半導体層のソース領域と、ドレイン領域と、その他の不純物領域の構成に特徴があるので、それ以外の構成については実施者が適宜決定すれば良い。

#### 【0167】

本実施例で示すアクティブマトリクス型液晶表示装置を作製するためのアクティブマトリクス基板は、実施例1で示すものに限定れさず、実施例2～5および実施例7に示す工程に基づいて作製されるアクティブマトリクス基板であれば、いずれも適用することができる。

10

#### 【0168】

##### [実施例7]

本実施例では、実施例5で示したアクティブマトリクス基板の作製方法においてゲッタリング工程を簡略化する方法を示す。まず、実施例5において、図11(A)で示される半導体層1103、1104、1105は、触媒元素を用いて作製された結晶質シリコン膜である。このとき、結晶化の工程で用いられた触媒元素が半導体層中に残存するので、ゲッタリングの工程を実施することが望ましい。実施例5では結晶質シリコン膜が得られた後で、その結晶質シリコン膜の一部にリンを添加してゲッタリングする方法であったが、ここでは、そのゲッタリング工程を実施せずに、以下に述べる方法で触媒元素をTFTのチャンネル形成領域から除去する。

20

#### 【0169】

ここでは、図11(A)から図12(C)に示す工程までそのまま実施する。そして、レジストマスク1137、1138、1139、1140、1141を除去する。

#### 【0170】

このとき、nチャンネル型TFTの第1の不純物領域1152、1153、1160、1164にはリンが添加されている。またpチャンネル型TFTの第3の不純物領域の1155b、1156bにも同様にリンが添加されている。実施例5に従えばこのときリン濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ である。

30

#### 【0171】

この状態で、図22に示すようにゲート絶縁膜およびゲート電極を窒化シリコン膜1180で被覆する。窒化シリコン膜はプラズマCVD法で、10～100nm、ここでは50nmの厚さに形成する。窒化シリコン膜の代わりに酸化窒化シリコン膜を用いても良い。

#### 【0172】

実施例5では、ゲート電極の第3層目をMo-Wで形成する。またその他にTi、Ta、Mo、Wなどで形成しても良い。そしてこれらの材料は大気圧中または窒素ガスをパージしながらの加熱処理で比較的酸化されやすいものである。このような状況において、その表面を窒化シリコンで被覆すると酸化を防止することができる。

40

#### 【0173】

この状態で、窒素雰囲気中で400～800℃、1～24時間、例えば600℃、12時間の加熱処理の工程を行う。この工程により、添加されたn型及びp型を付与する不純物元素を活性化することができる。さらに、リンが添加されている領域がゲッタリングサイトとなり、結晶化の工程の後残存していた触媒元素を偏析させることができる。その結果、チャンネル形成領域から触媒元素を除去することができる。その結果、完成したTFTにおいてオフ電流を低減させる効果が得られる。

#### 【0174】

図22の工程が終了したら、以降の工程は実施例5の工程に従い、第1の層間絶縁膜、ソース配線およびドレイン配線、パッシベーション膜、第2の層間絶縁膜を形成し、図13

50

状態を形成することによりアクティブマトリクス基板を作製することができる。

【0175】

[実施例8]

本実施例では、図1で示したCMOS回路の回路構成の他の例について図23を用いて説明する。尚、図23(A)のインバータ回路図、図23(B)のインバータ回路の上面図における各端子部a、b、c、dは対応している。

【0176】

図23(A)に示すインバータ回路について、その上面図を図23(B)に示す。図23(B)のA-A'断面構造を図23(C)に示し、ゲート電極2409、2409'、nチャンネル型TFTのソース配線2411、pチャンネル型TFTのソース配線2414、共通ドレイン配線2413から構成されている。ここで、ゲート電極2409、2409'は、ゲート電極の第1層目2408、2408'、ゲート電極の第2層目2409、2409'、ゲート電極の第3層目2410、2410'が一体となった状態を表している。

【0177】

このインバータ回路のnチャンネル型TFTには第2の不純物領域2402が設けられている。詳細には、ゲート電極2409とオーバーラップしている第2の不純物領域2402aと、オーバーラップしない第2の不純物領域(LDD領域)2402bとが形成されている。このような構造はドレイン側のみに設ければ良い。また、pチャンネル型TFTにはこのような不純物領域は設けられていない。

【0178】

[実施例9]

上述の本発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0179】

等方相-コレステリック相-カイラルスメクティックC相転移系列を示す強誘電性液晶(FLC)を用い、DC電圧を印加しながらコレステリック相-カイラルスメクティックC相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定FLCの電気光学特性を図24に示す。図24に示すような強誘電性液晶による表示モードは「Half-V字スイッチングモード」と呼ばれている。図24に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。「Half-V字スイッチングモード」については、寺田らの「Half-V字スイッチングモードFLCD」、第46回応用物理学関係連合講演会講演予稿集、1999年3月、第1316頁、および吉原らの「強誘電性液晶による時分割フルカラーLCD」、液晶第3巻第3号第190頁に詳しい。

【0180】

図24に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本願発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0181】

また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶(AFLC)という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、いわゆるV字型の電気光学応答特性を示すものがあり、その駆動電圧が約 $\pm 2.5$  V程度(セル厚約 $1\mu\text{m} \sim 2\mu\text{m}$ )のものも見出されている。

## 【 0 1 8 2 】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。

## 【 0 1 8 3 】

なお、このような無しきい値反強誘電性混合液晶を本願発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

## 【 0 1 8 4 】

## [ 実施例 1 0 ]

本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置や有機 E L 表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示部として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、携帯電話、ビデオカメラ、携帯情報端末、ゴーグル型ディスプレイ、記録媒体のプレーヤー、携帯書籍、パーソナルコンピュータ、デジタルカメラ、プロジェクターなどが上げられる。それらの一例を図 2 5 と図 2 6 に示す。

## 【 0 1 8 5 】

図 2 5 ( A ) は携帯電話であり、本体 9 0 0 1、音声出力部 9 0 0 2、音声入力部 9 0 0 3、表示装置 9 0 0 4、操作スイッチ 9 0 0 5、アンテナ 9 0 0 6 から構成されている。本願発明は音声出力部 9 0 0 2、音声入力部 9 0 0 3、及びアクティブマトリクス基板を備えた表示装置 9 0 0 4 に適用することができる。

## 【 0 1 8 6 】

図 2 5 ( B ) はビデオカメラであり、本体 9 1 0 1、表示装置 9 1 0 2、音声入力部 9 1 0 3、操作スイッチ 9 1 0 4、バッテリー 9 1 0 5、受像部 9 1 0 6 で構成される。本発明は表示装置 9 1 0 2 やその他の信号制御回路に適用することができる。

## 【 0 1 8 7 】

図 2 5 ( C ) は携帯情報端末であり、本体 9 2 0 1、画像入力部 9 2 0 2、受像部 9 2 0 3、操作スイッチ 9 2 0 4、表示装置 9 2 0 5 で構成される。本発明は表示装置 9 2 0 5 やその他の信号制御回路に適用することができる。

## 【 0 1 8 8 】

図 2 5 ( D ) はゴーグル型ディスプレイであり、本体 9 3 0 1、表示装置 9 3 0 2、アーム部 9 3 0 3 で構成される。本願発明は表示装置 9 3 0 2 に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

## 【 0 1 8 9 】

図 2 5 ( E ) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 9 4 0 1、表示装置 9 4 0 2、スピーカー部 9 4 0 3、記録媒体 9 4 0 4、操作スイッチ 9 4 0 5 で構成される。尚、記録媒体には D V D ( Digital Versatile Disc ) やコンパクトディスク ( C D ) などを用い、音楽プログラムの再生や映像表示、ビデオゲーム（またはテレビゲーム）やインターネットを介した情報表示などを行うことができる。本発明は表示装置 9 4 0 2 やその他の信号制御回路に好適に利用することができる。

## 【 0 1 9 0 】

図 2 5 ( F ) は携帯書籍であり、本体 9 5 0 1、表示装置 9 5 0 2、9 5 0 3、記憶媒体 9 5 0 4、操作スイッチ 9 5 0 5、アンテナ 9 5 0 6 から構成されており、ミニディスク ( M D ) や D V D に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置 9 5 0 2、9 5 0 3 は直視型の表示装置であり、本願発明はこの適用することができる。

## 【 0 1 9 1 】

図 2 5 ( G ) はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体 9 6 0 1、画像入力部 9 6 0 2、表示装置 9 6 0 3、キーボード 9 6 0 4 で構成

10

20

30

40

50

される。本発明は表示装置 9 6 0 3 やその他の信号処理回路を形成することができる。

【 0 1 9 2 】

図 2 6 ( H ) はデジタルカメラであり、本体 9 7 0 1、表示装置 9 7 0 2、接眼部 9 7 0 3、操作スイッチ 9 7 0 4、受像部(図示しない)で構成される。本発明は表示装置 9 7 0 2 やその他の信号制御回路に適用することができる。

【 0 1 9 3 】

図 2 6 ( A ) はフロント型プロジェクターであり、光源光学系および表示装置 2 6 0 1、スクリーン 2 6 0 2 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。図 2 6 ( B ) はリア型プロジェクターであり、本体 2 7 0 1、光源光学系および表示装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

10

【 0 1 9 4 】

なお、図 2 6 ( C ) に、図 2 6 ( A ) および図 2 6 ( B ) における光源光学系および表示装置 2 6 0 1、2 7 0 2 の構造の一例を示す。光源光学系および表示装置 2 6 0 1、2 7 0 2 は光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、ビームスプリッター 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は複数の光学レンズで構成される。図 2 6 ( C ) では液晶表示装置 2 8 0 8 を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図 2 6 ( C ) 中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IR フィルムなどを設けても良い。また、図 2 6 ( D ) は図 2 6 ( C ) における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 はリフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。尚、図 2 6 ( D ) に示した光源光学系は一例であって図示した構成に限定されるものではない。

20

【 0 1 9 5 】

また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサの読み取り回路などにも適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態および、実施例 1 ~ 9 及び実施例 1 1 のどのような組み合わせから成る構成を用いても実現することができる。

30

【 0 1 9 6 】

[ 実施例 1 1 ]

本実施例では、本願発明を用いて E L ( エレクトロルミネッセンス ) 表示装置を作製した例について説明する。

【 0 1 9 7 】

図 2 7 ( A ) は本願発明を用いた E L 表示装置の上面図である。図 2 7 ( A ) において、4 0 1 0 は基板、4 0 1 1 は画素部、4 0 1 2 はソース側駆動回路、4 0 1 3 はゲート側駆動回路であり、それぞれの駆動回路は配線 4 0 1 4 ~ 4 0 1 6 を経て F P C 4 0 1 7 に至り、外部機器へと接続される。

40

【 0 1 9 8 】

このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 6 0 0 0、シーリング材(ハウジング材ともいう) 7 0 0 0、密封材(第 2 のシーリング材) 7 0 0 1 が設けられている。

【 0 1 9 9 】

また、図 2 7 ( B ) は本実施例の E L 表示装置の断面構造であり、基板 4 0 1 0、下地膜 4 0 2 1 の上に駆動回路用 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を組み合わせた C M O S 回路を図示している。) 4 0 2 2 及び画素部用 T F T 4 0 2 3 (但し、ここでは E L 素子への電流を制御する T F T だけ図示している。) が形成されている。

50

## 【0200】

本願発明は、駆動回路用TF T 4022、画素部用TF 4023に際して用いることができる。

## 【0201】

本願発明を用いて駆動回路用TF T 4022、画素部用TF T 4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TF T 4023のドレインと電氣的に接続する透明導電膜でなる画素電極4027を形成する。画素電極4027が透明導電膜である場合、画素部用TF Tとしては、pチャネル型TF Tを用いることが好ましい。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

10

## 【0202】

次に、EL層4029を形成する。EL層4029は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

## 【0203】

20

本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

## 【0204】

EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を連続成膜するか、EL層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

30

## 【0205】

なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

40

## 【0206】

4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

## 【0207】

50

このようにして形成されたＥＬ素子の表面を覆って、パッシベーション膜６００３、充填材６００４、カバー材６０００が形成される。

【０２０８】

さらに、ＥＬ素子部を囲むようにして、カバー材７０００と基板４０１０の内側にシーリング材が設けられ、さらにシーリング材７０００の外側には密封材（第２のシーリング材）７００１が形成される。

【０２０９】

このとき、この充填材６００４は、カバー材６０００を接着するための接着剤としても機能する。充填材６００４としては、ＰＶＣ（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。この充填材６００４の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

10

【０２１０】

また、充填材６００４の中にスペーサーを含有させてもよい。このとき、スペーサーをＢａＯなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【０２１１】

スペーサーを設けた場合、パッシベーション膜６００３はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【０２１２】

また、カバー材６０００としては、ガラス板、アルミニウム板、ステンレス板、ＦＲＰ（Fiber glass - Reinforced Plastics）板、ＰＶＦ（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材６００４としてＰＶＢやＥＶＡを用いる場合、数十μｍのアルミニウムホイルをＰＶＦフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

20

【０２１３】

但し、ＥＬ素子からの発光方向（光の放射方向）によっては、カバー材６０００が透光性を有する必要がある。

【０２１４】

また、配線４０１６はシーリング材７０００および密封材７００１と基板４０１０との隙間を通してＦＰＣ４０１７に電氣的に接続される。なお、ここでは配線４０１６について説明したが、他の配線４０１４、４０１５も同様にしてシーリング材７０００および密封材７００１の下を通してＦＰＣ４０１７に電氣的に接続される。

30

【０２１５】

[実施例１２]

本実施例では、本願発明を用いて実施例１１とは異なる形態のＥＬ表示装置を作製した例について、図２８（Ａ）、（Ｂ）を用いて説明する。図２７（Ａ）、（Ｂ）と同じ番号のものは同じ部分を指しているので説明は省略する。

【０２１６】

図２８（Ａ）は本実施例のＥＬ表示装置の上面図であり、図２８（Ａ）をＡ-Ａ'で切断した断面図を図２８（Ｂ）に示す。

40

【０２１７】

実施例１１に従って、ＥＬ素子の表面を覆ってパッシベーション膜６００３までを形成する。

【０２１８】

さらに、ＥＬ素子を覆うようにして充填材６００４を設ける。この充填材６００４は、カバー材６０００を接着するための接着剤としても機能する。充填材６００４としては、ＰＶＣ（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）を用いることができる。この充填材６

50

004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0219】

また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0220】

スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0221】

また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 $\mu$ mのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0222】

但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0223】

次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0224】

また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。

【0225】

[実施例13]

本実施例ではEL表示装置の画素部の詳細な断面構造を図29に、上面構造を図30(A)に、回路図を図30(B)に示す。図29、図30(A)及び図30(B)では共通の符号を用いるので互いに参照すれば良い。

【0226】

図29において、基板3001上に設けられたスイッチング用TFT3002は本願発明のnチャネル型TFTを用いて形成される(実施例1~8参照)。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明のpチャネル型TFTを用いて形成しても構わない。

【0227】

また、電流制御用TFT3003は本願発明のnチャネル型TFTを用いて形成される。このとき、スイッチング用TFT3002のドレイン配線3035は配線3036によって電流制御用TFTのゲート電極3037に電氣的に接続されている。また、3038で示される配線は、スイッチング用TFT3002のゲート電極3039a、3039bを電

10

20

30

40

50

氣的に接続するゲート配線である。

【0228】

このとき、電流制御用TFT3003が本願発明の構造であることは非常に重要な意味を持つ。電流制御用TFTはEL素子を通る電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにGOLD領域（第2の不純物領域）を設ける本願発明の構造は極めて有効である。

【0229】

また、本実施例では電流制御用TFT3003をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0230】

また、図30(A)に示すように、電流制御用TFT3003のゲート電極3037となる配線は3004で示される領域で、電流制御用TFT3003のドレイン配線3040と絶縁膜を介して重なる。このとき、3004で示される領域ではコンデンサが形成される。このコンデンサ3004は電流制御用TFT3003のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線3040は電流供給線（電源線）3006に接続され、常に一定の電圧が加えられている。

【0231】

スイッチング用TFT3002及び電流制御用TFT3003の上には第1パッシベーション膜3041が設けられ、その上に樹脂絶縁膜でなる平坦化膜3042が形成される。平坦化膜3042を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0232】

また、3043は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、電流制御用TFT3003のドレインに電氣的に接続される。この場合においては、電流制御用TFTとしてnチャネル型TFTを用いることが好ましい。画素電極3043としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0233】

また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0234】

なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p.33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0235】

具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150nm（好ましくは40～100nm）とすれば良い。

10

20

30

40

50



## 【0236】

但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせ、EL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

## 【0237】

例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

## 【0238】

本実施例では発光層3045の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層3046を設けた積層構造のEL層としている。そして、正孔注入層3046の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層3045で生成された光は上面側に向かって（TF Tの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

## 【0239】

陽極3047まで形成された時点でEL素子3005が完成する。なお、ここでいうEL素子3005は、画素電極（陰極）3043、発光層3045、正孔注入層3046及び陽極3047で形成されたコンデンサを指す。図30（A）に示すように画素電極3043は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

## 【0240】

ところで、本実施例では、陽極3047の上にさらに第2パッシベーション膜3048を設けている。第2パッシベーション膜3048としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

## 【0241】

以上のように本願発明のEL表示パネルは図29のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TF Tと、ホットキャリア注入に強い電流制御用TF Tとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

## 【0242】

なお、本実施例の構成は、実施例1～8構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示装置を用いることは有効である。

## 【0243】

## [実施例14]

本実施例では、実施例13に示した画素部において、EL素子3005の構造を反転させた構造について説明する。説明には図31を用いる。なお、図29の構造と異なる点はEL素子の部分と電流制御用TF Tだけであるので、その他の説明は省略することとする。

## 【0244】

図31において、電流制御用TF T3103は本願発明のpチャネル型TF Tを用いて形成される。作製プロセスは実施例1～8を参照すれば良い。

## 【0245】

本実施例では、画素電極（陽極）3050として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズ

10

20

30

40

50

との化合物でなる導電膜を用いても良い。

【0246】

そして、絶縁膜でなるバンク3051a、3051bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層3053、アルミニウム合金でなる陰極3054が形成される。この場合、陰極3054がパッシベーション膜としても機能する。こうしてEL素子3101が形成される。

【0247】

本実施例の場合、発光層3052で発生した光は、矢印で示されるようにTF Tが形成された基板の方に向かって放射される。

10

【0248】

なお、本実施例の構成は、実施例1～8の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0249】

[実施例15]

本実施例では、図30(B)に示した回路図とは異なる構造の画素とした場合の例について図32(A)～(C)に示す。なお、本実施例において、3201はスイッチング用TF T 3202のソース配線、3203はスイッチング用TF T 3202のゲート配線、3204は電流制御用TF T、3205はコンデンサ、3206、3208は電流供給線、3207はEL素子とする。

20

【0250】

図32(A)は、二つの画素間で電流供給線3206を共通とした場合の例である。即ち、二つの画素が電流供給線3206を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0251】

また、図32(B)は、電流供給線3208をゲート配線3203と平行に設けた場合の例である。なお、図32(B)では電流供給線3208とゲート配線3203とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3208とゲート配線3203とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

30

【0252】

また、図32(C)は、図32(B)の構造と同様に電流供給線3208をゲート配線3203a、3230bと平行に設け、さらに、二つの画素を電流供給線3208を中心に線対称となるように形成する点に特徴がある。また、電流供給線3208をゲート配線3203a、3230bのいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

40

【0253】

なお、本実施例の構成は、実施例1～8の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示装置を用いることは有効である。

【0254】

[実施例16]

実施例13に示した図30(A)、(B)では電流制御用TF T 3003のゲートにかかる電圧を保持するためにコンデンサ3004を設ける構造としているが、コンデンサ3004を省略することも可能である。実施例13の場合、電流制御用TF T 3003として実施例1～8に示すような本願発明のnチャネル型TF Tを用いているため、ゲート絶縁

50

膜を介してゲート電極に重なるように設けられたGOLD領域(第2の不純物領域)を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3004の代わりとして積極的に用いる点に特徴がある。

【0255】

この寄生容量のキャパシタンスは、上記ゲート電極とGOLD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるGOLD領域の長さによって決まる。

【0256】

また、実施例15に示した図32(A)、(B)、(C)の構造においても同様に、コン

10

【0257】

なお、本実施例の構成は、実施例1～8の構成と自由に組み合わせて実施することが可能である。また、実施例10の電子機器の表示部として本実施例の画素構造を有するEL表示装置を用いることは有効である。

【0258】

【発明の効果】

本願発明を実施することで、画素マトリクス回路のnチャネル型TFTに15～20Vのゲート電圧を印加して駆動させても、安定した動作を得ることができた。その結果、結晶質TFTで作製されたCMOS回路を含む半導体装置、また、具体的には液晶表示装置の

20

【0259】

また、本発明によれば、nチャネル型TFTのチャネル形成領域とドレイン領域との間に形成される第2の不純物領域において、その第2の不純物領域がゲート電極と重なる領域(GOLD領域)と重ならない領域(LDD領域)の長さを容易に作り分けることが可能である。具体的には、TFTの駆動電圧に応じて第2の不純物領域がゲート電極と重なる領域(GOLD領域)と重ならない領域(LDD領域)の長さを決めることも可能であり、このことは、同一基板内において異なる駆動電圧でTFT動作させる場合に、それぞれの駆動電圧に応じたTFTを同一工程で作製することを可能とする。

30

【0260】

また、本発明のこのような特徴は、駆動電圧や要求されるTFT特性が画素マトリクス回路とドライバ回路で異なるアクティブマトリクス型の液晶表示装置においてきわめて適したものである。

【図面の簡単な説明】

【図1】 本実施形態のTFTの断面図。

【図2】 ゲート電極と第2の不純物領域との位置関係を説明する図。

【図3】 TFTの作製工程を示す断面図。

【図4】 TFTの作製工程を示す断面図。

【図5】 TFTの作製工程を示す断面図。

40

【図6】 TFTの作製工程を示す断面図。

【図7】 TFTの作製工程を示す断面図。

【図8】 TFTの作製工程を示す断面図。

【図9】 TFTの作製工程を示す断面図。

【図10】 TFTの作製工程を示す断面図。

【図11】 TFTの作製工程を示す断面図。

【図12】 TFTの作製工程を示す断面図。

【図13】 TFTの作製工程を示す断面図。

【図14】 アクティブマトリクス基板の斜視図。

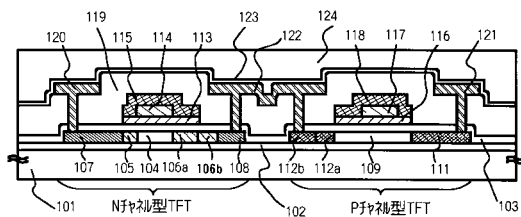
【図15】 アクティブマトリクス回路とCMOS回路の上面図。

50

- 【図16】 液晶表示装置の作製工程を示す断面図。  
 【図17】 ゲート電極の構成を示す図。  
 【図18】 TFTの構造と電気的特性を説明する図。  
 【図19】 結晶質シリコン膜の作製工程を示す図。  
 【図20】 結晶質シリコン膜の作製工程を示す図。  
 【図21】 結晶質シリコン膜の作製工程を示す図。  
 【図22】 TFTの作製工程を示す断面図。  
 【図23】 インバータ回路図、上面図、および断面構造図。  
 【図24】 強誘電性混合液晶の光透過率特性を示す図。  
 【図25】 半導体装置の一例を示す図。  
 【図26】 プロジェクターの構成を説明する図。  
 【図27】 アクティブマトリクス型EL表示装置の上面図及び断面図。  
 【図28】 アクティブマトリクス型EL表示装置の上面図及び断面図。  
 【図29】 アクティブマトリクス型EL表示装置の画素部の断面図。  
 【図30】 アクティブマトリクス型EL表示装置の画素部の上面図及び回路図。  
 【図31】 アクティブマトリクス型EL表示装置の画素部の断面図。  
 【図32】 アクティブマトリクス型EL表示装置の画素部の回路図。

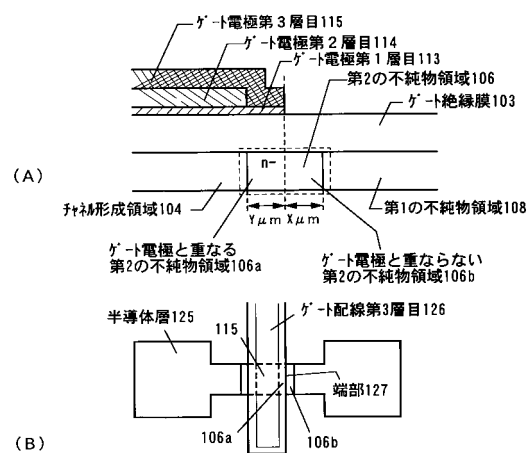
10

【図1】



101:基板、102:下地膜、103:ゲート絶縁膜、104,109:チャネル領域、  
 105,106:第2の不純物領域、107,108第1の不純物領域、  
 111,112:第3の不純物領域、113,116:ゲート電極の1層目、  
 114,117:ゲート電極の2層目、115,118:ゲート電極の3層目、  
 119:第1の層間絶縁膜、120,121:ソース配線、122:ドレイン配線、  
 123:パッシベーション膜、124:第2の層間絶縁膜

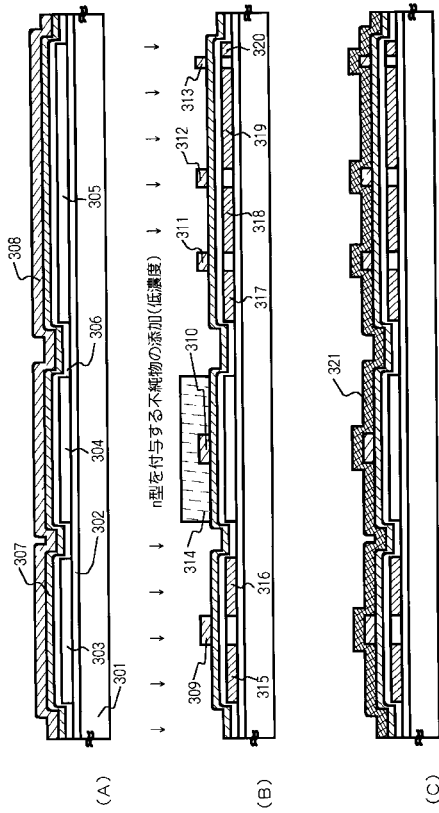
【図2】



設計値の一例

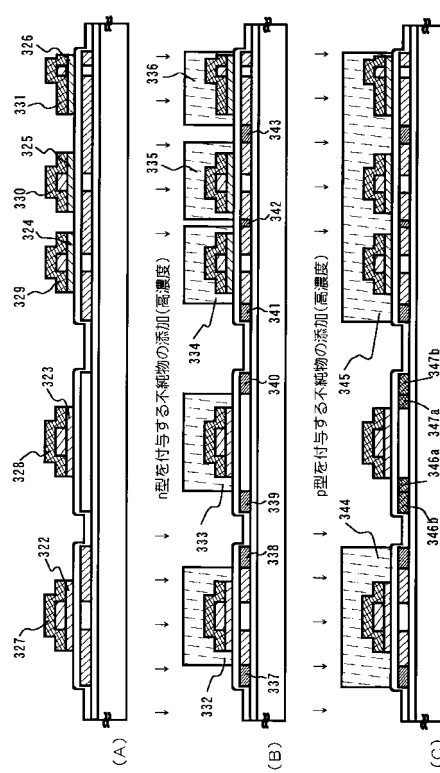
	TFT電源電圧	チャネル長 $\mu\text{m}$	$Y\mu\text{m}$	$X\mu\text{m}$
ドライバ バック回路部TFT	(16 $\pm$ 2)V系	5.0 $\pm$ 1.5	2.5 $\pm$ 0.3	2.5 $\pm$ 0.5
ドライバ オン回路部TFT	(20 $\pm$ 3)V系	5.0 $\pm$ 2.0	3.0 $\pm$ 0.5	3.0 $\pm$ 0.5
ドライバ オフ回路部TFT	(5 $\pm$ 1)V系	3.0 $\pm$ 1.0	0.5 $\pm$ 0.3	0.5 $\pm$ 0.3
ドライバ スイッチング部TFT	(10 $\pm$ 1)V系	3.5 $\pm$ 1.0	2.0 $\pm$ 0.3	1.0 $\pm$ 0.5
画素回路部TFT	(16 $\pm$ 2)V系	3.0 $\pm$ 1.0	1.5 $\pm$ 0.5	1.5 $\pm$ 0.5
画素回路部TFT	(16 $\pm$ 2)V系	3.0 $\pm$ 1.0	1.5 $\pm$ 0.5	1.5 $\pm$ 0.5

【図 3】



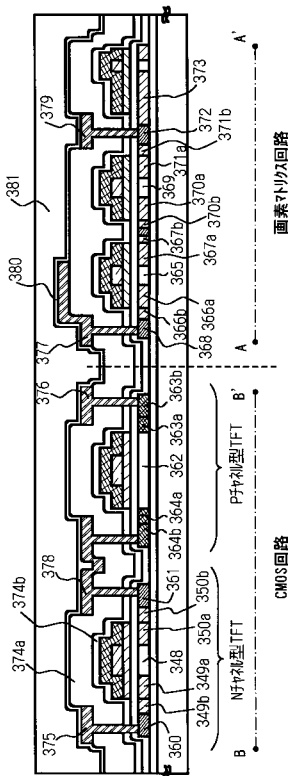
301:基板、302:下地膜、303,304,305:半導体膜、306:ゲート絶縁膜、307:絶縁膜(A)、308:絶縁膜(B)、309,310,311,312:ゲート電極第2層目、313:保持容量配線、314:シフトレジスタ、321:導電層(C)、322,323,324,325,326:ゲート電極第1層目、327,328,329,330,331:ゲート電極第3層目、332,333,334,335,336,337,338,339,340,341,342,343,344,345:シフトレジスタ

【図 4】



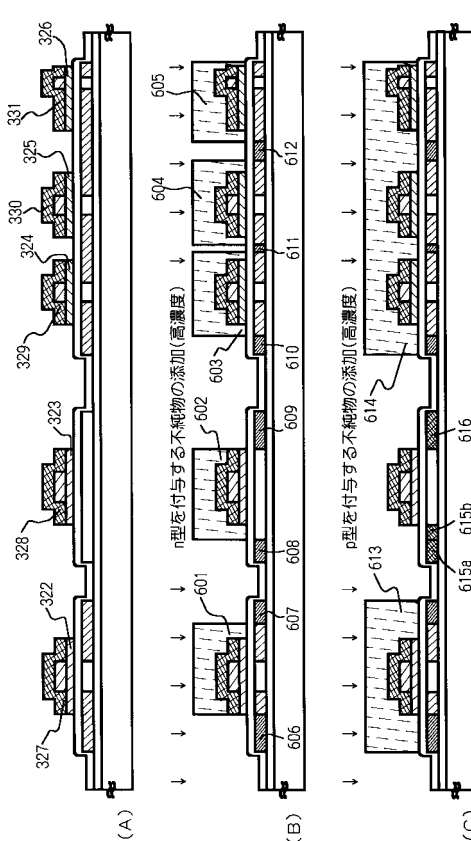
322,323,324,325,326:ゲート電極第1層目、327,328,329,330,331:ゲート電極第3層目、332,333,334,335,336,337,338,339,340,341,342,343,344,345:シフトレジスタ

【図 5】



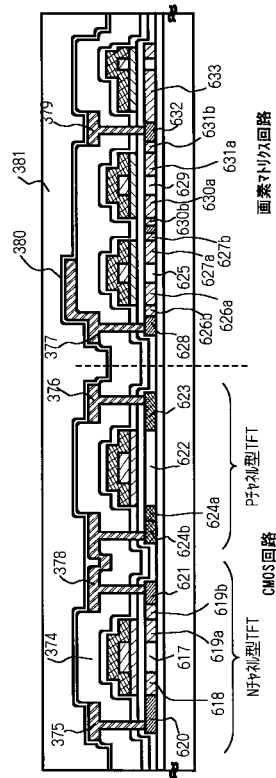
348,362,365,369:チャネル形成領域、349,350,366,367,370,371:第2の不純物領域(n型)、360,361,368,372:第1の不純物領域(n型)、363,364:第3の不純物領域(p型)、373:不純物領域、374:第1の層間絶縁膜、375,376,377:シフトレジスタ、378,379:トリア角配線、380:シリコン-ポリシリコン、381:第2の層間絶縁膜

【図 6】



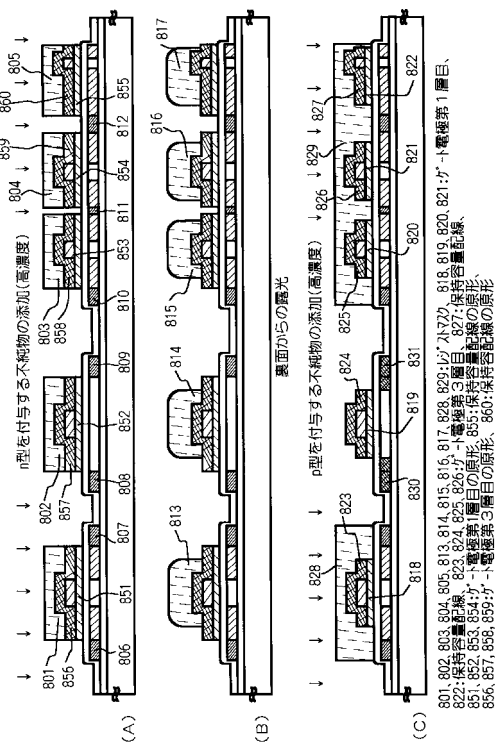
601,602,603,604,605,613,614:シフトレジスタ

【図 7】



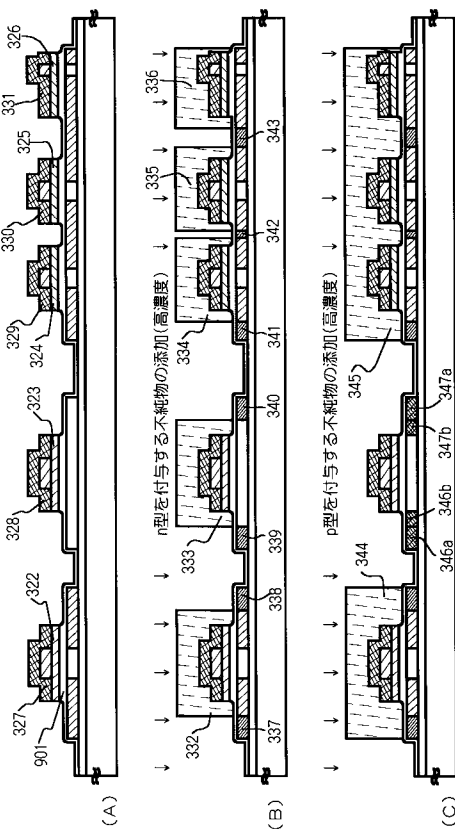
617, 622, 625, 629, 631, 632, 633: 第1の不純物領域 (n型)、  
620, 621, 628, 632: 第2の不純物領域 (n型)、623, 624: 第3の不純物領域 (p型)、  
633: 不純物領域

【図 8】

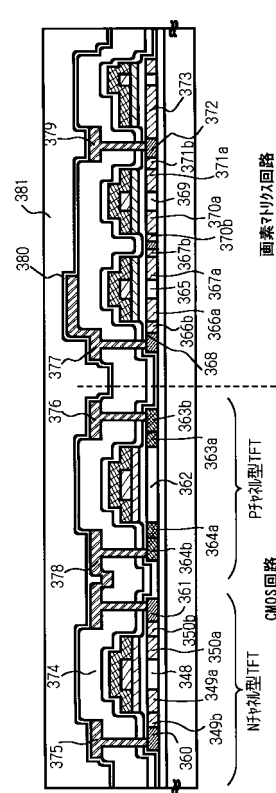


801, 802, 803, 804, 805, 806, 807, 808, 809, 810, 811, 812, 813, 814, 815, 816, 817, 818, 819, 820, 821, 822, 823, 824, 825, 826, 827, 828, 829, 830, 831, 832, 833, 834, 835, 836, 837, 838, 839, 840, 841, 842, 843, 844, 845, 846, 847, 848, 849, 850, 851, 852, 853, 854, 855, 856, 857, 858, 859, 860, 861, 862, 863, 864, 865, 866, 867, 868, 869, 870, 871, 872, 873, 874, 875, 876, 877, 878, 879, 880, 881, 882, 883, 884, 885, 886, 887, 888, 889, 890, 891, 892, 893, 894, 895, 896, 897, 898, 899, 900, 901, 902, 903, 904, 905, 906, 907, 908, 909, 910, 911, 912, 913, 914, 915, 916, 917, 918, 919, 920, 921, 922, 923, 924, 925, 926, 927, 928, 929, 930, 931, 932, 933, 934, 935, 936, 937, 938, 939, 940, 941, 942, 943, 944, 945, 946, 947, 948, 949, 950, 951, 952, 953, 954, 955, 956, 957, 958, 959, 960, 961, 962, 963, 964, 965, 966, 967, 968, 969, 970, 971, 972, 973, 974, 975, 976, 977, 978, 979, 980, 981, 982, 983, 984, 985, 986, 987, 988, 989, 990, 991, 992, 993, 994, 995, 996, 997, 998, 999, 1000. A label '面素リソース回路' (Surface resource circuit) is also present.

【図 9】

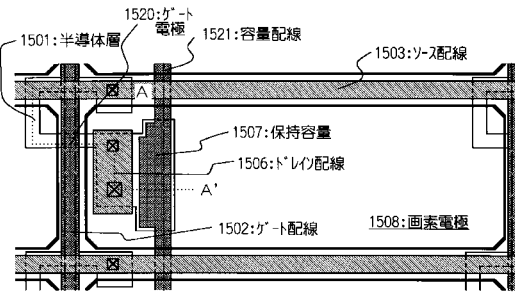


【図 10】

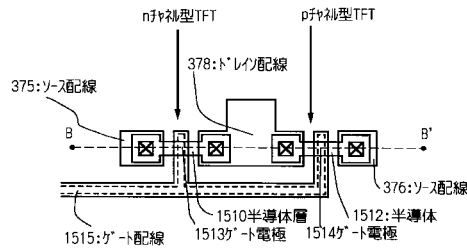




【図 15】

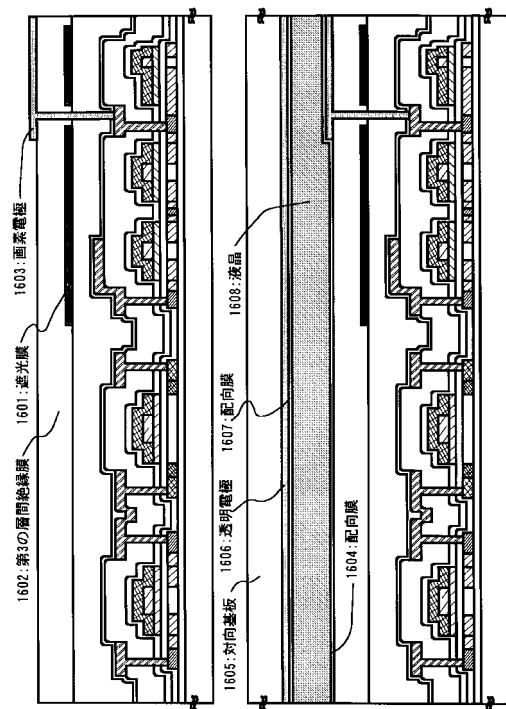


(A) 画素TFT回路上面図



(B) CMOS回路上面図

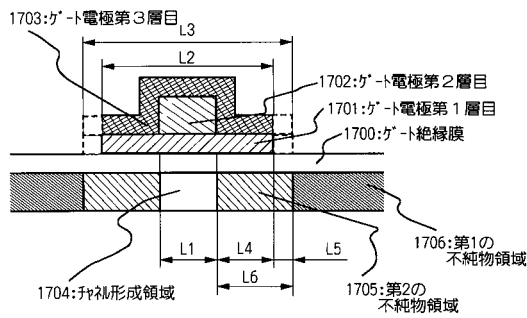
【図 16】



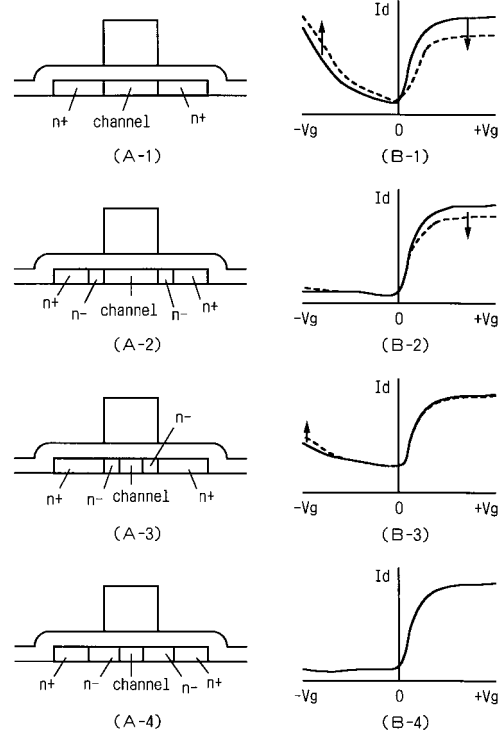
(A)

(B)

【図 17】

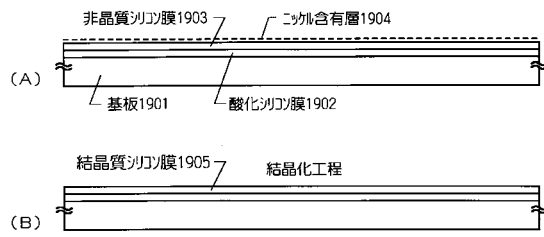


【図 18】

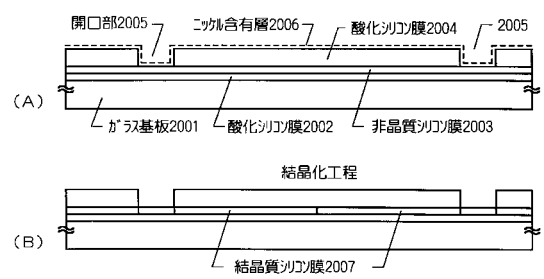




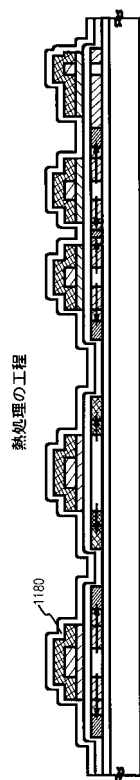
【図 19】



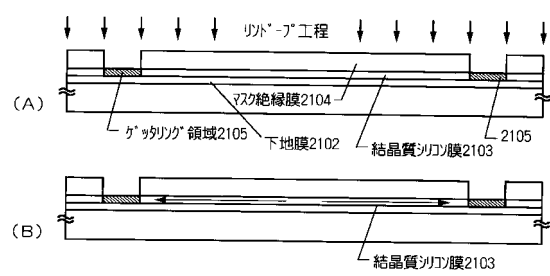
【図 20】



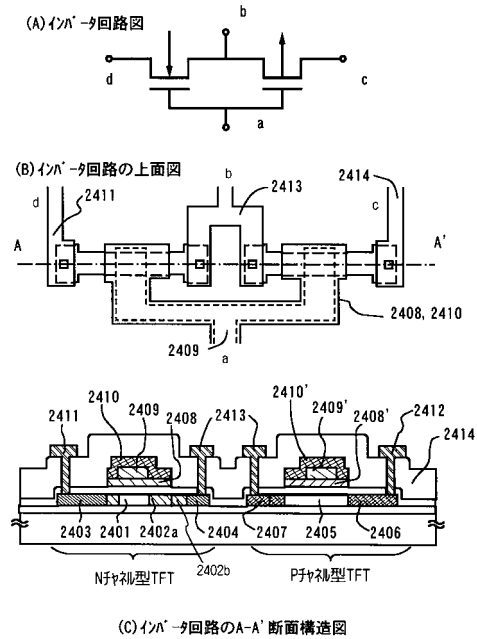
【図 22】



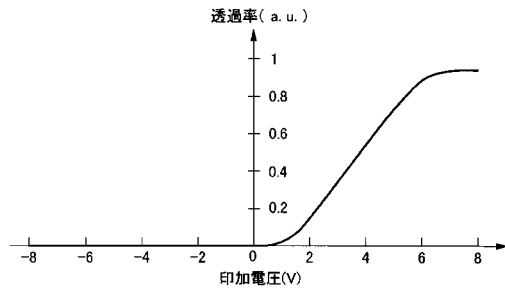
【図 21】



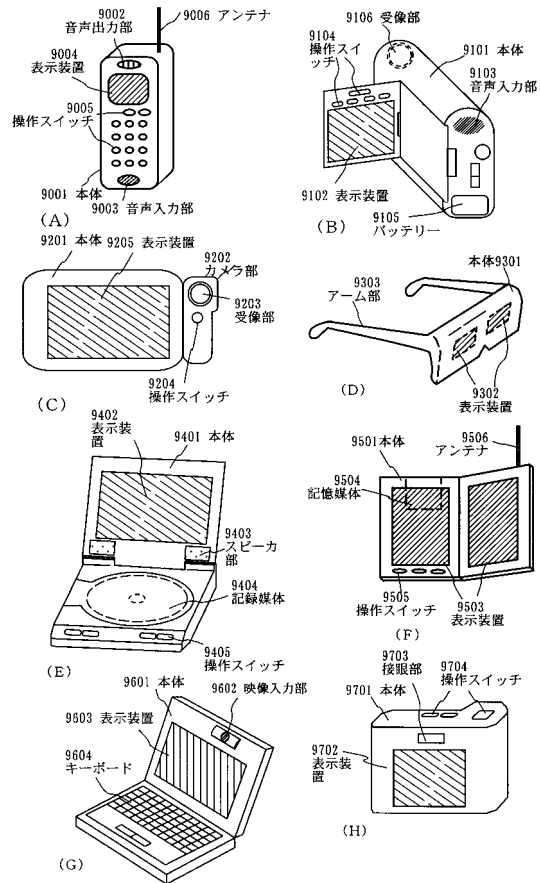
【図 23】



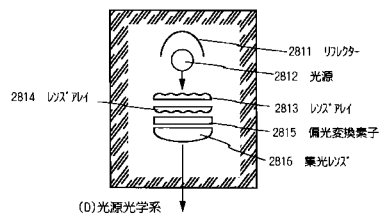
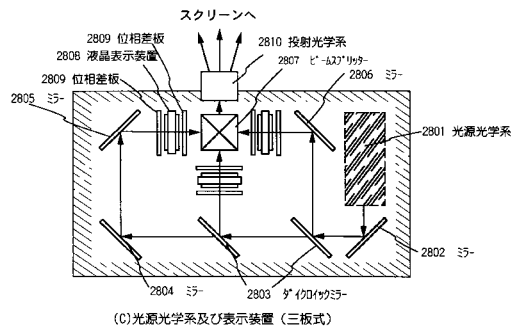
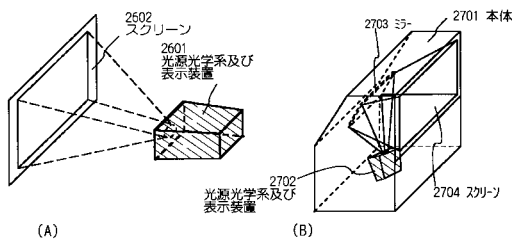
【図 24】



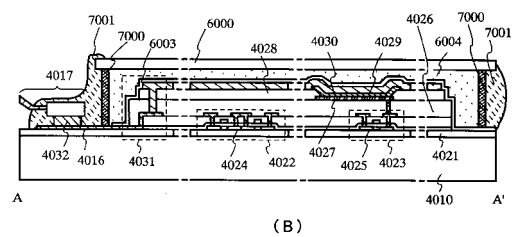
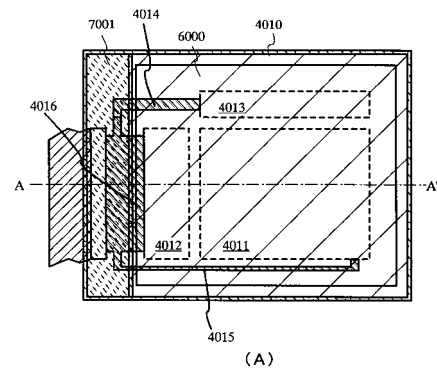
【図 25】



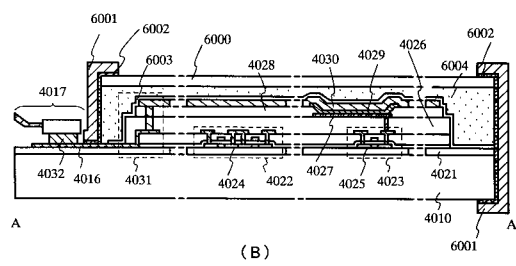
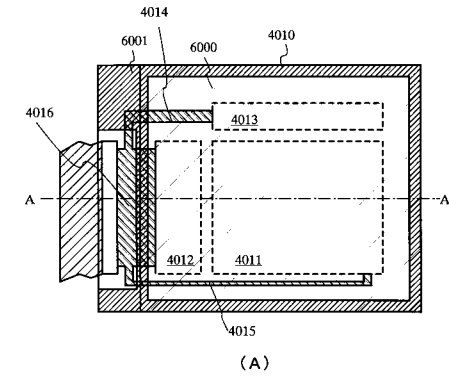
【図 26】



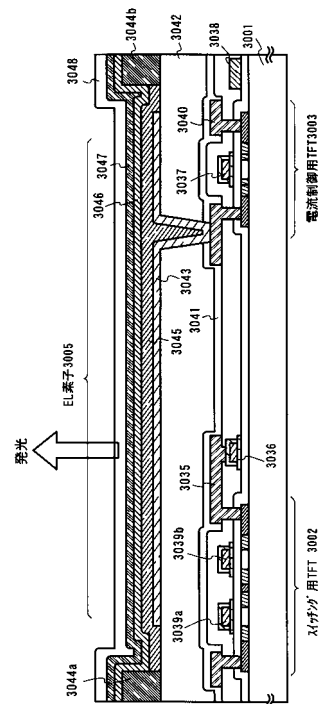
【図 27】



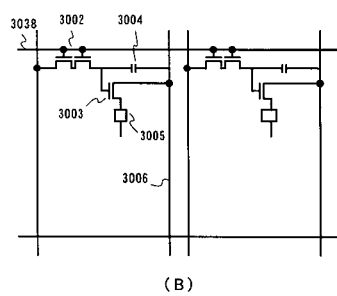
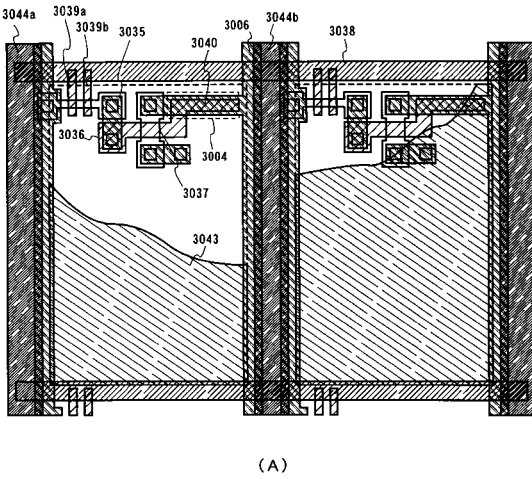
【図 28】



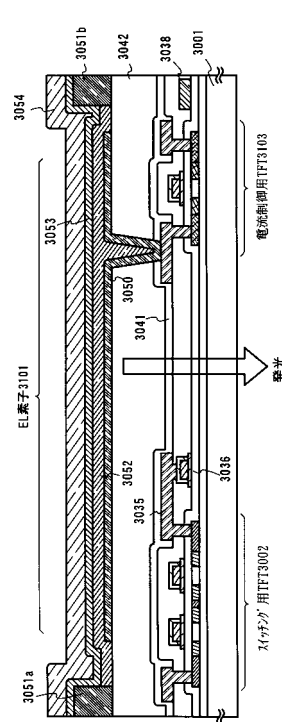
【図 29】



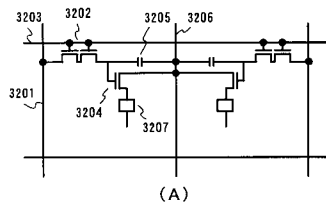
【図 30】



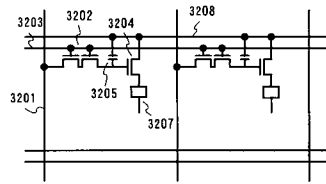
【図 31】



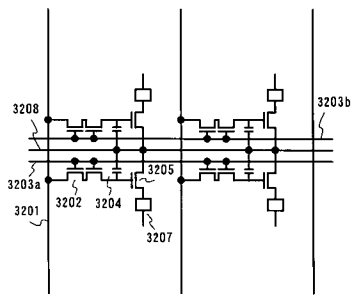
## 【図 3 2】



(A)



(B)



(C)

---

フロントページの続き

- (56)参考文献 特開平06-260645(JP,A)  
特開平06-260499(JP,A)  
特開平07-169974(JP,A)  
特開平10-189979(JP,A)  
特開平10-096956(JP,A)  
特開平10-256552(JP,A)  
特開平10-163463(JP,A)  
特開平10-223531(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78  
H01L 29/786  
H01L 21/336