

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第6021477号  
(P6021477)

(45) 発行日 平成28年11月9日(2016.11.9)

(24) 登録日 平成28年10月14日(2016.10.14)

(51) Int.Cl.

F 1

H01L 21/8244 (2006.01)  
H01L 27/11 (2006.01)

H01L 27/10

381

請求項の数 11 (全 27 頁)

(21) 出願番号 特願2012-151130 (P2012-151130)  
 (22) 出願日 平成24年7月5日 (2012.7.5)  
 (65) 公開番号 特開2013-38398 (P2013-38398A)  
 (43) 公開日 平成25年2月21日 (2013.2.21)  
 審査請求日 平成27年6月9日 (2015.6.9)  
 (31) 優先権主張番号 特願2011-151528 (P2011-151528)  
 (32) 優先日 平成23年7月8日 (2011.7.8)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 野村 真澄  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 西島 辰司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 野田 耕生  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 上田 智志

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1のトランジスタおよび第2のトランジスタを有し、  
 前記第1のトランジスタは、一対の第1の低抵抗領域の間に第1の溝部を有する半導体基板と、前記第1の溝部に位置する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上において前記第1の溝部に位置する第1のゲート電極と、を有し、

前記第2のトランジスタは、前記第1のゲート電極と、前記第1のゲート電極上の第2のゲート絶縁膜と、前記第2のゲート絶縁膜上において前記第1のゲート電極と重なる第1の半導体膜と、前記第1の半導体膜に電気的に接続される一対の第1の電極と、を有し、

一対の前記第1の低抵抗領域の一は、一対の前記第1の電極の一に電気的に接続されており、

前記第1のゲート電極は、前記第1の溝部の深さよりも膜厚が大きい領域を有することを特徴とする半導体装置。

## 【請求項 2】

請求項1において、

一対の前記第1の低抵抗領域は、p型の導電型を付与する不純物元素を含むことを特徴とする半導体装置。

## 【請求項 3】

請求項1または請求項2において、

10

20

前記第1の半導体膜は、In、Ga、SnおよびZnから選ばれた一種以上の元素を含む酸化物半導体を有することを特徴とする半導体装置。

**【請求項4】**

第1のトランジスタ乃至第4のトランジスタを有し、

前記第1のトランジスタは、一対の第1の低抵抗領域の間に第1の溝部を有する半導体基板と、前記第1の溝部に位置する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上において前記第1の溝部に位置する第1のゲート電極と、を有し、

前記第2のトランジスタは、前記第1のゲート電極と、前記第1のゲート電極上の第2のゲート絶縁膜と、前記第2のゲート絶縁膜上において前記第1のゲート電極と重なる第1の半導体膜と、前記第1の半導体膜に電気的に接続される一対の第1の電極と、を有し

10

、  
前記第3のトランジスタは、一対の第2の低抵抗領域の間に第2の溝部を有する前記半導体基板と、前記第2の溝部に位置する第3のゲート絶縁膜と、前記第3のゲート絶縁膜上において前記第2の溝部に位置する第2のゲート電極と、を有し、

前記第4のトランジスタは、前記第2のゲート電極と、前記第2のゲート電極上の第4のゲート絶縁膜と、前記第4のゲート絶縁膜上において前記第2のゲート電極と重なる第2の半導体膜と、前記第2の半導体膜に電気的に接続される一対の第2の電極と、を有し

、  
一対の前記第1の低抵抗領域の一は、一対の前記第1の電極の一と、前記第2のゲート電極とに、電気的に接続されており、

20

一対の前記第2の低抵抗領域の一は、一対の前記第2の電極の一と、前記第1のゲート電極とに、電気的に接続されており、

前記第1のゲート電極は、前記第1の溝部の深さよりも膜厚が大きい領域を有し、

前記第2のゲート電極は、前記第2の溝部の深さよりも膜厚が大きい領域を有することを特徴とする半導体装置。

**【請求項5】**

請求項4において、

前記第1のゲート絶縁膜と前記第3のゲート絶縁膜とは第1の絶縁膜に含まれており、

前記第2のゲート絶縁膜と前記第4のゲート絶縁膜とは第2の絶縁膜に含まれていることを特徴とする半導体装置。

30

**【請求項6】**

請求項4または請求項5において、

上面から見て、前記第1のトランジスタのチャネル長方向と、前記第2のトランジスタのチャネル長方向と、前記第3のトランジスタのチャネル長方向と、前記第4のトランジスタのチャネル長方向とは、互いに揃っていることを特徴とする半導体装置。

**【請求項7】**

第1のトランジスタ乃至第6のトランジスタを有し、

前記第1のトランジスタは、一対の第1の低抵抗領域の間に第1の溝部を有する半導体基板と、前記第1の溝部に位置する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上において前記第1の溝部に位置する第1のゲート電極と、を有し、

40

前記第2のトランジスタは、前記第1のゲート電極と、前記第1のゲート電極上の第2のゲート絶縁膜と、前記第2のゲート絶縁膜上において前記第1のゲート電極と重なる第1の半導体膜と、前記第1の半導体膜に電気的に接続される一対の第1の電極と、を有し

、  
前記第3のトランジスタは、一対の第2の低抵抗領域の間に第2の溝部を有する前記半導体基板と、前記第2の溝部に位置する第3のゲート絶縁膜と、前記第3のゲート絶縁膜上において前記第2の溝部に位置する第2のゲート電極と、を有し、

前記第4のトランジスタは、前記第2のゲート電極と、前記第2のゲート電極上の第4のゲート絶縁膜と、前記第4のゲート絶縁膜上において前記第2のゲート電極と重なる第2の半導体膜と、前記第2の半導体膜に電気的に接続される一対の第2の電極と、を有し

50

、前記第5のトランジスタは、前記半導体基板が有する第3の溝部に位置する第3のゲート電極と、前記第3のゲート電極上の第5のゲート絶縁膜と、前記第5のゲート絶縁膜上において前記第3のゲート電極と重なる第3の半導体膜と、前記第3の半導体膜に電気的に接続される一対の第3の電極と、を有し、

前記第6のトランジスタは、前記半導体基板が有する第4の溝部に位置する第4のゲート電極と、前記第4のゲート電極上の第6のゲート絶縁膜と、前記第6のゲート絶縁膜上において前記第4のゲート電極と重なる第4の半導体膜と、前記第4の半導体膜に電気的に接続される一対の第4の電極と、を有し、

一対の前記第1の低抵抗領域の一は、一対の前記第1の電極の一と、前記第2のゲート電極と、一対の前記第3の電極の一とに、電気的に接続されており、

一対の前記第2の低抵抗領域の一は、一対の前記第2の電極の一と、前記第1のゲート電極と、一対の前記第4の電極の一とに、電気的に接続されており、

前記第1のゲート電極は、前記第1の溝部の深さよりも膜厚が大きい領域を有し、

前記第2のゲート電極は、前記第2の溝部の深さよりも膜厚が大きい領域を有し、

前記第3のゲート電極は、前記第3の溝部の深さよりも膜厚が大きい領域を有し、

前記第4のゲート電極は、前記第4の溝部の深さよりも膜厚が大きい領域を有することを特徴とする半導体装置。

#### 【請求項8】

請求項7において、

前記第1のゲート絶縁膜と前記第3のゲート絶縁膜とは第1の絶縁膜に含まれており、前記第2のゲート絶縁膜と前記第4のゲート絶縁膜と第5のゲート絶縁膜と第6のゲート絶縁膜とは第2の絶縁膜に含まれていることを特徴とする半導体装置。

#### 【請求項9】

請求項7または請求項8において、

上面から見て、前記第1のトランジスタのチャネル長方向と、前記第2のトランジスタのチャネル長方向と、前記第3のトランジスタのチャネル長方向と、前記第4のトランジスタのチャネル長方向と、前記第5のトランジスタのチャネル長方向と、前記第6のトランジスタのチャネル長方向とは、互いに揃っていることを特徴とする半導体装置。

#### 【請求項10】

請求項4乃至請求項9のいずれか一項において、

一対の前記第1の低抵抗領域および一対の前記第2の低抵抗領域は、p型の導電型を付与する不純物元素を含むことを特徴とする半導体装置。

#### 【請求項11】

請求項4乃至請求項10のいずれか一項において、

前記第1の半導体膜および前記第2の半導体膜は、In、Ga、SnおよびZnから選ばれた一種以上の元素を含む酸化物半導体を有することを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置およびその作製方法に関する。特にSRAM(Static Random Access Memory)の回路構成、素子構造およびその作製方法に関する。

##### 【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、記憶装置、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置である。

##### 【背景技術】

##### 【0003】

中央演算処理装置(CPU:Central Processing Unit)などの

10

20

30

40

50

信号処理回路は、その用途によって多種多様な構成を有しているが、一般的に、データやプログラムを記憶するためのメインメモリの他に、レジスタ、キャッシュメモリなど、各種の記憶装置が設けられている。レジスタは、演算処理やプログラムの実行状態の保持などのために一時的にデータを保持する役割を担っている。また、キャッシュメモリは、演算回路とメインメモリの間に介在し、メインメモリへのアクセスを減らして演算処理を高速化することを目的として設けられている。

#### 【0004】

レジスタやキャッシュメモリ等の記憶装置は、メインメモリよりも高速でデータの書き込みを行う必要がある。よって、例えばレジスタとしてフリップフロップが、キャッシュメモリとしてSRAM (S t a t i c R a n d o m A c c e s s M e m o r y) 等が用いられる。つまり、これらのレジスタ、キャッシュメモリ等には、電源電位の供給が途絶えるとデータを消失してしまう揮発性の記憶装置が用いられている。10

#### 【0005】

揮発性記憶装置の代表的な例としては、DRAM (D y n a m i c R a n d o m A c c e s s M e m o r y) がある。DRAMは、記憶素子を構成するトランジスタを選択して容量素子に電荷を蓄積することで、情報を記憶する。そのためDRAMでは、情報を読み出すと容量素子の電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また記憶素子を構成するトランジスタにおいて、オフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。20

#### 【0006】

揮発性記憶装置の別の例としてはSRAMがある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わらない。30

#### 【0007】

また、SRAM回路にはインバータが用いられており、NMOSインバータまたはCMOSインバータを用いたものがある。

#### 【0008】

NMOSインバータを用いたSRAM回路は、4つのトランジスタおよび2つの抵抗によって構成され、n型トランジスタと抵抗素子によってSRAM回路を形成することができる。そのため、p型トランジスタが不要であり、そのぶんメモリセルの面積を小さくすることができる。しかし、インバータがオンすることによって電流が抵抗を通って流れてしまうため、消費電力が増加してしまう。

#### 【0009】

一方、CMOSインバータを用いたSRAM回路は、6つのトランジスタによって構成されており、メモリセルの面積は大きくなってしまう。しかし、インバータがオン状態になつても、トランジスタのオフ電流のみしか電流が流れないため、消費電力は非常に小さい。40

#### 【0010】

半導体装置の消費電力は、動作状態の場合に生じる消費電力と、停止状態の場合に生じる消費電力（以下、待機電力と呼ぶ）の和におおよそ等しい。

#### 【0011】

さらに、待機電力は静的な待機電力と、動的な待機電力に分類できる。静的な待機電力は、例えば半導体装置におけるトランジスタの電極間に電圧が印加されていない状態、すなわち、ゲートとソースの間の電圧がほぼ0Vの状態において、ソースとドレインの間、ゲ  
50

ートとソースの間、ゲートとドレインの間にリーク電流が生じることで消費される電力である。また、動的な待機電力は、待機状態の回路にクロック信号などの各種信号の電圧や、電源電圧が供給され続けることにより消費される電力である。

#### 【0012】

また、半導体装置の動作速度を高速化させるために、微細加工技術が開発されている。しかし、半導体装置の微細加工が進むと、トランジスタのチャネル長は短く、ゲート絶縁層などに代表される各種の絶縁層は薄くなる。そのため、トランジスタのリーク電流は増えつつあり、静的な待機電力は増加の傾向にある。

#### 【0013】

以上のように、S R A M を用いた記憶装置は、高速動作が可能であり、またD R A M のようにデータのリフレッシュ動作が不要であり、さらにC M O S インバータを用いたものは、非常に低消費電力である。しかし、構成するトランジスタ数が多いため、メモリセルの占有面積が大きくなってしまう。

10

#### 【0014】

メモリセルの面積を縮小するために、回路レイアウトを工夫することによって占有するセル面積の縮小化が可能である。（例えば、特許文献1参照）。

#### 【0015】

また、スケーリング則に従って回路パターンの微細化が進められてきたが、デザインルールを100nm以下にすることは難しいと考えられている。その理由の一つとして、トランジスタのチャネル長が100nm以下となると、短チャネル効果によりパンチスルーハイブによるリーク電流が流れやすくなり、トランジスタがスイッチング素子として機能しなくなることがある。パンチスルーハイブを防ぐには、シリコンウェハに高濃度の不純物をドーピングすればよいが、そうするとソースと基板間またはドレインと基板間に接合リーク電流が流れやすくなってしまう問題がある。

20

#### 【0016】

このような問題に対して、半導体装置を構成するトランジスタを三次元の形状に形成し、一つのメモリセルが占める面積を縮小しつつ、トランジスタの実効上のチャネル長を短チャネル効果が生じない程度に維持する方法が考えられている。例えば、トランジスタのチャネル部が形成される領域にU字状の縦長溝部を形成し、その溝部の壁面に沿ってゲート絶縁膜を形成し、さらにその溝部にゲート電極を埋め込んだ構造である（非特許文献1参照。）。

30

#### 【0017】

このような構造をチャネル部に有するトランジスタは、ソース領域とドレイン領域の間を流れる電流が溝部分を回り込む形で流れるため実効上のチャネル長が長くなっている。このため、トランジスタの占有面積を縮小しつつ、短チャネル効果を抑制できるといった効果を奏する。

#### 【先行技術文献】

#### 【特許文献】

#### 【0018】

【特許文献1】特開2008-42050号公報

40

#### 【非特許文献】

#### 【0019】

【非特許文献1】Kinam Kim、「Technology for sub-50 nm D R A M and N A N D F l a s h M a n u f a c t u r i n g」、I n t e r n a t i o n a l E l e c t r o n D e v i c e s M e e t i n g , 2 0 0 5 . I E D M T e c h n i c a l D i g e s t , 2 0 0 5 年 1 2 月、p . 3 3 3 - 3 3 6

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0020】

50

上記のように、C P UなどにおけるキャッシュメモリとしてS R A Mが用いられており、特に、C M O Sインバータを用いてS R A Mを形成することによって、消費電力を低減させることができる。しかし、C M O Sインバータを用いたS R A Mは、6つのトランジスタを用いる必要があり、さらにインバータ回路はp型およびn型のトランジスタが必要となる。そのため、C M O Sインバータ回路を組み合わせた回路は、占有面積が大きくなってしまう。

#### 【0021】

本発明の一態様では、短チャネル効果を抑制させつつ微細化を行い、低消費電力化した半導体装置を提供することを課題の一つとする。

#### 【課題を解決するための手段】

10

#### 【0022】

本発明は、立体的な形状のチャネル領域を形成することにより、上面から見た一対の低抵抗領域または一対の電極間距離である見かけ上のチャネル長に対して、実効上のチャネル長を長くすることができるトランジスタを設ける。さらに、該トランジスタは積層されて形成されているため、上面から見て一つのトランジスタに必要な面積において、二つのトランジスタが設けられている。

#### 【0023】

また、本発明は、上記積層されたトランジスタにおいて、一方はn型半導体からなるトランジスタであり、他方はp型半導体からなるトランジスタにより形成され、さらにn型半導体およびp型半導体からなるトランジスタを組み合わせることにより、インバータ回路を形成することを技術的思想とする。

20

#### 【0024】

本発明の一態様は、重畳する第1のトランジスタおよび第2のトランジスタからなる第1のインバータと、重畳する第3のトランジスタおよび第4のトランジスタからなる第2のインバータと、第1の選択トランジスタと、第2の選択トランジスタと、を有し、第1のインバータの出力端子、第2のインバータの入力端子および第1の選択トランジスタのソースおよびドレインの一方が接続され、第2のインバータの出力端子、第1のインバータの入力端子および第2の選択トランジスタのソースおよびドレインの一方が接続され、第1の選択トランジスタおよび第2の選択トランジスタのゲートはワード線に接続され、第1の選択トランジスタのソースおよびドレインの他方は第1の信号線と接続され、第2の選択トランジスタのソースおよびドレインの他方は第2の信号線と接続され、第1のトランジスタは、第1の一対の低抵抗領域の間に第1の溝部を有する半導体基板と、第1の溝部の側面および底面に形成される第1のゲート絶縁膜と、第1のゲート絶縁膜を介して第1の溝部に形成される第1のゲート電極と、を有し、第2のトランジスタは、第1の溝部に形成された第1のゲート電極を覆う第2のゲート絶縁膜と、第2のゲート絶縁膜を介して第1のゲート電極と重畳する第1の半導体膜と、第1の半導体膜に接して形成される第1の一対の電極と、を有し、第3のトランジスタは、第2の一対の低抵抗領域の間に第2の溝部を有する半導体基板と、第2の溝部の側面および底面に形成される第3のゲート絶縁膜と、第3のゲート絶縁膜を介して第2の溝部に形成される第2のゲート電極と、を有し、第4のトランジスタは、第2の溝部に形成された第2のゲート電極を覆う第4のゲート絶縁膜と、第4のゲート絶縁膜を介して第2のゲート電極と重畳する第2の半導体膜と、第2の半導体膜に接して形成される第2の一対の電極と、を有し、第1のゲート電極、第2の一対の低抵抗領域の一方および第2の一対の電極の一方と、が接続し、第2のゲート電極、第1の一対の低抵抗領域の一方および第1の一対の電極の一方と、が接続する半導体装置を形成する。

30

#### 【0025】

本発明の一態様は、第1の一対の電極は、第2のゲート絶縁膜と第1の半導体膜との間に形成され、第2の一対の電極は、第4のゲート絶縁膜と第2の半導体膜との間に形成することができる。

#### 【0026】

40

50

また本発明の一態様は、第1の半導体膜は、第2のゲート絶縁膜と第1の一対の電極との間に形成され、第2の半導体膜は、第4のゲート絶縁膜と第2の一対の電極との間に形成することができる。

**【0027】**

本発明の一態様は、半導体基板はn型半導体であり、第1および第2の一対の低抵抗領域はp型半導体である。

**【0028】**

本発明の一態様は、第1のゲート絶縁膜と第3のゲート絶縁膜は同一の膜からなり、第2のゲート絶縁膜と第4のゲート絶縁膜は同一の膜からなる。

**【0029】**

本発明の一態様は、第1および第2の半導体膜は、In、Ga、SnおよびZnから選ばれた一種以上の元素を含む酸化物半導体を有する。酸化物半導体をトランジスタのチャネル領域に用いることにより、低いオフ電流を有するトランジスタを形成することができる。それにより、酸化物半導体を用いたトランジスタを記憶装置などに適用することによって、消費電力を低減させることができる。

**【発明の効果】**

**【0030】**

本発明の一態様により、短チャネル効果を抑制させつつ微細化を行い、低消費電力化した半導体装置を提供することができる。

**【図面の簡単な説明】**

**【0031】**

【図1】本発明の一態様である半導体装置の一例を示す上面図および回路図。

【図2】本発明の一態様である半導体装置の一例を示す断面図。

【図3】本発明の一態様である半導体装置の一例を示す断面図。

【図4】本発明の一態様である半導体装置の作製工程の一例を示す断面図。

【図5】本発明の一態様である半導体装置を用いたCPUの具体例を示すブロック図およびその一部の回路図。

【図6】本発明の一態様である電子機器の一例を示す斜視図。

【図7】本発明の一態様に係る酸化物材料の構造を説明する図。

【図8】本発明の一態様に係る酸化物材料の構造を説明する図。

【図9】本発明の一態様に係る酸化物材料の構造を説明する図。

**【発明を実施するための形態】**

**【0032】**

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

**【0033】**

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

**【0034】**

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

**【0035】**

また、本明細書においては、トランジスタのソースとドレインは、一方をドレインと呼ぶとき他方をソースと呼ぶ。すなわち、電位の高低によって、それらを区別しない。従って

10

20

30

40

50

、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

**【0036】**

(実施の形態1)

本実施の形態では、本発明の一態様である半導体装置の一例について図1および図2を用いて説明する。

**【0037】**

図1(A)は半導体装置におけるメモリセルの上面図を示している。図1(A)に示した一点鎖線A-Bにおける断面図を図2に示す。また、図1(A)に示すメモリセル10の回路図を図1(B)に示す。なお、図1(A)では、煩雑になることを避けるため、トランジスタの構成要素の一部を省略している。

10

**【0038】**

図1(A)より、メモリセル10は第1のインバータ100、第2のインバータ300、第1の選択トランジスタ200および第2の選択トランジスタ400により構成されてSRAM回路を形成している。第1のインバータ100および第2のインバータ300は、重複する2つのトランジスタによって形成されており、該トランジスタはpチャネルトランジスタおよびnチャネルトランジスタからなる。つまり、CMOSインバータによってSRAM回路は形成されている。第1のインバータ100は第1のトランジスタ101および第2のトランジスタ102からなり、第2のインバータ300は第3のトランジスタ301および第4のトランジスタ302からなる。

20

**【0039】**

図1(B)において、本実施の形態のメモリセルであるSRAMを構成する回路は、第1のトランジスタ101および第2のトランジスタ102からなる第1のインバータ100と、第3のトランジスタ301および第4のトランジスタ302からなる第2のインバータ300と、第1の選択トランジスタ200と、第2の選択トランジスタ400と、を有し、第1のインバータ100の出力端子、第2のインバータ300の入力端子および第1の選択トランジスタ200のソースおよびドレインの一方が接続され、第2のインバータ300の出力端子、第1のインバータ100の入力端子および第2の選択トランジスタ400のソースおよびドレインの一方が接続され、第1の選択トランジスタ200および第2の選択トランジスタ400のゲートはワード線(WL)に接続され、第1の選択トランジスタ200のソースおよびドレインの他方は第1の信号線(S1)と接続され、第2の選択トランジスタ400のソースおよびドレインの他方は第2の信号線(S2)と接続されている。第1のインバータ100および第2のインバータ300と接続するVDDは、高電位電源線を示し、VSSは低電位電源線を示す。

30

**【0040】**

メモリセル10を構成するトランジスタについて、図2を用いて詳細に説明する。

**【0041】**

図2に示す第1のインバータ100は、重複する第1のトランジスタ101および第2のトランジスタ102からなる。また、第1の選択トランジスタ200は、第2のトランジスタ102と同様に形成される。

40

**【0042】**

図2に示す第1のインバータ100は、溝部を有する半導体基板11と、半導体基板11に設けられた一対の低抵抗領域12と、半導体基板11および一対の低抵抗領域12上の第1のゲート絶縁膜13と、第1のゲート絶縁膜13上の二対の低抵抗領域12の間に設けられたゲート電極14と、第1のゲート絶縁膜13およびゲート電極14上の第2のゲート絶縁膜15と、第1のゲート絶縁膜13および第2のゲート絶縁膜15に設けられたコンタクトホールにおいて一対の低抵抗領域12と接続する二対の電極16と、二対の電極16と接し、第2のゲート絶縁膜15を介してゲート電極14と重複する半導体膜17と、半導体膜17、二対の電極16、第2のゲート絶縁膜15上の層間絶縁膜18と、を有し、一対の低抵抗領域12の一方と、一対の電極16の一方が電気的に接続されているトランジスタからなる。さらに、層間絶縁膜18を加工してコンタクトホールを形成し、

50

該コンタクトホールにおいて一対の電極 16 と接続する配線を設けてよい。

【 0 0 4 3 】

上記構造において、半導体基板 11、一対の低抵抗領域 12、第 1 のゲート絶縁膜 13 およびゲート電極 14 によって第 1 のトランジスタ 101 が構成される。また、ゲート電極 14、第 2 のゲート絶縁膜 15、一対の電極 16 および半導体膜 17 によって第 2 のトランジスタ 102 が構成される。

【 0 0 4 4 】

半導体基板 11 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、G a A s などの化合物半導体基板、S O I ( S i l i c o n O n I n s u l a t o r ) 基板などを適用することができる。また、半導体特性を示す層が設けられていればよく、上記基板に限られるものではない。10

【 0 0 4 5 】

一対の低抵抗領域 12 は、第 1 のトランジスタ 101 のソース領域およびドレイン領域となる領域であり、十分に抵抗を下げるこことによって配線としても用いることができる。一対の低抵抗領域 12 は、半導体基板 11 に n 型または p 型の導電型を付与する不純物元素を含む。n 型または p 型の導電型を付与する不純物元素としては、例えばリンまたはボロンなどを用いることができる。

【 0 0 4 6 】

第 1 のゲート絶縁膜 13 は、C V D 法およびスパッタリング法などの堆積法によって形成することができる。例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜および酸化窒化アルミニウム膜の単層または積層とすればよい。また、半導体基板 11 を熱酸化または熱窒化することにより形成してもよい。さらに、高密度プラズマ装置を用いて、酸素を含むプラズマ処理を行うことによって、ゲート絶縁膜の耐圧を向上させて用いてもよい。20

【 0 0 4 7 】

また、第 1 のゲート絶縁膜 13 として、ハフニウムシリケート ( H f S i O<sub>x</sub> ) 、窒素が添加されたハフニウムシリケート ( H f S i<sub>x</sub> O<sub>y</sub> N<sub>z</sub> ) 、窒素が添加されたハフニウムアルミネート ( H f A l<sub>x</sub> O<sub>y</sub> N<sub>z</sub> ) 、酸化ハフニウム、酸化イットリウムなどの h i g h - k 材料を用いることでゲートリークを低減できる。さらには、上記 h i g h - k 材料と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、および酸化ガリウムのいずれか一以上との積層構造とすることができる。30

【 0 0 4 8 】

ここで、酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例えば、酸素が 5 0 a t o m i c % 以上 7 0 a t o m i c % 以下、窒素が 0 . 5 a t o m i c % 以上 1 5 a t o m i c % 以下、シリコンが 2 5 a t o m i c % 以上 3 5 a t o m i c % 以下、水素が 0 a t o m i c % 以上 1 0 a t o m i c % 以下の範囲で含まれるものという。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例えば、酸素が 5 a t o m i c % 以上 3 0 a t o m i c % 以下、窒素が 2 0 a t o m i c % 以上 5 5 a t o m i c % 以下、シリコンが 2 5 a t o m i c % 以上 3 5 a t o m i c % 以下、水素が 1 0 a t o m i c % 以上 2 5 a t o m i c % 以下の範囲で含まれるものという。但し、上記範囲は、ラザフォード後方散乱法 ( R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y ) や、水素前方散乱法 ( H F S : H y d r o g e n F o r w a r d S c a t t e r i n g ) を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が 1 0 0 a t o m i c % を超えない値をとる。40

【 0 0 4 9 】

ゲート電極 14 は、n 型または p 型の導電型を付与する不純物を含む多結晶シリコンを用いることができる。また、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述

した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極14は、単層構造でも、二層以上の積層構造としてもよい。

#### 【0050】

また、ゲート電極14は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

#### 【0051】

第2のゲート絶縁膜15は、CVD法およびスパッタリング法などの堆積法によって形成することができる。例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜および酸化ガリウム膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、の単層または積層とすればよい。さらに、第1のゲート絶縁膜13と同様に、high-k材料を用いてもよい。

#### 【0052】

さらに、第2のトランジスタ102の半導体膜17として、酸化物半導体を用いる場合は、第2のゲート絶縁膜15は加熱により酸素放出される膜を用いることが好ましい。

#### 【0053】

「加熱により酸素放出される」とは、TDS(Thermal Desorption Spectroscopy: 昇温脱離ガス分光法)分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18}$ atoms/cm<sup>3</sup>以上、好ましくは $3.0 \times 10^{20}$ atoms/cm<sup>3</sup>以上であることをいう。

#### 【0054】

ここで、TDS分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

#### 【0055】

TDS分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、測定試料のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

#### 【0056】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び測定試料のTDS分析結果から、測定試料の酸素分子の放出量( $N_{O_2}$ )は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとしてCH<sub>3</sub>O<sup>+</sup>があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

#### 【0057】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad ( \text{数式 } 1 )$$

#### 【0058】

$N_{H_2}$ は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$ は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2} / S_{H_2}$ とする。 $S_{O_2}$ は、測定試料をTDS分析したときのスペクトルの積分値である。は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記測定試料の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16}$ atoms/cm<sup>3</sup>の水素原子を含むシリコンウェハを用いて測定した。

10

20

30

40

50

## 【0059】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の<sub>2</sub>は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

## 【0060】

なお、<sub>2</sub>は酸素分子の放出量である。酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の2倍となる。

## 【0061】

上記構成において、加熱により酸素放出される膜は、酸素が過剰な酸化シリコン(SiO<sub>x</sub>(X>2))であってもよい。酸素が過剰な酸化シリコン(SiO<sub>x</sub>(X>2))とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。10

## 【0062】

このように、第2のゲート絶縁膜15に加熱により酸素放出される膜を用いることによって、第2のゲート絶縁膜15から半導体膜17として用いられている酸化物半導体に酸素が供給され、第2のゲート絶縁膜15および半導体膜17の界面準位を低減することができる。この結果、第2のトランジスタ102の動作などに起因して生じる電荷などが、上述の第2のゲート絶縁膜15および半導体膜17の界面に捕獲されることを抑制することができ、電気特性の劣化の少ない第2のトランジスタ102を得ることができる。20

## 【0063】

さらに、酸化物半導体の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体の酸素欠損は、一部がドナーとなりキャリアである電子を生じる。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。前述したように、第2のゲート絶縁膜15から半導体膜17に酸素が十分に放出されることにより、半導体膜17に酸化物半導体を用いたトランジスタにおいて、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体の酸素欠損を補うことができる。

## 【0064】

一対の電極16は、第2のトランジスタ102のソース電極およびドレイン電極となる電極である。一対の電極16は、導電材料としてアルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニアム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。なお、一対の電極16は配線としても機能する。30

## 【0065】

半導体膜17は、スパッタリング法、プラズマCVD法、PLD(Pulse Laser Deposition)法、MBE(Molecular Beam Epitaxy)法、塗布法、印刷法または蒸着法などを用いて形成すればよい。

## 【0066】

半導体膜17としては、非晶質シリコン、微結晶シリコン、多結晶シリコン、シリコンゲルマニウム、非晶質ゲルマニウム、多結晶ゲルマニウム、酸化物半導体などを用いることができる。酸化物半導体を用いることにより、低いオフ電流を有するトランジスタを形成することができる。それにより、酸化物半導体を用いたトランジスタを論理回路などに適用することによって、消費電力を低減させることができる。そのため、半導体膜17として酸化物半導体を用いることが好ましい。50

**【 0 0 6 7 】**

ここで、半導体膜 17 としてスパッタリング法により酸化物半導体膜を成膜する場合の、スパッタリング装置について、以下に詳細を説明する。

**【 0 0 6 8 】**

酸化物半導体膜を成膜する処理室は、リークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。

**【 0 0 6 9 】**

リークレートを低くするには、外部リークのみならず内部リークを低減する必要がある。  
外部リークとは、微小な穴やシール不良などによって真空系の外から気体が流入することである。内部リークとは、真空系内のバルブなどの仕切りからの漏れや内部の部材からの放出ガスに起因する。リークレートを  $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$  以下とするためには、外部リークおよび内部リークの両面から対策をとる必要がある。  
10

**【 0 0 7 0 】**

外部リークを減らすには、処理室の開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属材料を用いると好ましい。メタルガスケットは O リングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどの不動態によって被覆された金属材料を用いることで、メタルガスケットから生じる水素を含む放出ガスが抑制され、内部リークも低減することができる。  
20

**【 0 0 7 1 】**

処理室の内壁を構成する部材として、水素を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の材料を鉄、クロムおよびニッケルなどを含む合金材料に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金材料は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておくと、放出ガスを低減できる。あるいは、前述の成膜装置の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどの不動態で被覆してもよい。

**【 0 0 7 2 】**

さらに、スパッタガスを処理室に導入する直前に、スパッタガスの精製機を設けることが好ましい。このとき、精製機から処理室までの配管の長さを 5 m 以下、好ましくは 1 m 以下とする。配管の長さを 5 m 以下または 1 m 以下とすることで、配管からの放出ガスの影響を長さに応じて低減できる。  
30

**【 0 0 7 3 】**

処理室の排気は、ドライポンプなどの粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプおよびクライオポンプなどの高真空ポンプとを適宜組み合わせて行うとよい。高真空ポンプに関しては、ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素や水の排気能力が低い。そこで、水の排気能力の高いクライオポンプおよび大きいサイズの分子の排気が優れるターボ分子ポンプを組み合わせることが有効となる。

**【 0 0 7 4 】**

処理室の内側に存在する吸着物は、内壁に吸着しているために処理室の圧力に影響しないが、処理室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、処理室に存在する吸着物をできる限り脱離し、予め排気しておくことが好ましい。なお、吸着物の脱離を促すために、処理室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100 以上 450 以下で行えばよい。このとき、不活性ガスを導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。  
40

**【 0 0 7 5 】**

スパッタリング法において、プラズマを発生させるための電源装置は、R F 電源装置、A  
50

C電源装置、D C電源装置等を適宜用いることができる。

【0076】

酸化物半導体膜として、In、Ga、SnおよびZnから選ばれた一種以上の元素を含有することが好ましい。このような酸化物半導体は、例えば、四元系金属酸化物であるIn-Sn-Ga-Zn系金属酸化物や、三元系金属酸化物であるIn-Ga-Zn系金属酸化物、In-Sn-Zn系金属酸化物、In-Al-Zn系金属酸化物や、二元系金属酸化物であるIn-Zn系金属酸化物などのターゲットを用いて成膜することができる。また、上記酸化物半導体に、In、Ga、SnおよびZn以外の元素、例えばGd、ZrまたはSiの酸化物であるSiO<sub>2</sub>を含ませてもよい。

【0077】

例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体、という意味である。

【0078】

また、In-Sn-Zn-O系金属酸化物は、用いるターゲットとして、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、または20:45:35などとなる酸化物ターゲットを用いる。

【0079】

また、酸化物半導体は、化学式InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)で表記される薄膜を用いることができる。ここで、Mは、Sn、Zn、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、GaおよびAl、GaおよびMn、またはGaおよびCoなどがある。

【0080】

酸化物半導体としてIn-Ga-Zn-O系の材料を用いる場合、ターゲットの一例として、In、Ga、およびZnを含む金属酸化物ターゲットを、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol数比]の組成比とする。また、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2[mol数比]の組成比を有するターゲット、またはIn<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:4[mol数比]の組成比を有するターゲット、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=2:1:8[mol数比]の組成比を有するターゲットを用いることもできる。また、In<sub>2</sub>O<sub>3</sub>:ZnO=25:1[mol数比]~1:4の組成比を有するターゲットを用いることもできる。

【0081】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、In:Zn=50:1~1:2(mol数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(mol数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=15:1~1.5:1(mol数比に換算するとIn<sub>2</sub>O<sub>3</sub>:ZnO=15:2~3:4)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。

【0082】

なお、スパッタリングガスは、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、希ガスおよび酸素の混合ガスを適宜用いる。また、スパッタリングガスには、水素、水、水酸基または水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0083】

酸化物半導体は、トランジスタのオフ電流を低減するため、バンドギャップが2.5eV以上、好ましくは3.0eV以上の材料を選択する。

【0084】

酸化物半導体中の水素濃度は、5×10<sup>-8</sup>cm<sup>-3</sup>未満、好ましくは1×10<sup>-8</sup>cm<sup>-3</sup>以下、より好ましくは5×10<sup>-7</sup>cm<sup>-3</sup>以下、さらに好ましくは1×10<sup>-6</sup>cm<sup>-3</sup>以下とすることが好ましい。

【0085】

10

20

30

40

50

アルカリ金属は酸化物半導体を構成する元素ではないため不純物である。また、アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において不純物となる。特に、アルカリ金属のうちナトリウム（Na）は、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してナトリウムイオン（Na<sup>+</sup>）となる。また、Na<sup>+</sup>は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、または、その結合中に割り込む。その結果、例えば、しきい値電圧がマイナス方向にシフトすることによるノーマリーオン化、電界効果移動度の低下などの、トランジスタ特性の劣化が起こり、加えて、特性のばらつきも生じる。よって、酸化物半導体中の不純物となるアルカリ金属の濃度を低減することが望ましい。具体的に、Na濃度の測定値は、 $5 \times 10^{-1}$   
 $6 \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-1.6} \text{ cm}^{-3}$ 以下、更に好ましくは $1 \times 10^{-1.5} \text{ cm}^{-3}$ 以下とするとよい。<sup>10</sup> 同様に、リチウム（Li）濃度の測定値は、 $5 \times 10^{-1.5} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-1.5} \text{ cm}^{-3}$ 以下とするとよい。同様に、カリウム（K）濃度の測定値は、 $5 \times 10^{-1.5} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-1.5} \text{ cm}^{-3}$ 以下とするとよい。

#### 【0086】

以上に示した酸化物半導体を用いることでトランジスタのオフ電流を小さくできる。具体的には、トランジスタのオフ電流を $1 \times 10^{-1.8} \text{ A}$ 以下、または $1 \times 10^{-2.1} \text{ A}$ 以下、または $1 \times 10^{-2.4} \text{ A}$ 以下とするとができる。

#### 【0087】

また、酸化物半導体の成膜時における基板温度は $150$ 以上 $450$ 以下、好ましくは $200$ 以上 $350$ 以下である。 $150$ 以上 $450$ 以下、好ましくは $200$ 以上 $350$ 以下に基板を加熱しながら成膜をすることによって、膜中への水分（水素を含む）などの混入を防ぐことができる。<sup>20</sup>

#### 【0088】

酸化物半導体は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

#### 【0089】

好ましくは、酸化物半導体は、CAAC-O<sub>S</sub>（C Axis Aligned Cryostalline Oxide Semiconductor）とする。

#### 【0090】

CAAC-O<sub>S</sub>は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-O<sub>S</sub>は、非晶質相に結晶部および非晶質部を有する結晶・非晶質混相構造の酸化物半導体である。なお、当該結晶部は、一辺が $100 \text{ nm}$ 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-O<sub>S</sub>に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-O<sub>S</sub>には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-O<sub>S</sub>は、粒界に起因する電子移動度の低下が抑制される。<sup>30</sup>

#### 【0091】

CAAC-O<sub>S</sub>に含まれる結晶部は、c軸がCAAC-O<sub>S</sub>の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、 $85^\circ$ 以上 $95^\circ$ 以下の範囲も含まれることとする。また、単に平行と記載する場合、 $-5^\circ$ 以上 $5^\circ$ 以下の範囲も含まれることとする。<sup>40</sup>

#### 【0092】

なお、CAAC-O<sub>S</sub>において、結晶部の分布が一様でなくてもよい。例えば、CAAC-O<sub>S</sub>の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC

10

20

30

40

50

- O S へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

**【 0 0 9 3 】**

C A A C - O S に含まれる結晶部の c 軸は、C A A C - O S の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

**【 0 0 9 4 】**

C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

**【 0 0 9 5 】**

C A A C - O S は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

**【 0 0 9 6 】**

このような C A A C - O S の例として、膜状に形成され、膜表面または基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる酸化物を挙げることもできる。

**【 0 0 9 7 】**

C A A C - O S について図 7 乃至図 9 を用いて詳細に説明する。なお、特に断りがない限り、図 7 乃至図 9 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 7 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

**【 0 0 9 8 】**

図 7 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O）と、を有する構造を示す。このような金属原子が 1 個に対して、近接の酸素原子のみ示した構造を、ここではサブユニットと呼ぶ。図 7 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 7 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 7 (A) に示すサブユニットは電荷が 0 である。

**【 0 0 9 9 】**

図 7 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 7 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 7 (B) に示す構造をとりうる。図 7 (B) に示すサブユニットは電荷が 0 である。

**【 0 1 0 0 】**

図 7 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、による構造を示す。図 7 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 7 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 7 (C) に示すサブユニットは電荷が 0 である。

**【 0 1 0 1 】**

図 7 (D) に、1 個の 6 配位の S n と、S n に近接の 6 個の 4 配位の O と、を有する構造を示す。図 7 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 7 (D) に示すサブユニットは電荷が + 1 となる。

**【 0 1 0 2 】**

図 7 (E) に、2 個の Z n を含むサブユニットを示す。図 7 (E) の上半分には 1 個の 4

10

20

30

40

50

配位のOがあり、下半分には1個の4配位のOがある。図7(E)に示すサブユニットは電荷が-1となる。

#### 【0103】

ここでは、サブユニットのいくつかの集合体を1グループと呼び、複数のグループからなる1周期分を1ユニットと呼ぶ。

#### 【0104】

ここで、これらのサブユニット同士が結合する規則について説明する。図7(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは上方向にそれぞれ3個の近接Inを有する。図7(B)に示す5配位のGaの上半分の1個のOは、下方向に1個の近接Gaを有し、下半分の1個のOは、上方向に1個の近接Gaを有する。図7(C)に示す4配位のZnの上半分の1個のOは、下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種のサブユニット同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)または4配位の金属原子(Zn)のいずれかと結合することになる。10

#### 【0105】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるようにサブユニット同士が結合して1グループを構成する。

#### 【0106】

図8(A)に、In-Sn-Zn-O系の層構造を構成する1グループのモデル図を示す。図8(B)に、3つのグループで構成されるユニットを示す。なお、図8(C)は、図8(B)の層構造をc軸方向から観察した場合の原子配列を示す。20

#### 【0107】

図8(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Sn原子の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図8(A)において、In原子の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図8(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZn原子と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZn原子とを示している。30

#### 【0108】

図8(A)において、In-Sn-Zn-O系の層構造を構成するグループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSn原子が、4配位のOが1個ずつ上半分および下半分にあるIn原子と結合し、そのIn原子が、上半分に3個の4配位のOがあるZn原子と結合し、そのZn原子の下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるIn原子と結合し、そのIn原子が、上半分に1個の4配位のOがあるZn2個からなるサブユニットと結合し、このサブユニットの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSn原子と結合している構成である。このグループを複数結合して1周期分であるユニットを構成する。40

#### 【0109】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(450

配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従つて、Snを含むサブユニットは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図7(E)に示すように、2個のZnを含むサブユニットが挙げられる。例えば、Snを含むサブユニットが1個に対し、2個のZnを含むサブユニットが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

#### 【0110】

また、Inは5配位および6配位のいずれもとることができるものとする。具体的には、図8(B)に示したユニットとすることで、In-Sn-Zn-O系の結晶(In<sub>2</sub>SnZn<sub>3</sub>O<sub>8</sub>)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、  
In<sub>2</sub>SnZn<sub>2</sub>O<sub>7</sub>(ZnO)<sub>m</sub>(mは0または自然数。)とする組成式で表すことができる。  
10

#### 【0111】

また、このほかにも、四元系金属酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属酸化物であるIn-Ga-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、二元系金属酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物、などを用いた場合も同様である。  
20

#### 【0112】

例えば、図9(A)に、In-Ga-Zn-O系の層構造を構成する1グループのモデル図を示す。

#### 【0113】

図9(A)において、In-Ga-Zn-O系の層構造を構成するグループは、上から順に4配位のOが3個ずつ上半分および下半分にあるIn原子が、4配位のOが1個上半分にあるZn原子と結合し、そのZn原子の下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGa原子と結合し、そのGa原子の下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるIn原子と結合している構成である。このグループを複数結合して1周期分であるユニットを構成する。  
30

#### 【0114】

図9(B)に3つのグループで構成されるユニットを示す。なお、図9(C)は、図9(B)の層構造をc軸方向から観察した場合の原子配列を示している。

#### 【0115】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含むサブユニットは、電荷が0となる。そのため、これらのサブユニットの組み合わせであればグループの合計の電荷は常に0となる。

#### 【0116】

また、In-Ga-Zn-O系の層構造を構成するグループは、図9(A)に示したグループに限定されず、In、Ga、Znの配列が異なるグループを組み合わせたユニットを取りうる。  
40

#### 【0117】

層間絶縁膜18の材料は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウムを単層または積層させて用いることができ、スパッタリング法、CVD法などで成膜すればよい。例えば、プラズマCVD法により、シランガスを主材料とし、酸化窒素ガス、窒素ガス、水素ガスおよび希ガスから適切な原料ガスを混合して成膜すればよい。また、基板温度を200以上550以下とすればよい。

#### 【0118】

また、本実施の形態では、ゲート電極14と、一対の低抵抗領域12または一対の電極1

10

20

30

40

50

6が重畠せず、オフセット領域が形成されている構造としているが、これに限定されるものではない。例えば、ゲート電極14と、一対の低抵抗領域12または一対の電極16が重畠する構造としてもよい。

#### 【0119】

以上のような構造を有することによって、第1のトランジスタ101および第2のトランジスタ102において、第1のトランジスタ101のチャネル領域となる半導体基板11および第2のトランジスタ102のチャネル領域となる半導体膜17は、ゲート電極14を囲って形成されている。つまり、上面から見た一対の低抵抗領域12または一対の電極16間距離である見かけ上のチャネル長に対して、実効上のチャネル長を長くすることができる。また、第1のトランジスタ101および第2のトランジスタ102を積層させて形成させることができるために、半導体装置の占有面積を縮小することができる。そのため、トランジスタを縮小しても短チャネル効果の影響を低減して半導体装置の集積度を高めることができる。さらに、コストを低く抑えることができ、歩留まりの高い半導体装置を提供することができる。

10

#### 【0120】

さらに、図2に示すトランジスタ構造において、L1およびL2の長さを調節することによって、第1のトランジスタ101および第2のトランジスタ102の実効上のチャネル長を調節することができる。例えば第2のトランジスタ102のオン電流を増加させたい場合、L2の長さを短く形成されることによって、第2のトランジスタ102のオン電流を増加させることができる。

20

#### 【0121】

このように、L1およびL2の長さを調節することによって、第1のトランジスタ101および第2のトランジスタ102のオン電流を調節することができる。インバータ回路動作において、インバータで入出力される矩形波は、立ち上がり時間と立ち下がり時間が等しいものが理想的である。CMOSインバータにおいて、pチャネルトランジスタとnチャネルトランジスタのオン電流のバランスがとれていないインバータでは、入力された矩形波が理想的なものであっても、出力の際に波形が乱れてしまう。例えば、pチャネルトランジスタのオン電流がnチャネルトランジスタのオン電流の1/2しかない場合は、出力ノードにおいて立ち上がり時間は立ち下がり時間の2倍になってしまふ。このような波形の乱れを防ぐため、pチャネルトランジスタとnチャネルトランジスタのオン電流を等しくすることが望ましい。そのため、L1およびL2の長さを調節し、第1のトランジスタ101および第2のトランジスタ102のオン電流を調節することで、pチャネルトランジスタとnチャネルトランジスタのオン電流を等しくすることができる。

30

#### 【0122】

また、図3(A)および図3(B)に示すようなトランジスタからなるインバータにおいても、図2に示したトランジスタからなるインバータと同様の効果を奏することができる。図3(A)に示すトランジスタの構造と図2に示した構造との違いは、第2のトランジスタ102におけるゲート電極の形状である。図2に示したゲート電極14は、半導体基板11に設けられた溝部を完全に埋めた形状となっているが、図3(A)に示したゲート電極19は、半導体基板11に設けられた溝部を完全には埋めていない形状である。このように、溝部を完全に埋め込む必要がなく、溝部に沿ってゲート電極を形成することによっても、本発明の効果を奏することができる。図3(B)に示すトランジスタの構造と図2に示した構造との違いは、一対の電極と、半導体膜との積層順が異なる点である。つまり、図3(B)に示すトランジスタ構造では、半導体膜21上に一対の電極20が形成されている。

40

#### 【0123】

このように、図2または図3に示したトランジスタを用いることによって、図1(B)に示すようなSRAM回路を形成することができる。

#### 【0124】

<トランジスタの作製方法の一例>

50

次に、図2に示した第1のトランジスタ101および第2のトランジスタ102の作製方法の一例について、図4を用いて説明する。

**【0125】**

図4(A)に示すように、半導体基板11表面に不純物を添加して一対の低抵抗領域12を形成し、半導体基板11を加工して溝部を設ける。図4(A)に示す溝部は、平面を用いた形状を示したが、この形状に限定されず、曲面を用いた形状などでも構わない。

**【0126】**

次に、図4(B)に示すように、熱酸化法を用いて半導体基板11表面に第1のゲート絶縁膜13を形成する。また、熱酸化法ではなく、スパッタリング法、CVD法などの堆積法を用いて絶縁膜を形成させてもよく、熱酸化法および堆積法を組み合わせて絶縁膜を形成してもよい。10

**【0127】**

次に、第1のゲート絶縁膜13上にゲート電極14を形成する。ゲート電極14は、導電膜を成膜し、該導電膜上にマスクを形成した後、当該マスクを用いて導電膜を選択的にエッチングして形成する。また、エッチングするためのマスクは、フォトリソグラフィ工程、インクジェット法、印刷法等を適宜用いて形成することができる。

**【0128】**

また、図4(A)に示した一対の低抵抗領域12は、ゲート電極14を形成した後に、不純物を半導体基板11に添加することによって、セルフアラインで形成することもできる。20

**【0129】**

次に、ゲート電極14および第1のゲート絶縁膜13上に第2のゲート絶縁膜15を形成する。

**【0130】**

次に図4(C)に示すように、第1のゲート絶縁膜13および第2のゲート絶縁膜15を加工してコンタクトホールを形成し、該コンタクトホールにおいて一対の低抵抗領域12と接続する一対の電極16を形成する。一対の電極16は、導電膜を成膜し、該導電膜上にマスクを形成した後、当該マスクを用いて導電膜を選択的にエッチングして形成する。

**【0131】**

次に、図4(D)に示すように、一対の電極16と接して、第2のゲート絶縁膜15を介してゲート電極14と重畳する半導体膜17を形成する。半導体膜17は、例えばスパッタリング法により、厚さ1nm以上50nm以下の酸化物半導体膜を成膜し、該酸化物半導体膜上にマスクを形成した後、当該マスクを用いて酸化物半導体膜を選択的にエッチングして形成する。30

**【0132】**

酸化物半導体膜のエッチングはウェットエッチングまたはドライエッチングを適宜用いることができる。

**【0133】**

また、酸化物半導体膜成膜後に、半導体基板11に加熱処理を施して、酸化物半導体膜から水分および水素を放出させることが好ましい。また、該加熱処理を行うことによって、より結晶性の高いCAAC OSを有する酸化物半導体膜を形成することができる。40

**【0134】**

加熱処理の温度は、酸化物半導体膜から水分および水素を放出させる温度が好ましく、代表的には、200以上半導体基板11の歪み点未満、好ましくは250以上450以下とする。

**【0135】**

また加熱処理は、RTA(Rapid Thermal Annealing)装置を用いることができる。RTAを用いることで、短時間に限り、基板の歪み点以上の温度で加熱処理を行うことができる。そのため、CAAC OSである酸化物半導体膜を形成するための時間を短縮することができる。50

## 【0136】

加熱処理は、不活性ガス雰囲気で行うことができ、代表的には、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素雰囲気で行うことが好ましい。また、酸素雰囲気、減圧雰囲気または真空雰囲気で行ってもよい。処理時間は3分～24時間とする。24時間を超える熱処理は生産性の低下を招くため好ましくない。

## 【0137】

また、上記加熱処理により酸化物半導体膜から水分および水素を放出させた後、酸素雰囲気下で酸化物半導体膜を加熱処理することによって、酸化物半導体膜に酸素を供給し、酸化物半導体膜中においてドナーとなる酸素欠損を低減させてもよい。加熱処理の温度は、200以上半導体基板11の歪み点未満、好ましくは250以上450以下とする。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

## 【0138】

あるいは、イオン注入法またはイオンドーピング法などを用いて、酸化物半導体膜に酸素を添加することで、ドナーとなる酸素欠損を低減させてもよい。また、周波数2.45GHz程度のマイクロ波でプラズマ化した酸素を酸化物半導体膜に添加してもよい。

## 【0139】

次に、半導体膜17上に、層間絶縁膜18を形成する。なお、ここでは図示しないが、層間絶縁膜18を加工してコンタクトホールを形成し、該コンタクトホールにおいて、一対の低抵抗領域12または一対の電極16と接続する配線を形成してもよい。

20

## 【0140】

以上のような工程により、短チャネル効果を抑制させつつ微細化を行い、低消費電力化したトランジスタを作製することができる。

## 【0141】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

## 【0142】

以上のように作製したトランジスタおよびインバータを用いることによって、図1に示すSRAM回路を作製することができる。

30

## 【0143】

## &lt;SRAM回路動作&gt;

次に、図1(B)に示したSRAM回路についての回路動作について、以下に説明する。

## 【0144】

まず、読み出し動作は、ワード線(WL)をHigh(H)にし、第1の選択トランジスタ200および第2の選択トランジスタ400をオンさせる。それによって、第1のインバータ100および第2のインバータ300に保持されたデータが、第1の選択トランジスタ200および第2の選択トランジスタ400を通って第1の信号線(S1)および第2の信号線(S2)に出力される。また、特に図示しないが、第1の信号線(S1)および第2の信号線(S2)にセンスアンプが接続されていてもよい。

40

## 【0145】

書き込み動作は、ワード線(WL)をHigh(H)にし、第1の選択トランジスタ200および第2の選択トランジスタ400をオンさせる。さらに、第1の信号線(S1)および第2の信号線(S2)から書き込むデータを出力し、第1のインバータ100および第2のインバータ300にデータ書き込みを行う。

## 【0146】

SRAM回路において、書き込まれたデータはインバータに保持されており、VDDから電源を供給していれば、データは保持される。

## 【0147】

以上のように、SRAM回路においてデータの読み出し、書き込み、保持動作は行われる

50

。

**【0148】**

(実施の形態2)

本実施の形態では、実施の形態1で示した半導体装置を用いて、CPUを構成する例について説明する。

**【0149】**

図5(A)は、CPUの具体的な構成を示すブロック図である。図5(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic logic unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図5(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

**【0150】**

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

**【0151】**

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

**【0152】**

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

**【0153】**

図5(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態1に記載されている半導体装置からなる記憶素子を用いることができる。

**【0154】**

図5(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

**【0155】**

電源停止に関しては、図5(B)または図5(C)に示すように、記憶素子群と、電源電

10

20

30

40

50

位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図5(B)および図5(C)の回路の説明を行う。

#### 【0156】

図5(B)および図5(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体を用いたトランジスタを含む記憶装置の構成の一例を示す。

#### 【0157】

図5(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数有する記憶素子群1143とを有している。記憶素子群1143が有する各記憶素子1142には、スイッチング素子1141を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群1143が有する各記憶素子1142には、信号INの電位と、ローレベルの電源電位VSSの電位が与えられている。

10

#### 【0158】

図5(B)では、スイッチング素子1141として、酸化物半導体などのバンドギャップの大きい半導体を有するトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号SigAによりスイッチングが制御される。

#### 【0159】

なお、図5(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

20

#### 【0160】

また、図5(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていてもよい。

#### 【0161】

また、図5(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

30

#### 【0162】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

#### 【0163】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)などのLSIにも応用可能である。

40

#### 【0164】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

#### 【0165】

##### (実施の形態3)

本実施の形態では、実施の形態1および実施の形態2を適用した電子機器の例について説明する。

#### 【0166】

図6(A)は携帯型情報端末である。筐体9300と、ボタン9301と、マイクロフォ

50

ン9302と、表示部9303と、スピーカ9304と、カメラ9305と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、特に図示しないが、本体内部にある演算装置、無線回路または記憶装置に用いる論理回路に適用することができる。

#### 【0167】

図6(B)は、デジタルスチルカメラである。筐体9320と、ボタン9321と、マイクロフォン9322と、表示部9323と、を具備する。本発明の一態様は、特に図示しないが、記憶装置またはイメージセンサなどに用いる論理回路に本発明の一態様を適用することもできる。

#### 【0168】

本発明の一態様を用いることで、電子機器の性能を高めることができる。

10

#### 【0169】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

#### 【符号の説明】

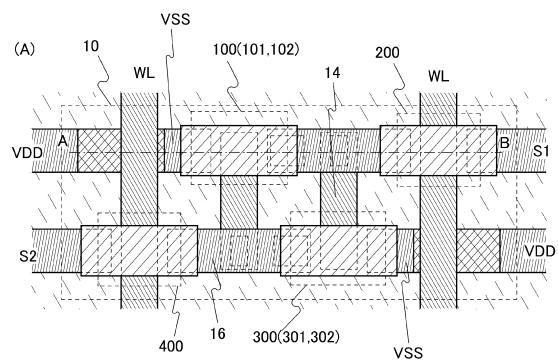
#### 【0170】

1 0	メモリセル	
1 1	半導体基板	
1 2	一対の低抵抗領域	
1 3	第1のゲート絶縁膜	
1 4	ゲート電極	
1 5	第2のゲート絶縁膜	20
1 6	一対の電極	
1 7	半導体膜	
1 8	層間絶縁膜	
1 9	ゲート電極	
2 0	一対の電極	
2 1	半導体膜	
1 0 0	第1のインバータ	
1 0 1	第1のトランジスタ	
1 0 2	第2のトランジスタ	
2 0 0	第1の選択トランジスタ	30
3 0 0	第2のインバータ	
3 0 1	第3のトランジスタ	
3 0 2	第4のトランジスタ	
4 0 0	第2の選択トランジスタ	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	40
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インターラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
9 3 0 0	筐体	
9 3 0 1	ボタン	50

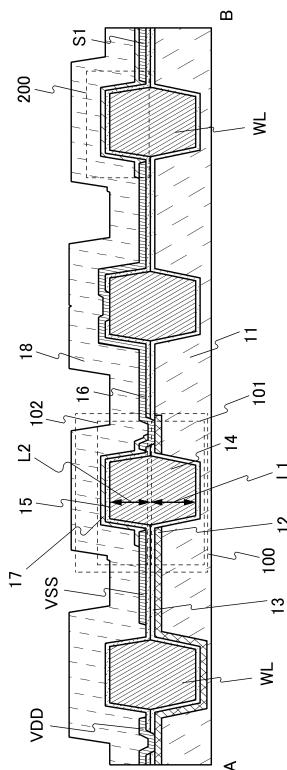
9 3 0 2	マイクロフォン
9 3 0 3	表示部
9 3 0 4	スピーカ
9 3 0 5	カメラ
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部

10

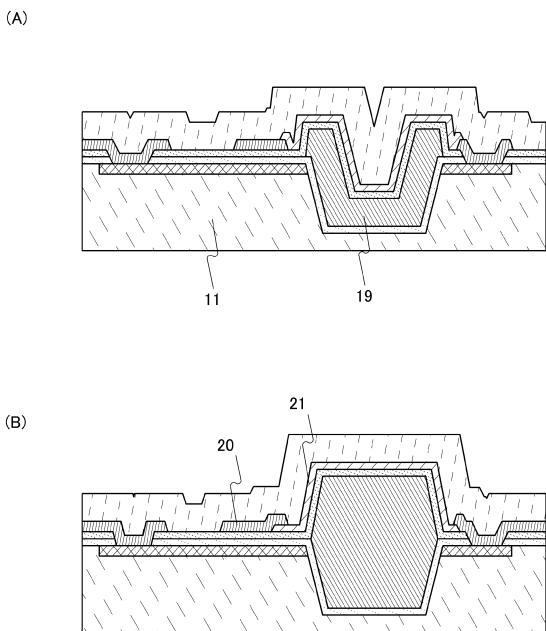
【図1】



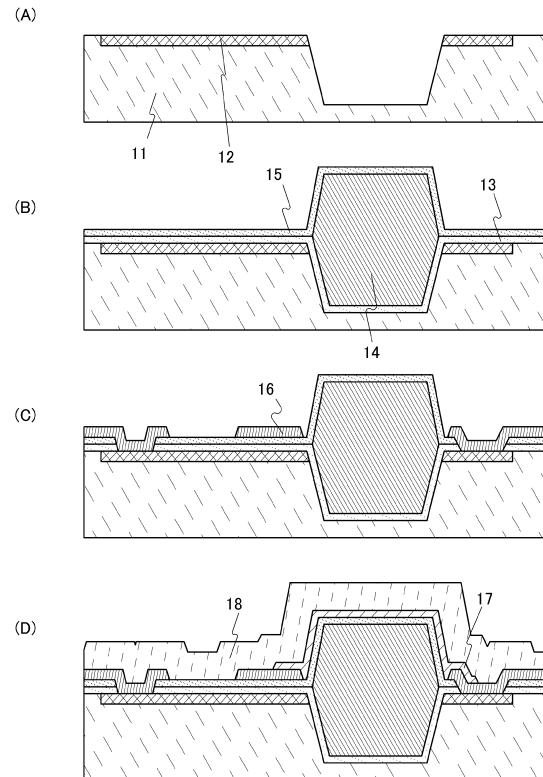
【図2】



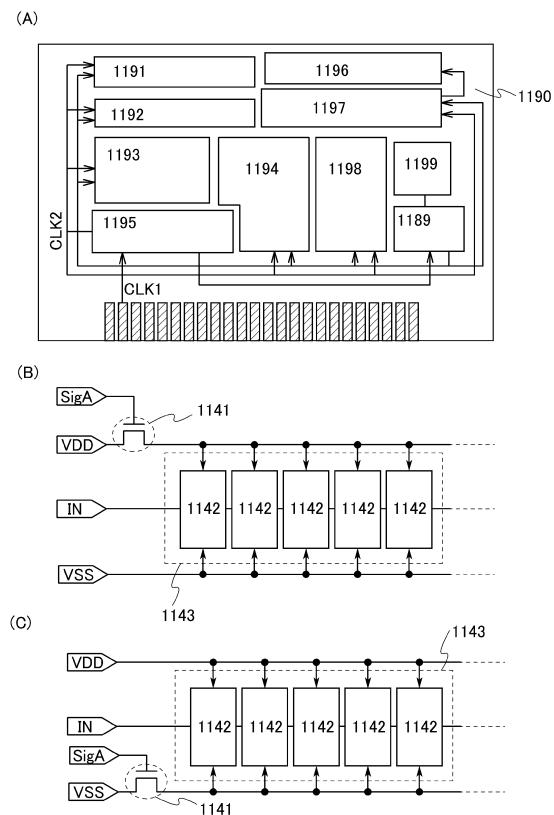
【図3】



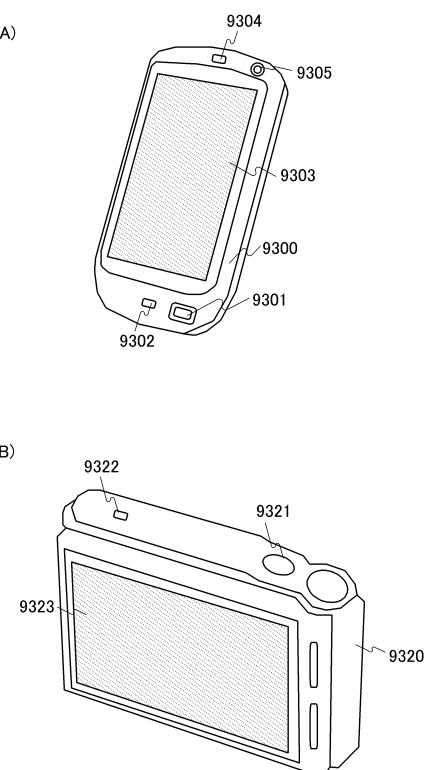
【図4】



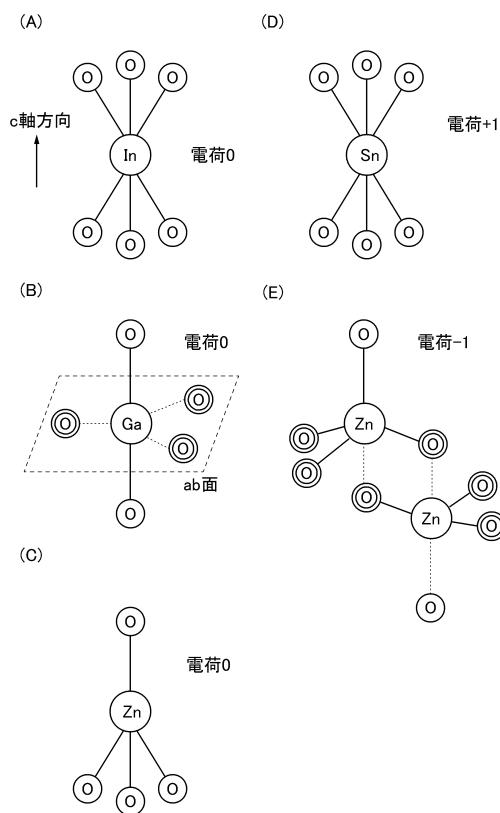
【図5】



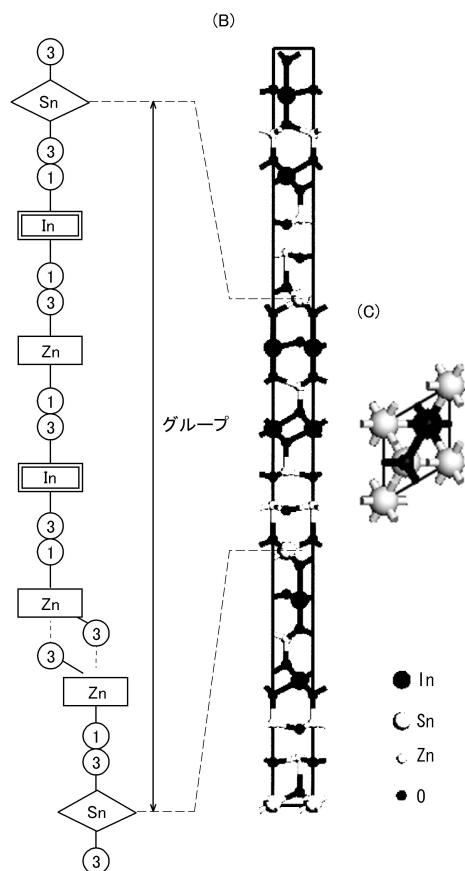
【図6】



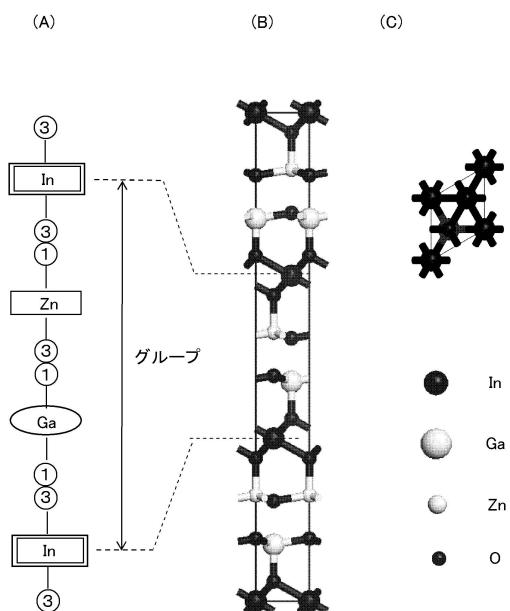
【図7】



【図8】



【図9】



---

フロントページの続き

(56)参考文献 特開平02-014565(JP,A)  
特開2007-194562(JP,A)  
特開2006-165532(JP,A)  
米国特許第07868391(US,B2)  
米国特許出願公開第2006/0183286(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8244, 27/11, 29/786