

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-96897
(P2019-96897A)

(43) 公開日 令和1年6月20日(2019.6.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 B	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 8 A	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 21/265 (2006.01)	HO 1 L 21/265 F	

審査請求 有 請求項の数 11 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2019-14714 (P2019-14714)
 (22) 出願日 平成31年1月30日 (2019.1.30)
 (62) 分割の表示 特願2017-242421 (P2017-242421) の分割
 原出願日 平成28年6月13日 (2016.6.13)
 (31) 優先権主張番号 特願2015-122037 (P2015-122037)
 (32) 優先日 平成27年6月17日 (2015.6.17)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 今川 鉄太郎
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

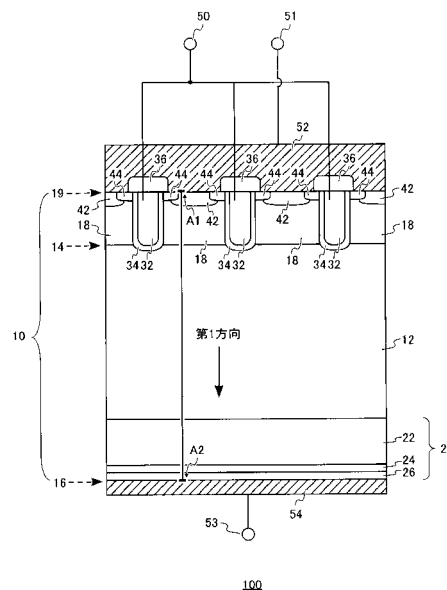
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】スイッチング時の発振の抑制と、大電流短絡耐量の向上とを両立させる。

【解決手段】IGBT100において、第1の面14と第1の面の反対側に位置する第2の面16とを有する第1導電型の半導体層12と、第1導電型の半導体層の第1の面に接して設けられた第2導電型の半導体層18とを備える。第1導電型の半導体層は、第1の面から第2の面への第1方向の異なる位置において、複数の不純物濃度ピークを有し、第1方向における第1導電型の半導体層と第2導電型の半導体層との接合界面である第1の面から、複数の不純物濃度ピークのうち第1の面に1番目に近い第1番目の不純物濃度ピークと、第1の面に2番目に近い第2番目の不純物濃度ピークとの境界までにおける積分濃度が、臨界積分濃度以下である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の面と前記第 1 の面の反対側に位置する第 2 の面とを有する第 1 導電型の半導体層と、

前記第 1 導電型の半導体層の前記第 1 の面に接して設けられた第 2 導電型の半導体層とを備え、

前記第 1 導電型の半導体層は、前記第 1 の面から前記第 2 の面への第 1 方向の異なる位置において、複数の不純物濃度ピークを有し、

前記第 1 方向における前記第 1 導電型の半導体層と前記第 2 導電型の半導体層との接合界面である前記第 1 の面から、前記複数の不純物濃度ピークのうち前記第 1 の面に 1 番目に近い第 1 番目の不純物濃度ピークと、前記第 1 の面に 2 番目に近い第 2 番目の不純物濃度ピークとの境界までにおける積分濃度が、臨界積分濃度以下である、半導体装置。

10

【請求項 2】

前記第 1 方向における前記第 1 の面から、前記第 2 番目の不純物濃度ピークと、前記複数の不純物濃度ピークのうち前記第 1 の面に 3 番目に近い第 3 番目の不純物濃度ピークとの境界までの積分濃度が、前記臨界積分濃度以下である、

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 導電型の半導体層は、前記複数の不純物濃度ピークのうち前記第 3 番目の不純物濃度ピークよりも前記第 2 の面側に、プロトン以外の不純物濃度ピークを有する

請求項 2 に記載の半導体装置。

20

【請求項 4】

前記第 1 方向における前記第 1 の面から、前記第 3 番目の不純物濃度ピークと、前記プロトン以外の不純物濃度ピークとの境界までの積分濃度が、前記臨界積分濃度以下である

請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 方向における前記第 1 の面から、前記第 3 番目の不純物濃度ピークまでの積分濃度が、前記臨界積分濃度以下である

請求項 3 に記載の半導体装置。

【請求項 6】

前記第 1 導電型の半導体層は、前記第 2 の面と、前記プロトン以外の不純物の濃度ピークとの間に、前記プロトン以外の不純物の濃度ピークよりも高い不純物濃度の第 2 導電型の不純物濃度ピークを有する

請求項 3 に記載の半導体装置。

30

【請求項 7】

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記第 2 導電型の半導体層の前記接合界面とは反対側に位置するおもて面から、前記第 1 番目の不純物濃度ピークの位置までの割合は、85%より大きく、89%より小さい範囲であり、

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記おもて面から、前記第 2 番目の不純物濃度ピークの位置までの割合は、89%より大きく、91%より小さい範囲であり、

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記おもて面から、前記第 3 番目の不純物濃度ピークの位置までの割合は、96%より大きく、98%より小さい範囲であり、

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記おもて面から、前記プロトン以外の不純物濃度ピークの位置までの割合は、98%より大きく、100%より小さい範囲である

請求項 3 に記載の半導体装置。

40

【請求項 8】

50

前記第 1 番目の不純物濃度ピークの位置は、前記第 2 導電型の半導体層の前記接合界面とは反対側に位置するおもて面から $94\ \mu\text{m}$ より大きく、 $97\ \mu\text{m}$ より小さい範囲にあり

、
前記第 2 番目の不純物濃度ピークの位置は、前記おもて面から $97\ \mu\text{m}$ より大きく、 $100\ \mu\text{m}$ より小さい範囲にあり、

前記第 3 番目の不純物濃度ピークの位置は、前記おもて面から $105\ \mu\text{m}$ より大きく、 $108\ \mu\text{m}$ より小さい範囲にあり、

前記プロトン以外の不純物濃度ピークの位置は、前記おもて面から $108\ \mu\text{m}$ より大きく、 $110\ \mu\text{m}$ より小さい範囲にある

請求項 3 に記載の半導体装置。

10

【請求項 9】

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記第 2 導電型の半導体層の前記接合界面とは反対側に位置するおもて面から、前記第 1 番目の不純物濃度ピークの位置までの割合は、 77% より大きく、 81% より小さい範囲であり、

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記おもて面から前記第 2 番目の不純物濃度ピークの位置までの割合は、 81% より大きく、 86% より小さい範囲であり、

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記おもて面から前記第 3 番目の不純物濃度ピークの位置までの割合は、 93% より大きく、 97% より小さい範囲であり、

前記第 1 導電型の半導体層および前記第 2 導電型の半導体層の前記第 1 方向における長さに対する前記おもて面から前記プロトン以外の不純物濃度ピークの位置までの割合は、 97% より大きく、 100% より小さい範囲である、

請求項 3 に記載の半導体装置。

20

【請求項 10】

前記第 1 番目の不純物濃度ピークの位置は、前記第 2 導電型の半導体層の前記接合界面とは反対側に位置するおもて面から $54\ \mu\text{m}$ より大きく、 $57\ \mu\text{m}$ より小さい範囲にあり

、
前記第 2 番目の不純物濃度ピークの位置は、前記おもて面から $57\ \mu\text{m}$ より大きく、 $60\ \mu\text{m}$ より小さい範囲にあり、

前記第 3 番目の不純物濃度ピークの位置は、前記おもて面から $65\ \mu\text{m}$ より大きく、 $68\ \mu\text{m}$ より小さい範囲にあり、

前記プロトン以外の不純物濃度ピークの位置は、前記おもて面から $68\ \mu\text{m}$ より大きく、 $70\ \mu\text{m}$ より小さい範囲にある、

請求項 3 に記載の半導体装置。

30

【請求項 11】

少なくとも前記第 2 導電型の半導体層の一部において、トレンチ状に設けられたゲート絶縁膜と、

前記ゲート絶縁膜に接して設けられたゲート電極と
をさらに有する、請求項 1 に記載の半導体装置。

40

【請求項 12】

前記第 1 番目から第 3 番目の不純物濃度ピークは、水素、空孔及び酸素による複合ドナーを含むことを特徴とする請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【0002】

従来、IGBT（絶縁ゲート型バイポーラトランジスタ）装置に、フィールドストップ

50

層（FS層）として機能する水素イオン等をドーブした領域を設けていた（例えば、特許文献1および2参照）。

〔先行技術文献〕

〔特許文献〕

〔特許文献1〕 特表2010-541266号公報

〔特許文献2〕 特開2014-99643号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

通常、FS層は、IGBTのコレクタ電極近傍に設けられる。ただし、FS層を通常よりもエミッタ電極寄りの位置に設けると、スイッチング時の発振およびゲート電圧ゼロ時のコレクタ・エミッタ間の漏れ電流を抑制でき、かつ、RBSOA（逆バイアス安全動作エリア）を改良することができる。特に、スイッチング時の発振等を抑制するためには、FS層の濃度が大きいほど効果的である。これに対して、FS層をコレクタ電極寄りの位置に設けると、エミッタ電極寄りの位置に設ける場合と比較して、ドリフト層が厚くなるので、大電流短絡耐量および耐圧が向上する。特に、大電流短絡耐量等を向上させるためには、FS層の濃度が小さいほど効果的である。このように、スイッチング時の発振等の抑制と大電流短絡耐量等の向上とは、FS層に対する要件が逆であるので両立させることが難しい。

10

【0004】

ここで、大電流短絡耐量とは、ゲート電圧を次第に上昇させて、IGBTが破壊されるときの通電電流量により規定される耐量である。大電流短絡耐量を測定するには、スイッチングオン時間の時間幅を固定して、IGBTを複数回オンオフして、スイッチングオンの回数を追うにつれて次第に入力するゲート電圧を上げることによりIGBTに大電流を流す。FS層が通常よりもエミッタ電極寄りの位置に設けられ、かつ、FS層の濃度が通常よりも大きい場合には、コレクタ側から移動するホールが抑えられる。これにより、IGBTの電流成分において電子の比率がホールよりも多くなり、コレクタ側の電界が上昇する。コレクタ側の電界が上昇しすぎると、IGBTが破壊に至る。

20

【課題を解決するための手段】

【0005】

本発明の第1の態様においては、半導体装置を提供する。半導体装置は、第1導電型の半導体層と、第2導電型の半導体層とを備えてよい。第1導電型の半導体層は、第1の面と第2の面とを有してよい。第2の面は、第1の面の反対側に位置してよい。第2導電型の半導体層は、第1導電型の半導体層の第1の面に接して設けられてよい。第1導電型の半導体層は、第1方向の異なる位置において、複数の不純物濃度ピークを有してよい。第1方向は、第1の面から第2の面への方向であってよい。第1の面から、複数の不純物濃度ピークのうち第1の面に1番目に近い第1番目の不純物濃度ピークと、第1の面に2番目に近い第2番目の不純物濃度ピークとの境界までにおける積分濃度が、臨界積分濃度以下であってよい。第1の面は、第1方向における第1導電型の半導体層と第2導電型の半導体層との接合界面であってよい。

30

40

【0006】

第1方向における第1の面から、第2番目の不純物濃度ピークと、複数の不純物濃度ピークのうち第1の面に3番目に近い第3番目の不純物濃度ピークとの境界までの積分濃度が、臨界積分濃度以下であってよい。

【0007】

第1導電型の半導体層は、複数の不純物濃度ピークのうち第3番目の不純物濃度ピークよりも第2の面側に、プロトン以外の不純物濃度ピークを有してよい。

【0008】

第1方向における第1の面から、第3番目の不純物濃度ピークと、プロトン以外の不純物濃度ピークとの境界までの積分濃度が、臨界積分濃度以下であってよい。

50

【0009】

第1方向における第1の面から、第3番目の不純物濃度ピークまでの積分濃度が、臨界積分濃度以下であってよい。

【0010】

第1導電型の半導体層は、第2の面と、プロトン以外の不純物の濃度ピークとの間に、プロトン以外の不純物の濃度ピークよりも高い不純物濃度の第2導電型の不純物濃度ピークを有してよい。

【0011】

第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対する第2導電型の半導体層の接合界面とは反対側に位置するおもて面から、第1番目の不純物濃度ピークの位置までの割合は、85%より大きく、89%より小さい範囲であってよい。第1導電型の半導体層および第2導電型の半導体層の前記第1方向における長さに対するおもて面から、第2番目の不純物濃度ピークの位置までの割合は、89%より大きく、91%より小さい範囲であってよい。第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対するおもて面から、第3番目の不純物濃度ピークの位置までの割合は、96%より大きく、98%より小さい範囲であってよい。第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対するおもて面から、プロトン以外の不純物濃度ピークの位置までの割合は、98%より大きく、100%より小さい範囲であってよい。

10

【0012】

第1番目の不純物濃度ピークの位置は、第2導電型の半導体層の接合界面とは反対側に位置するおもて面から94 μm より大きく、97 μm より小さい範囲にあってよい。第2番目の不純物濃度ピークの位置は、おもて面から97 μm より大きく、100 μm より小さい範囲にあってよい。第3番目の不純物濃度ピークの位置は、おもて面から105 μm より大きく、108 μm より小さい範囲にあってよい。プロトン以外の不純物濃度ピークの位置は、おもて面から108 μm より大きく、110 μm より小さい範囲にあってよい。

20

【0013】

第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対する第2導電型の半導体層の接合界面とは反対側に位置するおもて面から、第1番目の不純物濃度ピークの位置までの割合は、77%より大きく、81%より小さい範囲であってよい。第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対するおもて面から第2番目の不純物濃度ピークの位置までの割合は、81%より大きく、86%より小さい範囲であってよい。第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対するおもて面から第3番目の不純物濃度ピークの位置までの割合は、93%より大きく、97%より小さい範囲であってよい。第1導電型の半導体層および第2導電型の半導体層の第1方向における長さに対するおもて面からプロトン以外の不純物濃度ピークの位置までの割合は、97%より大きく、100%より小さい範囲であってよい。

30

【0014】

第1番目の不純物濃度ピークの位置は、第2導電型の半導体層の接合界面とは反対側に位置するおもて面から54 μm より大きく、57 μm より小さい範囲にあってよい。

第2番目の不純物濃度ピークの位置は、おもて面から57 μm より大きく、60 μm より小さい範囲にあってよい。

第3番目の不純物濃度ピークの位置は、おもて面から65 μm より大きく、68 μm より小さい範囲にあってよい。

プロトン以外の不純物濃度ピークの位置は、おもて面から68 μm より大きく、70 μm より小さい範囲にあってよい。

40

【0015】

半導体装置は、ゲート絶縁膜と、ゲート電極とをさらに有してよい。ゲート絶縁膜は、

50

少なくとも第2導電型の半導体層の一部において、トレンチ状に設けられてよい。ゲート電極は、ゲート絶縁膜に接して設けられてよい。

【0016】

第1番目から第3番目の不純物濃度ピークは、水素、空孔及び酸素による複合ドナーを含んでよい。

【0017】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0018】

【図1】本発明の実施形態におけるIGBT100の断面を示す図である。

【図2】(a)~(d)は、IGBT100の製造工程を示す図である。

【図3】第1実施形態におけるA1 A2間の不純物濃度ピーク(P_x)と不純物濃度ピーク間の境界(V_y)とを示す図である。

【図4】は、図3の位置80 [μm]から位置110 [μm]までを示す拡大図である。

【図5】第1実施形態におけるA1 A2間の不純物濃度ピーク(P_x)と臨界積分濃度との関係を示す図である。

【図6】は、図5の位置80 [μm]から位置110 [μm]までを示す拡大図である。

【図7】第2実施形態におけるA1 A2間の不純物濃度ピーク(P_x)と不純物濃度ピーク間の境界(V_y)とを示す図である。

【図8】は、図6の位置40 [μm]から位置70 [μm]までを示す拡大図である。

【図9】第2実施形態におけるA1 A2間の不純物濃度ピーク(P_x)と臨界積分濃度との関係を示す図である。

【図10】ドナー濃度に対する臨界電界強度 E_c および臨界積分濃度 n_c の関係を示す図である。

【発明を実施するための形態】

【0019】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0020】

本明細書において、 n または p は、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n または p の右肩に記載した+または-について、+はそれが記載されていないものよりもキャリア濃度が高く、-はそれが記載されていないものよりもキャリア濃度が低いことを意味する。また、本明細書に記載した例では、第1導電型は n 型を意味し第2導電型は p 型を意味するが、他の例においては、第1導電型が p 型を意味し第2導電型が n 型を意味してもよい。

【0021】

図1は、本発明の実施形態におけるIGBT100の断面を示す図である。半導体装置としてのIGBT100は、半導体基板10と、半導体基板10のおもて19に接して設けられたエミッタ電極52および層間絶縁膜36と、半導体基板10の裏面に接して設けられたコレクタ電極54とを備える。

【0022】

半導体基板10は、第1導電型の半導体層としての n^- 型のドリフト層12と、第2導電型の半導体層としての p 型のベース層18とを有する。ドリフト層12は、第1の面14と第2の面16とを有する。第1の面14は、ドリフト層12とベース層18との接合界面でもある。なお、第2の面16は、第1の面14の反対側に位置し、上述の半導体基板10における裏面に一致する。ベース層18は、第1の面14に接して設けられる。ベース層18は、第1の面14(接合界面)とは反対側に位置するおもて面19を有する。なお、図1において、ベース層18のおもて面19には、コンタクト領域42およびエミ

10

20

30

40

50

ッタ領域 44 が位置する。おもて面 19 は半導体基板 10 のおもて面でもある。

【0023】

ドリフト層 12 は、第 2 の面 16 の側に半導体層 20 を有する。半導体層 20 は、ドリフト層 12 の第 2 の面 16 から不純物をドーブすることにより形成される。半導体層 20 は、第 1 方向の異なる位置において、複数の不純物濃度ピークを有する。本明細書においてピークとは、第 1 導電型または第 2 導電型の不純物濃度のピークを意味する。半導体層 20 は、第 1 導電型の FS 層 22 と、第 1 導電型のバッファ層 24 と、第 2 導電型のコレクタ層 26 とを有する。FS 層 22、バッファ層 24 およびコレクタ層 26 は、この順で第 1 方向に並んで設けられる。第 1 方向とは、第 1 の面 14 から第 2 の面 16 へ向かう方向である。第 1 方向は、エミッタ電極 52 からコレクタ電極 54 へ向かう、半導体基板 10 の厚み方向と読み替えてもよい。

10

【0024】

第 1 導電型の FS 層 22 は、第 1 方向の異なる位置において 3 つの不純物濃度ピークを有する。本例の FS 層 22 は、空乏層の広がり止める機能を有する。つまり、FS 層 22 は、第 1 の面 14 近傍から伸長する空乏層を第 2 の面 16 まで伸長させないという機能を有する。本例の FS 層 22 は、プロトン (H^+) をドーブした領域であり、第 1 方向の異なる位置においてプロトン (H^+) のドーブに起因する 3 つの不純物濃度のピークを有する領域である。プロトンのドーブに起因する不純物濃度のピークを構成するドナーは、プロトンの注入により導入された水素 (H)、同じく注入時に結晶欠陥として形成された空孔 (V)、半導体基板 10 内に存在する酸素 (O) との複合欠陥、すなわち VOH 欠陥による複合ドナーである。この VOH 欠陥による複合ドナーを、水素関連ドナーとも言う。

20

【0025】

第 1 導電型のバッファ層 24 は、FS 層 22 よりも高い第 1 導電型の不純物濃度を有する層である。つまり、本例において、FS 層 22 は n 型であり、バッファ層 24 は n⁺ 型である。バッファ層 24 も FS 層 22 と同様に空乏層の広がり止める機能を有してよい。本例のバッファ層 24 は、プロトン以外の第 1 導電型の不純物濃度ピークを有する。本例のバッファ層 24 は、リン (P) をドーブした領域である。しかし、バッファ層 24 は、リン (P) に代えて、FS 層 22 よりも高い不純物濃度を有するようにプロトン (H^+) がドーブされた層であってもよい。

30

【0026】

第 2 導電型のコレクタ層 26 は、半導体基板 10 からホールを供給する機能を有する。コレクタ層 26 は、バッファ層 24 の不純物濃度ピークよりも高い不純物濃度ピークを有する層である。本例のコレクタ層 26 は、ボロン (B) をドーブした領域である。

【0027】

半導体基板 10 は、トレンチ型のゲート電極 32 と、ゲート絶縁膜 34 と、第 1 導電型のエミッタ領域 44 と、第 2 導電型のコンタクト領域 42 とをさらに有する。ゲート絶縁膜 34 は、少なくともベース層 18 の一部において、トレンチ状に設けられる。ゲート電極 32 は、ゲート絶縁膜 34 に接して設けられる。

【0028】

なお、他の例において、IGBT 100 はプレーナー型のゲート電極およびゲート絶縁膜を有してもよい。プレーナー型よりもトレンチ型の方が、エミッタ電極 52 からコレクタ電極 54 へ入る電子の量が多い。それゆえ、コレクタ層 26 からホールを供給して、コレクタ電極 54 側の電界集中を緩和する本例の半導体層 20 の構成は、プレーナー型よりもトレンチ型において、効果的である。

40

【0029】

ゲート電極 32 は、おもて面 19 に接して設けられた層間絶縁膜 36 によってエミッタ電極 52 とは電氣的に分離される。複数のゲート電極 32 には、ゲート端子 50 を介して電圧が印加される。エミッタ電極 52 にはエミッタ端子 51 が電氣的に接続され、コレクタ電極 54 にはコレクタ端子 53 が電氣的に接続される。

50

【0030】

ゲート電極32がオン状態となると、ゲート電極32の近傍のベース層18にチャンネル領域が形成される。このとき、エミッタ電極52およびコレクタ電極54間に適切な電位差が形成されるとコレクタ電極54からエミッタ電極52に電流が流れる。エミッタ領域44は、チャンネル形成領域に接続した電流経路を提供する領域である。

【0031】

コンタクト領域42は、エミッタ電極52と半導体基板10との低接触抵抗を提供する領域である。IGBT100が通電する場合、コレクタ電極54からエミッタ領域44およびコンタクト領域42を経てエミッタ電極52に電流が流れる。

【0032】

図2の(a)~(d)は、IGBT100の製造工程を示す図である。(a)は、ドリフト層12を有する半導体基板10のおもて面19にベース層18を形成する工程を示す。半導体基板10は、n型のフロートゾーン(FZ)法による単結晶基板、チョクラルスキー(CZ)法による単結晶基板、磁場印加型チョクラルスキー(MCZ)法による単結晶基板であってもよい。また、半導体基板10は、厚さ100[μm]以上、かつ、比抵抗50[$\Omega\cdot\text{cm}$]以上であってよい。本例の半導体基板10は、厚さ110[μm]、かつ、比抵抗70[$\Omega\cdot\text{cm}$]以上である。

【0033】

(b)は、ゲート電極32、ゲート絶縁膜34、コンタクト領域42およびエミッタ領域44を形成し、その後、半導体基板10のおもて面19に層間絶縁膜36およびエミッタ電極52を形成する工程を示す。ゲート電極32はポリシリコンであってよく、ゲート絶縁膜34は酸化シリコンであってよい。また、コンタクト領域42は、第2導電型の不純物としてのボロン(B)がドーパされた領域であってよい。エミッタ領域44は、第1導電型の不純物としての砒素(As)またはリン(P)がドーパされた領域であってよい。層間絶縁膜36は酸化シリコンであってよく、エミッタ電極52はアルミニウムとシリコンとの合金(Al-Si)であってよい。

【0034】

(c)は、ドリフト層12の第2の面16から不純物をドーパすることにより、FS層22、バッファ層24およびコレクタ層26を形成する工程を示す。本例の(c)に示す工程では、まず、プロトン(H^+)をドーパすることにより第1方向の異なる位置に3つのピークを有するFS層22を形成する。プロトンの加速電圧を調整することにより、不純物濃度のピーク位置を調整することができる。

【0035】

本例では、第2の面16から15 μm 離れた位置に第1ピークを形成するべく、ドーズ量 $1.0\text{E}13\text{cm}^{-2}$ および加速電圧1.00MeVでプロトン(H^+)をドーパする。また、第2の面16から10 μm 離れた位置に第2ピークを形成するべく、ドーズ量 $7.0\text{E}12\text{cm}^{-2}$ および加速電圧0.80MeVでプロトン(H^+)をドーパする。さらに、第2の面16から4.2 μm 離れた位置に第3ピークを形成するべく、ドーズ量 $1.0\text{E}13\text{cm}^{-2}$ および加速電圧0.40MeVでプロトン(H^+)をドーパする。ただし、活性化アニールを経て後にピークが形成される位置は、上述の設定位置から多少ずれる。なお、Eは10の冪を意味し、例えば $1.0\text{E}13$ とは、 1.0×10^{13} の意味である。

【0036】

FS層22を形成した後、リン(P)をドーパすることによりバッファ層24を形成する。本例では、第2の面16から0.7 μm 離れた位置にピークを形成するべく、ドーズ量 $1.7\text{E}12\text{cm}^{-2}$ および加速電圧640keVでリン(P)をドーパする。バッファ層24を形成した後、ボロン(B)を $2.0\text{E}13\text{cm}^{-2}$ でドーパすることによりコレクタ層26を形成する。

【0037】

(d)は、第2の面16に接してコレクタ電極54を形成する工程を示す。コレクタ電

10

20

30

40

50

極54は、チタン(Ti)、ニッケル(Ni)および金(Au)をこの順で積層して形成してよい。その後、ゲート端子50、エミッタ端子51およびコレクタ端子53を設ける。これにより、IGBT100を完成する。

【0038】

図3は、第1実施形態におけるA1 A2間の不純物濃度ピーク(P_x)と不純物濃度ピーク間の境界(V_y)とを示す図である。本明細書において、 P_x ($x = 1 \sim 5$)は不純物濃度のピークを示す。ピーク P_x は、不純物濃度の極大値である。ピーク P_x の位置および不純物濃度の高さは、ドーブする不純物の加速電圧および不純物濃度によって、設定することができる。 V_y ($y = 1 \sim 4$)は2つのP間における境界を示す。境界 V_y は2つのピーク P_x 間における不純物濃度の最小値である。

10

【0039】

図3において、縦軸は不純物濃度 [$/\text{cm}^3$]を示し、第1導電型および第2導電型を合わせた正味の不純物濃度(ネットドーピング)を示す。図3は、図1のA1 A2における不純物濃度に対応する。横軸は、半導体基板10の第1方向における位置を示す。おもて面19を位置0 [μm]とし、第2の面16を位置110 [μm]とする。位置0 [μm]と位置10 [μm]との間には、ドリフト層12における第1の面14が位置する。

【0040】

本例は、耐圧1,200VのIGBT100における不純物濃度のドーブパターンである。本例では、A1 A2は、おもて面19から第2の面16までに至る第1方向に沿った領域である。

20

【0041】

本明細書では、複数の不純物濃度ピークのうち第1の面14に1番目に近い第1番目の不純物濃度ピークを第1のピーク P_1 と称する。同様に、第1の面14に2番目に近いものを第2のピーク P_2 、3番目に近いものを第3のピーク P_3 、4番目に近いものを第4のピーク P_4 とそれぞれ称する。さらに、最も第2の面16に近いピークを第5のピーク P_5 とする。本例では、ピーク $P_1 \sim P_3$ は、プロトン(H^+)のピークである。第3のピーク P_3 よりも第2の面16側における第4のピーク P_4 は、プロトン以外のピークである。また、第5のピーク P_5 は第2の面16と第4のピーク P_4 との間に位置し、第4のピーク P_4 よりも高い不純物濃度ピーク P_5 を有する。

30

【0042】

また、ピーク P_1 と P_2 との間に境界 V_1 を有する。同様に、ピーク P_2 と P_3 との間に境界 V_2 を有し、ピーク P_3 と P_4 との間に境界 V_3 を有し、ピーク P_4 と P_5 との間に境界 V_4 を有する。

【0043】

本例では、ピーク P_3 において不純物濃度が低い順に、第1～第4のドーブパターンと称する。なお、後述する積分濃度は、第1～第4のドーブパターンの順に低い。ピーク P_3 の不純物濃度は第1～第4のドーブパターンにおいて異なるが、ピーク P_3 の位置は第1～第4のドーブパターンにおいて同じである。

【0044】

図3は、4種類の異なるドーブパターンを1つのグラフに示した図である。異なる種類のドーブパターンは、異なるIGBT100に対応する。完成物としての1つのIGBT100は、1種類のドーブパターンを有する。第1のドーブパターンのトータルのドーブ量を1とした場合に、第2のドーブパターンのトータルのドーブ量は1.4であり、第3のドーブパターンのトータルのドーブ量は2.6であり、第4のドーブパターンのトータルのドーブ量は4.5である。トータルのドーブ量の違いは、第3のピークおよび第3の境界近傍において特に顕著となる。

40

【0045】

4種類の異なる第1～第4のドーブパターンは、第3のピーク P_{3-1} 、 P_{3-2} 、 P_{3-3} および P_{3-4} 、ならびに、第3の境界 V_{3-1} 、 V_{3-2} 、 V_{3-3} および V_{3-4}

50

・₄ 近傍において異なる不純物濃度を有する。しかし、その他の領域における4種類の異なるドーブパターンは、一致する。たとえば、位置0 [μm] から位置100 [μm] までの領域では、4種類の異なるドーブパターンは一致している。例えば、 P_4 、 V_4 および P_5 においても、第1～第4のドーブパターンは一致している。なお、第3のピークは P_{3-1} 、 P_{3-2} 、 P_{3-3} および P_{3-4} の順に不純物濃度が高くなり、第3の境界は V_{3-1} 、 V_{3-2} 、 V_{3-3} および V_{3-4} の順に不純物濃度が高くなる。

【0046】

図4は、図3の位置80 [μm] から位置110 [μm] までを示す拡大図である。図4からわかるように、4種類の異なるドーブパターンは、第2の境界 V_2 から第4のピーク P_4 以外の範囲では完全に一致している。

10

【0047】

なお、第2の境界 V_2 と第1のドーブパターンにおける第3のピーク P_{3-1} との間には、第3のピーク P_{3-1} よりも小さい不純物濃度の極大値と不純物濃度の最小値とが観察される。しかしながら、第2の境界 V_2 と第3のピーク P_{3-1} との間における不純物濃度の極小値および極大値は、ドーブする不純物の加速電圧および不純物濃度によって意図的に形成したものではない。それゆえ、これらは本明細書において、ピーク P および境界 V ではないものとする。

【0048】

本例において、ピーク P_1 の位置は、94 [μm] より大きく97 [μm] より小さい範囲にある。また、ピーク P_2 の位置は、97 [μm] より大きく100 [μm] より小さい範囲にある。さらに、ピーク P_3 の位置は、105 [μm] より大きく108 [μm] より小さい範囲にある。加えて、ピーク P_4 の位置は、108 [μm] より大きく110 [μm] より小さい範囲にある。

20

【0049】

本例において、ドリフト層12およびベース層18の第1方向における長さを基板長さ L と称すると、上述の範囲は次のように言い換えることができる。基板長さ L に対する0 [μm] の位置からピーク P_1 の位置までの割合は、85%より大きく89%より小さい範囲である。また、基板長さ L に対する0 [μm] の位置から、ピーク P_2 の位置までの割合は、89%より大きく91%より小さい範囲である。さらに、基板長さ L に対する0 [μm] の位置から、ピーク P_3 の位置までの割合は、96%より大きく98%より小さい範囲であり。加えて、基板長さ L に対する0 [μm] の位置から、ピーク P_4 の位置までの割合は、98%より大きく100%より小さい範囲である。

30

【0050】

図5は、第1実施形態における A_1 - A_2 間の不純物濃度ピーク (P_x) と臨界積分濃度との関係を示す図である。縦軸は積分濃度 [/ cm^2] を示し、横軸は図3および図4と同じく、半導体基板10の第1方向における位置を示す。本例では、スケールの上、110 [μm] 近傍のグラフは省略している。

【0051】

本明細書では、ドリフト層12とベース層18との接合界面である第1の面14からドリフト層12の特定の位置まで、第1方向に沿って不純物濃度を積分した値を、積分濃度と称する。さらに、本明細書では、コレクタ電極54およびエミッタ電極52間に順バイアスが印加され、電界強度の最大値が臨界電界強度に達してアバランシェ降伏が発生した場合であって、第1の面14から第1方向におけるドリフト層12の特定位置までが空乏化する場合に、当該特定位置における不純物濃度の積分した値が臨界積分濃度に達すると称する。なお、IGBT100において、コレクタ電極54およびエミッタ電極52の間に順バイアスが印加されるとは、コレクタ電極54の電位がエミッタ電極52の電位よりも高いことを意味する。

40

【0052】

順バイアス印加時に、臨界積分濃度に達する特定位置までのドリフト層12は空乏化するが、当該特定位置よりも第1方向の先の領域は空乏化しない。本例では、4つのドーブ

50

パターンにおけるFS層22のピーク位置(ピーク P_1 ~ピーク P_3)を調節することにより、ドリフト層12における臨界積分濃度の位置を調節することができる。臨界積分濃度は、 $1.2E12 [/ cm^2]$ と $2.0E12 [/ cm^2]$ との間に位置してよい。本例の臨界積分濃度は、約 $1.4E12 [/ cm^2]$ である。

【0053】

本例では、第1~第4のドーブパターンにおいて、第1方向における第1の面14から、境界 V_1 までにおける積分濃度が、臨界積分濃度以下である。また、第1~第4のドーブパターンにおいて、第1方向における第1の面14から、境界 V_2 までの積分濃度が、臨界積分濃度以下である。

【0054】

さらに本例では、第1のドーブパターンにおいて、第1方向における第1の面14から境界 V_{3-1} までの積分濃度が、臨界積分濃度以下である。また、第2のドーブパターンにおいても、第1方向における第1の面14から境界 V_{3-2} までの積分濃度が、臨界積分濃度以下である。しかし、第3~第4のドーブパターンにおいては、第1方向における第1の面14から、境界 V_3 までの積分濃度は臨界積分濃度を超える。なお、第2のドーブパターンにおいては、第1方向における第1の面14から、ピーク P_{3-2} までの積分濃度が、臨界積分濃度以下である。

【0055】

図6は、図5の位置80 [μm]から位置110 [μm]までを示す拡大図である。本例では、ピーク P_1 、 P_2 および P_3 の3つのピークによりFS層22を形成する。FS層22の第1のピーク P_1 においては臨界積分濃度に達しないので、FS層22を比較的エミッタ電極52寄りに比較的高い濃度で設けることができる。これによりスイッチング時の発振を抑制することができる。また本例では、FS層22またはバッファ層24において臨界積分濃度に達するので、FS層22またはバッファ層24において空乏層の伸びを抑えることができる。

【0056】

本例では、さらに、FS層22よりも高濃度のバッファ層24(ピーク P_4)と、バッファ層24よりも高濃度のコレクタ層26(ピーク P_5)を有する。FS層22の不純物濃度が $1.0E14 \sim 1.0E16$ であるのに対して、ピーク P_4 の不純物濃度は $1.0E16 \sim 1.0E17$ であり、ピーク P_5 の不純物濃度は $1.0E17 \sim 1.0E18$ である。それゆえ、ピーク P_4 およびピーク P_5 は、図6に図示されていない。本例ではバッファ層24およびコレクタ層26により、キャリアの注入特性を制御することができる。例えば、コレクタ層26によりドリフト層12へのホールの注入特性を向上させることができる。これにより、ターンオフ時にキャリアを空乏層に供給できるので、コレクタ側における電界の上昇を緩和することができる。よって、大電流短絡耐量を向上させることができる。このように、本例の構造を採用することにより、スイッチング時の発振の抑制等と大電流短絡耐量の向上等とを両立することができる。

【0057】

本例では、コレクタ電圧 $V_{cc} = 680 [V]$ 、ゲートオン抵抗 $R_{gon} = 4.1 [\quad]$ 、ゲートオフ抵抗 $R_{goff} = 20 [\quad]$ 、ゲート入力パルス時間 = $2 [\mu s]$ 、チップ接合温度 $T_j = 25 [\quad]$ とし、ゲート・エミッタ間電位 V_{ge} を $15 [V]$ から次第に上昇させて大電流短絡耐量試験を行った。本例のIGBT100は、コレクタ・エミッタ間電流 $I_c = 4,300 [A / cm^2]$ でも破壊されなかった。なお、装置限界により、 $I_c = 4,300 [A / cm^2]$ で通電をストップした。コレクタ電圧 V_{cc} は、コレクタ端子53に印加する電圧である。ゲート・エミッタ間電位 V_{ge} は、ゲート端子50とエミッタ端子51との電位差である。コレクタ・エミッタ間電流 I_c は、コレクタ端子53とエミッタ端子51との間に流れる電流である。

【0058】

また、本例では、コレクタ電圧 $V_{cc} = 870 [V]$ 、コレクタ・エミッタ間電流 $I_{ce} = 300 [A / cm^2]$ 、ゲートオン抵抗 $R_{gon} = 1 [\quad]$ 、ゲートオフ抵抗 R_{go

10

20

30

40

50

$f f = 1$ []、浮遊インダクタンス $L_s = 70$ [nH]、チップ接合温度 $T_j = 25$ []とし、ゲート・エミッタ間電位 V_{ge} を 15 [V] から 0 [V] へターンオフして、ターンオフサージ試験を行った。本例の IGBT100 はターンオフ時のコレクタ・エミッタ間電圧 V_{ce} のピークが $1,125$ [V] となった。これは、ターンオフ時のサージ電圧が従来よりも抑えられたことを意味する。加えて、ターンオフ振動もまた従来よりも抑えられた。

【0059】

図7は、第2実施形態における A_1 - A_2 間の不純物濃度ピーク (P_x) と不純物濃度ピーク間の境界 (V_y) とを示す図である。縦軸および横軸は図3と同じである。本例では、第2の面16が位置 70 [μm] に対応する。本例の IGBT100 は、ドリフト層12の厚みが第1実施形態よりも薄く、耐圧 600 V を有する。本例では、ピーク P_x の位置が第1実施形態と異なる。他の点は、第1実施形態と同じであってよい。なお、本例は、1種類のドーパパターンを示す。

10

【0060】

図8は、図6の位置 40 [μm] から位置 70 [μm] までを示す拡大図である。本例において、ピーク P_1 の位置は、 54 [μm] より大きく 57 [μm] より小さい範囲にある。また、ピーク P_2 の位置は、 57 [μm] より大きく 60 [μm] より小さい範囲にある。さらに、ピーク P_3 の位置は、 65 [μm] より大きく 68 [μm] より小さい範囲にある。加えて、ピーク P_4 の位置は、 68 [μm] より大きく 70 [μm] より小さい範囲にある。

20

【0061】

本例において、ドリフト層12およびベース層18の第1方向における長さを基板長さ L と称すると、上述の範囲は次のように言い換えることができる。基板長さ L に対する 0 [μm] の位置からピーク P_1 の位置までの割合は、 77% より大きく 81% より小さい範囲である。また、基板長さ L に対する 0 [μm] の位置からピーク P_2 の位置までの割合は、 81% より大きく 86% より小さい範囲である。さらに、基板長さ L に対する 0 [μm] の位置からピーク P_3 の位置までの割合は、 93% より大きく 97% より小さい範囲である。加えて、基板長さ L に対する 0 [μm] の位置からピーク P_4 の位置までの割合は、 97% より大きく 100% より小さい範囲である。

【0062】

図9は、第2実施形態における A_1 - A_2 間の不純物濃度ピーク (P_x) と臨界積分濃度との関係を示す図である。本例では、第1方向における第1の面14から境界 V_1 までにおける積分濃度は、臨界積分濃度以下である。また、第1方向における第1の面14からピーク P_2 までの積分濃度は、臨界積分濃度以下である。加えて、第1方向における第1の面14から境界 V_2 までの積分濃度も臨界積分濃度以下である。しかし、第1方向における第1の面14からピーク P_3 までの積分濃度は臨界積分濃度を超える。

30

【0063】

第2実施形態における IGBT100 の製造工程は、第1実施形態と基本的に同じである。相違点を下記に列挙する。第2実施形態における半導体基板10は、厚さ 100 [μm] 未満、かつ、比抵抗 50 [Ωcm] 未満であってよい。本例の半導体基板10は、厚さ 70 [μm]、かつ、比抵抗 30 [Ωcm] である。FS層22の製造工程では、第2の面16から 4.2 μm 離れた位置に第3ピークを形成するべく、ドーパ量 1.0×10^{14} cm^{-2} および加速電圧 0.40 MeV でプロトン进行ドーパする。他の点は、第1実施形態と同じである。本例においても、第1実施形態と同じ効果を得ることができる。

40

【0064】

本例では、コレクタ電圧 $V_{cc} = 360$ [V]、ゲートオン抵抗 $R_{gon} = 1$ []、ゲートオフ抵抗 $R_{goff} = 90$ []、ゲート入力パルス時間 = 2 [μs]、チップ接合温度 $T_j = -40$ [] とし、ゲート・エミッタ間電位 V_{ge} を 15 [V] から次第に上昇させて大電流短絡耐量試験を行った。本例の IGBT100 は、コレクタ・エミッタ間電流 $I_c = 4,300$ [A/cm^2] でも破壊されなかった。なお、装置限界により、

50

$I_c = 4,300 [A/cm^2]$ で通電をストップした。

【0065】

また、本例では、コレクタ電圧 $V_{cc} = 410 [V]$ 、コレクタ・エミッタ間電流 $I_{ce} = 310 [A/cm^2]$ 、ゲートオン抵抗 $R_{gon} = 3.9 []$ 、ゲートオフ抵抗 $R_{goff} = 3.9 []$ 、浮遊インダクタンス $L_s = 70 [nH]$ 、チップ接合温度 $T_j = 175 []$ とし、ゲート・エミッタ間電位 V_{ge} を $15 [V]$ から $0 [V]$ へターンオフして、ターンオフサージ試験を行った。本例の IGBT100 はターンオフ時のコレクタ・エミッタ間電圧 V_{ce} のピークが約 $700 [V]$ となった。ターンオフ時のサージ電圧が従来よりも抑えられた。加えて、ターンオフ振動もまた従来よりも抑えられた。

【0066】

さらに、本例では、コレクタ電圧 $V_{cc} = 350 [V]$ 、コレクタ・エミッタ間電流 $I_{ce} = 490 [A/cm^2]$ とし、他の条件は上述のターンオフサージ試験と同じにして、ターンオフサージ試験を行った。本例の IGBT100 はターンオフ時のコレクタ・エミッタ間電圧 V_{ce} のピークが約 $750 [V]$ となった。ターンオフ時のサージ電圧が従来よりも抑えられた。加えて、ターンオフ振動もまた従来よりも抑えられた。

【0067】

図10は、ドナー濃度に対する臨界電界強度 E_c および臨界積分濃度 n_c の関係を示す図である。横軸は、ドナー濃度（n型の不純物濃度） $[/cm^3]$ であり、縦軸左側は臨界電界強度 $E_c [V/cm]$ であり、縦軸右側は臨界積分濃度 $n_c [/cm^2]$ である。以降では、ドナー濃度に対する臨界電界強度 E_c と臨界積分濃度 n_c とが対応関係にあることを説明する。

【0068】

平面pn接合において、p型層の濃度がn型層の濃度よりも数桁高い片側階段接合を考える。片側階段接合の場合、pn接合に逆バイアス電圧を印加すると、空乏層はn型層にのみ広がると見なすことができる。逆バイアス電圧の印加により空乏層が広がるとともに、pn接合近傍で電界強度は最大値となる。この電界強度の最大値が所定値に達すると、インパクトイオン化によりアバランシェ降伏が発生する。

【0069】

なお、第1および第2実施形態においては、当該n型層がドリフト層12に対応し、当該p型層がベース層18に対応する。また、pn接合に逆バイアス電圧を印加することは、コレクタ電極54の電位がエミッタ電極52の電位よりも高い、順バイアスをIGBT100に印加することに対応する。

【0070】

アバランシェ降伏が発生する電界強度の値は、臨界電界強度（Critical Electric Field Strength）と呼ばれる。アバランシェ降伏は、半導体の構成元素と、半導体にドーピングされた不純物と、不純物の濃度とに依存する。ドナー濃度を N_D 、臨界電界強度を E_c とすると、シリコン（Si）におけるインパクトイオン化係数を用いてイオン化積分をすると、臨界電界強度 E_c は数式1で表される。

【0071】

【数1】

$$E_c = 4010 \cdot (ND)^{1/8}$$

【0072】

数式1からわかるように、ドナー濃度 N_D が決まれば、臨界電界強度 E_c は定まる。また、ポアソンの式は、1次元方向（x方向とする）のみを考慮した場合、数式2で表される。

【0073】

10

20

30

40

【数 2】

$$dE/dx = (q/\epsilon_r \epsilon_0)(p-n+N_D-N_A)$$

【0074】

ここで、 q は電荷素量 (1.062×10^{15} [C])、 ϵ_0 は真空の誘電率 (8.854×10^{-14} [F/cm])、 ϵ_r は物質の比誘電率である。シリコンの場合は、 $\epsilon_r = 11.9$ である。 p は正孔濃度、 n は電子濃度、 N_A はアクセプタ濃度である。片側階段接合で n 型層のみを考慮するのでアクセプタが存在しない ($N_A = 0$) とする。さらに、正孔および電子が存在しない完全空乏化された ($n = p = 0$) 空乏層を仮定すると、

10

【0075】

【数 3】

$$E = (q/\epsilon_r \epsilon_0) \int N_D dx$$

【0076】

$p-n$ 接合の位置を原点 0 、 n 型層において $p-n$ 接合とは反対側の位置における空乏層の端部の位置を x_0 とする。そして、空乏層全体を 0 から x_0 で積分すると、数式 3 の E は、電界強度分布の最大値となる。これを E_m とすると、 E_m は数式 4 で表される。

20

【0077】

【数 4】

$$E_m = (q/\epsilon_r \epsilon_0) \int_0^{x_0} N_D dx$$

【0078】

電界強度分布の最大値 E_m が、臨界電界強度 E_c に達したとすると、数式 4 は数式 5 で表される。

【0079】

【数 5】

30

$$E_c (\epsilon_r \epsilon_0 / q) = \int_0^{x_0} N_D dx$$

【0080】

数式 5 は、両辺とも定数である。数式 5 の右辺は、 n 型層において完全空乏化した範囲であるので、本明細書において記載した定義より、臨界積分濃度 n_c と表す。これにより次の数式 6 を得る。数式 6 は、臨界積分濃度 n_c と臨界電界強度 E_c との対応を示す。このように、臨界積分濃度 n_c は、臨界電界強度 E_c に対応する定数となす。

【0081】

40

【数 6】

$$E_c (\epsilon_r \epsilon_0 / q) = n_c$$

【0082】

なお、図 10 においては、ドナー濃度 N_D は n 型層の x 方向の濃度分布が一様であると仮定している。臨界電界強度 E_c は n 型層のドナー濃度 N_D に依存するので (数式 5 参照)、臨界積分濃度 n_c も n 型層のドナー濃度 N_D に依存する。ドナー濃度 N_D が $1 \times 10^{13} \sim 1 \times 10^{15}$ (/cm³) の範囲では、臨界積分濃度 n_c は $1.1 \times 10^{12} \sim 2.0 \times 10^{12}$ (/cm²) となる。ドナー濃度が数桁に亘る濃度範囲であることを踏

50

まえると、臨界積分濃度 n_c はほぼ定数であると見なすことができる。

【0083】

例えば、第1実施形態の1, 200Vの例では、ドリフト層12のドナー濃度 N_D を 6.1×10^{13} ($/\text{cm}^3$) とすると(図3および図4参照)、数式6から臨界積分濃度 n_c は約 1.4×10^{12} ($/\text{cm}^2$) と評価できる。また、第2実施形態の600Vの例では、ドリフト層12のドナー濃度 N_D を 1.4×10^{14} ($/\text{cm}^3$) とすると(図7および図8参照)、数式6から臨界積分濃度 n_c は約 1.55×10^{12} ($/\text{cm}^2$) と評価できる。

【0084】

第1および第2実施形態では、ピーク P_x の位置を調節することにより、臨界積分濃度 n_c の位置を調節する。FS層22において臨界積分濃度 n_c に達するので、FS層22を比較的エミッタ電極52寄りに比較的高い濃度で設けることができる。これによりスイッチング時の発振を抑制することができる。また、漏れ電流も抑制でき、RBSOAも改良できる。さらに、FS層22よりも不純物濃度が高いコレクタ層26によりホール注入特性を制御することで、臨界積分濃度 n_c の位置における臨界電界強度 E_c を抑えることができる。これにより、FS層22を従来よりもコレクタ電極54に寄せることなく、かつ、FS層22の濃度を従来よりも低くすることなく、大電流短絡耐量を向上させることができる。また、耐圧も向上させることができる。このように、大電流短絡耐量の向上とスイッチング時の発振等の抑制とを両立することができる。

10

【0085】

なお、本願のように、複数の不純物濃度のピークを有するFS層22を備える場合、ドリフト層12のドナー濃度 N_D はFS層22内では一様とはならない。ただし、臨界積分濃度 n_c は、空乏層が広がる第1方向における積分量であるので、FS層22における不純物濃度の増減は積分量に吸収される。

20

【0086】

また、上述の臨界総不純物量の議論は、シリコンに限らず、炭化シリコン(SiC)、窒化ガリウム(GaN)、ダイヤモンド、酸化ガリウム(Ga_2O_3)等のワイドバンドギャップ半導体にも適用可能である。すなわち、数式1を導出するためにはインパクトイオン化係数に、数式2においては比誘電率に、各物質の値を用いれば良い。

【0087】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

30

【0088】

請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

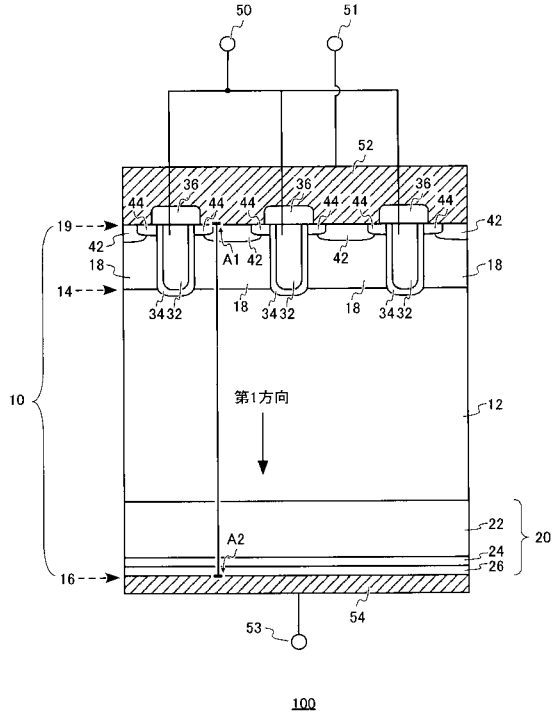
40

【符号の説明】

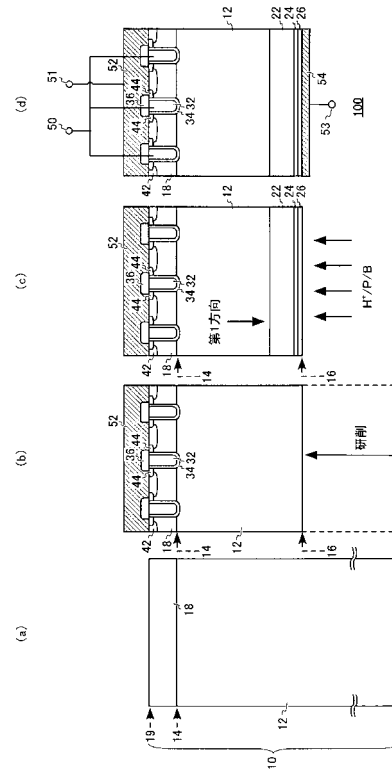
【0089】

10・・・半導体基板、12・・・ドリフト層、14・・・第1の面、16・・・第2の面、18・・・ベース層、19・・・おもて面、20・・・半導体層、22・・・FS層、24・・・バッファ層、26・・・コレクタ層、32・・・ゲート電極、34・・・ゲート絶縁膜、36・・・層間絶縁膜、42・・・コンタクト領域、44・・・エミッタ領域、50・・・ゲート端子、51・・・エミッタ端子、52・・・エミッタ電極、53・・・コレクタ端子、54・・・コレクタ電極、100・・・IGBT

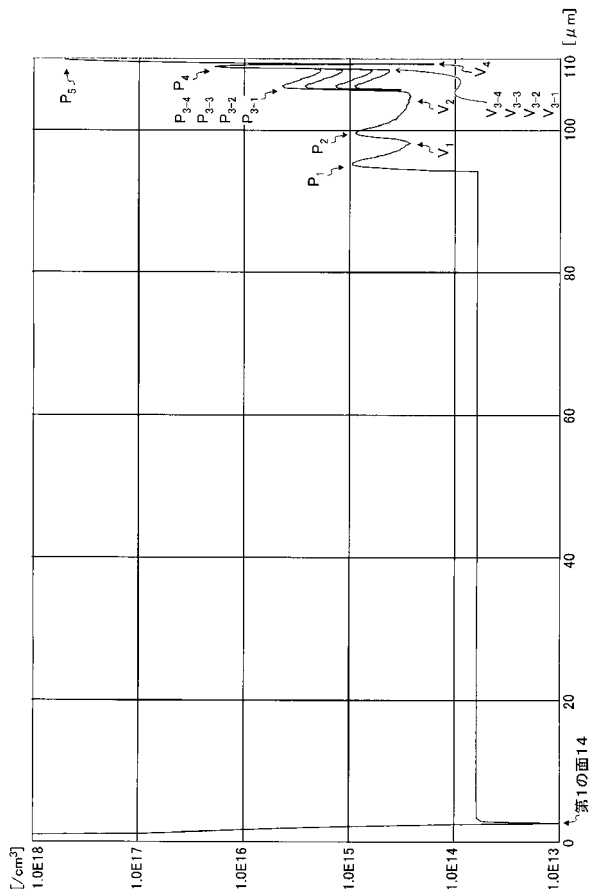
【 図 1 】



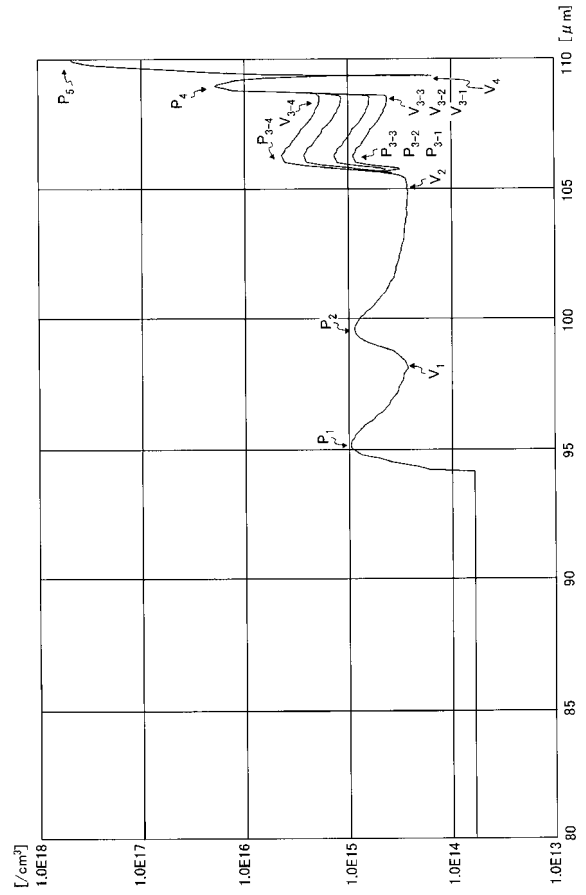
【 図 2 】



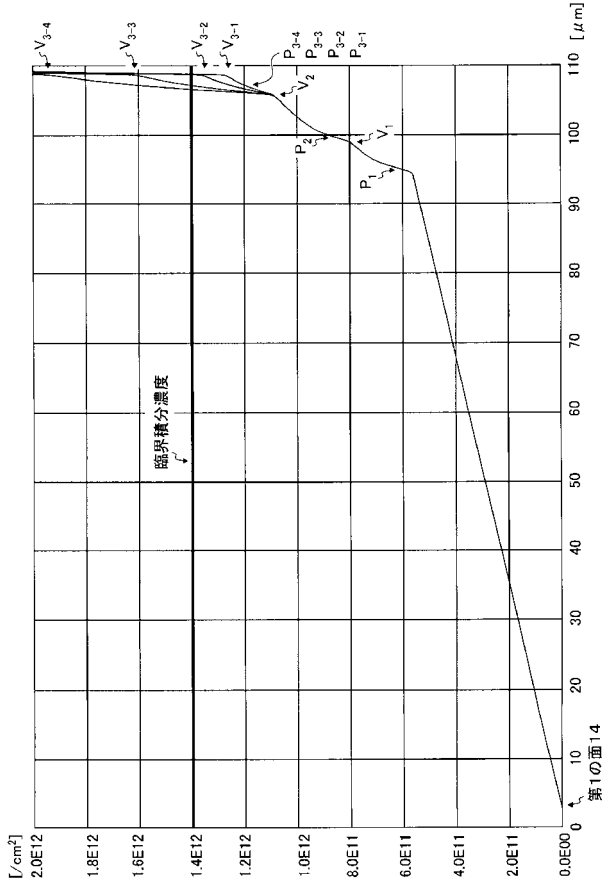
【 図 3 】



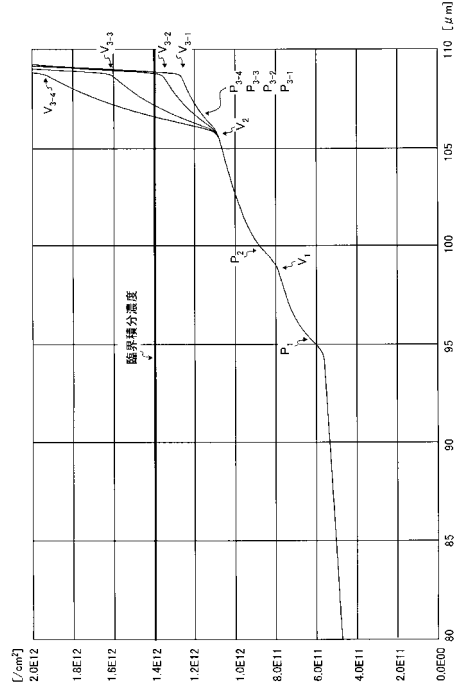
【 図 4 】



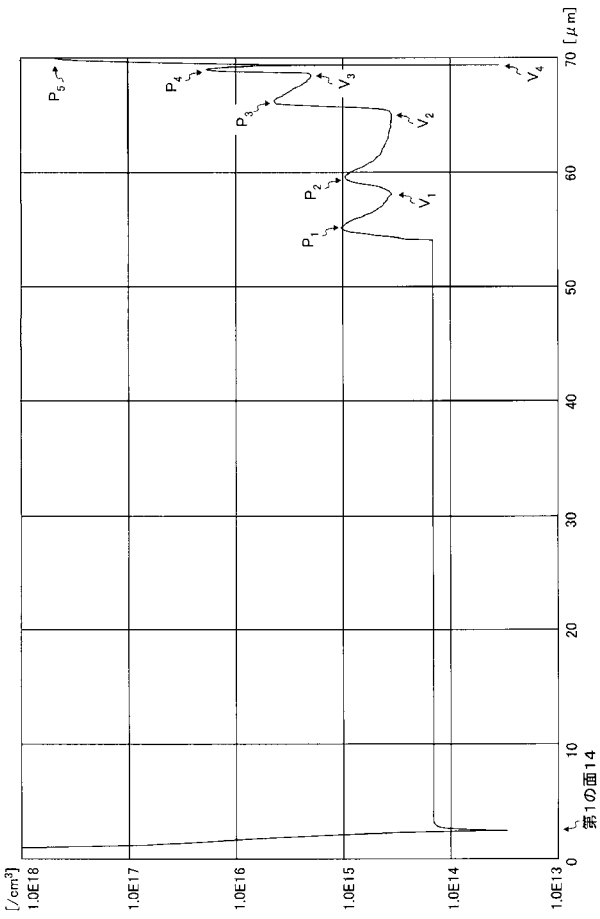
【 図 5 】



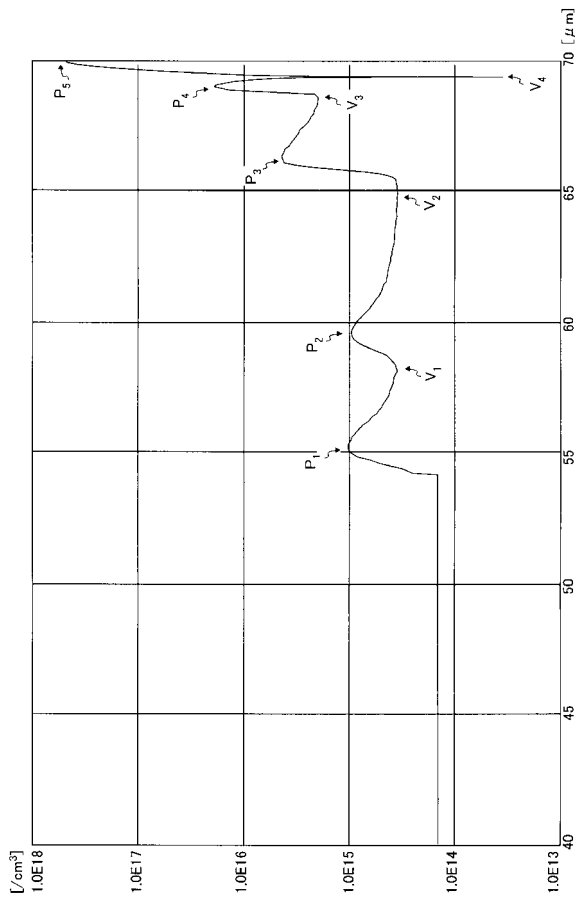
【 図 6 】



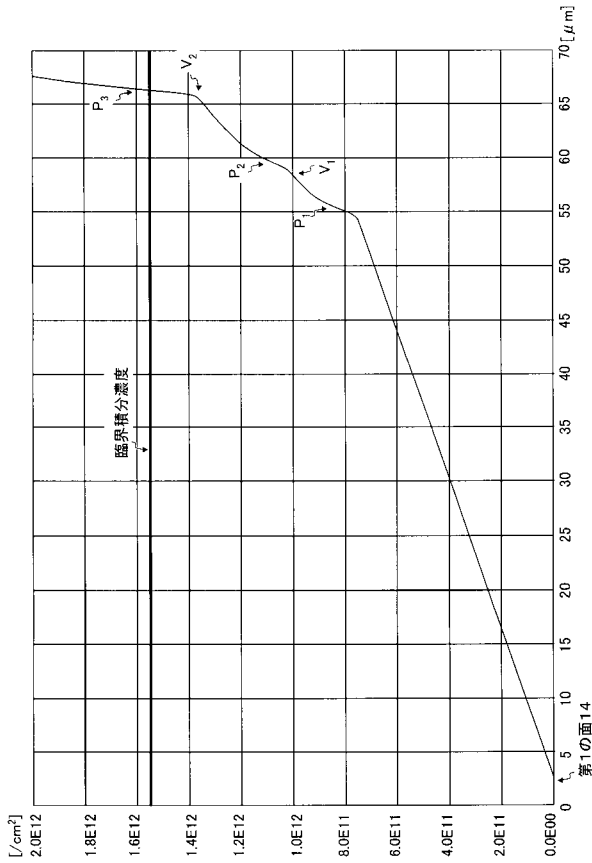
【 図 7 】



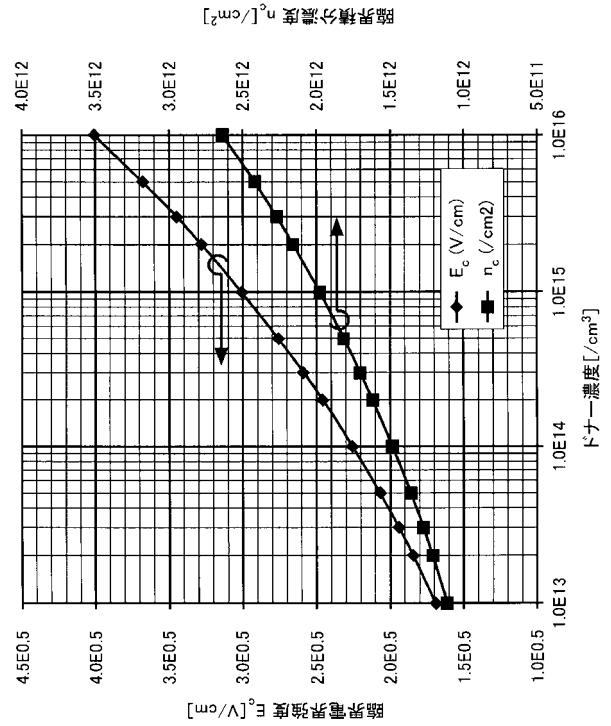
【 図 8 】



【図 9】



【図 10】



【手続補正書】

【提出日】平成31年1月30日(2019.1.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の面と前記第 1 の面の反対側に位置する第 2 の面とを有する第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層の前記第 1 の面側に設けられた第 2 導電型の第 2 の半導体層と、
を備え、

前記第 1 の半導体層は、

前記第 1 の面に接して設けられた第 1 導電型のドリフト層と、

前記ドリフト層よりも前記第 2 の面側において、前記第 1 の面から前記第 2 の面への第 1 方向の異なる位置に設けられ、前記ドリフト層よりも不純物濃度の高い第 1 導電型の 3 個以上の不純物濃度ピークと、

前記第 2 の面に接して設けられた第 2 導電型の第 3 の半導体層と

を有し、

前記第 1 の面から、前記不純物濃度ピークのうち前記第 2 の面に 2 番目に近い第 2 の不純物濃度ピークまでにおける積分濃度が、臨界積分濃度より小さく、

前記 3 個以上の不純物濃度ピークのうち前記第 2 の面に 1 番目に近い第 1 の不純物濃度ピークは、プロトン以外の不純物を有する半導体装置。

【請求項 2】

前記 3 個以上の不純物濃度ピークは、前記第 1 の不純物濃度ピークと、前記第 1 の面に 1 番目に近い不純物濃度ピークとの間に複数の不純物濃度ピークを含み、

前記複数の不純物濃度ピークの不純物濃度は、前記第 1 の不純物濃度ピークおよび前記第 1 の面に 1 番目に近い不純物濃度ピークのいずれの不純物濃度よりも低い

請求項 1 に記載の半導体装置。

【請求項 3】

前記 3 個以上の不純物濃度ピークのうち、前記第 1 の面に 1 番目に近い不純物濃度ピークの不純物濃度は、前記第 1 の面に 2 番目に近い不純物濃度ピークの不純物濃度よりも高い

請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 方向における前記第 1 の面から、前記第 2 の不純物濃度ピークと、前記プロトン以外の不純物濃度ピークとの境界までの積分濃度が、前記臨界積分濃度より小さい

請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記第 1 導電型の半導体層は、前記第 2 の面と、前記第 1 の不純物濃度ピークとの間に、前記第 1 の不純物濃度ピークよりも高い不純物濃度の第 2 導電型の不純物濃度ピークを有する

請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記第 2 の半導体層は、前記第 1 の半導体層とは反対側に位置するおもて面を有し、

前記 3 個以上の不純物濃度ピークは、前記第 2 の面に 3 番目に近い第 3 の不純物濃度ピークと、前記第 2 の面に 4 番目に近い第 4 の不純物濃度ピークとを有し、

前記第 1 の半導体層および前記第 2 の半導体層の前記第 1 方向における第 1 の長さに対する、前記おもて面から前記第 4 の不純物濃度ピークの位置までの長さの割合は、85%より大きく、89%より小さい範囲であり、

前記第 1 の長さに対する、前記おもて面から前記第 3 の不純物濃度ピークの位置までの長さの割合は、89%より大きく、91%より小さい範囲であり、

前記第 1 の長さに対する、前記おもて面から前記第 2 の不純物濃度ピークの位置までの長さの割合は、96%より大きく、98%より小さい範囲であり、

前記第 1 の長さに対する、前記おもて面から前記第 1 の不純物濃度ピークの位置までの長さの割合は、98%より大きく、100%より小さい範囲である

請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記 3 個以上の不純物濃度ピークは、前記第 2 の面に 3 番目に近い第 3 の不純物濃度ピークと、前記第 2 の面に 4 番目に近い第 4 の不純物濃度ピークとを有し、

前記第 2 の面から前記第 4 の不純物濃度ピークの位置までの長さは、16 μm より小さく、13 μm より大きい範囲にあり、

前記第 2 の面から前記第 3 の不純物濃度ピークの位置までの長さは、13 μm より小さく、10 μm より大きい範囲にあり、

前記第 2 の面から前記第 2 の不純物濃度ピークの位置までの長さは、5 μm より小さく、2 μm より大きい範囲にあり、

前記第 2 の面から前記第 1 の不純物濃度ピークの位置までの長さは、2 μm より小さく、0 μm より大きい範囲にある

請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 2 の半導体層は、前記第 1 の半導体層とは反対側に位置するおもて面を有し、

前記 3 個以上の不純物濃度ピークは、前記第 2 の面に 3 番目に近い第 3 の不純物濃度ピークと、前記第 2 の面に 4 番目に近い第 4 の不純物濃度ピークとを有し、

前記第 1 の半導体層および前記第 2 の半導体層の前記第 1 方向における第 1 の長さに対

する、前記おもて面から、前記第 4 の不純物濃度ピークの位置までの長さの割合は、77%より大きく、81%より小さい範囲であり、

前記第 1 の長さに対する、前記おもて面から前記第 3 の不純物濃度ピークの位置までの長さの割合は、81%より大きく、86%より小さい範囲であり、

前記第 1 の長さに対する、前記おもて面から前記第 2 の不純物濃度ピークの位置までの長さの割合は、93%より大きく、97%より小さい範囲であり、

前記第 1 の長さに対する、前記おもて面から前記第 1 の不純物濃度ピークの位置までの長さの割合は、97%より大きく、100%より小さい範囲である、

請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 9】

少なくとも前記第 2 の半導体層の一部において、トレンチ状に設けられたゲート絶縁膜と、

前記ゲート絶縁膜に接して設けられたゲート電極と

をさらに有する、請求項 1 から 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記 3 個以上の不純物濃度ピークのうち、前記第 1 の不純物濃度ピーク以外の前記不純物濃度ピークは、水素、空孔及び酸素による複合ドナーを含む

請求項 1 から 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記ドリフト層は、ドナー濃度が $1 \times 10^{13} \sim 1 \times 10^{15} \text{ (/ cm}^3 \text{)}$ の領域である

請求項 1 から 10 のいずれか一項に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

ここで、 q は電荷素量 ($1.602 \times 10^{-19} \text{ [C]}$)、 ϵ_0 は真空の誘電率 ($8.854 \times 10^{-14} \text{ [F / cm]}$)、 ϵ_r は物質の比誘電率である。シリコンの場合は、 $\epsilon_r = 11.9$ である。 p は正孔濃度、 n は電子濃度、 N_A はアクセプタ濃度である。片側階段接合で n 型層のみを考慮するのでアクセプタが存在しない ($N_A = 0$) とする。さらに、正孔および電子が存在しない完全空乏化された ($n = p = 0$) 空乏層を仮定すると、数式 2 を深さ x で積分すれば、数式 3 が得られる。

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78

6 5 8 H