

修正
補充
85年8月26日

申請日期	85 年 1 月 5 日
案 號	85100098
類 別	C11 7/4, 11/2, H01L 27/05

A4
C4

307870

307870

(以上各欄由本局填註)

發 明 型 專 利 說 明 書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 小笠原誠 (2) 佐藤和重 (3) 淺野勇
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都昭島市大神町二-二-一一一
	住、居所	(2) 日本國東京都青梅市河辺町一〇-一〇-三 サンライズイトウ三〇七 (3) 日本國埼玉縣人間市下藤沢一三一四-三-八〇四
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

307870

申請日期	85 年 1 月 5 日
案 號	85100098
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

新 型

一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 朝倉久雄
	國 籍	(4) 日本 (4) 日本國東京都青梅市野上六五七-五日立若草寮
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利, 申請日期: 1995年7月3日 案號: 7-167338
有 無主張優先權
無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

【發明之詳細說明】

【產業上之利用範圍】

本發明係有關半導體積體電路裝置及其製造方法，尤其係有關適用於記憶機能的有效技術者。

【以往之技術】

半導體記憶體之一的RAM(隨機存取記憶體)中，有動態RAM(DRAM)，和靜態RAM(SRAM)。

DRAM之記憶格係由做為開關工作之MISFET(Metal Insulator Semiconductor Field Effect Transistor)和存蓄資訊電荷的電容器所成，此MISFET係將電容器和記憶格的資訊，選擇性結合於傳送於周邊電路之資料線。因為此簡單之構造，可令DRAM之記憶格以小面積，高密度地加以製造。

但是，上述MISFET之pn接合中有洩漏電流之故，最初供予電容器的資訊電荷量係由於洩漏電流而消失。即，記憶資訊會被破壞。在此，於電荷量完全消失之前，需由記憶格讀取，再根據該讀取資訊周期性地進行起始之充分電荷量供予電容器動作(更新動作)。

SRAM係在於經由無需進行上述更新動作之記憶格所構成之處與DRAM不同。SRAM之記憶格係由記憶資訊之觸發電路和2個傳送用MISFET所成，經由將傳送用MISFET呈開啓狀態，於資料對線(DL₁，DL₂)和觸發電路間接受資訊。

於寫入時，施加於資料對線之一方為高電壓("H")，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

另一方施加低電壓("L")，雖將此供予一對之記憶節點，但令該2種供予型之組合(DL₁，DL₂各為"H"，"L"或"L"，"H")，對應於2進位之寫入資訊。

讀取係對應一對之記憶節點電壓高低之組合，進行檢出於資料對線出現之電壓。於記憶節點有泄放電流時，只要有觸發電路電源之施加，減少電荷量的分量則透過負荷由電源加以供給之故，無需更新動作。

但是，SRAM之記憶格元件數較多之故，較DRAM之記憶格其格面積為大，因此，無法於半導體晶片上做高密度之實裝。

有一種具不論DRAM，SRAM皆可隨機存取優點之揮發性記憶格。即，將電源由記憶格切斷時資訊則會消失。DRAM中，存蓄於記憶格內之電容器電荷則消失，於SRAM中，保持記憶格內之觸發狀態之電壓會下降至0V之故，觸發會令該資訊消失。

在此，使用經由令開關之工作的MISFET和強鐵電體電容器構成之記憶格的RAM被加以開發。此FRAM係不揮發性記憶體，令電源由記憶格也斷時，鐵電體材料之分極狀態不會變化之故，資訊則被持續記憶。

鐵電體材料係具有2個不同安定之分極狀態，此2個狀態係對施加電壓而言，標記分極，經由磁滯回線決定。令電壓供給鐵電體電容器時，經由測定電荷，可決定鐵電體材料之分極狀態。

經由令2進位值之"0"分配至一方之分極狀態，令2進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

位值之"1"分配至另一方之分極狀態，可令鐵電體電容器使用於2位資訊之蓄集。但是，令鐵電體電容器使用於記憶格之資訊記憶用元件時，由鐵電體電容器為一方之分極狀態向另一方分極狀態重覆反轉之故，該鐵電體電容器會因疲勞而劣化，分極電荷則會減少。

在此，提供使用鐵電體電容器，可解決上述鐵電體材料之分極疲勞問題，得以隨機存取所得高速度的長壽命不揮發性半導體。

例如，USP4809225所記載者係組合SRAM之揮發性記憶格和鐵電體電路的不揮發性半導體記憶體。此半導體記憶體係於構成SRAM之記憶格的觸發電路的各記憶節點，介由結合電晶體，經由連接鐵電體電路的記憶格MC加以構成。

記憶格MC之常規動作中係令結合電晶體呈關閉狀態，切離觸發電路和鐵電體電路。因此，記憶格MC則做為SRAM之記憶格完全地被動作，經由該資料線和字元線加以存取，可於觸發電路寫入、讀取資訊。

但是，電源由記憶格切斷之狀態時，令結合電晶體呈開啓狀態，連接於觸發電路和鐵電體電路，於鐵電體電路讀取觸發電路之資訊，記憶資訊。

因此，對於上述記憶格之動作特性加以說明。維持於觸發電路之電源電壓 V_{CC} 時，各別之記憶節點之電壓係高準位(V_{CC})和低準位(基準電壓 V_{SS})。基準電壓 V_{SS} 係例如0V(接地電位)，電源電壓 V_{CC} 係例如5V。

令連接於高準位(V_{CC})之記憶節點的結合電晶體呈開

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明(4)

啓狀態時，連接此記憶節點之鐵電體電容器之上側極板的電壓上昇至 V_{CC} 。此時，令鐵電體電容器之下側極板的電壓呈 V_{SS} 時，鐵電體電容器驅動呈一方分極狀態(稱爲"高分極狀態")。

另一方面，連接於低準位(V_{SS})之記憶節點的結合電晶體呈開啓狀態時，連接此記憶節點之鐵電體電容器之上側極板的電壓則呈 V_{SS} 。此時，令鐵電體電容器之下側極板的電壓呈 V_{CC} 時，鐵電體電容器驅動呈另一方分極狀態(稱爲"低"分極狀態)。

如此，觸發電路之記憶節點的高準位係於連接於此記憶節之鐵電體電容器呈"高"分極狀態地加以記憶，記憶節點之低電平係於連接於此記憶節點之鐵電體電容器呈"低"分極狀態地加以記憶。電源由記憶格MC切斷之時，鐵電體電容器之分極狀態仍然存在之故，資訊則會保持於鐵電體電路。

於記憶格MC再供給電源時，令結合電晶體呈開啓狀態，連接觸發電路和鐵電體電路，由鐵電體電路的資訊被加以回收，寫入觸發電路。

首先，觸發電路之一對記憶節點係共同的預備充電至0V。其後，令鐵電體電容器之下側極板之電壓設定於 V_{CC} ，接著，令結合電晶體呈開啓狀態。此時，"高"分極狀態之鐵電體電容器係產生分極反轉。

產生此分極反轉之鐵電體電容器係將較寫入另一方之"低"分極狀態的鐵電體電容器爲大之電流，供予觸發電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

對應之記憶節點。利用此電流之不均衡，高電流側之記憶節點則對應高準位地，設定觸發電路之各記憶節點。

如此地，鐵電體電容器之"高"分極狀態係令連接於此鐵電體電容器之觸發電路的記憶節點呈高準位(V_{CC})。鐵電體電容器之"低"分極狀態係令連接於此鐵電體電容器之記憶格的記憶節點呈低準位(V_{SS})。

【欲解決發明之課題】

但是，經由組合觸發電路和鐵電體電容器所得前述不揮發半導體記憶體，本發明人等發現了有以下之問題點。

即，於觸發電路和鐵電體電容器間，配置結合電晶體，觸發電路之一對記憶節點係經由一對結合電晶體之源極範圍—漏極範圍分支，結合於一對之鐵電體電容器的上側極板。

經由此結合電晶體呈開啓狀態，觸發電路係由鐵電體電路切離，產生於記憶節點之電壓遷移係未直接傳達至鐵電體電容器，記憶格MC係做為SRAM之記憶格加以動作。又經由令結合電晶體呈開啓狀態，可進行觸發電路和鐵電體電路間之資訊的處理。

因此，上述結合電晶體係為動作記憶格MC之重要閘極者。但是，經由設置結合電晶體，記憶格MC之面積會變大，難以實現半導體記憶體之高積體化。

本發明之目的係提供可實現具有不揮發記憶體機能之高積體RAM的技術。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

本發明之前述以及其他目的的新穎特徵係由本說明書之記述以及附件圖面可明白得知。

【為解決課題之手段】

於本發明所揭示之發明中，簡單說明代表性之概要時，如以下所述。即，

(1)本發明之半導體積體電路裝置係具有具備經由以字元線控制之傳送用MISFET和觸發電路所成SRAM記憶格及連接於各具有觸發電路之2個記憶節點之2個鐵電體電容器(元件)所構成之不揮發性機能的記憶格。

(2)又，本發明之半導體積體電路裝置係(1)所記載之半導體積體電路裝置，觸發電路係經由負荷用MISFET和驅動用MISFET所成一對交差結合CMOS電晶體所構成，更且，具有結合於第1之動作電壓源之第1節，結合於基準電壓源之第2節及2個記憶節點，又，2個之鐵電體電容器之各一方極板電極係各別連接於觸發電路之記憶節點，2個之鐵電體電容器之另一方極板電極係結合於第2動作電壓源之第2節者。又，經由控制施加於第1節及第3節的電壓，進行由觸發電路至鐵電體電容器的資訊寫入，由觸發電路至觸發電路的資訊讀取。

(3)又，本發明之半導體積體電路裝置係(1)所記載之半導體積體電路裝置中，由構成傳送用MISFET及觸發電路之負荷用MISFET和於驅動用MISFET之上方形成鐵電體電容器者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

(4)又，本發明之半導體積體電路裝置之製造方法係(3)所記載半導體積體電路裝置之製造方法，首先於半導體基板之主面上形成傳送用MISFET及驅動用MISFET後，於前述驅動用MISFET之上方，形成底閘構造之負荷用MISFET。接著於負荷用MISFET之漏極範圍構成之矽膜上所堆積之絕緣膜中，形成到達上述矽膜之連接孔。接著，於半導體基板上，堆疊第1之導電膜後，加工此第1導電膜，形成連接於上述矽膜鐵電體電容器一方之極板。接著，於半導體基板上，順序堆疊鐵電體膜及第2之導電膜後，加工上述第2導電膜，形成鐵電體電容器另一方之極板，其後，加工鐵電體膜，形成鐵電體電容器。

(5)又，本發明之半導體積體電路裝置之製造方法係(3)所記載半導體積體電路裝置之製造方法中，首先於半導體基板之主面上形成具傳送用MISFET及共通之閘電極之驅動用MISFET和負荷用MISFET。接著於構成驅動用MISFET和負荷用MISFET之共通電極之矽膜上堆積之絕緣膜上，形成到達上述矽膜之連接孔。接著，於半導體基板上，堆疊第1之導電膜後，加工此第1導電膜，形成連接於上述矽膜鐵電體電容器一方之極板。接著，於半導體基板上，順序堆疊鐵電體膜及第2之導電膜後，加工上述第2導電膜，形成鐵電體電容器另一方之極板，其後，加工鐵電體膜，形成鐵電體電容器。

【作用】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

根據上述之手段時，可實現於觸發電路之各記憶節點，以鐵電體電容器直接連接之構成，具備不揮發機能的記憶格，又，可於構成傳送用MISFET，觸發電路之負荷用MISFET和於驅動用MISFET之上方形成鐵電體電容器之故，可防止設置鐵電體電容器造成之記憶格面積之增加。因此，可無需增加面積地，電源被切斷時，可形成保持觸發電路之記憶節點之資訊的鐵電體電容器之故，可實現具不揮發性記憶體機能的高積體化之RAM。又，鐵電體電容器係可增加記憶節點之容量之故，做為SRAM之記憶格的動作中，可減低 α 線等之軟體錯誤。

【實施例】

以下，令本發明之實施例以圖面為根據詳細加以說明。

具本發明之一實施例的不揮發性記憶體機能的RAM及將該製造方法使用圖1~圖22加以說明。然而，於說明實施例之全圖中，具有同一機能者則附止同一之符號，省略該重覆之說明。

(實施例1)

圖1係顯示組合經由傳送用MISFET Q_{t1} ， Q_{t2} 和觸發電路所構成之SRAM記憶格和鐵電體電容器(元件) C_{f1} ， C_{f2} 的記憶格MC之等價電路圖。如同圖所示，記憶格MC係含有2個之n通道MISFET(驅動用MISFET) Q_{d1} ， Q_{d2} 和2個之p通道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

MISFET(負荷用 MISFET) Q_{p1} , Q_{p2} 所構成一對交差結合 CMISFET(Complementary MISFET) 所構成之觸發電路者。

傳送用 MISFET Q_{t1} , Q_{t2} 係將觸發電路之記憶節點 N_1 , N_2 各別結合於資料線 DL_1 , DL_2 。傳送用 MISFET Q_{t1} , Q_{t2} 之閘電極係結合於字元線。

又，記憶節點 N_1 , N_2 係各別結合於鐵電體電容器 C_{f1} , C_{f2} 的一方極板(電極)，鐵電體電容器 C_{f1} , C_{f2} 的另一方極板(電極)係以節 N_3 電氣性結合，於節 N_3 中，施加板電壓 (V_p)。即，鐵電體電容器 C_{f1} , C_{f2} 的一方之電極和記憶節點 N_1 , N_2 係相互電氣性連接，且為同電位者。又，板電壓 (V_p) 係經由後述之板電極加以供給。

然而，鐵電體電容器 C_{f1} , C_{f2} 係以一方之極板和另一方極板，和此等極板間形成之鐵電體膜加以構成。負荷用 MISFET Q_{t1} , Q_{t2} 之源極或漏極之一方中，施加電源電壓 (V_L)，驅動用 MISFET Q_{d1} , Q_{d2} 之源極或漏極的一方中，則施加有基準電壓 (V_{SS})。然而，電源電壓 (V_L) 及板電壓 (V_p) 係如後述由 V_{SS} 大變化至 V_{CC} '。

首先，對於記憶格 MC 之動作特性使用圖 2~圖 8 所示之等價電路圖加以說明。然而，於圖 2~圖 8 中，省略了傳送用 MISFET Q_{t1} , Q_{t2} 。

又，圖 9 中顯示觸發電路之電源電壓 (V_L) 及板電壓 (V_p) 之開關定時圖，圖 10 中顯示記憶節點 N_1 及記憶節點 N_2 之各電壓變化。

瞬時 t_0 至 t_1 的常規動作中，於觸發電路之電源中施加

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

V_{cc} 。由此，觸發電路一方之記憶節點係呈高準位(V_{cc})，另一方之記憶節點係呈低準位(V_{ss})。 V_{cc} 係較 V_{ss} 高之電壓。

此時，電源電壓 V_{CC} 係連接於記憶節點於鐵電體電容器設定不產生分極反轉之電壓範圍，又，於鐵電體電容器 Cf_1 ， Cf_2 的一方極板施加之板電壓係設定於接地電位。因此，即使一方之記憶節點上昇至高準位(V_{cc})時，於連接此之鐵電體電容器 Cf_1 ， Cf_2 中，"高"分極狀態者則保持於"高"分極狀態，"低"分極狀態亦不分極反轉，保持於"低"分極狀態。

即，如圖23所示，電源電壓 V_{CC} 所成電場 E_v 係設定呈較分極反轉所產生之電場 E_R 為小。然而，圖23係顯示鐵電體電容器之鐵電體膜之磁滯回線，橫軸係顯示電場 E ，縱軸係顯示分極 R 。

即，令觸發電路以電源電壓 V_{CC} 加以動作之狀態中，記憶格 MC 則做為 $SRAM$ 之記憶格加以工作，經由該資料線 DL_1 ， DL_2 及字元線 WL 加以存取，於觸發電路可進行讀取，寫入。又，鐵電體電容器 Cf_1 ， Cf_2 係令記憶節點 N_1 ， N_2 之容量增加地工作，做為 $SRAM$ 之記憶格動作中，可減低 α 線等之軟體錯誤。

然而，雖未特別加以限定，於常規之動作中，鐵電體電容器 Cf_1 ， Cf_2 中，一方保持於"高"分極狀態，另一方保持於"低"分極狀態。

接著，對於由觸發電路至鐵電體電容器 Cf_1 ， Cf_2 的資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

訊寫入方法加以說明。(圖2及圖3)(a)於瞬時 t_1 ，需將蓄存於觸發電路之資訊向鐵電體電容器 C_{f1} ， C_{f2} 轉記時，令板電極保持於 V_{SS} 狀態，令觸發電路之電源電壓由 V_{CC} 上昇至 V_{CC}' 。為加以說明，蓄存於瞬時 t_1 之觸發電路的資訊係於記憶節點 N_1 為高準位(V_{CC}')，於記憶節點 N_2 為低準位(V_{SS})。

V_{CC}' 係為分極反轉鐵電體電容器 C_{f1} ， C_{f2} 時之充分電壓者。即， V_{CC}' 所成電場係較分極反轉所產生電場 E_R 為大。記憶節點 N_3 為低準位(V_{SS})之故，經由記憶節點 N_1 之電壓上昇，如圖2所示，於連接於記憶節點 N_1 之鐵電體電容器 C_{f1} 施加" V_{CC}' "，於鐵電體電容器 C_{f1} 寫入"高"分極狀態。於鐵電體電容器 C_{f2} 未施加電壓。

鐵電體電容器 C_{f1} 係於瞬時 t_0 之狀態為"高"分極狀態時，則直接維持"高"分極狀態(圖24(a))。瞬時 t_0 之狀態為"低"分極狀態時，雖產生分極反轉改寫為"高"分極狀態(圖24(b))，此時分極反轉電流則由負荷用MISFET Q_{p1} 流至記憶節點 N_1 ，於記憶節點 N_1 之電壓則會變動。

但是，記憶節點 N_1 之電壓(V_1)係經由鐵電體電容器 C_{f1} 之容量(C_1)和負荷用MISFET Q_{p1} 及記憶節點 N_1 之寄生容量(C_2)決定，雖以下式(1)加以顯示

$$\text{式(1)} \quad V_1 = (C_1 / (C_1 + C_2)) V_{CC}'$$

但通常較 C_2 而言 C_1 非常大之故， V_1 幾近呈 V_{CC}' 。如圖24(a)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

), 24(b)所示, 於磁滯回線中, 鐵電體電容器 Cf_1 係由瞬時 t_0 之 I_0 轉移至瞬時 t_1 之 I_1 , 鐵電體電容器 Cf_2 係固定於 II_n 或 II_l 。

(b)接著, 需於連接記憶節點 N_2 之鐵電體電容器 Cf_2 轉記資訊。瞬時 t_2 中, 設定令觸發電路之電源電壓保持於 V_{CC}' , 令板電壓由 V_{SS} 上昇至 V_{CC}' , 令記憶節點 N_3 上昇至高準位 (V_{CC}')。如圖 3 所示記憶節點 N_2 為低準位 (V_{SS}) 之故, 於連接於記憶節 N_3 之鐵電體電容器 Cf_2 寫入 "低" 分極狀態。

與 (a) 之 "高" 寫入狀態同樣地, 鐵電體電容器 Cf_2 為瞬時 t_1 狀態呈 "低" 分極狀態時, 則直接維持 "低" 分極狀態 (圖 24(c))。瞬時 t_1 之狀態為 "高" 分極狀態時, 雖產生分極反轉改寫為 "低" 分極狀態 (圖 24(b)), 此時分極反轉電流則由負荷用 MISFET Q_{p1} 流至記憶節點 N_1 , 於記憶節點 N_1 之電壓則會變動。

但是, 記憶節點 N_2 之電壓 (V_2) 係經由鐵電體電容器 Cf_2 之容量 (C_2) 和負荷用 MISFET Q_{d2} 及記憶節點 N_2 之寄生容量 (C_3) 決定, 雖以下式 (2) 加以顯示

$$\text{式 (2)} \quad V_2 = (C_1 / (C_1 + C_3)) V_{SS}$$

但通常較 C_3 而言 C_1 非常大之故, V_2 幾近呈 V_{SS} 。

經由瞬時 t_1 、 t_2 的動作, 觸發電路之資訊則蓄存於鐵電體電容器 Cf_1 , Cf_2 。一方之記憶節點 N_2 之高準位 (V_{CC}') 係對應寫入連接此之鐵電體電容器 Cf_1 之 "高" 分極狀態,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

另一方之記憶節點 N_2 之低準位 (V_{SS}) 係對應寫入連接此之鐵電體電容器 Cf_2 之 "低" 分極狀態。

如圖 24(c), 24(d) 所示, 於磁滯回線中, 經由瞬時 t_1 、 t_2 之動作, 鐵電體電容器 Cf_2 係由 II_h 或 II_l 移至 II_2 , 鐵電體電容器 Cf_1 係由 II_1 移至 II_2 。

(c) 於瞬時 t_3 中, 所有之電壓呈 0V, 記憶節點 N_1 , N_2 之資訊即使失去, 鐵電體電容器 Cf_1 , Cf_2 之分極狀態仍在存在之故, 可令觸發電路之資訊於鐵電體電容器 Cf_1 , Cf_2 加以保持。如圖 24(e) 所示, 於磁滯回線中, 於瞬時 t_3 , 鐵電體電容器 Cf_1 係固定於 I_3 , 鐵電體電容器 Cf_2 係固定於 II_3 。

接著, 使用圖 4~圖 8, 對由鐵電體電容器 Cf_1 , Cf_2 至觸發電路資訊的述取方法加以說明。

(d) 於瞬時 t_4 , 需令保存於鐵電體電容器 Cf_1 , Cf_2 之資訊, 轉記於觸發電路時, 令觸發電路之電源電壓保持於 V_{SS} 之狀態下, 令板電壓由 V_{SS} 上昇至 V_{CC}' 。電源電壓係設定於 V_{SS} 之故, 負荷用 MISFET Q_{p1} , Q_{p2} 則經常呈關閉狀態。

但是, 於瞬時 t_4 中, 由負荷用 MISFET Q_{p1} 及驅動用 MISFET Q_{d1} 至記憶節點 N_1 流入電流, 記憶節點 N_1 之電壓係瞬間上昇至 V_{N1} 。同樣地, 由負荷用 MISFET Q_{p2} 及驅動用 MISFET Q_{d2} 至記憶節點 N_2 流入電流, 記憶節點 N_2 之電壓係瞬間上昇至 V_{N1} 。 V_{N1} 係經由鐵電體電容器 Cf_1 , Cf_2 之容量和負荷用 MISFET Q_{p1} , Q_{p2} 及驅動用 MISFET Q_{d1} , Q_{d2} 的寄生容量決定之電壓準位。

五、發明說明(14)

記憶節點 N_1 ， N_2 之電壓上昇至 V_{N1} ， V_{N1} 較驅動用 MISFET Q_{d1} ， Q_{d2} 的閾值電壓為高時，驅動用 MISFET Q_{d1} ， Q_{d2} 則呈開啓狀態。由此，電流由記憶節點 N_1 流至驅動用 MISFET Q_{d1} ，記憶節點 N_1 之電壓則下降，幾近呈 0V。同樣地，電流由記憶節點 N_{12} 流至驅動用 MISFET Q_{d1} ，記憶節點 N_1 之電壓則下降，幾近呈 0V。

結果，於瞬時 t_5 中，瞬時 t_4 之狀態為 "高" 分極狀態的鐵電體電容器 C_{f1} 係改寫於呈 "低" 分極狀態。然而，瞬時 t_4 之狀態為 "低" 分極狀態的鐵電體電容器 C_{f2} 係直接維持於 "低" 分極狀態。如圖 24(f) 所示，於磁滯回線中，於瞬時 t_5 ，鐵電體電容器 C_{f1} 係移至 I_5 ，鐵電體電容器 C_{f2} 係移至 II_5 。

鐵電體電容器 C_{f1} 於分極反轉時，流入分極反轉電流，記憶節點 N_1 之電壓 (V_{N2}) 會較記憶節點 N_2 之電壓 (V_{N3}) 為高，於記憶節點 N_1 和記憶節點 N_2 間產生電位差。此狀態下於瞬時 t_6 中，令觸發電路之電源電壓上昇至 V_{CC}' 時，對此觸發電路造成正返回，記憶節點 N_1 係設定於高準位 (V_{CC}')，記憶節點 N_2 係設定於低準位 (V_{SS})。如圖 24(g) 所示，於磁滯回線中，於瞬時 t_6 ，鐵電體電容器 C_{f1} 係移至 I_6 ，鐵電體電容器 C_{f2} 係保持於 II_6 。(e) 接著，於瞬時 t_7 令板電壓下降至 V_{SS} ，令瞬時 t_6 之狀態為 "低" 分極狀態之鐵電體電容器 C_{f1} 改寫為 "高" 分極狀態後 (圖 24(h))，令瞬時 t_8 之觸發電路之電源電壓下降呈 V_{CC} (圖 24(i))。由此，記憶節點 N_1 之 DA 係由 V_{CC}' 設定至 V_{CC} ，回到正常之動作狀態。如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

圖 24(h) 所示，於磁滯回線中，於瞬時 t_7 ，鐵電體電容器 Cf_1 係移至 I_7 ，鐵電體電容器 Cf_2 係移至 II_7 。如圖 24(i) 所示，於磁滯回線中，於瞬時 t_8 ，鐵電體電容器 Cf_1 係移至 I_8 ，鐵電體電容器 Cf_2 係保持於 II_8 。

經由上述方法，進行觸發電路之正常動作，由觸發電路至鐵電體電容器 Cf_1 ， Cf_2 資訊的寫入，以及由鐵電體電容器 Cf_1 ， Cf_2 至觸發電路資訊的讀取的一連動作。

接著，將上述記憶格 MC 之具體第 1 構成(記憶格 MC_1)，使用圖 11~圖 16 加以說明。

圖 12~圖 16 係顯示具備鐵電體電容器 Cf_1 ， Cf_2 之記憶格 MC_1 之平面圖(顯示記憶格 MC_1 之一個分之半導體基板平面圖)，圖 11 係顯示圖 16(a)-(a)' 線之半導體基板的截面圖。然而，記憶格 MC_1 之觸發電路構成係與使用於 TFT(Thin Film Transistor) 型 SRAM 之記憶格的觸發電路相同。然而，記憶格 MC_1 係於行方向及列方向複數配置，呈陣列狀地加以配置。

如圖 11 所示， n^- 型矽單結晶或 p^- 型矽單結晶所成半導體基板(半導體晶片) 1 之主面中，形成 p^- 型井區 2，此 p^- 型井區 2 之非活性範圍之主面中，形成由氧化矽膜所成元件分離用之場區絕緣膜 4。於場區絕緣膜 4 下，形成防止反轉用之 p 型通道溝道截斷環範圍 5。

構成記憶格 MC_1 之驅動用 MISFET Qd_1 ， Qd_2 、傳送用 MISFET Qt_1 ， Qt_2 及負荷用 MISFET Qp_1 ， Qp_2 中，各驅動用 MISFET Qd_1 ， Qd_2 及傳送用 MISFET Qt_1 ， Qt_2 係形成於以前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(16)

述場區絕緣膜4所包圍之 p^- 型井區2之活性範圍的主面。

上述各驅動用MISFET Q_{d1} ， Q_{d2} 係以閘極絕緣膜6，閘極電極7，源極範圍及洩極範圍所構成。閘極電極7係以第1層之閘極材料形成工程加以形成，例如以多結晶矽膜加以形成。此多結晶矽膜中，為減低該阻抗值，導入 n 型之不純物(例如磷(P))。

於上述驅動用MISFET Q_{d1} ， Q_{d2} 之閘極電極7的上部中，形成絕緣膜8。此絕緣膜8係例如由氧化矽膜所成。又，閘極電極7之閘極長方向之側壁中，形成側壁隔離層9。此側壁隔離層9係例如由氧化矽膜所成。

上述驅動用MISFET Q_{d1} ， Q_{d2} 之各源極範圍及洩極範圍係以低不純物濃度之 n^- 型半導體範圍10和設於該上部之高不純物濃度之 n^+ 型半導體範圍11構成。即，驅動用MISFET Q_{d1} ， Q_{d2} 係各源極範圍及洩極範圍呈所謂2重擴散洩極構造(Double Diffused Drain)所構成。

令形成於半導體基板1之主面之前述場區絕緣膜4及驅動用MISFET Q_{d1} ， Q_{d2} 之閘極電極7的圖案布局示於圖12。圖中，以場區絕緣膜4所包圍之2個L字狀範圍3為記憶格 MC_1 之1個分之活性範圍者。

如圖12所示，上述驅動用MISFET Q_{d1} ， Q_{d2} 之閘極電極7的一端側，係至少相當足以製造步驟之光罩配置的尺寸份，突出於場區絕緣膜4上。又，驅動用MISFET Q_{d1} 之閘極電極7(Q_{d1})之另端側係介由場區絕緣膜4，突出至驅動用MISFET Q_{d2} 之洩極範圍上，驅動用MISFET Q_{d2} 之閘極電極7(

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

Qd_2)之另端側係介由場區絕緣膜4，突出至驅動用 MISFET Qd_1 之洩極範圍7上。

如圖11所示，各記憶格 MC_1 之傳送用 MISFET Qt_1 ， Qt_2 係以閘極絕緣膜12，閘極電極13A，源極範圍及洩極範圍所構成。

閘極電極13A係以第2層之閘極材料形成工程加以形成，例如以多結晶矽膜和高融點金屬矽石膜之堆積膜(多晶膜)所構成。下層之多結晶矽膜中，為減低該阻抗值，導入n型之不純物(例如磷(P))。上層之高融點金屬矽石膜係例如以 WSi_x ， $MoSi_x$ ， $TiSi_x$ ， $TaSi_x$ 等所構成。

上述傳送用 MISFET Qt_1 ， Qt_2 之閘極電極13A之上部中，形成有絕緣膜15。此絕緣膜15係例如由氧化矽膜所構成。

上述傳送用 MISFET Qt_1 ， Qt_2 之各源極及洩極範圍係以低不純物濃度之 n^- 型半導體範圍17和高不純物濃度之 n^+ 型半導體範圍18所構成。即，傳送用 MISFET Qt_1 ， Qt_2 之源極範圍及洩極範圍係以LDD(Lightly Doped Drain)構造構成。

令形成於半導體基板1之主面的上述傳送用 MISFET Qt_1 ， Qt_2 之閘極電極13A之圖案布局顯示於圖13。如同圖所示，傳送用 MISFET Qt_1 ， Qt_2 之閘極電極13A係該閘長(L_g)方向與驅動用 MISFET Qd_1 ， Qd_2 之閘極電極7之閘長(L_g)方向呈交差狀態地加以配置。

如圖13所示，傳送用 MISFET Qt_1 之源極範圍至洩極範

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

圖的一方係與驅動用 MISFETQd₁ 之洩極範圍呈一體地構成。同樣地，傳送用 MISFETQt₂ 之源極範圍至洩極範圍的一方係與驅動用 MISFETQd₂ 之洩極範圍呈一體地構成。

傳送用 MISFETQt₁，Qt₂ 之閘極電極 13A 中，連接有字元線 WL，傳送用 MISFETQt₁，Qt₂ 之閘極電極 13A 係與字元線 WL 呈一體構成。字元線 WL 係延長至列方向地加以配置，與鄰接列方向之記憶格傳送用 MISFETQt₁，Qt₂ 之閘極電極呈一體地加以形成。

平行於上述字元線 WL，配置做為共通於 2 個驅動用 MISFETQd₁，Qd₂ 之源極線構成之基準電壓線 (V_{SS}) 13B。基準電壓線 (V_{SS}) 13B 係以傳送用 MISFETQt₁，Qt₂ 之閘極電極 13A 及與字元線 WL 相同之第 2 層閘極材料形成工程加以形成，令場區絕緣膜 4 上與字元線同一方向(列方向)地延長。基準電壓線 (V_{SS}) 13B 係共通使用於鄰接於列方向之記憶格。

又，基準電壓線 (V_{SS}) 13B 係於與驅動用 MISFETQd₁，Qd₂ 之閘極絕緣膜 6 同一之絕緣膜上，透過開孔之連接孔 14，連接於驅動用 MISFETQd₁，Qd₂ 之各源極範圍 (n⁺ 型半導體範圍 11)。

記憶格 MC₁ 之 2 個負荷用 MISFETQp₁，Qp₂ 中，負荷用 MISFETQp₁ 係配置於驅動用 MISFETQd₂ 之範圍上，負荷用 MISFETQp₂ 係配置於驅動用 MISFETQd₁ 之範圍上。各負荷用 MISFETQp₁，Qp₂ 中係以閘極電極 23A，閘極絕緣膜 24，通道範圍 26N，源極範圍 26P 及洩極範圍 26P 加以構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

上述負荷用 MISFET Q_{p1} ， Q_{p2} 之閘極電極 23A 係以第 3 層之閘極材料形成工程加以形成，例如以多結晶矽膜加以形成。此多結晶矽膜中，為減低該阻抗值，導入 n 型之不純物(例如磷)。令負荷用 MISFET Q_{p1} ， Q_{p2} 之閘極電極 23A 之圖案布局示於圖 14。

如圖 11 及圖 14 所示，上述負荷用 MISFET Q_{p1} 之閘極電極 23A 係透過絕緣膜 21 及開孔於絕緣膜 8 之連接孔 22，連接於驅動用 MISFET Q_{d1} 之閘極電極 7 及傳送用 MISFET Q_{t2} 之源極範圍至洩極範圍的一方。

同樣地，負荷用 MISFET Q_{p2} 之閘極電極 23A 係透過絕緣膜 21 及開孔於絕緣膜 8 之連接孔 22，連接於驅動用 MISFET Q_{d2} 之閘極電極 7 及傳送用 MISFET Q_{t1} 之源極範圍至洩極範圍的一方。

上述傳送用 MISFET Q_{t1} ， Q_{t2} 之源極範圍至洩極範圍之另一方的上部中，配置有與負荷用 MISFET Q_{p1} ， Q_{p2} 之閘極電極 23A 同樣之第 3 層閘材形成工程所形成之墊片層 23B。此墊片層 23B 係透過開孔於絕緣膜 21 之連接孔 22，連接於傳送用 MISFET Q_{t1} ， Q_{t2} 之源極範圍至洩極範圍之另一方。

如圖 11 所示，上述負荷用 MISFET Q_{p1} ， Q_{p2} 之閘極電極 23A 之上部中，形成有上述負荷用 MISFET Q_{p1} ， Q_{p2} 之閘極絕緣膜 24。此絕緣膜 24 係例如由氧化矽膜所構成。

上述負荷用 MISFET Q_{p1} ， Q_{p2} 之閘極絕緣膜 24 之上部中，形成負荷用 MISFET Q_{p1} ， Q_{p2} 之通道範圍 26N，源極範圍 26P 及洩極範圍 26P。通道範圍 26N 係以第 4 層之閘極材料形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

成工程所形成，例如由多結晶矽膜所構成。

此多結晶矽膜中，為使負荷用 MISFET Q_{p1} ， Q_{p2} 之閾值電壓呈增強型之故，導入n型不純物(例如磷)。令負荷用 MISFET Q_{p1} ， Q_{p2} 之通道範圍26N，源極範圍26P及洩極範圍26P之圖案布局示於圖14。

如圖15所示，上述負荷用 MISFET Q_{p1} ， Q_{p2} 之通道範圍26N之一端側中形成洩極範圍26P，他端側中則形成源極範圍26P。洩極範圍26P及源極範圍26P係以與通道範圍26N相同第4層之閘極材料(多結晶矽)形成工程加以形成，與通道範圍26N一體構成。構成洩極範圍26P及源極範圍26P之多結晶矽膜中，導入p型之不純物(例如BF₂)。

如此地，本實施例之記憶格MC之負荷用 MISFET Q_{p1} ， Q_{p2} 係於以第3層之閘極材料形成工程所形成之閘極電極23A之上部，配置以第4層之閘極材料形成工程形成之通道範圍26N、源極範圍26P及洩極範圍26P，以所謂底閘極構造加以構成。

如圖15所示，上述負荷用 MISFET Q_{p1} 之洩極範圍26P通道型MOSFET係透過閘極絕緣膜24和開孔於同一層之絕緣膜的連接孔25，連接於負荷用 MISFET Q_{p1} 之閘極電極23A。

上述負荷用 MISFET Q_{p1} ， Q_{p2} 之源極範圍26P中，連接有電源電壓線(V_L)26P。電源電壓線(V_L)26P係以與通道範圍26N，洩極範圍26P及源極範圍26P之同樣第4層閘極材料(多結晶矽)形成工程所形成，與此等一體構成。透過電源電壓線26P，電源電壓V_L係供予記憶格MC₁。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(21)

如圖11所示，上述負荷用MISFET Q_{p1} ， Q_{p2} 之上部中，形成第1層之層間絕緣膜27。此層間絕緣膜27係例如由氧化矽膜和BPSG膜所成。

上述層間絕緣膜27之上部中，形成第1層之配線29A，29B。第1層之配線29A係透過開孔於層間絕緣膜27之連接孔28A，連接於負荷用MISFET Q_{p1} ， Q_{p2} 之洩極範圍26P。第1層之配線29A係構成鐵電體電容器 C_{f1} ， C_{f2} 一方之電極(29A)。

又，第1層之配線29B係透過閘極絕緣膜24及開孔於層間絕緣膜27之連接孔28B，連接於形成於傳送用MISFET Q_{t1} ， Q_{t2} 之源極範圍至洩極範圍上部的墊片層23B。上述第1層之配線29A，29B係以第1層之配線材料形成工程加以形成，例如以鎢等之高融點金屬膜加以構成。

令第1層之配線29A之圖案布局示於圖16。然而，同圖中，為使圖面容易視得，第1層之配線29A，29B之下層導電層中，僅圖示第4層之閘極材料(負荷用MISFET Q_{p1} ， Q_{p2} 之通道範圍26N，源極範圍26P，洩極範圍26P及電源電壓(V_L)26P)，和第3層之閘極材料(負荷用MISFET Q_{p1} ， Q_{p2} 之閘極電極23A及墊片層23B)。

如圖11所示，上述第1層之配線29A上層中，介由第1阻擋層30，形成鐵電體膜31。第1阻擋層30係例如氧化銦膜，鐵電體膜31係例如PZT($PbZrTiO_3$)膜。鐵電體膜31係構成鐵電體電容器 C_{f1} ， C_{f2} 的鐵電體膜。

更且，上述鐵電體膜31之上層中，介由第2阻擋層32

五、發明說明(22)

，形成板電極33。第2之阻擋層32係例如氧化銦膜，板電極33係例如W等之高融點金屬膜。前述第1之阻擋層30及第2之阻擋層32係防止鐵電體膜31和位於該下層之第1層配線29A，及鐵電體膜31和位於該上層之板電極33會反應者。板電極33係於延長於列方向，與鄰接於列方向之記憶格所對應板電極33呈一體加以形成。透過板電極33，板電壓(V_p)則供予鐵電體電容器 Cf_1 ， Cf_2 。

於上述板電極33及第1層之電極29B的上層中，介由第2層之層間絕緣膜34，配置第2層之配線(資料線DL)36。資料線DL係透過開孔之連接孔35，連接於第1層之配線29B，介由第1層之配線29B及墊片層23B，連接於傳送用MISFET Qt_1 ， Qt_2 之源極範圍至洩極範圍之一方。

上述第2層之配線36係由順序堆疊阻擋金屬膜，鋁合金膜，阻擋金屬膜的3層金屬膜所成。阻擋金屬係例如以TiW所構成，鋁合金係如例如添加銅及矽之鋁所構成。層間絕緣膜34係例如順序堆疊氧化矽膜，SOG膜，氧化矽膜的3層絕緣膜者。

上述第2層之配線36之上層中，形成最終鈍化膜37。此最終鈍化膜37係例如由氧化矽膜和氮化矽膜之積層膜所成。

接著，令上述構成之本實施例之記憶格 MC_1 的製造方法，使用圖11，圖17及圖18加以說明。

如圖17所示，以公知之方法形成 n^+ 型矽單結晶所成半導體基板1之記憶格陣列的形成範圍及於未圖示周邊電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

之形成範圍的一部分形成 p-型井區 2。接著，於 p⁻型井區 2 之非活性範圍之主面，形成元件分離用之場區絕緣膜 4。此時，於場區絕緣膜 4 之下，形成反轉防止用之 p 型通道阻擋範圍 5。

接著，於 p⁻型井區 2 之活性範圍之主面，將調整驅動用 MISFETQd₁，Qd₂ 之閾值電壓的 BF₂ 離子注入後，形成驅動用 MISFETQd₁，Qd₂ 之閘極絕緣膜 6。此閘極絕緣膜 4 係以熱氧化法形成。

接著，於半導體基板 1 之整面，將導入磷之多結晶矽膜(未圖示)以 CVD 法堆疊。此多結晶矽膜係第 1 層之閘材料者。接著，於多結晶矽膜上令氧化矽膜所成絕緣膜 8，以 CVD 法加以堆疊。絕緣膜 8 係令驅動用 MISFETQd₁，Qd₂ 之閘電極 7 和形成於該上層的導電層為電氣性分離而形成者。

接著，將光阻膜呈光罩，經由順序刻蝕絕緣膜 8 及該下層之多結晶矽膜，形成驅動用 MISFETQd₁，Qd₂ 之閘極電極 7。接著，令於半導體基板 1 整面堆疊之氧化矽膜(未圖示)，以 RIE 等之向異性刻蝕加以刻蝕，於驅動用 MISFETQd₁，Qd₂ 之閘極電極 7 之側壁形成側壁隔離層 9。

接著，於半導體基板 1 之主面形成光阻膜後，將此罩蓋，於上述驅動用 MISFETQd₁，Qd₂ 之形成範圍之 p⁻型井區 2 之主面，將磷及砷做離子注入，經由引出擴散此 P 及 As，形成驅動用 MISFETQd₁，Qd₂ 之 n⁻型半導體範圍 10 及 n⁺型半導體範圍 11。由此完成具 2 重擴散洩極構造之源極範圍及洩極範圍的驅動用 MISFETQd₁，Qd₂。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

接著，令活性範圍之主面以稀氟酸溶液之蝕刻洗淨，形成傳送用MISFET Q_{t1} ， Q_{t2} 之閘極絕緣膜12。接著，於半導體基板1之主面形成光阻劑膜，將此罩蓋，經由蝕刻驅動用MISFET Q_{d1} ， Q_{d2} 之 n^+ 型半導體範圍11上之絕緣膜(與閘極絕緣膜12同一層之絕緣膜)，形成連接孔14。

接著，於半導體基板1之整面堆疊第2之閘極材料(未圖示)。此閘極材料係由導入P之多結晶矽膜和鎢矽石膜之堆疊膜(多晶膜)所成。

接著，於上述鎢矽石膜上，堆疊氧化矽所成絕緣膜。此絕緣膜15係令傳送用MISFET Q_{t1} ， Q_{t2} 之閘絕緣膜12及形成於該上層的導電層為電氣性分離而形成者。

接著，於上述絕緣膜15上形成光阻劑膜，將此罩蓋，令絕緣膜15及該下層之前述第2閘材料(多晶膜)順序蝕刻，各形成傳送用MISFET Q_{t1} ， Q_{t2} 之閘電極13A，字元線WL及基準電壓線(V_{SS})13B。

接著，於半導體基板1之主面形成光阻膜後，將此罩蓋，於上述傳送用MISFET Q_{t1} ， Q_{t2} 之形成範圍之 p^- 型井區2之主面，將磷做離子注入，經由引出擴散此P，形成傳送用MISFET Q_{t1} ， Q_{t2} 之 n^- 型半導體範圍17。

接著，令於半導體基板1整面堆疊之氧化矽膜(未圖示)，以RIE等之向異性刻蝕加以刻蝕，於傳送用MISFET Q_{t1} ， Q_{t2} 之閘極電極13A，字元線WL及基準電壓線(V_{SS})之側壁形成側壁隔離層16。

接著，將半導體基板1之主面形成光阻膜加以罩蓋，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(25)

於上述傳送用 MISFETQt₁, Qt₂之形成範圍之 p⁻型井區 2 之主面，將砷做離子注入，形成傳送用 MISFETQt₁, Qt₂之 n⁺型半導體範圍 18。

於傳送用 MISFETQt₁, Qt₂之形成範圍之 p⁻型井區 2 之主面，已事先形成 n⁻型半導體範圍之故，經由 n⁺型半導體範圍 18 之形成，完成具有 LDD 構造之源極範圍及洩極範圍之傳送用 MISFETQt₁, Qt₂。

接著，如圖 18 所示，於半導體基板 1 之整面，令氧化膜所成絕緣膜 21 以 CVD 法堆疊。接著，於絕緣膜 21 上形成光阻膜，以此為罩體，經由絕緣膜 21 及絕緣膜 8 之蝕刻，於驅動用 MISFETQd₁ 之閘電極 7(Qd₁) 和傳送用 MISFETQt₁ 之源極範圍至洩極範圍之一方上部，及於驅動用 MISFETQd₂ 之閘電極 7(Qd₂) 和傳送用 MISFETQt₁ 之源極範圍至洩極範圍之一方上部，形成連接孔 22。

又，同時地，令光阻膜呈罩體，經由蝕刻絕緣膜 21，於傳送用 MISFETQt₁, Qt₂ 之源極範圍至洩極範圍之另一方上部，形成連接孔 22。

接著，於半導體基板 1 之整面，將導入磷之多結晶矽膜(未圖示)以 CVD 法堆疊。此多結晶矽膜係第 3 層之閘極材料者。接著，經由將形成於此多結晶矽膜上的光阻膜加以罩蓋蝕刻多結晶矽膜，各形成負荷用 MISFETQp₁, Qp₂ 之閘極電極 23A 及墊片層 23B。

接著，於半導體基板 1 之整面，將負荷用 MISFETQp₁, Qp₂ 之閘極絕緣膜 24 以 CVD 法堆疊後，於此閘極絕緣膜 24 上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

形成光阻膜，以此為罩體經由蝕刻閘極絕緣膜24，於負荷用MISFET Q_{p1} ， Q_{p2} 之閘極電極23A上部，形成連接孔25。

接著，於半導體基板1之整面，將第4層閘極材料之多結晶矽膜(未圖示)以CVD法堆疊。接著，以形成於此多結晶矽膜上的光阻膜為罩體，於形成於負荷用MISFET Q_{p1} ， Q_{p2} 之通道範圍26N範圍之多結晶矽膜，注入離子。

接著，以於多結晶矽膜上新形成之光阻膜為罩體，刻蝕多結晶矽膜，經由各形成負荷用MISFET Q_{p1} ， Q_{p2} 之通道範圍26N，源極範圍26P，洩極範圍26P及電源電壓線(VL)26P，完成負荷用MISFET Q_{p1} ， Q_{p2} 。

接著，如圖11所示，於半導體基板1之整面，將氧化膜及BPSG所成層間絕緣膜27以CVD法堆疊。接著，於上述層間絕緣膜27上形成光阻膜為罩體，蝕刻層間絕緣膜27，於負荷用MISFET Q_{p1} ， Q_{p2} 之洩極範圍26P上部，形成連接孔28A。

同時，令層間絕緣膜27及絕緣膜(負荷用MISFET Q_{p1} ， Q_{p2} 之閘極絕緣膜24)順序蝕刻，於配置於傳送用MISFET Q_{t1} ， Q_{t2} 之源極範圍至洩極範圍的一方上層的前述墊片層23B上部，形成連接孔28B。

接著，於半導體基板1之整面，堆疊第1層之配線材料(未圖示)。此第1層之配線材料係例如鎢膜者。接著，以形成於此鎢膜上的光阻膜為罩體，蝕刻鎢膜，形成第1層之配線29A，29B。

上述第1層之配線29A係於負荷用MISFET Q_{p1} ， Q_{p2} 之洩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(27)

極範圍，透過前述連接孔28A加以連接，又，上述第1層之配線29B係於傳送用MISFET Q_{t1} ， Q_{t2} 之上層的墊片層23B，透過前述連接孔28B加以連接。

接著，如圖11所示，將第1之阻擋層30於半導體基板1之整面堆疊後，堆疊呈鐵電體電容器 C_{f1} ， C_{f2} 之鐵電體材料的鐵電體膜31。第1之阻擋層30係例如為 IrO_2 膜，鐵電體膜31係例如為PZT膜。PZT膜係例如以濺射法或旋轉塗布法加以形成，其膜厚為300nm之程度。

接著，堆疊第2之阻擋層32及導電膜(未圖示)。此導電膜係例如為W，呈構成鐵電體電容器 C_{f1} ， C_{f2} 之另一方的極板板電極33。前述第2之阻擋層32係例如為 IrO_2 膜。

接著，以於上述導電膜上形成之光阻膜為罩體，經由蝕刻此導電膜，形成板電極33。接著，將相同光阻膜使用於罩體，順序蝕刻第2阻擋層32、鐵電體膜31及第1阻擋層30。

由此，令連接於負荷用MISFET Q_{p1} ， Q_{p2} 之洩極範圍之第1層配線29A呈一方之極板，令板電極33呈另一方之極板，將位於第1層之配線29A和板電極33間，完成鐵電體膜31呈鐵電體材料的鐵電體電容器 C_{f1} ， C_{f2} 。

接著，如圖11所示，於半導體基板1之整面堆疊氧化矽膜，SOG膜，氧化矽膜被順序堆積之3層膜所成層間絕緣膜34。

接著，令形成於上述層間絕緣膜34上之光阻膜為罩體，蝕刻層間絕緣膜34，於鐵電體電容器 C_{f1} ， C_{f2} 一方極板

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(28)

之板電極33及配置於傳送用MISFET Q_{t1} ， Q_{t2} 之源極範圍至洩極範圍一方之上層之第1層配線29B上部，形成連接孔35後，於半導體基板1之整面堆疊第2層配線材料(未圖示)。

此配線材係順序堆疊TiW膜、鋁合金膜、TiW膜之3層膜所成。接著，將形成於TiW膜上之光阻膜做為罩體，經由順序蝕刻TiW膜、鋁合金膜、TiW膜，形成第2層之配線36(資料線DL)。

最後，如圖11所示，經由於半導體基板上堆疊最終鈍化膜37，完成本實施例之記憶格 MC_1 。

根據本實施例時，於半導體基板上，形成傳送用MISFET Q_{t1} ， Q_{t2} 及驅動用MISFET Q_{d1} ， Q_{d2} 後，於傳送用MISFET Q_{t1} ， Q_{t2} 和驅動用MISFET Q_{d1} ， Q_{d2} 之上層，形成負荷用MISFET Q_{p1} ， Q_{p2} ，更且，於負荷用MISFET Q_{p1} ， Q_{p2} 之洩極範圍26P，連接鐵電體電容器 C_{f1} ， C_{f2} 一方之電極(29A)，於傳送用MISFET Q_{t1} ， Q_{t2} 、驅動用MISFET Q_{d1} ， Q_{d2} 和負荷用MISFET Q_{p1} ， Q_{p2} 之上層可形成鐵電體電容器 C_{f1} ， C_{f2} 之故，無需令TFT型SRAM之記憶格面積變大地，得具不揮發性記憶機能的記憶格。

(實施例2)

接著，令圖1所示之記憶格MC的具體第2構成(記憶格 MC_2)，使用圖19~圖22加以說明。

圖19~21係顯示具備鐵電體電容器 C_{f1} ， C_{f2} 之記憶格 MC_2 之平面圖(顯示記憶格 MC_2 之略一個分之半導體基板平

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(29)

面圖)，圖22係顯示圖21(b)-(b)'線之半導體基板之截面圖。然而，記憶格MC₂之觸發電路構成係完全相同於COMS型SRAM之記憶格的觸發電路相同。

構成記憶格之6個MISFET係以p⁻型之半導體基板101之場區絕緣膜102，包圍周圍之活性範圍加以形成。各n通道型所構成之驅動用MISFETQd₁，Qd₂和傳送用MISFETQt₁，Qt₂則形成於各p型井區103的活性範圍，以p型構成之負荷用MISFETQp₁，Qp₂係形成於n型井區104的活性範圍。各p型井區103、n型井區104係形成於形成於半導體基板上之p型外延成長矽層105之主面。

如圖19所示，傳送用MISFETQt₁，Qt₂係具有與字元線WL一體構成之閘極電極106。此閘極電極106(字元線WL)係以多結晶矽膜(或多結晶矽膜和高融點金屬矽石膜所堆積的多晶膜)所構成。形成於以氧化矽膜所構成之閘極絕緣膜107上。字元線WL係設置呈延長於列方向者。

上述驅動用MISFETQd₁，Qd₂之各源極、洩極範圍係以形成於p型井區103活性範圍之低不純物濃度之n⁻型半導體範圍108和高不純物濃度之n⁺型半導體範圍109所構成。即，驅動用MISFETQd₁，Qd₂之各源極範圍、洩極範圍係以LDD構造構成。

上述負荷用MISFETQp₁，Qp₂之各源極、洩極範圍雖未圖示，係以形成於n型井區104活性範圍之低不純物濃度之p⁻型半導體範圍和高不純物濃度之p⁺型半導體範圍所構成。即，負荷用MISFETQp₁，Qp₂之各源極範圍、洩極範圍係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(30)

以LDD構造構成。

於上述閘極電極(字元線)106及閘極電極110A、110B之上層，形成絕緣膜111。此絕緣膜111係例如由氧化矽膜所成。如圖20及圖22所示，位於場區絕緣膜102上之驅動用MISFETQ_{d1}及負荷用MISFETQ_{p1}之共通閘極電極110A之上部中，形成鐵電體電容器C_{f1}一方極板所成導電膜114A。

同樣地，位於場區絕緣膜102上之驅動用MISFETQ_{d2}及負荷用MISFETQ_{p2}之共通閘極電極110B之上部中，形成鐵電體電容器C_{f1}一方極板所成導電膜114B。導電膜114A，114B係順序堆疊例如導入N型不純物之多結晶矽膜和鎢等之高融點金屬膜之堆疊膜所構成。

如圖22所示，鐵電體電容器C_{f1}之一方的極板的導電膜114A之上層及鐵電體電容器C_{f2}之一方的極板的導電膜114B之上層中，介由第1阻擋層115，形成鐵電體膜116。第1阻擋層115係例如IrO₂膜，鐵電體膜116係例如PZT膜。

更且，上述鐵電體膜116之上層中，介由第2阻擋層117，形成鐵電體電容器C_{f1}，C_{f2}之另一方的極板的板電極118。第2阻擋層117係例如IrO₂膜，板電極118係例如以W等之高融點金屬膜所構成。板電極118係設置呈延長於列方向者。

前述第1阻擋層115及第2阻擋層117係防止鐵電體膜116和位於該下層之導電膜114A，114B反應及防止鐵電體膜116和位於該上層之板電極118反應而設置者。

如圖21及圖22所示，於板電極118之上層，介由第1層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(31)

之層間絕緣膜119，配置第1層之配線121A，121B。層間絕緣膜119係例如以氧化矽膜和BPSG膜之堆疊膜所構成，第1層之配線121A，121B係例如以W膜構成。

於驅動用MISFETQd₁之洩極範圍上之層間絕緣膜119係連接孔120A被開孔，又，於負荷用MISFETQp₁之洩極範圍及驅動用MISFETQd₁和負荷用MISFETQp₂之共通閘極電極110B上之層間絕緣膜119中，連接孔120B被開孔。

於驅動用MISFETQd₂之洩極範圍及驅動用MISFETQd₁和負荷用MISFETQp₁之共通閘極電極110A上之層間絕緣膜119中，連接孔120C被開孔，又，於負荷用MISFETQp₁之洩極範圍上之層間絕緣膜119中，連接孔120D被開孔。

因此，經由形成於上述層間絕緣膜119上的第1層配線121A，驅動用MISFETQd₁之洩極範圍，負荷用MISFETQp₁之洩極範圍，驅動用MISFETQd₂和負荷用MISFETQp₂之共通閘極電極110B及傳送用MISFETQt₁之源極範圍至洩極範圍的一方則被電氣連接。

同樣地，經由第1層之配線121B，驅動用MISFETQd₂之洩極範圍，負荷用MISFETQp₂之洩極範圍，驅動用MISFETQd₁和負荷用MISFETQp₁之共通閘極電極110A及傳送用MISFETQt₂之源極範圍至洩極範圍的一方則被電氣連接。

又，第1層之配線係以基準電壓線121C(V_{SS})構成，透過開孔於間絕緣膜119之連接孔122B，連接於驅動用MISFETQd₁，Qd₂之源極範圍。更且，第1層之配線係以電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(32)

源電壓線121D(V_L)構成，透過開孔於間絕緣膜119之連接孔122B，連接於驅動用MISFET Q_{d1} ， Q_{d2} 之源極範圍。基準電壓線121C(V_{SS})及電源電壓線121D(V_L)係於列方向延長設置。

上述第1層之配線121A，121B之上層中，雖未圖示，介由第2層之層間絕緣膜，形成第2層之配線。第2層之配線係構成資料線 DL_1 ， DL_2 ，此資料線 DL_1 ， DL_2 係透過開孔於第2層之層間絕緣膜的連接孔130，連接於傳送用MISFET Q_{t1} ， Q_{t2} 之源極範圍至洩極範圍。資料線 DL_1 ， DL_2 係延長設於行方向。

接著，說明如上述構成之本實施例之記憶格MC2的製造方法。然而，顯示此記憶格之製造方法的圖22截面圖係對應於前述圖21之(b)-(b)'線。

首先，於p⁻型單結晶矽所成半導體基板101上，成長p型外延成長矽層105後，於半導體基板101之主面上，形成場區絕緣膜102。接著，以公知之方法，於半導體基板101形成p型井區103及n型井區104之各主面，形成以薄氧化矽膜所構成之閘極絕緣膜107。

接著，形成傳送用MISFET Q_{t1} ， Q_{t2} 之閘極電極106(字元線WL)、及驅動用MISFET Q_{d1} ， Q_{d2} 和負荷用MISFET Q_{p1} ， Q_{p2} 之閘極電極110A，110B。

閘極電極106(字元線WL)及閘極電極110A，110B係於半導體基板1之整面，以CVD法堆疊導入磷之多結晶矽膜後，於其上以CVD法堆疊氧化矽之絕緣膜111，令光阻膜為單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(33)

體，以乾蝕刻圖案化此絕緣膜111及多結晶矽膜加以形成。

接著，經由罩蓋光阻膜之離子注入，於p型井區103導入n型不純物(P、As)，於n型井區104導入p型不純物(BF₂)。接著，除去上述光阻膜後，於半導體基板101之整面，將以CVD堆疊之氧化矽膜以RIE加以圖案化。於閘極電極106(字元線WL)及閘極電極110A，110B之各側壁，形成側壁隔離層112。

接著，除去上述光阻膜後，熱擴散上述n型不純物及p型不純物，於p型井區103之主面，形成傳送用MISFETQ_{t1}，Q_{t2}、驅動用MISFETQ_{d1}，Q_{d2}之各源極範圍，洩極範圍(n⁻型半導體108、n⁻型半導體109)，雖未圖示，於n型井區104之主面，形成負荷用MISFETQ_{p1}，Q_{p2}之源極範圍，洩極範圍(p⁻型半導體範圍、p⁺型半導體範圍)。

接著，覆蓋於位於場區絕緣膜102之上部之驅動用MISFETQ_{d1}和負荷用MISFETQ_{p1}之共通閘極電極110A及驅動用MISFETQ_{d2}和負荷用MISFETQ_{p2}之共通閘極電極110B的前述絕緣膜111，形成乾蝕刻連接孔113A，113B，露出閘極電極110A，110B之各一部分。

接著，如圖22所示，於半導體基板101之整面，堆疊構成鐵電體電容器C_{f1}，C_{f2}之一方極板的鎢膜。接著，令於此鎢膜上形成之光阻膜為單體，將鎢膜蝕刻，各形成導電膜114A，114B。

前述導電膜114A係於驅動用MISFETQ_{d1}和負荷用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(34)

MISFETQ_{p1}之共通閘極電極110A，透過連接孔113A加以連接。又，前述導電膜114B係於驅動用MISFETQ_{d2}和負荷用MISFETQ_{p2}之共通閘極電極110B，透過連接孔113B加以連接。

接著，令第1阻擋層115堆疊於半導體基板101之整面後，將鐵電體電容器C_{f1}，C_{f2}之鐵電體材料之鐵電體膜116堆疊於半導體基板101之整面。第1阻擋層115係例如IrO₂膜，鐵電體膜係例如PZT膜。

前述PZT膜係以例如濺射法或旋轉塗布法加以形成，該膜厚係300nm之程度。前述第1阻擋層115係防止鐵電體膜116和導電膜114A，114B之反應所設置者。

接著，堆疊第2阻擋層117及導電膜(未圖示)。此導電膜係構成鐵電體電容器C_{f1}，C_{f2}之另一方的極板的板電極118。前述第2之阻擋層117係例如IrO₂膜，又，前述導電膜係鎢所成者。第2阻擋層117係與第1阻擋層115同樣地，防止鐵電體膜116和板電極118之反應而設置者。

接著，令形成於上述導電膜上之光阻膜為單體，經由蝕刻此導電膜，完成板電極118。

接著，使用同樣之光阻膜為單體，順序蝕刻第2阻擋層117、鐵電體膜116及第1阻擋層115。由此，令連接於驅動用MISFETQ_{d1}和負荷用MISFETQ_{p1}之共通閘極電極110A的導電膜114A為一方之極板，板電極118為另一方之極板，完成令位於導電膜114A和板電極118間的鐵電體膜116呈鐵電體材料之鐵電體電容器C_{f2}。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(35)

同樣地，令連接於驅動用 MISFETQd₂ 和負荷用 MISFETQp₂ 之共通閘極電極 110B 的導電膜 114B 為一方之極板，板電極 118 為另一方之極板，完成令位於導電膜 114B 和板電極 118 間的鐵電體膜 116 呈鐵電體材料之鐵電體電容器 Cf₁。

接著，於半導體基板 101 之整面，順序堆疊氧化膜和 BPSG 膜之層間絕緣膜 119。接著，令形成於上述層間絕緣膜 119 的光阻膜為罩體，蝕刻層間絕緣膜 119。由此，負荷用 MISFETQp₁ 之洩極範圍上，於驅動用 MISFETQd₂ 和負荷用 MISFETQp₂ 之共通閘極電極 110B 上，形成共通之連接孔 120B。

同樣地，驅動用 MISFETQd₂ 之洩極範圍上，於驅動用 MISFETQd₁ 和負荷用 MISFETQp₁ 之共通閘極電極 110A 上，形成共通之連接孔 120C。又，驅動用 MISFETQd₁ 之洩極範圍及負荷用 MISFETQp₂ 之洩極範圍上，亦形成共通之連接孔 120A，120D。又，於層間絕緣膜 119 形成連接孔 122A，122B，122C。此連接孔 122A 係形成於傳送用 MISFETQt₁，Qt₂ 之源極範圍至洩極範圍的一方上部，又，連接孔 122B 係形成於驅動用 MISFETQd₁，Qd₂ 之源極範圍上部，連接孔 122C 係形成於驅動用 MISFETQp₁，Qp₂ 之源極範圍上部。

接著，於半導體基板 101 之整面，堆疊導電膜(未圖示)。此導電膜係例如鎢膜。將形成於此導電膜上之光阻膜做為罩體，刻蝕導電膜。由此，形成驅動用 MISFETQd₁ 之洩極範圍、和負荷用 MISFETQp₁ 之洩極範圍、連接驅動用

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(36)

MISFETQ_{d2}和負荷用MISFETQ_{p2}之共通閘極電極110B之第1層配線121A。

同樣地，形成驅動用MISFETQ_{d2}之洩極範圍、負荷用MISFETQ_{p2}之洩極範圍、連接驅動用MISFETQ_{d1}和負荷用MISFETQ_{p1}之共通閘極電極110A之第1層配線121B。同樣地，電源電壓線121D(V_L)，基準電壓線121C(V_{SS})。

接著，於半導體基板1之整面堆疊順序堆疊氧化矽膜、SOG膜、氧化矽膜之3層膜所成第2層之層間絕緣膜(未圖式)。

接著，於半導體基板1之整面堆疊第2層之配線材料(未圖示)。此配線材料係例如鋁合金膜者。接著，令光阻膜為罩體，以乾蝕刻將鋁合金膜加以圖案化，形成資料線DL₁，DL₂。

最後，於第2層之配線上，經由堆疊最終鈍化膜，完成本實施例之記憶體格MC₂。

根據本實施例，於驅動用MISFETQ_{d1}和負荷用MISFETQ_{p1}之共通閘極電極110A，連接鐵電體電容器Cf₁一方之極板的導電膜114A，於驅動用MISFETQ_{d1}和負荷用MISFETQ_{p1}之共通閘極電極110A上層，可形成鐵電體電容器Cf₁之故，又，同樣地，於驅動用MISFETQ_{d2}和負荷用MISFETQ_{p2}之共通閘極電極110B，連接鐵電體電容器Cf₂一方之極板的導電膜114B，於驅動用MISFETQ_{d2}和負荷用MISFETQ_{p2}之共通閘極電極110B上層，可形成鐵電體電容器Cf₂之故，無SRAM之記憶體格面積變大地，得具不揮發性

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明(37)

記憶機能的記憶格。

以上，將經由本發明人所成發明，根據實施例加以具體說明。本發明則未限定於前述實施例，可在不脫離要旨之範圍下，做種種之改變。

例如，前述實施例1中，雖令負荷用MISFET Q_{p1} ， Q_{p2} 以底閘極構造加以構成，但不限於此，呈閘極電極設於通道範圍之上部，即頂閘極構造之構成亦可。此時，平面之布局係與圖14、15同樣，以第3之閘極材料，形成通道範圍，源極範圍，洩極範圍，電源電壓(VL)線，以第4層之閘極材料形成工程，形成閘極電極即可。

又，前述實施例中，雖做為防止鐵電體電容器之鐵電體材料和電極之反應的阻擋層，使用 IrO_2 膜，但並非限於此。使用鉑膜或鉑膜和Tin膜之堆疊膜等亦可。又，前述實施例中，令記憶格MC做為SRAM之記憶格動作時，雖令板電極保持於 V_{SS} ，但非限定於此，保持於電源電壓 V_{CC} 或 $V_{CC}/2$ 亦可。此時，於觸發電路之鐵電體電容器 C_{f1} ， C_{f2} ，寫入資訊時，令板電壓呈 V_{SS} 後，移至實施例1之瞬時 t_1 即可。

【發明之效果】

由本案揭示之發明中，由代表者所得之效果加以簡單則如下所述。

根據本發明時，無需增加記憶格之面積，將可保持觸發電路記憶節點的資訊的鐵電體電容器連接於觸發電路之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(38)

故，可實現具不揮發性記憶體機能的高積體化之RAM。

【圖面之簡單說明】

【圖1】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖2】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖3】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖4】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖5】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖6】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖7】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(39)

【圖8】

顯示本發明之一實施例的半導體積體電路裝置的記憶格等價電路圖。

【圖9】

觸發電路之電源電壓及板電壓之開關時間圖。

【圖10】

顯示觸發電路之記憶節點之電壓變化圖。

【圖11】

顯示本發明之一實施例之半導體積體電路裝置的記憶格之半導體基板之要部截面圖(圖16之(a)-(a)'線之半導體基板要部截面圖)。

【圖12】

顯示本發明之一實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖13】

顯示本發明之一實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖14】

顯示本發明之一實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖15】

顯示本發明之一實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖16】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(40)

顯示本發明之一實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖17】

顯示本發明之一實施例之半導體積體電路裝置的記憶格之製造方法的半導體基板之要部截面圖(圖16之(a)-(a)'線之半導體基板要部截面圖)。

【圖18】

顯示本發明之一實施例之半導體積體電路裝置的記憶格之製造方法的半導體基板之要部截面圖(圖16之(a)-(a)'線之半導體基板要部截面圖)。

【圖19】

顯示本發明之其他實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖20】

顯示本發明之其他實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖21】

顯示本發明之其他實施例之半導體積體電路裝置的記憶格圖案布局的要部平面圖。

【圖22】

顯示本發明之其他實施例之半導體積體電路裝置的記憶格的半導體基板要部截面圖。

【圖23】

顯示本發明之實施例的半導體積體電路裝置的磁滯回線圖

五、發明說明(41)

。

【圖 24(a)~圖 24(I)】

顯示本發明之一實施例的半導體積體電路裝置的鐵電體膜磁滯回線圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

半導體積體電路裝置及其製造方法
 本發明係有關一種半導體積體電路裝置及其製造方法，記憶格MC係經由連接於由驅動用MISFET Q_{d1} ， Q_{d2} 和負荷用MISFET Q_{p1} ， Q_{p2} 所成觸發電路，由傳送用MISFET Q_{t1} ， Q_{t2} ，及觸發電路之記憶節點 N_1 ， N_2 之鐵電體電容器 C_{f1} ， C_{f2} 所構成。當記憶格之電源切斷時，於記憶節點 N_1 ， N_2 根據蓄積之資訊，經由控制各電源電壓 V_L 及板電壓 V_P ，設定鐵電體電容器 C_{f1} ， C_{f2} 之分極方向，於記憶節點 N_1 ， N_2 蓄積之資訊則讀取，保持於鐵電體電容器 C_{f1} ， C_{f2} 。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

修正
補充
8510098-26
A8
B8
C8
D8

六、申請專利範圍

第 85100098 號 專利 申請 案

中文 申請 專利 範圍 修正 本

民國 85 年 8 月 修正

1. 一種半導體積體電路裝置，為具有記憶格之半導體積體電路裝置，其特徵係在於

前記憶格係具有觸發電路，和一對鐵電體電容器元件，於前述觸發電路之 2 個記憶節點中之一方，一方之鐵電體電容器元件被電氣性連接，且前述觸發電路之 2 個記憶節點中之另一方，另一方之鐵電體電容器元件被電氣性連接，

前述鐵電體電容器元件之一方電極和前述記憶節點經常呈同電位者。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中，前述觸發電路係經由負荷用 MISFET 和驅動用 MISFET 所成一對交差結合之互補 MISFET 所構成，

於前述負荷用 MISFET 之源極或洩極之一方施加第 1 動作電壓，

相互電氣性連接前述負荷用 MISFET 之源極或洩極之另一方，和前述驅動用 MISFET 源極或洩極的一方，且做為記憶節點作用，

於前述鐵電體電容器元件之另一方電極施加第 2 動作電壓，

經由控制第 1 動作電壓及第 2 動作電壓，設定前述鐵

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

電體電容器元件之分極方向者。

3. 如申請專利範圍第2項之半導體積體電路裝置，其中，於前述驅動用MISFET之源極或洩極之一方施加基準電源電壓者。

4. 如申請專利範圍第2項之半導體積體電路裝置，其中，於前述鐵電體電容器元件係構成於前述驅動用MISFET之上部者。

5. 如申請專利範圍第3項之半導體積體電路裝置，其中，做為前述第1之動作電壓，構成前述鐵電體電容器元件的鐵電體膜則經由設定不產生分極反轉的第1電壓，令前述觸發電路動作，

做為前述第1之動作電壓或前述第2之動作電壓，經由前述鐵電體膜設定產生分極反轉的第2電壓或前述基準電壓，控制前述鐵電體膜之分極狀態，於前述觸發電路和前述鐵電體電容器元件間，進行資訊之讀取，寫入者。

6. 如申請專利範圍第5項之半導體積體電路裝置，其中，記憶於各電氣性連接於前述觸發電路之前述2個記憶節點的前述鐵電體電容器元件的資訊，係根據前述鐵電體膜之分極方向加以設定者。

7. 如申請專利範圍第5項之半導體積體電路裝置，其中，記憶於各電氣性連接於前述觸發電路之前述2個記憶節點的前述鐵電體電容器元件的資訊，係經由增幅經由一方之前述鐵電體電容器元件的反轉所產生前述觸發電路之前述2個記憶節點間的電位差，各別傳送至電氣性連接

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

於各鐵電體電容器元件的前述觸發電路之記憶節點者。

8. 如申請專利範圍第5項之半導體積體電路裝置，其中，各蓄積於前述觸發電路之2個記憶節點的資訊係當前述記憶格之電源切斷時，寫入於前述記憶節點電氣性連接之各鐵電體電容器元件，

各蓄積於前述鐵電體電容器的資訊係當前述記憶格之電源開啓時，由電氣性連接於前述鐵電體電容器之前述觸發電路之記憶節點讀取者。

9. 如申請專利範圍第5項之半導體積體電路裝置，其中，前述第2電壓係較第1電壓為大者。

10. 如申請專利範圍第8項之半導體積體電路裝置，其中，前述鐵電體膜係 $PbZrTiO_3$ 膜、 $PbLaZrTiO_3$ 膜或 $BaTiO_3$ 膜者。

11. 一種半導體積體電路裝置，為具有不揮發性記憶體機能，其特徵係在於具有各電氣性連接於觸發電路，和前述觸發電路之2個記憶節點的2個鐵電體電容器元件所構成之記憶格，前述鐵電體電容器元件係構成於前述觸發電路上部者。

12. 如申請專利範圍第11項之半導體積體電路裝置，其中，前述觸發電路係經由負荷用MISFET和驅動用MISFET所成一對交差結合之互補MISFET所構成，

於前述負荷用MISFET之源極或洩極之一方施加第1動作電壓，

於前述驅動用MISFET之源極或洩極之一方施加基準電

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

源電壓，

於前述驅動用 MISFET 之源極或洩極之另一方，和前述負荷用 MISFET 之源極或洩極之另一方相互電氣性連接，且做為前述記憶節點加以作用，

於前述鐵電體電容器元件之另一方電極施加第 2 動作電壓，

經由控制第 1 動作電壓及第 2 動作電壓，設定控制鐵電體膜之分極狀態，設定前述鐵電體電容器元件之分極方向者。

13. 如申請專利範圍第 12 項之半導體積體電路裝置，其中，做為前述第 1 之動作電壓，構成前述鐵電體電容器元件的鐵電體膜則經由設定不產生分極反轉的第 1 電壓，令前述觸發電路動作，

做為前述第 1 之動作電壓或前述第 2 之動作電壓，經由前述鐵電體膜設定產生分極反轉的第 2 電壓或前述基準電壓，控制前述鐵電體膜之分極狀態，於前述觸發電路和前述鐵電體電容器元件間，進行資訊之讀取，寫入者。

14. 一種半導體積體電路裝置之製造方法，其特徵係具有在於半導體基板之主面上形成傳送用 MISFET 及驅動用 MISFET 後，於前述驅動用 MISFET 之上方，形成前述負荷用 MISFET 之工程，前述負荷用 MISFET 之洩極範圍構成之矽膜上所堆積之絕緣膜中，形成到達上述矽膜之連接孔的工程，於半導體基板上，堆疊第 1 之導電膜後，加工前述第 1 導電膜，形成連接於前述矽膜前述鐵電體電容器元件

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

的一方電極之工程，於半導體基板上，順序堆疊鐵電體膜及第2之導電膜後，加工前述第2導電膜，形成鐵電體電容器元件之另一方之電極，其後，加工前述鐵電體膜之工程者。

15. 一種半導體積體電路裝置之製造方法，其特徵係具有於半導體基板之主面上形成具前述傳送用MISFET及共通之閘電極之前述驅動用MISFET和前述負荷用MISFET之工程，構成前述驅動用MISFET和前述負荷用MISFET之共通電極之矽膜上堆積之絕緣膜上，形成到達前述矽膜之連接孔工程，於半導體基板上，堆疊第1之導電膜後，加工前述第1導電膜，形成連接於前述矽膜之前述鐵電體電容器元件一方之電極工程，於前述半導體基板上，順序堆疊鐵電體膜及第2之導電膜後，加工前述第2導電膜，形成前述鐵電體電容器元件另一方之電極，其後，加工前述鐵電體膜之工程者。

16. 一種半導體積體電路，針對具有記憶格之半導體積體電路，其特徵係前述記憶格係具有觸發電路，和第1鐵電體電容器元件，和第2鐵電體電容器元件，

前述觸發電路係具有第1MISFET、和第2MISFET，

前述第1及第2MISFET係各具有形成於半導體基板主面上部的閘極，和形成於前述半導體基板內之一對半導體範圍，

前述一對之半導體範圍，係構成前述MISFET之源極及洩極，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

前述第 1 及第 2 鐵電體電容器元件係各具有第 1 電極、和第 2 電極，和鐵電體膜，

第 1 電極係構成於前述 MISFET 之閘極電極之上部，

第 2 電極係構成於前述第 1 電極之上，

前述鐵電體膜係構成於前述第 1 電極和前述第 2 電極間，

前述第 1 MISFET 之一方之半導體範圍係電氣連接於前述第 2 MISFET 之閘極電極及前述第 1 鐵電體電容器元件之第 1 電極的同時，做為前述觸發電路一方之記憶節點加以作用，

前述第 2 MISFET 之一方之半導體範圍係電氣連接於前述第 1 MISFET 之閘極電極及前述第 2 鐵電體電容器元件之第 1 電極的同時，做為前述觸發電路另一方之記憶節點加以作用者。

17. 如申請專利範圍第 16 項之半導體積體電路，其中，前述第 1 MISFET 之一方半導體範圍和前述第 1 鐵電體電容器元件之第 1 電極經常呈同電位，前述第 2 MISFET 之一方半導體範圍和前述第 2 鐵電體電容器元件之第 1 電極則經常呈同電位者。

18. 如申請專利範圍第 16 項或第 17 項之半導體積體電路，其中，前述第 1 鐵電體電容器元件之第 2 電極，和前述第 2 鐵電體電容器元件之第 2 電極係呈一體構成者。

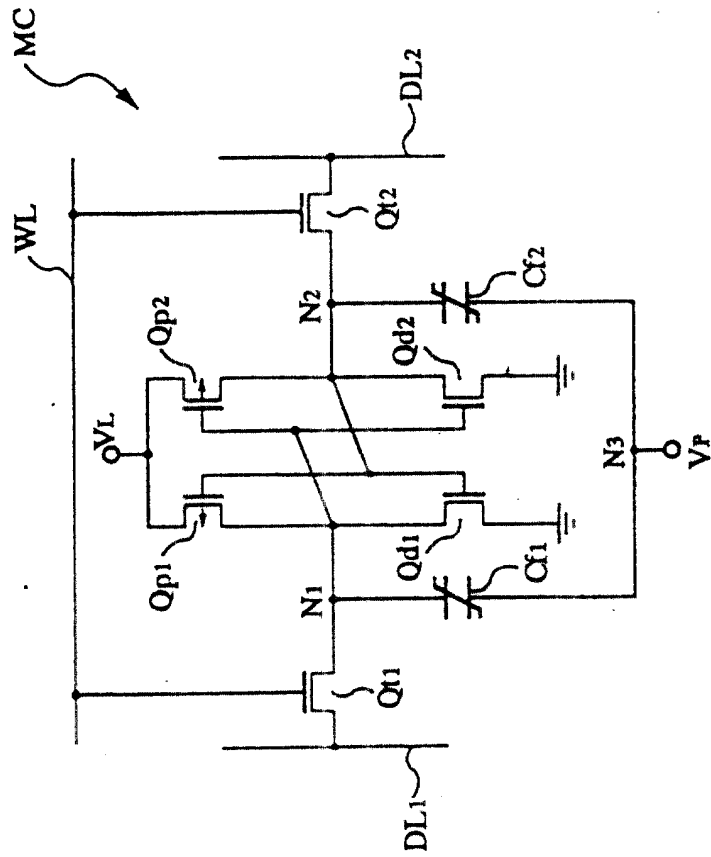
(請先閱讀背面之注意事項再填寫本頁)

訂

修
補
充
2022

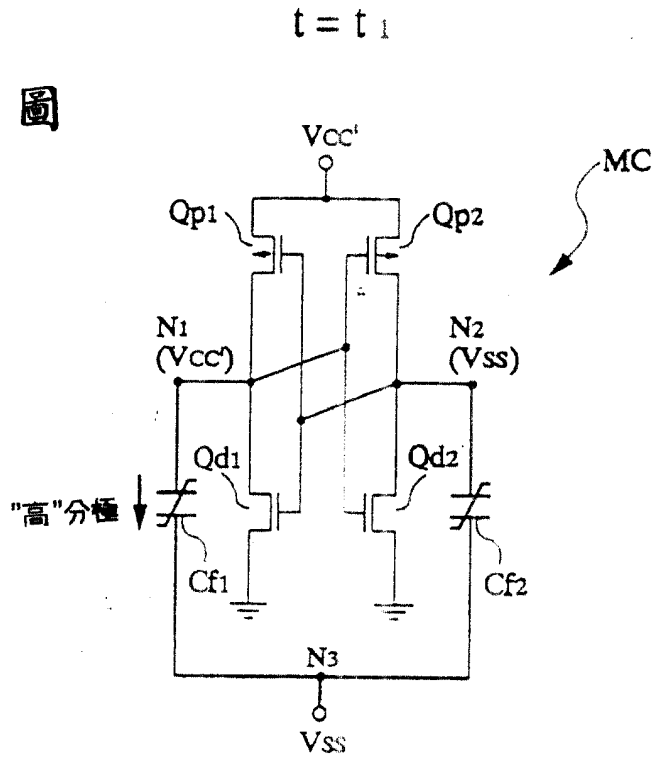
724550

第 1 圖



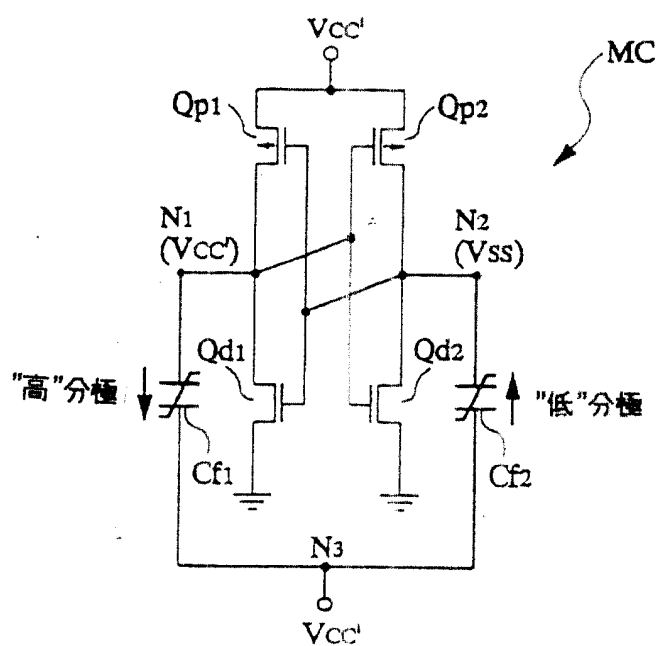
Qp1, Qp2 : 負荷用MISFET
 Qd1, Qd2 : 驅動用MISFET
 Cf1, Cf2 : 雜電容電容器
 N1, N2, N3 : 記憶節點
 V1 : 電源電壓
 Vp : 板電壓

第 2 圖

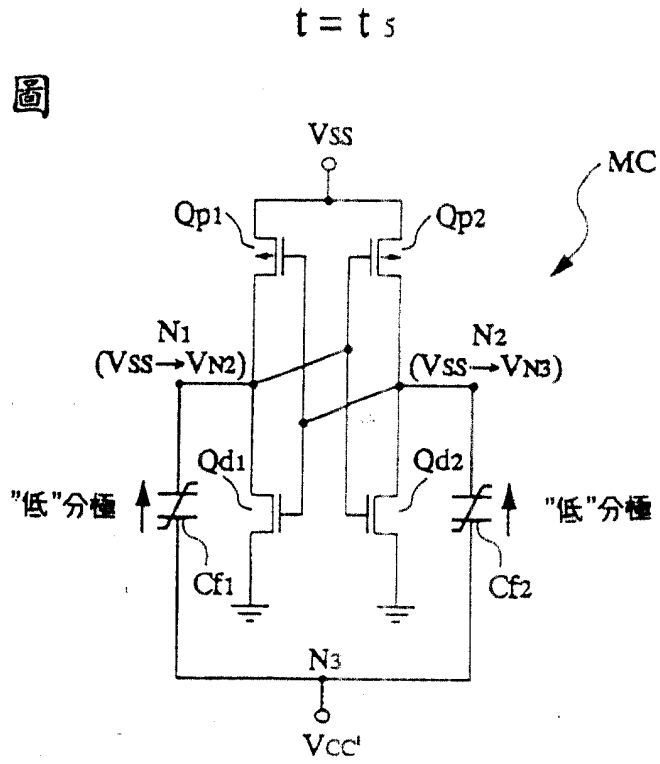


第 3 圖

$t = t_2$

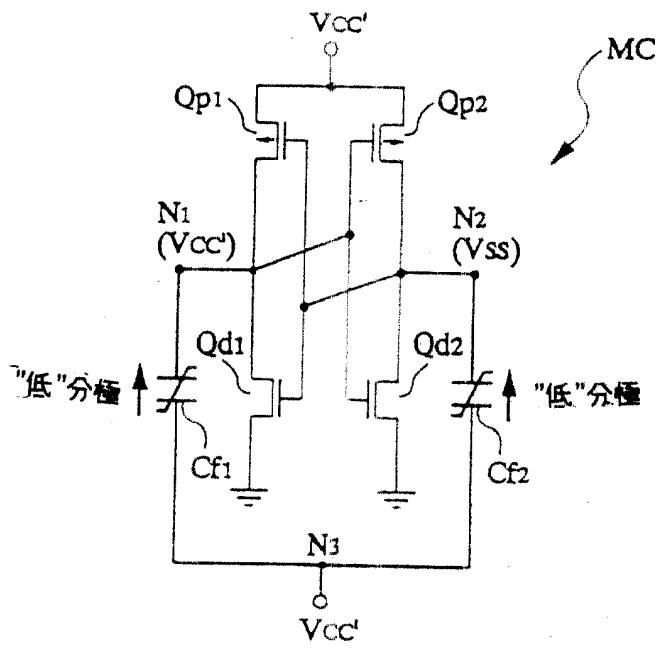


第 5 圖



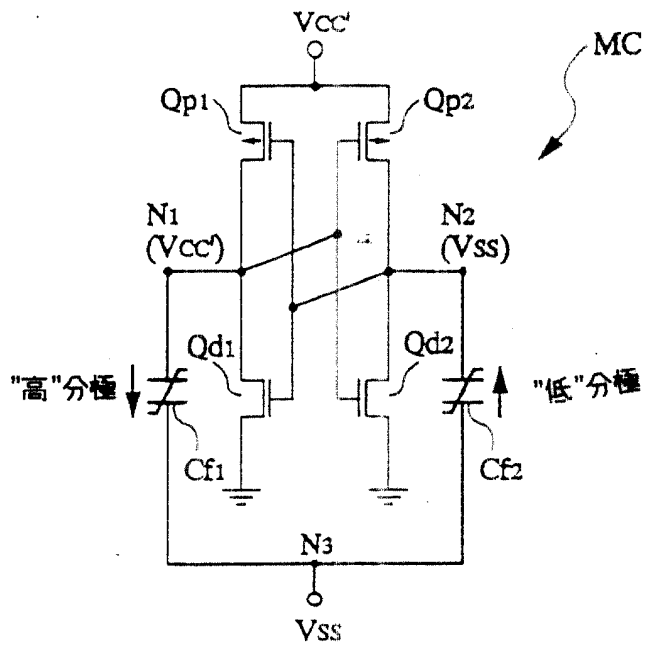
第 6 圖

$t = t_6 \rightarrow t_7$

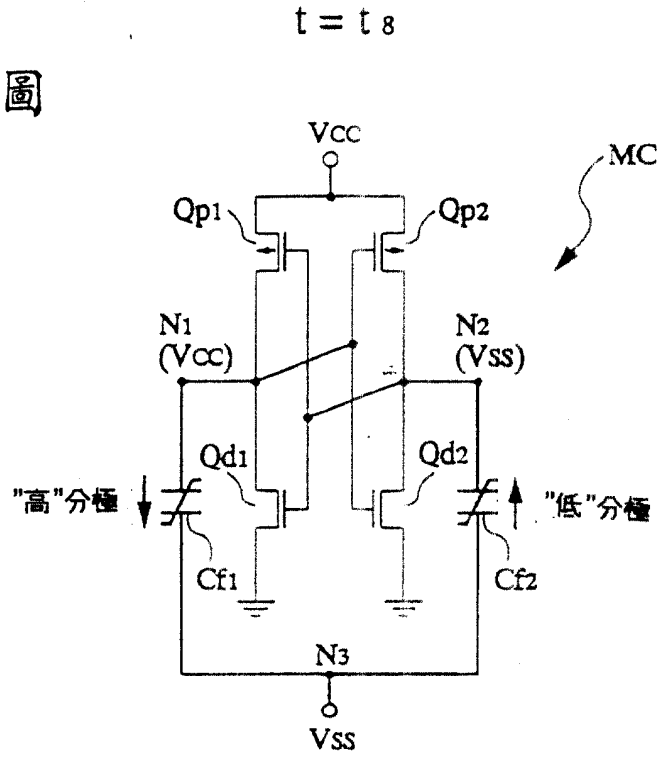


第 7 圖

$t = t_7$



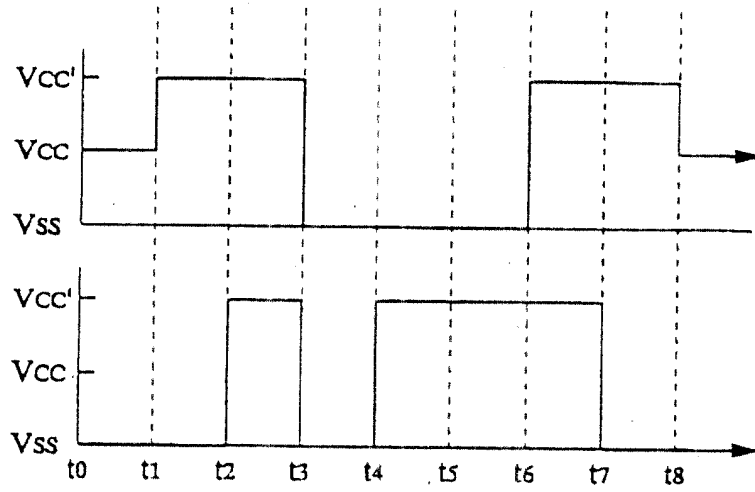
第 8 圖



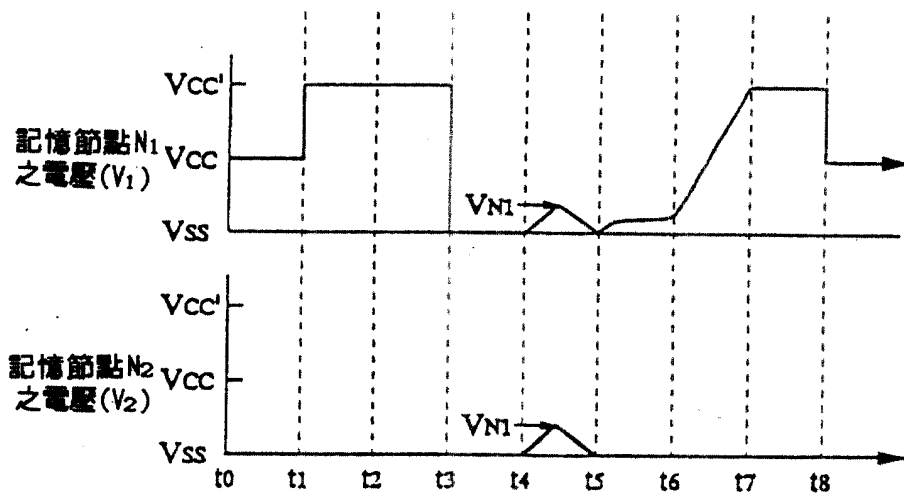
第 9 圖

電源電壓
(V_L)

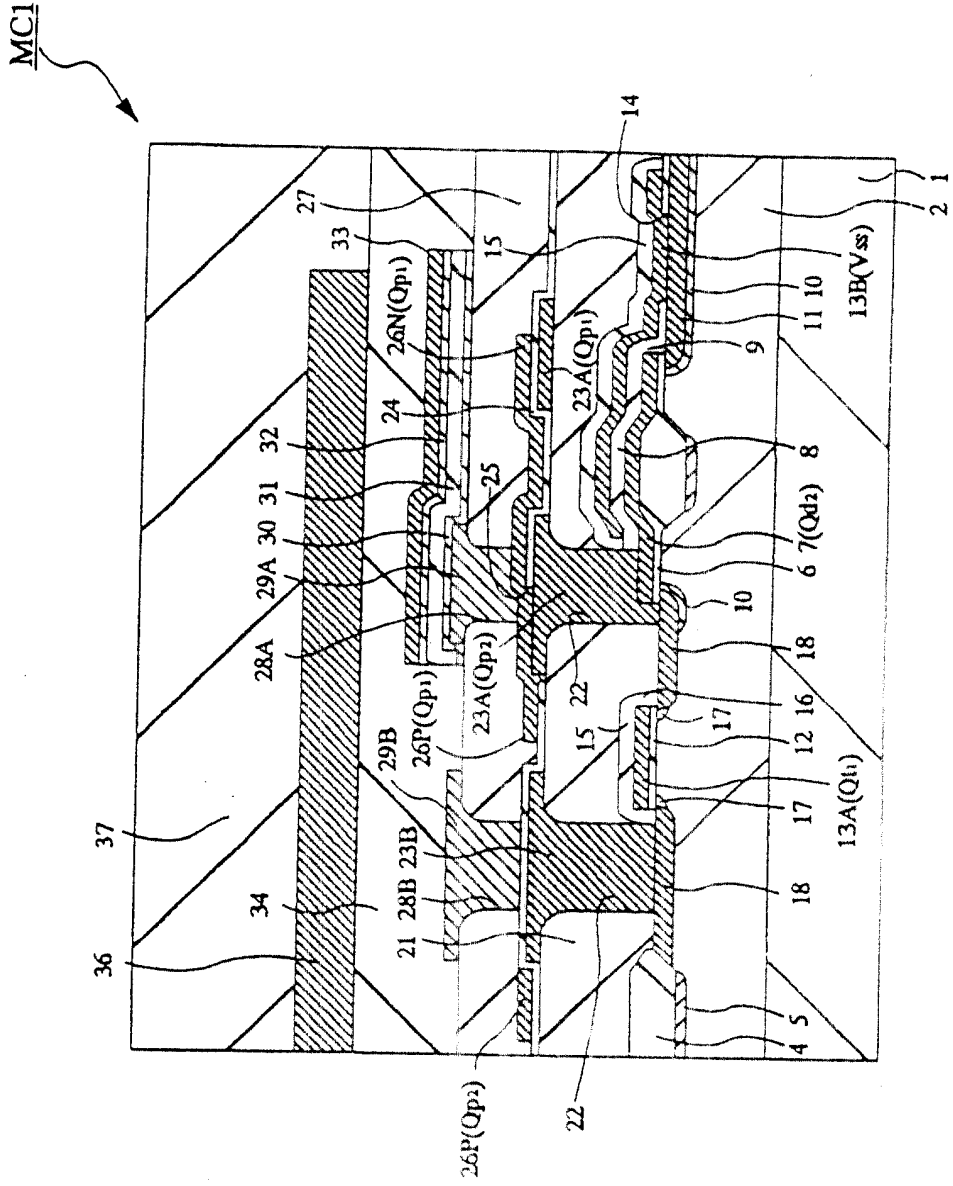
板電壓
(V_P)



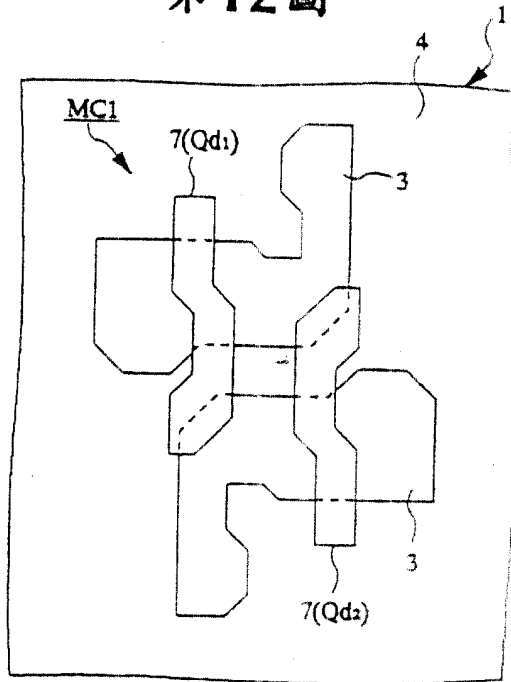
第10圖



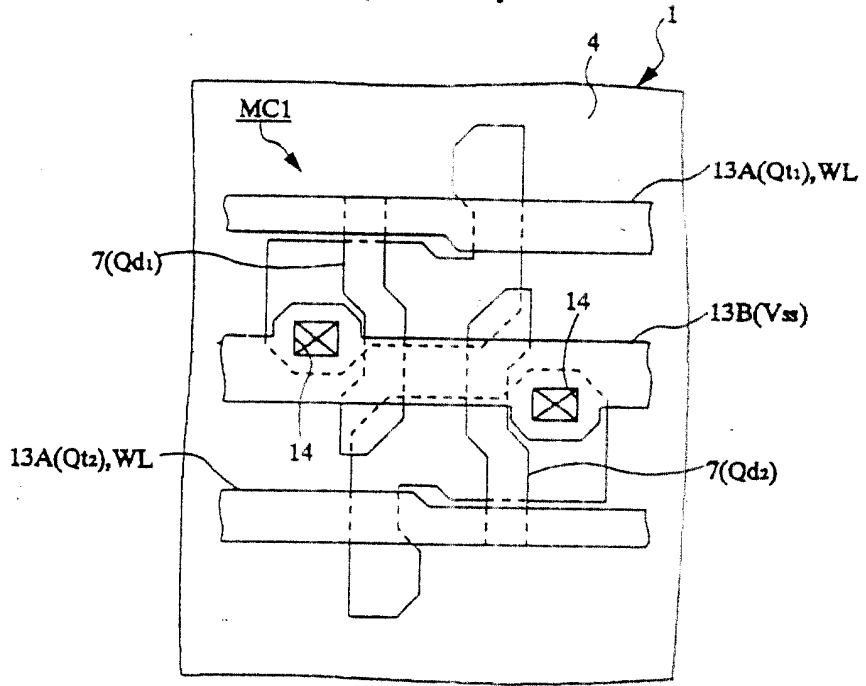
第11圖



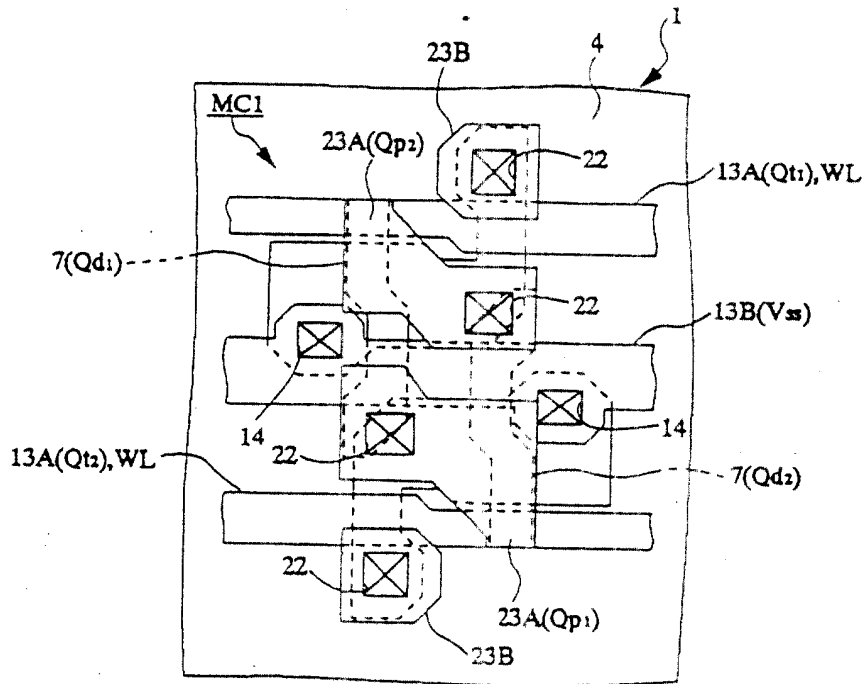
第12圖

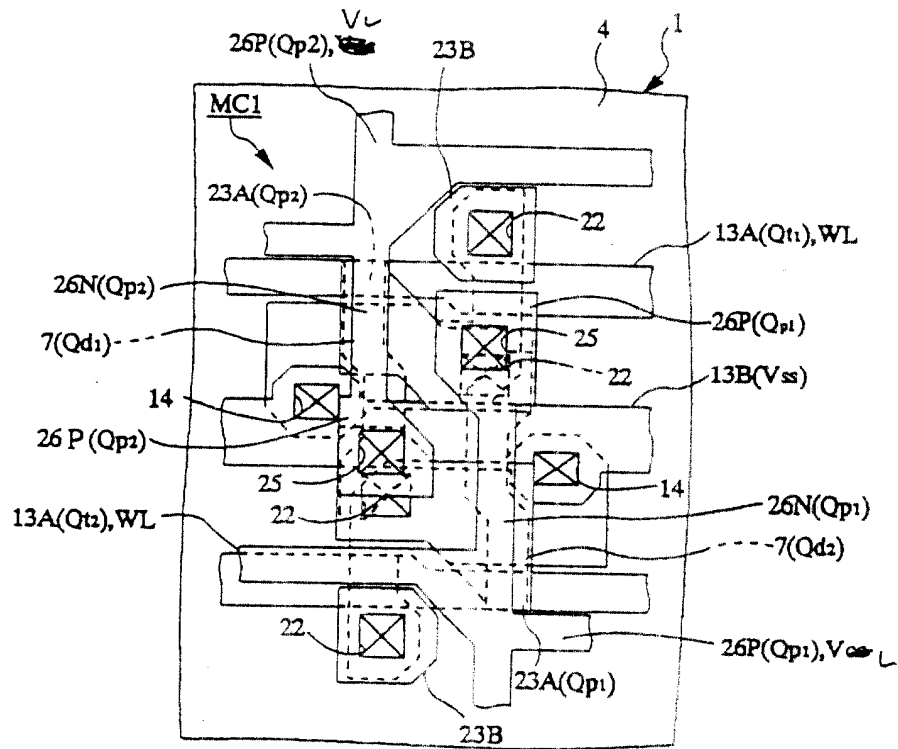


第13圖

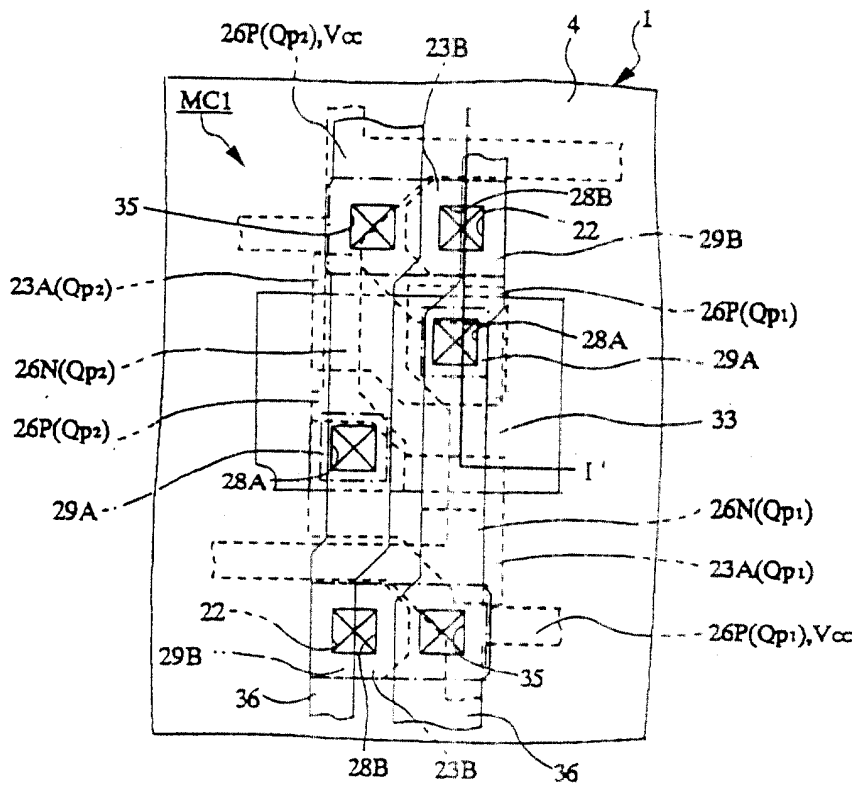


第14圖





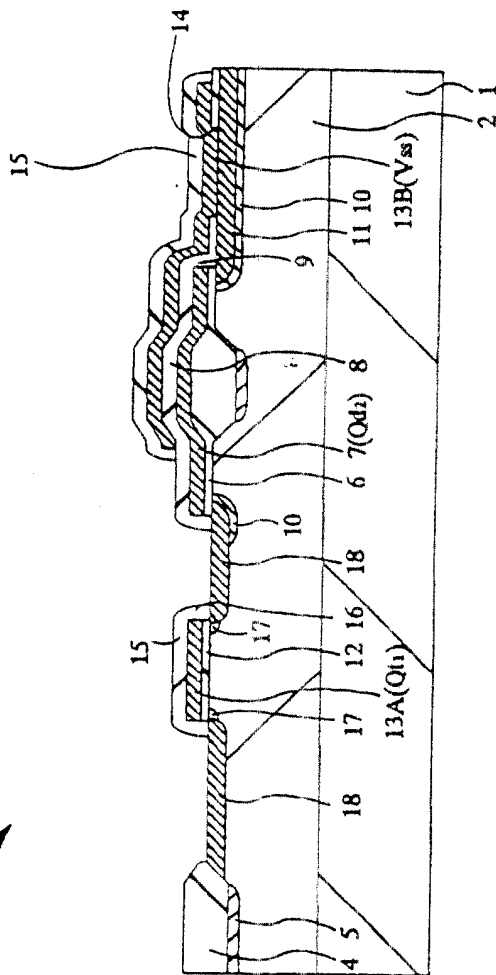
第15圖



第16圖

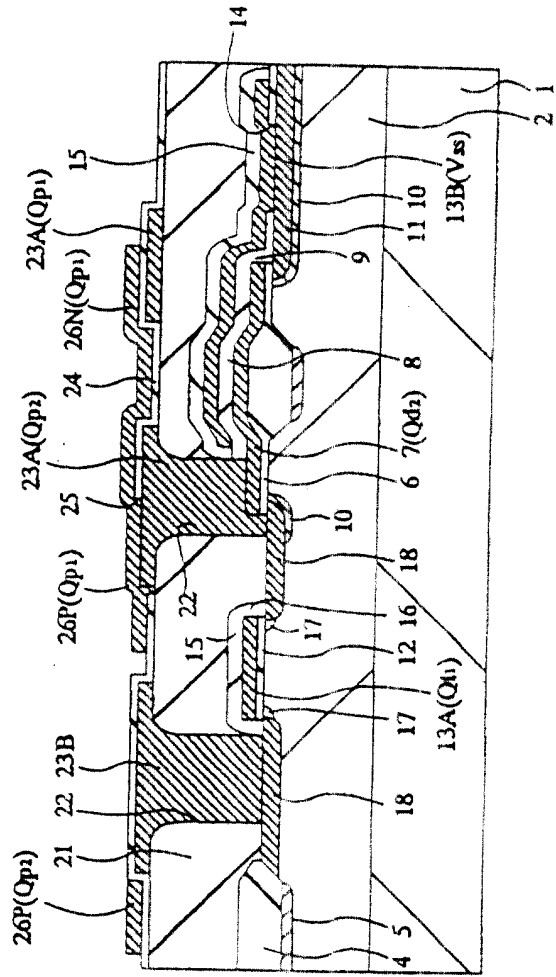
MCI

第17圖

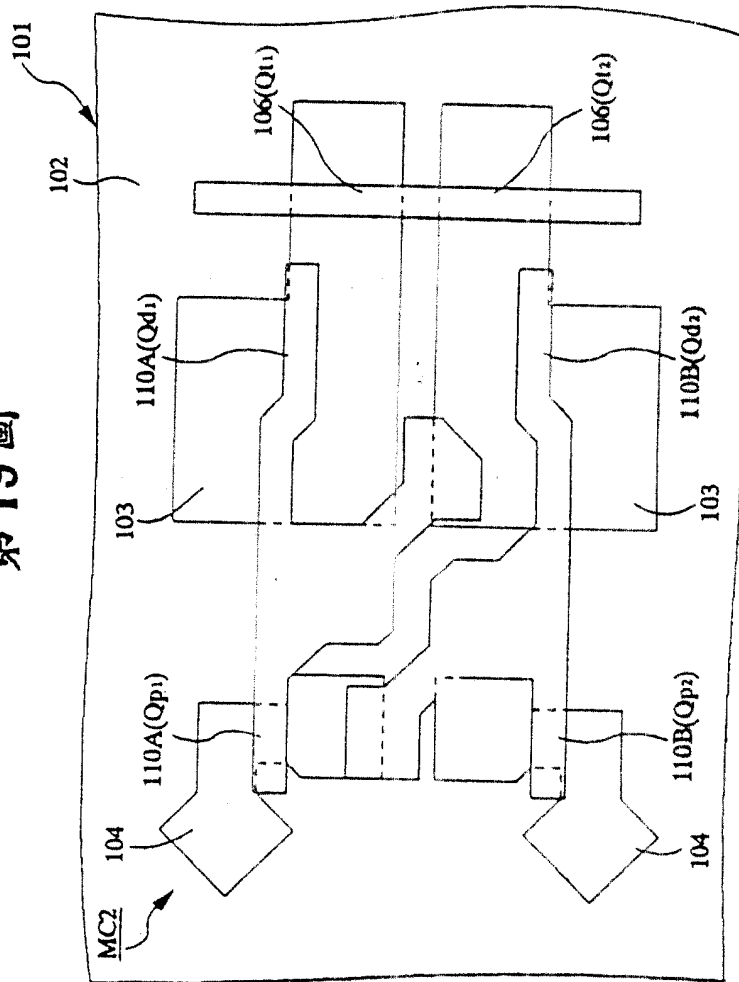


MCI

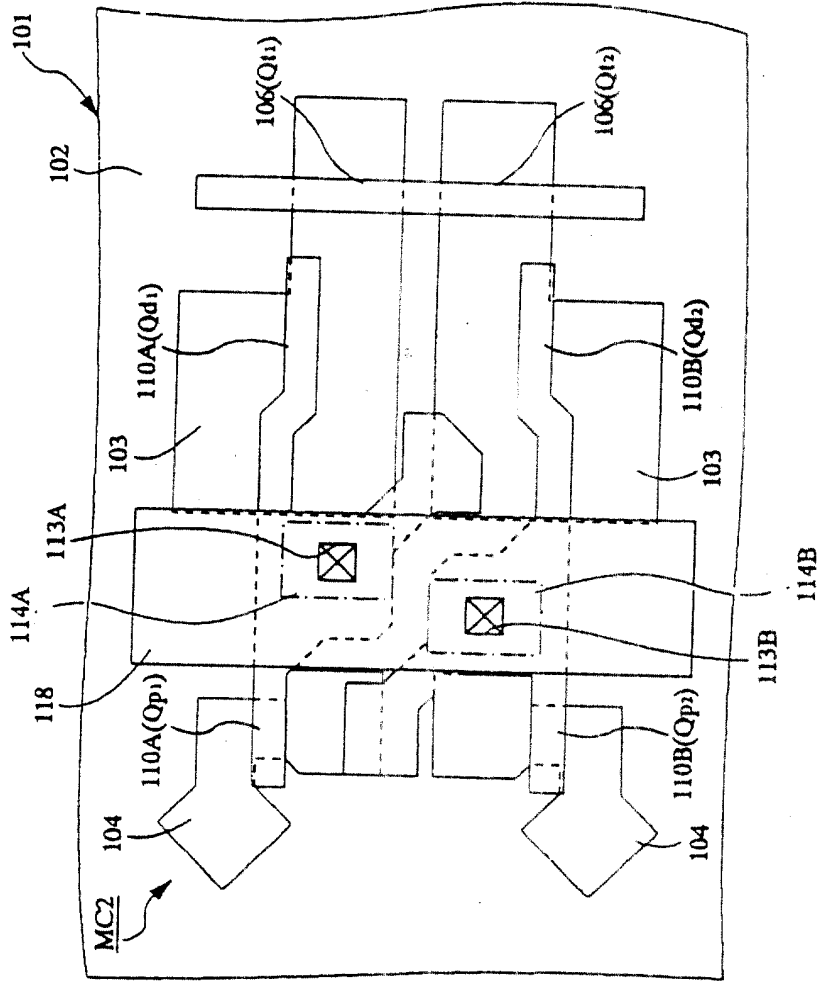
第18圖



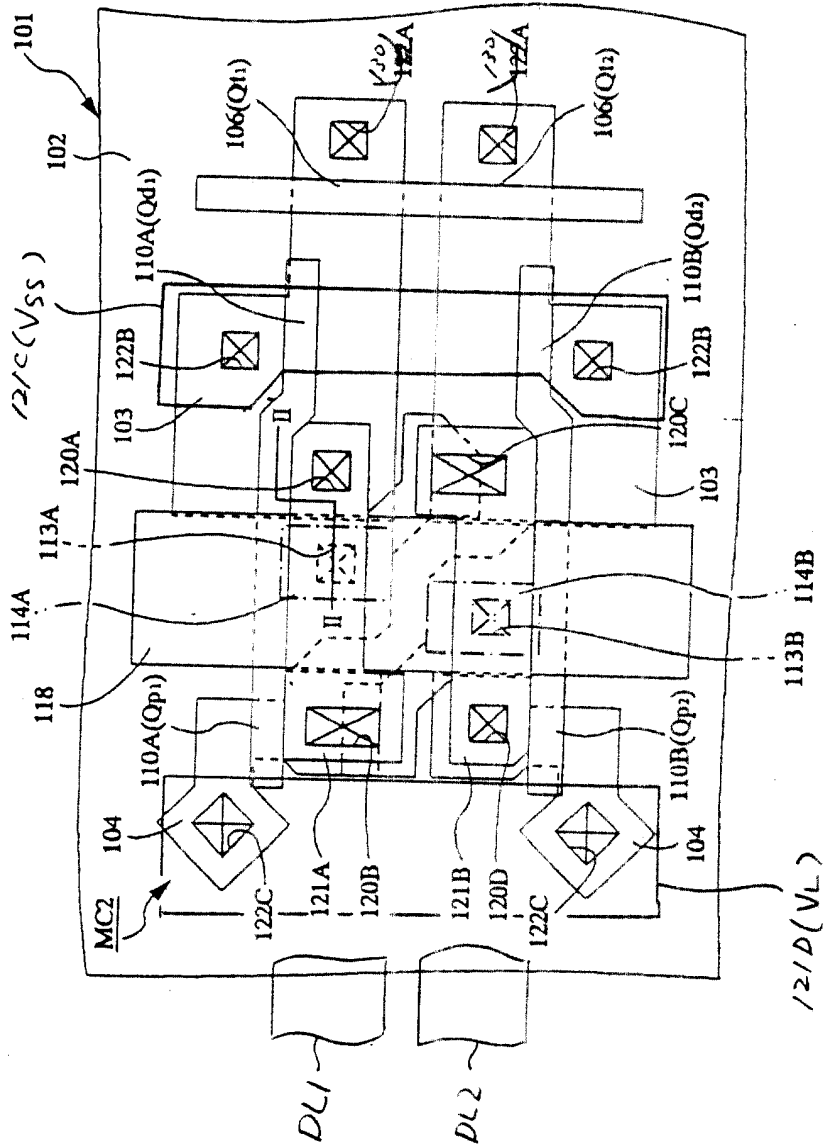
第19圖

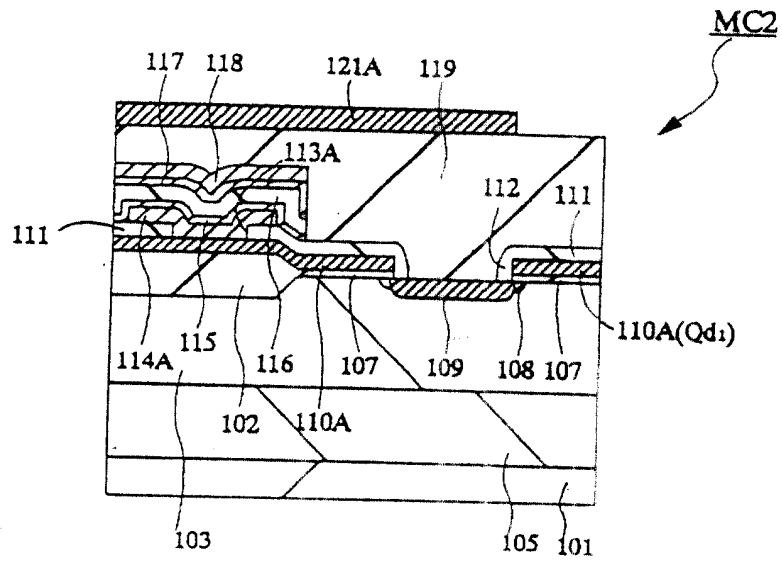


第 20 圖

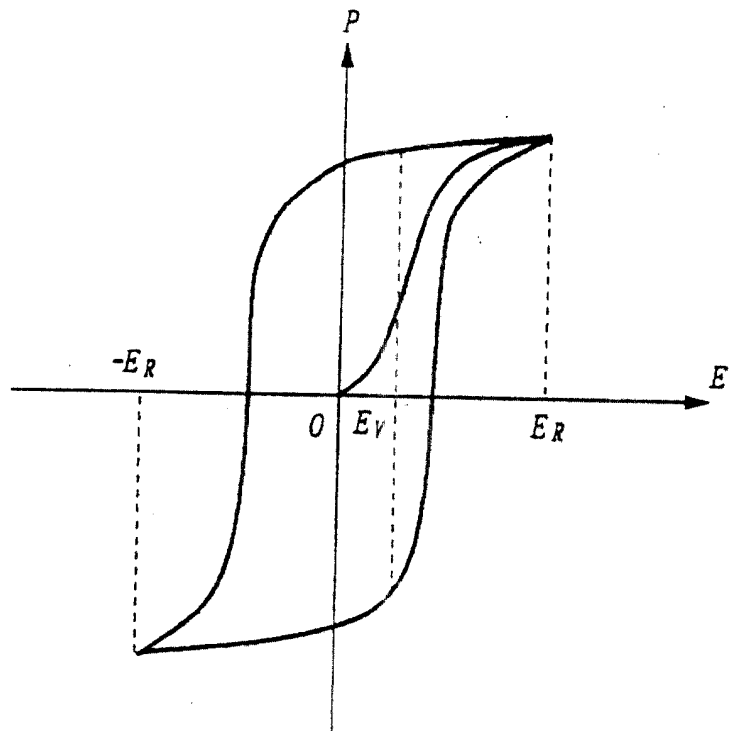


第21圖



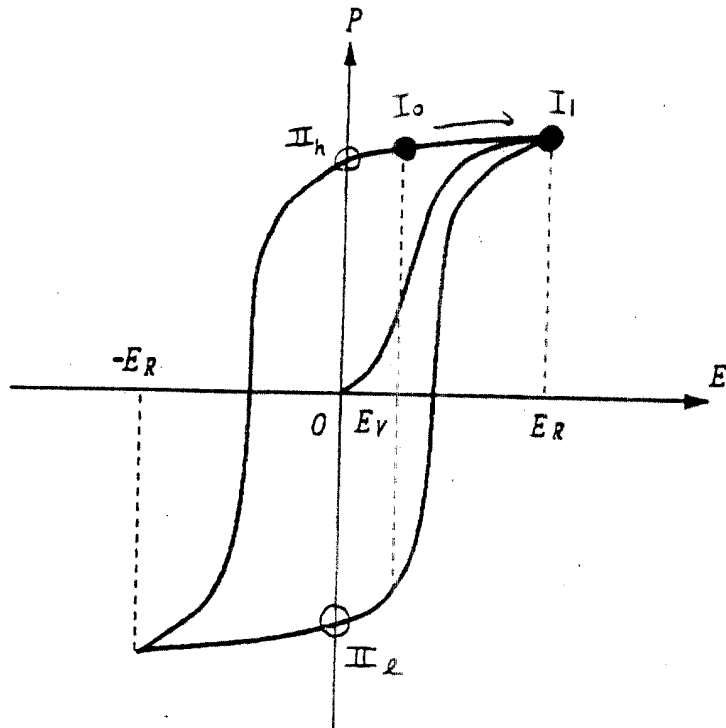


第 22 圖

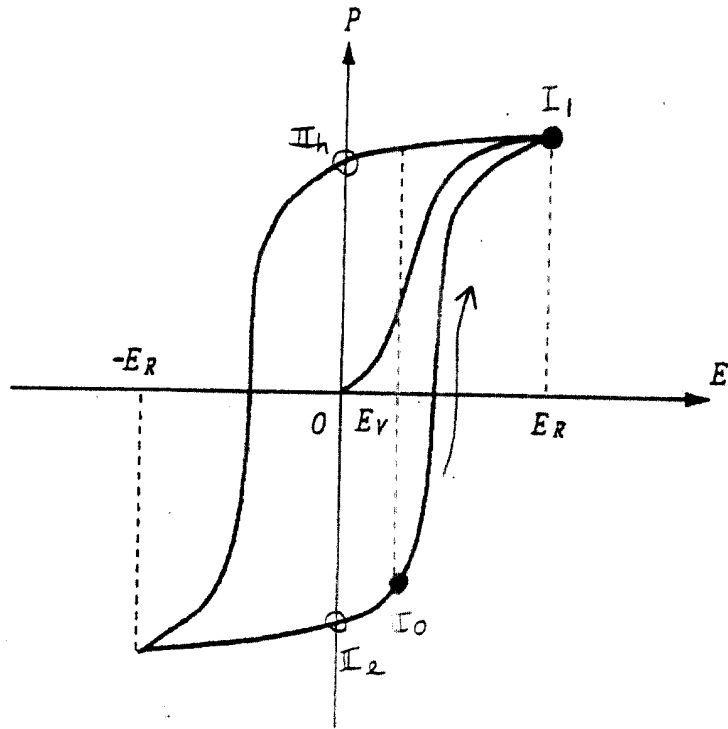


第23圖

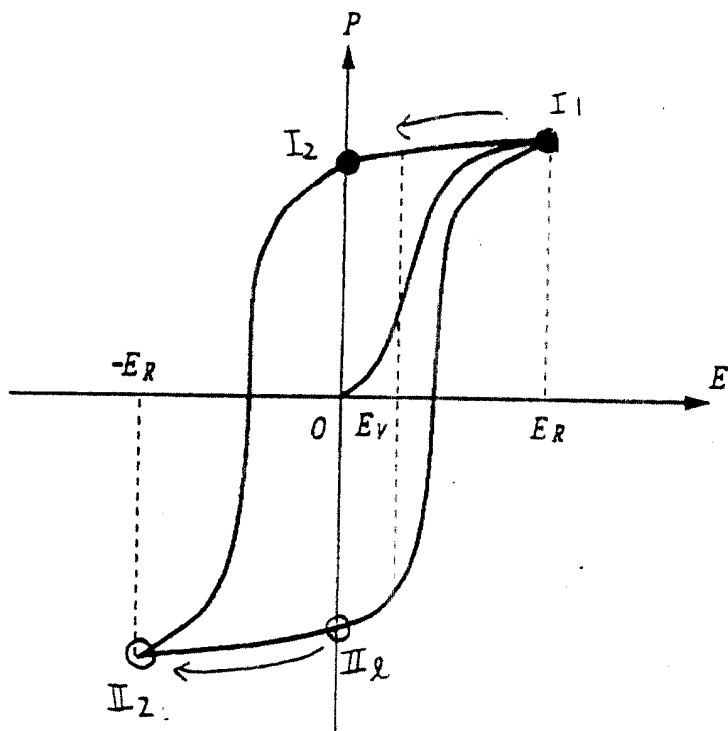
第24圖 (a)



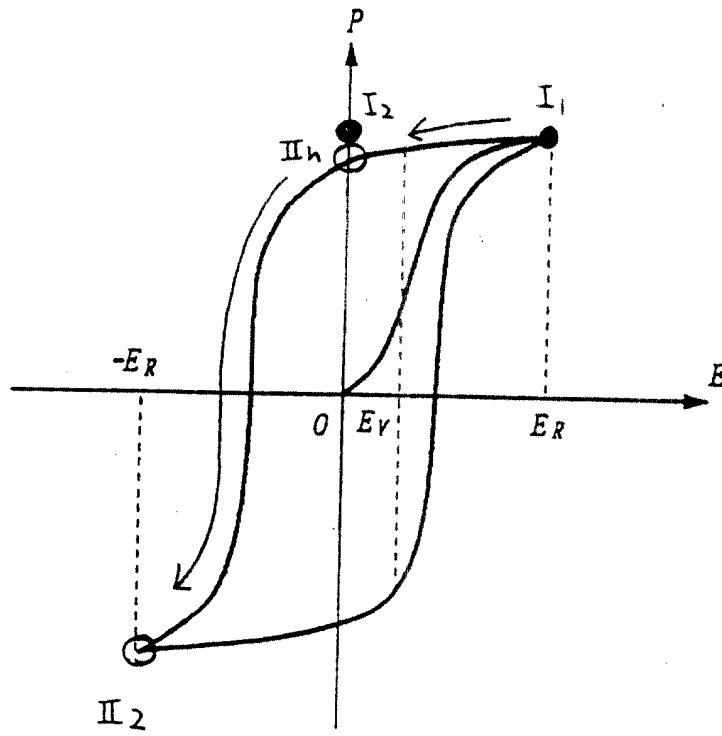
第24圖 (δ)



第24圖 (c)

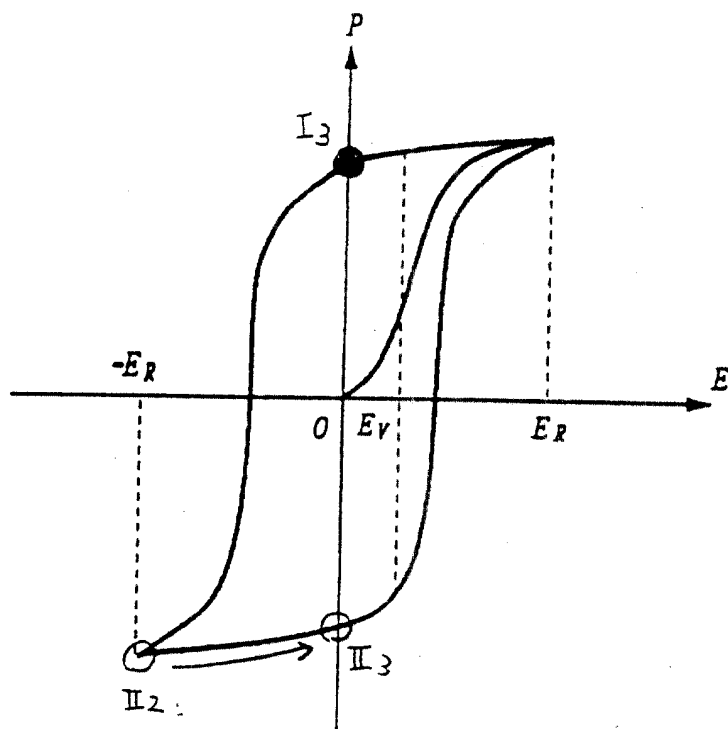


第24圖 (d)



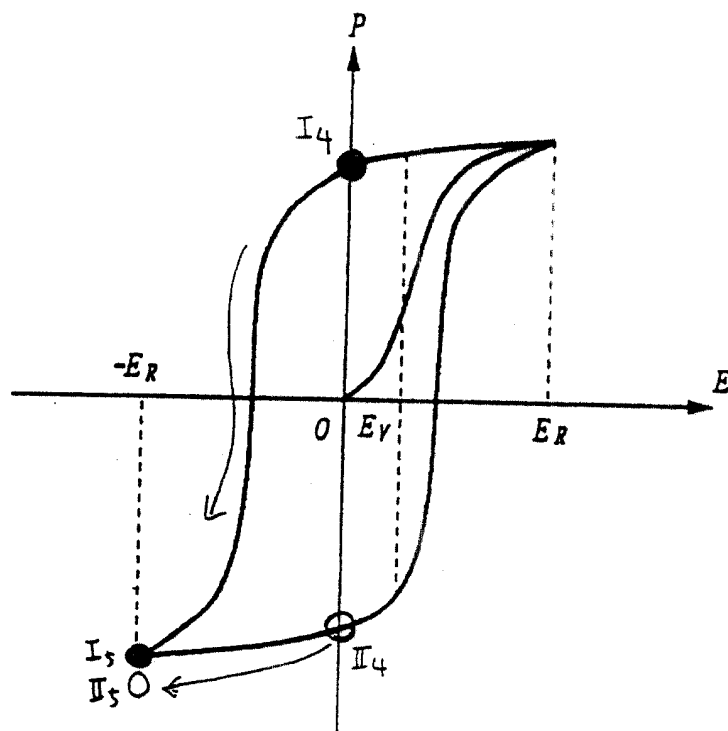
307870

第24圖 (e)



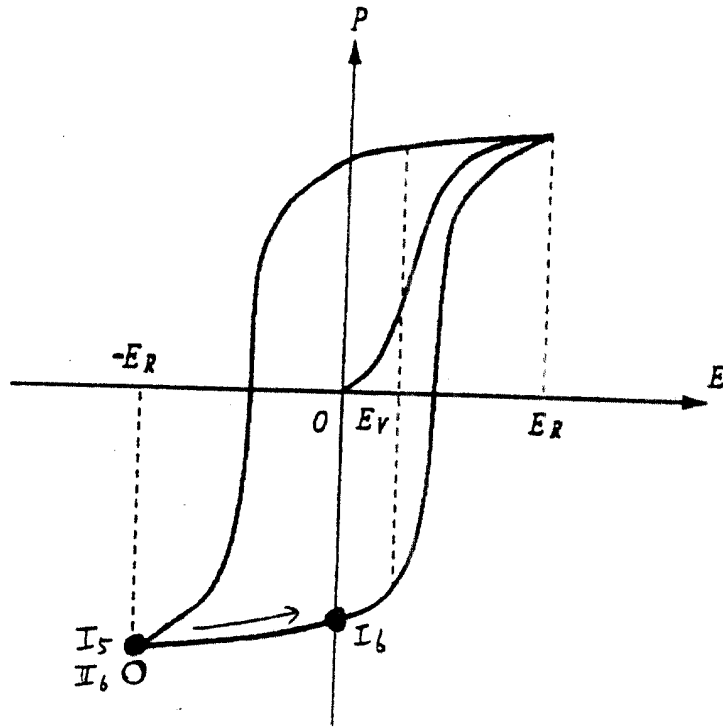
307870

第24圖 (f)



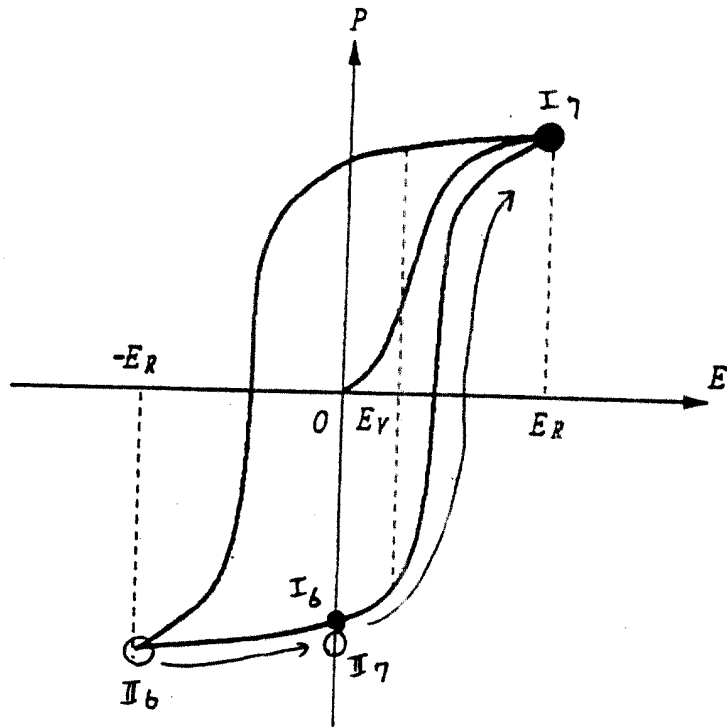
307870

第24圖 (g)



307870

第24圖 (A)



307870

第24圖(2)

