

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年3月29日 (29.03.2007)

PCT

(10) 国際公開番号
WO 2007/034718 A1

(51) 国際特許分類:

H01L 21/8234 (2006.01) H01L 23/522 (2006.01)
H01L 21/28 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/768 (2006.01) H01L 29/417 (2006.01)
H01L 21/8238 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号:

PCT/JP2006/318140

(22) 国際出願日:

2006年9月13日 (13.09.2006)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2005-273117 2005年9月21日 (21.09.2005) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 中村 英達 (NAKA-
MURA, Hidetatsu) [JP/JP]; 〒1088001 東京都港区芝五
丁目7番1号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 天野 広 (AMANO, Hiroshi); 〒1050014 東京
都港区芝三丁目40番4号 シャイン三田ビル5階
Tokyo (JP).

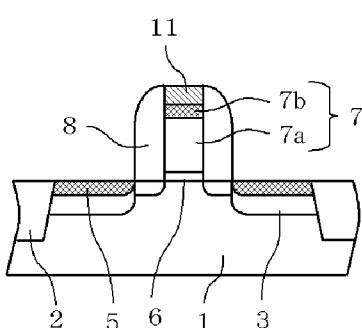
(81) 指定国(表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ,
LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK,
MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM,
SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

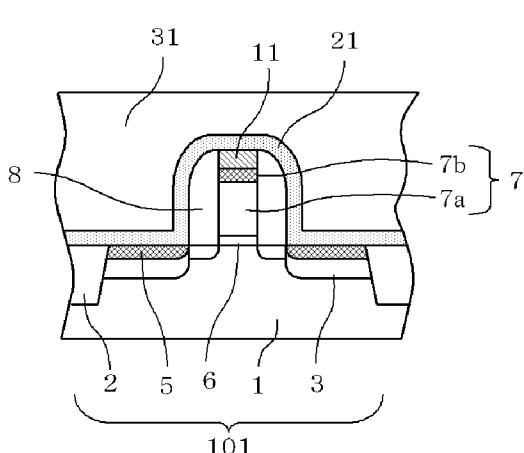
(54) 発明の名称: 半導体装置

(a)



(57) Abstract: High mobility nMOSFET and pMOS are achieved by optimizing the stress and arrangement of a film on the periphery of a gate electrode such that a strong stress is applied to a channel. In the nMOSFET, a film (11) having compressive stress is formed on a gate electrode (7), and a film (21) having tensile stress is formed to cover the gate electrode, the gate electrode sidewall, and the source-drain region. In the pMOSFET, a film having tensile stress is formed on the gate electrode (7) in place of the film (11), and a film having compressive stress is formed in place of the film (21).

(b)



(57) 要約: チャネルに強い応力が加わるように
ゲート電極周辺の膜の応力および配置を最適化する
ことにより、高移動度化されたnMOSFET及び
pMOSを実現する。nMOSFETにおいては、
ゲート電極7上に圧縮応力を有する膜11を形成し、
さらに、ゲート電極、ゲート電極側壁及びソース・ドレイン領域を覆うように引張応力を有する
膜21を形成する。pMOSFETにおいては、膜
11に代えて引張応力を有する膜をゲート電極7上に形成し、また、膜21に代えて、圧縮応力を有する
膜を形成する。



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

明細書

半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、チャネル領域に歪みが加えられたnチャネル型MOSFET半導体装置またはpチャネル型MOSFET半導体装置、あるいは、それら両方を有するCMOSFET半導体装置に関する。

背景技術

[0002] 近年、情報通信機器の発達に伴い、LSIに要求される処理能力はますます高いものになっており、トランジスタの高速化が図られている。

[0003] 従来、この高速化は主としてトランジスタ構造の微細化によって進められてきたが、リソグラフィ技術の限界によりゲート長を短くすることが、さらには、物理的な要因によりゲート絶縁膜の薄膜化が困難になってきている。このため、トランジスタ構造の微細化以外の新しい高性能化技術が必要となっている。

[0004] そのような技術の一つとして、応力を加えることによってチャネルを歪ませ、移動度を向上させる方法(ピエゾ抵抗効果)が提案されている。

[0005] チャネルと平行な方向に引張応力を加えて歪ませた場合、電子の移動度は向上し、正孔の移動度は劣化する。逆に、チャネルと平行な方向に圧縮応力を加えて歪ませた場合、電子の移動度は劣化し、正孔の移動度は向上する。この現象を利用してMOSFETの高性能化を図る技術がいくつか提案されている。

[0006] 例えば、特開2002-198368号公報(特許文献1)には、コンタクトホールを開口させる際のストッパー膜として窒化珪素膜を用い、この窒化珪素膜に強い引張応力を持たせることによりチャネルを歪ませて電子の移動度を向上させ、nチャネル型MOSFET(以下、「nMOSFET」と記す)の性能を向上させる方法が提案されている。

[0007] また、特開2003-86708号公報(特許文献2)には、引張応力を有する窒化珪素膜でnMOSFETを覆い、圧縮応力を有する窒化珪素膜でpチャネル型MOSFET(以下、「pMOSFET」と記す)を覆うことにより、両キャリアの移動度を向上させ、nMOSFET及びpMOSFETの双方の性能を向上させる方法が提案されている。

特許文献1:特開2002-198368号公報

特許文献2:特開2003-86708号公報

発明の開示

発明が解決しようとする課題

- [0008] しかしながら、上記特許文献に提案されているように、窒化珪素膜をそのまま応力膜として使用した場合は、チャネルに強い応力(歪み)を加えることは困難である。
- [0009] 以下、その理由について説明する。
- [0010] 図31は、窒化珪素膜109で覆われたMOSFETの断面図である。
- [0011] MOSFETは、シリコン基板101と、シリコン基板101の表面上に形成された素子分離領域102と、素子分離領域102により区画されたシリコン基板101の表面上に形成されたゲート絶縁膜106と、ゲート絶縁膜106上に形成されたゲート電極107と、ゲート絶縁膜106及びゲート電極107の側壁を覆うサイドウォール108と、シリコン基板101の表面領域内に形成され、ソース・ドレイン領域となる不純物拡散層103及びシリサイド層105と、から構成されている。
- [0012] 図31に示すように、MOSFETはその全体が窒化珪素膜109により覆われている。
- [0013] 図32は、窒化珪素膜109の各部位がチャネルに与える応力を示すグラフである。
- [0014] 図32において、窒化珪素膜109の各部位としては、ゲート電極107の上方の部位A、ゲート電極107の側方の部位B、ソース・ドレイン領域上の部位Cの3つが選定されている。
- [0015] 窒化珪素膜109としては、引張応力を有するものを用いた。
- [0016] 図32のグラフにおける縦軸の正の領域は引張応力を示す(従って、縦軸の負の領域は圧縮応力を示している)。
- [0017] 図32から明らかなように、チャネルの応力は主にソース・ドレイン領域上に存在する窒化珪素膜109(部位C)によって印加され、ゲート電極107の上方の窒化珪素膜109(部位A)はそれを打ち消す方向に応力を印加している。ゲート電極107の側方の窒化珪素膜109(部位B)は、ソース・ドレイン領域上の窒化珪素膜109(部位C)によって印加される応力と比較して、極めて小さな応力をチャネルに印加している。
- [0018] このため、応力の打ち消し合いが生じ、実際にチャネルに印加される応力が小さく

なってしまうという問題が起こる。

[0019] 窒化珪素膜109として圧縮応力を有するものを用いた場合にも同様な現象が起こる。

[0020] 本発明は以上のような従来のMOSFET及びpMOSFETにおける問題点に鑑みてなされたものであり、チャネルに強い応力(歪み)が加わるようにゲート電極の周辺の膜の応力と配置を最適化することにより、キャリアの移動度を向上させ、これにより、nMOSFET及びpMOSFETの性能を向上させることができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0021] 上記の目的を達成するため、本発明は、nチャネル型MOSFETを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜を備えていることを特徴とする半導体装置を提供する。

[0022] 本発明は、さらに、pチャネル型MOSFETを有する半導体装置であって、前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜を備えていることを特徴とする半導体装置を提供する。

[0023] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、を備えていることを特徴とする半導体装置を提供する。

[0024] 上記の半導体装置は、前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜をさらに備えていることが好ましい。

[0025] 上記の半導体装置は、前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜をさらに備えていることが好ましい。

[0026] 本発明は、さらに、nチャネル型MOSFETを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第1の応力具有膜と、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第1の

応力具有膜の高さとほぼ等しい高さを有し、引張応力を有する第3の応力具有膜と、を備えることを特徴とする半導体装置を提供する。

- [0027] 本発明は、さらに、pチャネル型MOSFETを有する半導体装置であって、前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第2の応力具有膜と、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第2の応力具有膜の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0028] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第1の応力具有膜と、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第1の応力具有膜の高さとほぼ等しい高さを有し、引張応力を有する第3の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第2の応力具有膜と、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第2の応力具有膜の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0029] 本発明は、さらに、nチャネル型MOSFETを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、前記nチャネル型MOSFETのゲート電極及び前記第5の応力具有膜上に全面的に形成され、圧縮応力を有する第6の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0030] 本発明は、さらに、pチャネル型MOSFETを有する半導体装置であって、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、前記pチャネル型MOSFETのゲート電極及び前記第7の応力具有膜上に全面的に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。

- [0031] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、引張応力を有する第5の応力具有膜と、前記nチャネル型MOSFETのゲート電極及び前記第5の応力具有膜上に全面的に形成され、圧縮応力を有する第6の応力具有膜と、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、前記pチャネル型MOSFETのゲート電極及び前記第7の応力具有膜上に全面的に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0032] 本発明は、さらに、nチャネル型MOSFETを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0033] 本発明は、さらに、pチャネル型MOSFETを有する半導体装置であって、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0034] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、引張応力を有する第5の応力具有膜と、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、を備える

ことを特徴とする半導体装置を提供する。

- [0035] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0036] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上にそれぞれ形成され、局所的に圧縮応力を有する第1の応力具有膜と、前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0037] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、備えることを特徴とする半導体装置を提供する。
- [0038] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0039] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所

的に圧縮応力を有する第1の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、を備えることを特徴とする半導体装置を提供する。

- [0040] 前記第3の応力具有膜及び前記第4の応力具有膜の少なくとも何れか一方は、前記ゲート電極上において、応力が緩和されている部分を備えていることが好ましい。
- [0041] 前記第3の応力具有膜及び前記第4の応力具有膜の少なくとも何れか一方は、前記ゲート電極上において、切欠き領域を備えていることが好ましい。
- [0042] 前記nチャネル型MOSFETまたは前記pチャネル型MOSFETのソース・ドレイン領域上を覆う前記第3の応力具有膜または前記第4の応力具有膜は、その表面が、前記第1の応力具有膜または前記第2の応力具有膜の表面と一致する程度の厚さを有していることが好ましい。
- [0043] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0044] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。
- [0045] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成さ

れ、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜との何れか一方と、を備えることを特徴とする半導体装置を提供する。

[0046] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、前記nチャネル型MOSFETを覆って前記第5の応力具有膜上に形成され、圧縮応力を有する第6の応力具有膜と、前記pチャネル型MOSFETを覆って前記第5の応力具有膜上に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。

[0047] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、前記nチャネル型MOSFETを覆って前記第7の応力具有膜上に形成され、圧縮応力を有する第6の応力具有膜と、前記pチャネル型MOSFETを覆って前記第7の応力具有膜上に形成され、引張応力を有する第8の応力具有膜と、を備えることを特徴とする半導体装置を提供する。

[0048] 本発明は、さらに、nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、前記pチャネル型MOSFETのソース・ドレイン領域上に

形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆って前記第5の応力具有膜及び前記第7の応力具有膜上に形成され、圧縮応力を有する第6の応力具有膜と、前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆って前記第5の応力具有膜及び前記第7の応力具有膜上に形成され、引張応力を有する第8の応力具有膜との何れか一方と、を備えることを特徴とする半導体装置を提供する。

- [0049] 上述の半導体装置は、例えば、前記第1の応力具有膜に代えて、前記nチャネル型MOSFETのゲート電極の上部の少なくとも一部に形成され、圧縮応力を有する第1の応力具有導電膜を備えることができる。
- [0050] 上述の半導体装置は、例えば、前記第2の応力具有膜に代えて、前記pチャネル型MOSFETのゲート電極の上部の少なくとも一部に形成され、引張応力を有する第2の応力具有導電膜を備えてることができる。
- [0051] 前記第1、第2、第6または第8の応力具有膜が、炭素、酸素若しくは窒素の珪化物あるいはそれらの水素添加物、及び、アルミニウム、ハフニウム、タンタル、ジルコニウム若しくは珪素の酸化物あるいはそれらの窒素添加物、の中の少なくとも一つを含むことが好ましい。
- [0052] 前記第1または第2の応力具有導電膜が、コバルト、ニッケル若しくはチタンのいずれかを含有するシリサイド、または、タングステン、アルミニウム、銅若しくは白金、の中の少なくとも何れか一つを含むことが好ましい。
- [0053] 前記nチャネル型MOSFET及び前記pチャネル型MOSFETの少なくとも何れか一方が、シリコン、ゲルマニウムを含有するシリコン及びカーボンを含有するシリコンの何れか一つからなる基板上に形成されていることが好ましい。

発明の効果

- [0054] 本発明に係る半導体装置によれば、nMOSFETのゲート電極の一部は圧縮応力を有する応力具有導電膜によって構成されるか、あるいは、ゲート電極上は圧縮応力を有する応力具有膜によって覆われる。また、pMOSFETのゲート電極の一部は引張応力を有する応力具有導電膜によって構成されるか、あるいは、ゲート電極上

は引張応力を有する応力具有膜によって覆われる。

- [0055] このため、応力具有膜または応力具有導電膜によってチャネル領域に印加される応力が弱められことがなくなり、nMOSFETまたはpMOSFETのチャネルに強い歪みを加えることが可能になる。
- [0056] 従って、本発明に係る半導体装置によれば、キャリアの移動度を高めることが可能になり、ひいては、nMOSFET及びpMOSFETの性能を向上させることが可能になる。

図面の簡単な説明

- [0057] [図1]本発明の第1の実施の形態に係るnチャネル型MOSFETの構成を示す断面図である。
- [図2]圧縮応力を有する第1の応力具有膜によりチャネルに印加される応力と、第1の応力具有膜に代えて、引張応力を有する膜(従来技術)を形成した場合に、この引張応力を有する膜によりチャネルに印加される応力を示すグラフである。
- [図3]本発明の第1の実施形態に係るnチャネル型MOSFETの製造方法における各工程を示す断面図である。
- [図4]第1の実施の形態の第1の変更例に係るnチャネル型MOSFETの断面図である。
- [図5]本発明の第2の実施形態に係るnチャネル型MOSFETの製造方法における各工程を示す断面図である。
- [図6]本発明の第2の実施形態の第1の変更例に係るnチャネル型MOSFETの製造方法における各工程を示す断面図である。
- [図7]本発明の第2の実施の形態の第2の変更例に係るnチャネル型MOSFETの断面図である。
- [図8]本発明の第2の実施の形態の第3の変更例に係るnチャネル型MOSFETの断面図である。
- [図9]本発明の第3の実施の形態に係るnチャネル型MOSFETの製造方法における各工程を示す断面図である。
- [図10]本発明の第3の実施の形態の第1の変更例に係るnチャネル型MOSFETの

断面図である。

[図11]本発明の第4の実施の形態に係るpチャネル型MOSFETの構成を示す断面図である。

[図12]本発明の第5の実施の形態に係るpチャネル型MOSFETの構成を示す断面図である。

[図13]本発明の第5の実施の形態の第1の変更例に係るpチャネル型MOSFETの断面図である。

[図14]本発明の第6の実施の形態に係るpチャネル型MOSFETの断面図である。

[図15]本発明の第7の実施の形態に係るCMOSFETの構成を示す断面図である。

[図16]本発明の第7の実施形態に係るCMOSFETの製造方法における各工程を示す断面図である。

[図17]本発明の第7の実施の形態の第1の変更例に係るCMOSFETの断面図である。

[図18]本発明の第8の実施形態に係るCMOSFETの製造方法における各工程を示す断面図である。

[図19]本発明の第8の実施形態に係るCMOSFETの製造方法における各工程を示す断面図である。

[図20]本発明の第8の実施の形態の第1の変更例に係るCMOSFETの断面図である。

[図21]本発明の第9の実施形態に係るCMOSFETの製造方法における各工程を示す断面図である。

[図22]本発明の第9の実施形態に係るCMOSFETの製造方法における各工程を示す断面図である。

[図23]本発明の第10の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図24]本発明の第11の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図25]本発明の第12の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図26]本発明の第13の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図27]本発明の第14の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図28]本発明の第15の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図29]本発明の第16の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図30]本発明の第17の実施の形態に係るCMOSFETの構成を示す断面図である

。

[図31]従来のMOSFETの断面図である。

[図32]図31に示した従来のMOSFETを覆う窒化珪素膜の各部位がチャネルに与える応力を示すグラフである。

符号の説明

- [0058] 1 シリコン基板
- 2 素子分離領域
- 3 n型不純物層
- 4 p型不純物層
- 5 シリサイド層
- 6 ゲート絶縁膜
- 7 ゲート電極
 - 7a シリコン膜
 - 7b シリサイド層
 - 7c 圧縮応力を有する応力具有導電膜
 - 7d 引張応力を有する応力具有導電膜
- 8 サイドウォール
- 11 第1の応力具有膜

12 第6の応力具有膜
13 第2の応力具有膜
14 第8の応力具有膜
21 第3の応力具有膜
21a 応力緩和部
22 第5の応力具有膜
23 第4の応力具有膜
24 第7の応力具有膜
31 層間絶縁膜
32 層間酸化膜
41、43、44、45、46、47、48、49 レジスト膜

発明を実施するための最良の形態

[0059] 以下、本発明の実施の形態について図面を参照して説明する。

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係るnチャネル型電界効果トランジスタ(MOSFET)10の構成を示す断面図である。

[0060] 本実施形態に係るnチャネル型MOSFET100は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するn型不純物層3と、n型不純物層3の上に形成されたシリサイド層5と、ゲート電極7上に形成された圧縮応力を有する第1の応力具有膜11と、ゲート絶縁膜6、ゲート電極7及び第1の応力具有膜11の側壁を覆って形成されているサイドウォール8と、シリコン基板1上に全面的に形成された層間絶縁膜31と、から構成されている。

[0061] 次に、本実施形態に係るnチャネル型MOSFET100の効果について説明する。

[0062] 図2は、圧縮応力を有する第1の応力具有膜11によりチャネルに印加される応力と、第1の応力具有膜11に代えて、引張応力を有する膜(従来技術)を形成した場合

に、この引張応力を有する膜によりチャネルに印加される応力とを示すグラフである。

- [0063] なお、図2の縦軸のチャネル応力の座標は膜がチャネルに印加する応力がゼロである場合をゼロとし、引張応力を正で表してある。
- [0064] 図2より、本実施形態に係るnチャネル型MOSFET100の方が従来技術よりもチャネルに強い引張応力が印加されることが分かる。
- [0065] これにより、チャネルが引張方向に大きく歪み、nMOSFETのチャネルにおける電子の移動度が大きく向上する。
- [0066] なお、本実施形態における実試料での効果は、例えば、特開2000-9664号公報に記載されているように、収束電子回折法を用いて確認を行うことが可能である。この方法は、収束した電子を試料中に照射し、得られた回折図形から歪み量を求めるものであり、約10nmの空間分解能で特定部位の歪みを測定することができる。本実施形態に係るnチャネル型MOSFET100と、ゲート電極7上の第1の応力具有膜11を本実施形態に係るnチャネル型MOSFET100から除去したサンプルとを用いて、収束電子回折法により測定した歪み量を比較することにより、本実施形態に係るnチャネル型MOSFET100の実試料での効果を確認することができる。
- [0067] なお、本実施形態に係るnチャネル型MOSFET100においては、半導体基板の材料は、シリコン、あるいは、ゲルマニウム及びカーボンのいずれかを含有するシリコンであることが望ましい。
- [0068] 図3(a) - (c)は、本実施形態に係るnチャネル型MOSFET100の製造方法における各工程を示す断面図である。
- [0069] 以下、図3(a) - (c)を参照して、本実施形態に係るnチャネル型MOSFET100の製造方法を説明する。
- [0070] まず、従来のMOSFETと同様に、シリコン基板1の表面領域内に素子分離領域2を形成する。
- [0071] ここで、素子分離領域2は、例えば、酸化珪素膜あるいは窒化珪素膜あるいはこれらの積層構造からなる。
- [0072] 次に、図3(a)に示すように、シリコン基板1の表面上にゲート絶縁膜6、シリコン膜7a、シリサイド層7b、圧縮応力を有する第1の応力具有膜11をこの順番に順次積層

する。

- [0073] ここで、ゲート絶縁膜6は、例えば、酸化珪素膜、あるいは、窒素、ハフニウム、アルミニウム、チタン、ジルコニウムまたはタンタルなどを含有する高誘電率膜、あるいは、これらの積層構造からなる。
- [0074] シリコン膜7は、例えば、多結晶シリコン膜、アモルファスシリコン膜、あるいは、これらの積層膜からなる。
- [0075] シリサイド層7bは、例えば、コバルトやニッケルのような金属を含有する珪化物からなる。
- [0076] 第1の応力具有膜11は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。
- [0077] 第1の応力具有膜11の材料としては、炭素、酸素、窒素のいずれかを含有する珪化物若しくはそれらに水素を添加したもの、あるいは、アルミニウム、ハフニウム、タンタル、ジルコニウム、珪素のいずれかを含有する酸化物若しくはそれらに窒素ないし窒素酸化物を添加したものが挙げられる。
- [0078] 次に、ゲート電極7の形成のためのレジストを塗布し、公知のフォトリソグラフィ技術を用いて不要なレジストを除去し、レジスト膜41を形成する。次いで、レジスト膜41に覆われていない部分の第1の応力具有膜11、シリサイド層7b、シリコン膜7a及びゲート絶縁膜6をドライエッチングにより除去し、ゲート電極7を形成する。この段階における構造が図3(b)に示す構造である。
- [0079] 次に、レジスト膜41を除去した後、浅いソース・ドレイン領域としてのシリサイド層5の形成のためのイオン注入、サイドウォール8の形成のための膜成長及びエッチバック、深いソース・ドレイン領域としてのn型不純物層3の形成のためのイオン注入、不純物活性化のためのアニール、シリサイド層5及びn型不純物層3の形成を経て、図3(c)に示す構造を得る。
- [0080] ここで、サイドウォール8は、例えば、酸化珪素膜あるいは窒化珪素膜、あるいは、これらの積層構造からなる。
- [0081] シリサイド層5は、例えば、コバルトやニッケルのような金属を含有するシリサイド膜からなる。

[0082] 最後に、シリコン基板1上の全面に層間絶縁膜31を積層し、図1に示す構造を得る。

[0083] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、コンタクトプラグの上に必要な配線を形成する。

(第1の実施の形態の第1の変更例)

図4は、第1の実施の形態の第1の変更例に係るnチャネル型MOSFET100Aの断面図である。

[0084] 図4に示すように、本変更例に係るnチャネル型MOSFET100Aは、図1に示した第1の実施の形態に係るnチャネル型MOSFET100と比較して、シリサイド層7b及び第一の応力具有膜11に代えて、第1の応力具有導電膜7cを有している。

[0085] シリサイド層7b及び第一の応力具有膜11に代えて第1の応力具有導電膜7cを有している点を除いて、本変更例に係るnチャネル型MOSFET100Aは第1の実施の形態に係るnチャネル型MOSFET100と同一の構造を有している。このため、第1の実施の形態に係るnチャネル型MOSFET100と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。

[0086] 第1の応力具有導電膜7cは、nチャネル型MOSFET100Aのゲート電極7の上部の少なくとも一部に形成されており、圧縮応力が付与された高導電率層からなる。

[0087] 第1の応力具有導電膜7cは、例えば、コバルト、ニッケル、チタンのいずれかを含有するシリサイド、あるいは、タングステン、アルミニウム、銅若しくは白金から成る。

[0088] また、応力具有導電膜7cはスパッタ法または化学気相成長法と適当な熱処理との組み合わせにより形成される。

[0089] 本変更例に係るnチャネル型MOSFET100Aの製造方法は、成膜とドライエッチングの条件を除いて、第1の実施の形態に係るnチャネル型MOSFET100の製造方法と同一である。

[0090] 本変更例に係るnチャネル型MOSFET100Aによつても、第1の実施の形態に係るnチャネル型MOSFET100と同様の効果を得ることができる。すなわち、チャネルが引張方向に大きく歪み、nMOSFETのチャネル領域における電子の移動度を大きく向上させることができる。

- [0091] なお、本変更例に係るnチャネル型MOSFET100Aにおいては、第1の実施形態に係るnチャネル型MOSFET100と同様に、半導体基板の材料は、シリコン、あるいは、ゲルマニウム及びカーボンのいずれかを含有するシリコンであることが望ましい。以下に述べる実施の形態及びその変更例についても同様である。
- [0092] また、本変更例は第1の実施形態のみならず、以下に述べる全ての実施形態及びその変更例に対しても適用することが可能である。
- (第2の実施の形態)
- 図5(b)は、本発明の第2の実施の形態に係るnチャネル型MOSFET101の構成を示す断面図である。
- [0093] 本実施形態に係るnチャネル型MOSFET101は、第1の実施の形態に係るnチャネル型MOSFET100と比較して、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆い、引張応力を有する第3の応力具有膜21をさらに備えている点である。
- [0094] 引張応力を有する第3の応力具有膜21をさらに備えている点を除いて、本実施形態に係るnチャネル型MOSFET101は第1の実施の形態に係るnチャネル型MOSFET100と同一の構造を有している。このため、第1の実施の形態に係るnチャネル型MOSFET100と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0095] 次に、本実施形態に係るnチャネル型MOSFET101の効果について説明する。
- [0096] 第1の実施の形態に係るnチャネル型MOSFET100と同様に、ゲート電極7上に形成され、圧縮応力を有する第1の応力具有膜11はチャネルに引張応力を与え、さらに、引張応力を有する第3の応力具有膜21もチャネルに引張応力を与えるため、チャネルが引張方向に大きく歪み、nMOSFETのチャネル領域における電子の移動度を大きく向上させることができる。
- [0097] 図5(a)及び図5(b)は、本実施形態に係るnチャネル型MOSFET101の製造方法における各工程を示す断面図である。
- [0098] 以下、図5(a) – (b)を参照して、本実施形態に係るnチャネル型MOSFET101の製造方法を説明する。
- [0099] まず、第1の実施の形態に係るnチャネル型MOSFET100の製造方法における図

3(a)乃至図3(c)に示した製造工程と同様の製造工程を経て、図5(a)に示す構造を得る。

- [0100] 次に、図5(b)に示すように、引張応力を有する第3の応力具有膜21を形成する。第3の応力具有膜21は、ゲート電極、サイドウォール及びソース・ドレイン領域を覆うように形成される。
- [0101] 第3の応力具有膜21は引張応力を有する絶縁膜であり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0102] 最後に、層間絶縁膜31を積層し、図5(b)に示すように、本実施形態に係るnチャネル型MOSFET101を得る。
- [0103] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、コンタクトプラグの上に必要な配線を形成する。
(第2の実施の形態の第1の変更例)
図6(b)は、第2の実施の形態の第1の変更例に係るnチャネル型MOSFET101Aの断面図である。
- [0104] 本変更例に係るnチャネル型MOSFET101Aが図5(b)に示される第2の実施の形態に係るnチャネル型MOSFET101と相違する点は、第3の応力具有膜21の第1の応力具有膜11上の部分が応力緩和部21aとして形成されている点である。すなわち、第1の応力具有膜11の上方において、第3の応力具有膜21には切欠き領域が形成されており、第3の応力具有膜21は応力緩和部21aにおいて、すなわち、第1の応力具有膜11上において、応力を有していない。
- [0105] 応力緩和部21aを有している点を除いて、本変更例に係るnチャネル型MOSFET101Aは第2の実施の形態に係るnチャネル型MOSFET101と同一の構造を有している。このため、第2の実施の形態に係るnチャネル型MOSFET101と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0106] 第2の実施の形態に係るnチャネル型MOSFET101においては、圧縮応力を有する第1の応力具有膜11上の引張応力を有する第3の応力具有膜21はチャネルに圧縮歪みを与えるが、本変更例に係るnチャネル型MOSFET101Aによると、第1の応力具有膜11上の第3の応力具有膜21の部分は応力を有しないので、チャネルに

圧縮歪みを与えない。従って、第2の実施の形態に係るnチャネル型MOSFET101と比較して、本変更例に係るnチャネル型MOSFET101Aの方がチャネルを大きく歪ませることが可能であり、nチャネル型MOSFETのチャネル領域における電子の移動度をさらに向上させることができる。

- [0107] 図6(a)及び図6(b)は、本変更例に係るnチャネル型MOSFET101Aの製造方法における各工程を示す断面図である。
- [0108] 以下、図6(a)及び図6(b)を参照して、本変更例に係るnチャネル型MOSFET101Aの製造方法を説明する。
- [0109] まず、第2の実施の形態に係るnチャネル型MOSFET101の製造方法と同じ製造方法を用いて、引張応力を有する第3の応力具有膜21までを形成した後、ゲート電極7の高さ以上の膜厚を有する層間酸化膜32を成膜する。
- [0110] 層間酸化膜32は、例えば、酸化珪素膜からなる。
- [0111] 次に、第1の応力具有膜11が露出するまで層間酸化膜32を化学的機械的研磨(CMP)する。この段階における構造が図6(a)に示す構造である。
- [0112] 次に、シリコン、ゲルマニウム、アルゴンまたはキセノンなどのイオンを用いて、第3の応力具有膜21にイオン注入I_{im}を行う。
- [0113] ここで、イオン注入エネルギーはイオンの到達深さが第3の応力具有膜21の厚み程度となるようにし、イオン注入量は第3の応力具有膜21の応力が十分に緩和する程度までとする。
- [0114] 最後に、層間絶縁膜31を積層し、図6(b)に示す本変更例に係るnチャネル型MOSFET101Aを得る。
- [0115] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、コンタクトプラグの上に必要な配線を形成する。
(第2の実施の形態の第2の変更例)
図7は、第2の実施の形態の第2の変更例に係るnチャネル型MOSFET101Bの断面図である。
- [0116] 本変更例に係るnチャネル型MOSFET101Bにおいては、図6に示された第1の変更例に係るnチャネル型MOSFET101Aと同様に、第3の応力具有膜21と層間

酸化膜32とを成膜した後、第1の応力具有膜11の表面が露出するまで層間酸化膜32に対して化学的機械的研磨を行う。

[0117] 本変更例に係るnチャネル型MOSFET101Bによれば、第1の応力具有膜11の表面に引張応力を有する第3の応力具有膜21が存在していないので、第1の変更例に係るnチャネル型MOSFET101Aと同様の効果を得ることができる。

[0118] また、第1の変更例に係るnチャネル型MOSFET101Aと比較して、イオン注入の工程を削減することができる。

(第2の実施の形態の第3の変更例)

図8は、第2の実施の形態の第3の変更例に係るnチャネル型MOSFET101Cの断面図である。

[0119] 本変更例に係るnチャネル型MOSFET101Cにおいては、第1の応力具有膜21を堆積する際にゲート電極7の高さよりも高くなるように厚く堆積し、その後、層間酸化膜32を堆積することなく、第1の応力具有膜11の表面が露出するまで第3の応力具有膜21に対して化学的機械的研磨を行うものである。

[0120] 本変更例に係るnチャネル型MOSFET101Cによれば、第2の変更例に係るnチャネル型MOSFET101Bと同様の効果を得ることができる。

[0121] さらに、第2の変更例に係るnチャネル型MOSFET101Bと比較して、層間酸化膜32を堆積する工程を削減することができる。

(第2の実施の形態の第4の変更例)

図8に示した第2の実施の形態の第3の変更例に係るnチャネル型MOSFET101Cの構造はpチャネル型MOSFETに適用することも可能である。

[0122] 第2の実施の形態の第4の変更例に係るpチャネル型MOSFETは、第1の応力具有膜11に代えて、引張応力を有する第2の応力具有膜13(後述する図11参照)を有しており、さらに、第3の応力具有膜21に代えて、圧縮応力を有する第7の応力具有膜24(後述する図14参照)を有する。

(第2の実施の形態の第5の変更例)

さらに、第2の実施の形態の第3の変更例に係るnチャネル型MOSFET101Cと第2の実施の形態の第4の変更例に係るpチャネル型MOSFETとを組み合わせて、C

MOSFETを形成することが可能である。

(第3の実施の形態)

図9(d)は、第3の実施の形態に係るnチャネル型MOSFET102の断面図である。

- [0123] 本実施形態に係るnチャネル型MOSFET102は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するn型不純物層3と、n型不純物層3の上に形成されたシリサイド層5と、ゲート絶縁膜6及びゲート電極7の側壁を覆って形成されているサイドウォール8と、ゲート電極7と同じ高さを有し、nチャネル型MOSFET102のソース・ドレイン領域を覆って形成されている引張応力を有する第5の応力具有膜22と、ゲート電極7及び第5の応力具有膜22上に形成され、圧縮応力を有する第6の応力具有膜12と、第6の応力具有膜12上に全面的に形成された層間絶縁膜31と、から構成されている。
- [0124] 本実施形態に係るnチャネル型MOSFET102においては、ゲート電極7の高さ程度まで引張応力を有する第5の応力具有膜22が存在し、その上部に圧縮応力を有する第6の応力具有膜12が存在する。このように、本実施形態に係るnチャネル型MOSFET102においては、ゲート電極7の側面部およびソース・ドレイン領域上に引張応力を有する第6の応力具有膜22が厚く存在するので、チャネルに、より強い引張歪みが加わり、nチャネル型MOSFETのチャネル領域における電子の移動度を大きく向上させることができる。
- [0125] 図9(a)乃至図9(d)は、本変更例に係るnチャネル型MOSFET102の製造方法における各工程を示す断面図である。
- [0126] 以下、図9(a)乃至図9(d)を参照して、本変更例に係るnチャネル型MOSFET102の製造方法を説明する。
- [0127] まず、図9(a)に示すように、従来のMOSFETの製造工程と同様に、シリコン基板1に素子分離領域2を設け、素子分離領域2によって区画された領域の基板上にゲート絶縁膜6を形成し、ゲート絶縁膜6上にゲート電極パターンのシリコン膜7aを形成す

る。

- [0128] ここで、図3(b)に示した第1の実施の形態における製造工程と相違する点は、シリコン膜7a上にシリサイド層7bや第1の応力具有膜11が存在しない点である。
- [0129] 次に、浅いソース・ドレイン領域としてのシリサイド層5の形成のためのイオン注入、サイドウォール8の形成、深いソース・ドレイン領域としてのn型不純物層3の形成のためのイオン注入、不純物活性化のためのアニール、シリサイド層5、7bの形成を経て、図9(b)に示す構造を得る。
- [0130] シリサイド層5、7bは、例えば、コバルトやニッケルのような金属を含有するシリサイド膜である。
- [0131] 次に、引張応力を有する第5の応力具有膜22をゲート電極7の厚み以上の膜厚で成膜した後、ゲート電極7の上部が露出するまで、第5の応力具有膜22を化学的機械的研磨する。これにより、図9(c)に示す構造を得る。
- [0132] ここで、第5の応力具有膜22は引張応力を有する絶縁膜であり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0133] 次に、圧縮応力を有する第6の応力具有膜12を第5の応力具有膜22及びゲート電極7上に成膜する。次いで、第6の応力具有膜12上に層間絶縁膜31を積層して、図9(d)に示す構造を得る。
- [0134] ここで、第6の応力具有膜12は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。
- [0135] 第6の応力具有膜12の材料としては、第1の実施の形態において、第1の応力具有膜11を形成する材料として採用可能であるとして挙げられたものは適宜用いることができる。
- [0136] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、コンタクトプラグの上に必要な配線を形成する。
(第3の実施の形態の第1の変更例)
図10は、第3の実施の形態の第1の変更例に係るnチャネル型MOSFET102Aの断面図である。
- [0137] 本変更例に係るnチャネル型MOSFET102Aは、第3の実施の形態に係るnチャ

ネル型MOSFET102と比較して、第6の応力具有膜12の形状が異なっている。すなわち、第3の実施の形態に係るnチャネル型MOSFET102においては、第6の応力具有膜12はゲート電極7及び第5の応力具有膜22を全面的に覆って形成されているが、本変更例に係るnチャネル型MOSFET102Aにおいては、第6の応力具有膜12はゲート電極7上にのみ形成されている。

[0138] 本変更例における第6の応力具有膜12は、ゲート電極7及び第5の応力具有膜22上に全面的に第6の応力具有膜12を堆積した後、第6の応力具有膜12をフォトリソグラフィ技術を用いてゲート電極7の上部にのみ残るようにパターニングする。

[0139] 本変更例に係るnチャネル型MOSFET102Aにおいては、引張応力を有する第5の応力具有膜22の上部には実質的に圧縮応力を有する第6の応力具有膜12が存在していないので、第5の応力具有膜22の応力が第6の応力具有膜12の応力によって弱められることがなくなり、チャネルにより強い引張歪みが加わるようになることができる。

(第3の実施の形態の第2の変更例)

図10に示した第3の実施の形態の第1の変更例に係るnチャネル型MOSFET102Aの構造はpチャネル型MOSFETに適用することも可能である。

[0140] 第3の実施の形態の第2の変更例に係るpチャネル型MOSFETは、圧縮応力を有する第6の応力具有膜12に代えて、引張応力を有する応力具有膜を有しており、さらに、引張応力を有する第5の応力具有膜22に代えて、圧縮応力を有する応力具有膜を有する。

(第4の実施の形態)

図11は、本発明の第4の実施の形態に係るpチャネル型電界効果トランジスタ(MOSFET)200の構成を示す断面図である。

[0141] 本実施形態に係るpチャネル型MOSFET200は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するp型不純物層4と、p

型不純物層4の上に形成されたシリサイド層5と、ゲート電極7上に形成された引張応力を有する第2の応力具有膜13と、ゲート絶縁膜6、ゲート電極7及び第2の応力具有膜13の側壁を覆って形成されているサイドウォール8と、シリコン基板1上に全面的に形成された層間絶縁膜31と、から構成されている。

- [0142] 次に、本実施形態に係るpチャネル型MOSFET200の効果について説明する。
- [0143] 本実施形態に係るpチャネル型MOSFET200は第1の実施形態に係るnチャネル型MOSFET100と比較して、第1の応力具有膜11と第2の応力具有膜13との間の応力の向きが逆になっているだけであるので、効果の大きさは第1の実施形態に係るnチャネル型MOSFET100と同じであり、引張応力を有する第2の応力具有膜13がチャネルに圧縮歪みを与えるため、pMOSFETのチャネル領域におけるホールの移動度を大きく向上させることができる。
- [0144] 次に、本実施形態に係るpチャネル型MOSFET200の製造方法について説明する。
- [0145] 本実施形態に係るpチャネル型MOSFET200は第1の実施形態に係るnチャネル型MOSFET100と比較して、MOSFETの極性が異なるだけであるので、本実施形態に係るpチャネル型MOSFET200の製造方法は第1の実施形態に係るnチャネル型MOSFET100と基本的に同一である。MOSFETの極性が異なるように、選定される半導体材料が異なるだけである。
- [0146] 第2の応力具有膜13は引張応力を有する絶縁膜であり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0147] 第2の応力具有膜13の材料としては、第1の実施形態に係るnチャネル型MOSFET100において、第1の応力具有膜11を形成するのに採用可能であるとして挙げられた材料を適宜用いることができる。
- [0148] また、本実施形態に係るpチャネル型MOSFET200においては、第1の実施形態に係るnチャネル型MOSFET100の第1の変更例と同様に、図11における第2の応力具有膜13及びシリサイド層7bに代えて、引張応力を有する導電膜を用いることも可能である。
- [0149] ここで用いる応力具有導電膜(図4に示した応力具有導電膜7cに対応する)は、コ

バルト、ニッケル、チタンのいずれかを含有するシリサイド、あるいは、タングステン、アルミニウム、銅あるいは白金を用いて形成される。

- [0150] また、この応力具有導電膜はスパッタ法または化学気相成長法と適當な熱処理により形成される。
- [0151] なお、第2の応力具有膜13及びシリサイド層7bに代えて応力具有導電膜を備えるpチャネル型MOSFETの製造方法は、ゲート部の成膜とドライエッチングの条件を除いて、本実施形態に係るpチャネル型MOSFET200の製造方法と同一である。
- [0152] 第2の応力具有膜13及びシリサイド層7bに代えて応力具有導電膜を用いることによつても、本実施形態に係るpチャネル型MOSFET200と同様な効果を得ることができる。すなわち、チャネルが圧縮方向に大きく歪み、pMOSFETのチャネル領域におけるホールの移動度を大きく向上させることができる。
- [0153] なお、以下に述べる実施形態及びその変更例に係るpチャネル型MOSFETにおいても、第2の応力具有膜13及びシリサイド層7bに代えて応力具有導電膜を用いることが可能である。

(第5の実施の形態)

図12は、本発明の第5の実施の形態に係るpチャネル型MOSFET201の構成を示す断面図である。

- [0154] 本実施形態に係るpチャネル型MOSFET201は、図11に示した第4の実施形態に係るpチャネル型MOSFET200と比較して、ゲート電極7、サイドウォール8及びソース・ドレイン領域上を覆つて圧縮応力を有する第4の応力具有膜23をさらに備えている点において相違している。
- [0155] 圧縮応力を有する第4の応力具有膜23をさらに備えている点を除いて、本実施形態に係るpチャネル型MOSFET201は第4の実施形態に係るpチャネル型MOSFET200と同一の構造を有している。このため、第4の実施の形態に係るpチャネル型MOSFET200と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0156] 次いで、本実施形態に係るpチャネル型MOSFET201の効果について説明する。
- [0157] 第4の実施の形態に係るpチャネル型MOSFET200と同様に、ゲート電極7上に

形成されている引張応力を有する第2の応力具有膜13はチャネルに圧縮応力を与え、さらに、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って形成されている圧縮応力を有する第4の応力具有膜23もチャネルに圧縮応力を与えるため、チャネルが圧縮方向に大きく歪み、pMOSFETのチャネル領域におけるホールの移動度を大きく向上させることができる。

[0158] 本実施形態に係るpチャネル型MOSFET201は、第2の実施の形態に係るnチャネル型MOSFET101と比較して、MOSFETの極性が異なるだけであるので、本実施形態に係るpチャネル型MOSFET201の製造方法は第2の実施の形態に係るnチャネル型MOSFET101の製造方法と基本的に同一である。MOSFETの極性が異なるように、選定される半導体材料が異なるだけである。

[0159] 第4の応力具有膜23は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。

(第5の実施の形態の第1の変更例)

図13は、第5の実施の形態の第1の変更例に係るpチャネル型MOSFET201Aの断面図である。

[0160] 本変更例に係るpチャネル型MOSFET201Aが図12に示される第5の実施の形態に係るpチャネル型MOSFET201と相違する点は、第4の応力具有膜23の第2の応力具有膜13上の部分が応力緩和部23aとして形成されている点である。すなわち、第2の応力具有膜13の上方において、第4の応力具有膜23には切欠き領域が形成されており、第4の応力具有膜23は応力緩和部23aにおいて、すなわち、第2の応力具有膜13上において、応力を有していない。

[0161] 応力緩和部23aを有している点を除いて、本変更例に係るpチャネル型MOSFET201Aは第5の実施の形態に係るpチャネル型MOSFET201と同一の構造を有している。このため、第5の実施の形態に係るpチャネル型MOSFET201と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。

[0162] 第5の実施の形態に係るpチャネル型MOSFET201においては、引張応力を有する第2の応力具有膜13上の圧縮応力を有する第4の応力具有膜23はチャネルに引張歪みを与えるが、本変更例に係るpチャネル型MOSFET201Aによると、第2の応

力具有膜13上の第4の応力具有膜23の部分は応力を有しないので、チャネルに引張歪みを与えない。従って、第5の実施の形態に係るpチャネル型MOSFET201と比較して、本変更例に係るpチャネル型MOSFET201Aの方がチャネルを大きく歪ませることが可能であり、pチャネル型MOSFETのチャネル領域におけるホールの移動度をさらに向上させることができる。

- [0163] 本変更例に係るpチャネル型MOSFET201Aは、第5の実施の形態に係るpチャネル型MOSFET201と比較して、MOSFETの極性が異なるだけであるので、本変更例に係るpチャネル型MOSFET201Aの製造方法は第5の実施の形態に係るpチャネル型MOSFET201の製造方法と基本的に同一である。MOSFETの極性が異なるように、選定される半導体材料が異なるだけである。
- [0164] なお、第5の実施の形態に係るpチャネル型MOSFET201の変更例として、第2の実施の形態に係るnチャネル型MOSFET101の第2及び第3の変更例と同様の変更例を形成することが可能である。
- [0165] すなわち、第2の実施の形態の第2の変更例に係るnチャネル型MOSFET101B(図7)と同様に、第2の応力具有膜13を越える第4の応力具有膜23の部分を化学的機械的研磨により除去することができる。
- [0166] また、第2の実施の形態の第3の変更例に係るnチャネル型MOSFET101C(図8)と同様に、第4の応力具有膜23を第2の応力具有膜13の表面高さ以上に厚く形成した後、第2の応力具有膜13の表面が露出するように、第4の応力具有膜23を研磨することも可能である。
(第6の実施の形態)
図14は、第6の実施の形態に係るpチャネル型MOSFET202の断面図である。
- [0167] 本実施形態に係るpチャネル型MOSFET202は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するp型不純物層4と、p型不純物層4の上に形成されたシリサイド層5と、ゲート絶縁膜6及びゲート電極7の

側壁を覆って形成されているサイドウォール8と、ゲート電極7と同じ高さを有し、pチャネル型MOSFET202のソース・ドレイン領域を覆って形成されている圧縮応力を有する第7の応力具有膜24と、ゲート電極7及び第7の応力具有膜24上に形成され、引張応力を有する第8の応力具有膜14と、第8の応力具有膜14上に全面的に形成された層間絶縁膜31と、から構成されている。

- [0168] 本実施形態に係るpチャネル型MOSFET202においては、ゲート電極7の高さ程度まで圧縮応力を有する第7の応力具有膜24が存在し、その上部に引張応力を有する第8の応力具有膜14が存在する。このように、本実施形態に係るpチャネル型MOSFET202においては、ゲート電極7の側面部およびソース・ドレイン領域上に圧縮応力を有する第7の応力具有膜24が厚く存在するので、チャネルに、より強い引張歪みが加わり、pチャネル型MOSFETのチャネル領域におけるホールの移動度を大きく向上させることができる。
- [0169] 本実施形態に係るpチャネル型MOSFET202は、第3の実施の形態に係るnチャネル型MOSFET102と比較して、MOSFETの極性が異なるだけであるので、本実施形態に係るpチャネル型MOSFET202の製造方法は第3の実施の形態に係るnチャネル型MOSFET102の製造方法と基本的に同一である。MOSFETの極性が異なるように、選定される半導体材料が異なるだけである。
- [0170] 第7の応力具有膜24は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。
- [0171] 第8の応力具有膜14は引張応力を有する絶縁膜あり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0172] 第7の応力具有膜24及び第8の応力具有膜14の材料としては、第1の実施の形態に係るnチャネル型MOSFET100において、第1の応力具有膜11を形成するのに採用可能であるとして挙げられた材料を適宜用いることができる。
- [0173] 図10に示した第3の実施形態の第1の変更例に係るnチャネル型MOSFET102Aと同様に、第8の応力具有膜14はゲート電極7上にのみ形成することもできる。
- [0174] 第8の応力具有膜14をゲート電極7上にのみ形成する場合には、ゲート電極7及び第7の応力具有膜24上に全面的に第8の応力具有膜14を堆積した後、第8の応力

具有膜14をフォトリソグラフィ技術を用いてゲート電極7の上部にのみ残るようにパターニングする。

[0175] この変更例においては、圧縮応力を有する第7の応力具有膜24の上部には実質的に引張応力を有する第8の応力具有膜14が存在していないので、第7の応力具有膜24の応力が第8の応力具有膜14の応力によって弱められることがなくなり、チャネルにより強い引張歪みが加わるようになることができる。

(第7の実施の形態)

図15は、本発明の第7の実施の形態に係るCMOSFET300の構成を示す断面図である。

[0176] 本実施形態に係るCMOSFET300は、図1に示した第1の実施形態に係るnチャネル型MOSFET100と、図11に示した第4の実施形態に係るpチャネル型MOSFET200とを備えている。

[0177] すなわち、本実施形態に係るCMOSFET300を構成するnチャネル型MOSFET100は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するn型不純物層3と、n型不純物層3の上に形成されたシリサイド層5と、ゲート電極7上に形成された圧縮応力を有する第1の応力具有膜11と、ゲート絶縁膜6、ゲート電極7及び第1の応力具有膜11の側壁を覆って形成されているサイドウォール8と、シリコン基板1上に全面的に形成された層間絶縁膜31と、から構成されており、本実施形態に係るCMOSFET300を構成するpチャネル型MOSFET200は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するp型不純物層4と、p型不純物層4の上に形成されたシリサイド層5と、ゲート電極7上に形成された引張応力を有する第2の応力具有膜13と、ゲー

ト絶縁膜6、ゲート電極7、第2の応力具有膜13の側壁を覆って形成されているサイドウォール8と、シリコン基板1上に全面的に形成された層間絶縁膜31と、から構成されている。

- [0178] 以下、実施形態に係るCMOSFET300の効果について説明する。
- [0179] nチャネル型MOSFET100においては、第1の実施の形態と同様に、ゲート電極7上に形成され、圧縮応力を有する第1の応力具有膜11がチャネルに引張応力を与えるため、チャネルが引張方向に歪み、電子の移動度を向上させることができる。また、pチャネル型MOSFET200においては、第4の実施の形態と同様に、ゲート電極7上に形成され、引張応力を有する第2の応力具有膜13がチャネルに圧縮応力を与えるため、チャネルが圧縮方向に歪み、ホールの移動度を向上させることができる。
- [0180] 図16(a)乃至図16(e)は、実施形態に係るCMOSFET300の製造方法における各工程を示す断面図である。
- [0181] 以下、図16(a)乃至図16(e)を参照して、実施形態に係るCMOSFET300の製造方法を説明する。
- [0182] まず、従来のCMOSFETの場合と同様に、シリコン基板1の表面領域内に素子分離領域2を形成する。
- [0183] ここで、素子分離領域2は、例えば、酸化珪素膜あるいは窒化珪素膜あるいはこれらの積層構造からなる。
- [0184] 次に、図16(a)に示すように、シリコン基板1上にゲート絶縁膜6、シリコン膜7a、シリサイド層7b、圧縮応力を有する第1の応力具有膜11をこの順番に順次積層する。
- [0185] ここで、ゲート絶縁膜6は、例えば、酸化珪素膜、または、窒素、ハフニウム、アルミニウム、チタン、ジルコニアム、タンタルなどを含有する高誘電率膜、もしくは、これらの積層構造からなる。
- [0186] シリコン膜7aは、例えば、多結晶シリコン膜、アモルファスシリコン膜、あるいは、これらの積層膜からなる。
- [0187] シリサイド層7bは、例えば、コバルトやニッケルのような金属を含有している。
- [0188] 第1の応力具有膜11は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気

相成長法によって成膜された窒化珪素膜からなる。第1の応力具有膜11の材料としては、第1の実施の形態において、第1の応力具有膜11を形成するのに採用可能であるとして挙げられた材料を適宜用いることができる。

- [0189] 次に、公知のフォトリソグラフィ技術を用いて、第1の応力具有膜11のエッチングマスクとなるレジスト膜43を形成する。
- [0190] 次いで、ドライエッチングにより、pチャネル型電界効果トランジスタ200の領域内にある第1の応力具有膜11を除去する。この段階における構造が図16(b)に示す構造である。
- [0191] 次に、レジスト膜43を除去し、引張応力を有する第2の応力具有膜13を全面に成膜する。
- [0192] ここで、第2の応力具有膜13は引張応力を有する絶縁膜であり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0193] 第2の応力具有膜13の材料としては、第1の実施の形態において、第1の応力具有膜11を形成するのに採用可能であるとして挙げられた材料を適宜用いることができる。
- [0194] 次に、図16(c)に示すように、公知のフォトリソグラフィ技術を用いて、第2の応力具有膜13のエッチングマスクとなるレジスト膜44をpチャネル型電界効果トランジスタ2009の全領域を覆うように形成する。
- [0195] 次いで、ドライエッチングによりnチャネル型電界効果トランジスタ100の領域内の第2の応力具有膜13を除去し、引き続いて、レジスト膜44を除去する。この段階における構造が図16(d)に示す構造である。
- [0196] 次に、ゲート電極7の形成のためのマスクとなるレジスト膜45をフォトリソグラフィ技術を用いて形成し、ドライエッチングにより、マスクによって保護されていない部分の第1の応力具有膜11、第2の応力具有膜13、シリサイド層7b、シリコン膜7aおよびゲート絶縁膜6を除去し、図16(e)に示す構造を得る。
- [0197] 次に、レジスト膜45を除去した後、浅いソース・ドレイン形成のためのイオン注入、サイドウォール8の形成、深いソース・ドレイン形成のためのイオン注入、不純物活性化のためのアニール、シリサイド層5の形成を行う。

[0198] ここで、サイドウォール8は、例えば、酸化珪素膜もしくは窒化珪素膜またはこれらの積層構造からなる。

[0199] シリサイド層5は、例えば、コバルトやニッケルのような金属を含有するシリサイド膜からなる。

[0200] 最後に、層間絶縁膜31を積層し、図15に示す構造を得る。

[0201] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、コンタクトプラグの上に必要な配線を形成する。

[0202] なお、本製造方法においては、最初に、nチャネル型電界効果トランジスタ100の第1の応力具有膜11を形成し、次いで、pチャネル型電界効果トランジスタ200の第2の応力具有膜13を形成したが、最初に第2の応力具有膜13を形成し、次いで、第1の応力具有膜11を形成することも可能である。

(第7の実施の形態の第1の変更例)

図17は、第7の実施の形態の第1の変更例に係るCMOSFET300Aの断面図である。

[0203] 本変更例に係るCMOSFET300Aは、図4に示した第1の実施の形態の第1の変更例に係るnチャネル型MOSFET100Aと、pチャネル型MOSFET200Aとから構成されている。

[0204] nチャネル型MOSFET100Aにおいては、図1に示した第1の実施の形態に係るnチャネル型MOSFET100と比較して、シリサイド層7b及び第1の応力具有膜11に代えて、圧縮応力を有する第1の応力具有導電膜7cが形成されている。

[0205] また、pチャネル型MOSFET200Aにおいては、図11に示した第4の実施の形態に係るpチャネル型MOSFET200と比較して、シリサイド層7b及び第2の応力具有膜13に代えて、引張応力を有する第2の応力具有導電膜7dが形成されている。

[0206] シリサイド層7b及び第一の応力具有膜11または第2の応力具有膜13に代えて第1の応力具有導電膜7cまたは第2の応力具有導電膜7dを有している点を除いて、本変更例に係るCMOSFET300Aは第7の実施の形態に係るCMOSFET300と同一の構造を有している。このため、第7の実施の形態に係るCMOSFET300と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。

[0207] ここで、応力具有導電膜7c、7dは、コバルト、ニッケル、チタンのいずれかを含有するシリサイド、あるいは、タングステン、アルミニウム、銅または白金から成る。

[0208] また、応力具有導電膜7c、7dはスパッタ法または化学気相成長法と適當な熱処理とにより形成される。

[0209] 本変更例に係るCMOSFET300Aの製造方法は、シリサイド層7bが存在しない点、第1の応力具有膜11及び第2の応力具有膜13の代わりに第1の応力具有導電膜7c及び第2の応力具有導電膜7dである点を除いて、第7の実施の形態に係るCMOSFET300の製造方法と同様である。

[0210] さらに、本変更例によつても、第7の実施の形態に係るCMOSFET300と同様な効果を得ることができる。すなわち、nチャネル型MOSFET100Aにおいては、チャネルが引張方向に歪み、pチャネル型MOSFET200Aにおいては、チャネルが圧縮方向に歪み、nチャネル型MOSFET100A及びpチャネル型MOSFET200Aの双方のチャネル領域におけるキャリアの移動度を向上させることができる。

(第8の実施の形態)

図19(e)は、本発明の第8の実施の形態に係るCMOSFET301の構成を示す断面図である。

[0211] 本実施形態に係るCMOSFET301は、図5(b)に示した第2の実施形態に係るnチャネル型MOSFET101と、図12に示した第5の実施形態に係るpチャネル型MOSFET201とを備えている。

[0212] 本実施形態に係るCMOSFET301は、第7の実施形態に係るCMOSFET300(図15)と比較して、nチャネル型MOSFET101の領域においては、第1の応力具有膜11、サイドウォール8及びソース・ドレイン領域を覆つて形成され、引張応力を有する第3の応力具有膜21が形成されており、pチャネル型MOSFET201の領域においては、第2の応力具有膜13、サイドウォール8及びソース・ドレイン領域を覆つて形成され、圧縮応力を有する第4の応力具有膜23が形成されている点が相違している。

[0213] これらの点を除いて、本実施形態に係るCMOSFET301は第7の実施形態に係るCMOSFET300と同一の構造を有している。このため、第7の実施の形態に係るC

MOSFET300と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。

- [0214] 以下、本実施形態に係るCMOSFET301の効果について説明する。
- [0215] nチャネル型MOSFET101においては、第2の実施の形態と同様に、ゲート電極7上に形成され、圧縮応力を有する第1の応力具有膜11がチャネルに引張応力を与え、さらに、第1の応力具有膜11、サイドウォール8及びソース・ドレイン領域を覆って形成され、引張応力を有する第3の応力具有膜21もチャネルに引張応力を与えるため、チャネルが引張方向に大きく歪み、電子の移動度を大きく向上させることができる。
- [0216] また、pチャネル型MOSFET201においては、第5の実施の形態と同様に、ゲート電極7上に形成され、引張応力を有する第2の応力具有膜13がチャネルに圧縮応力を与え、さらに、第2の応力具有膜13、サイドウォール8及びソース・ドレイン領域を覆って形成され、圧縮応力を有する第4の応力具有膜23もチャネルに圧縮応力を与えるため、チャネルが圧縮方向に大きく歪み、ホールの移動度を大きく向上させることができる。
- [0217] 図18(a)乃至図18(c)及び図19(d)及び図19(e)は、本実施形態に係るCMOSFET301の製造方法における各工程を示す断面図である。
- [0218] 以下、図18(a)乃至図18(c)及び図19(d)及び図19(e)を参照して、本実施形態に係るCMOSFET301の製造方法を説明する。
- [0219] まず、第7の実施の形態に係るCMOSFET300の製造方法を示す図16(a)から図16(e)までと同様の製造工程を経て、更に、レジスト膜の除去、浅いソース・ドレイン形成のためのイオン注入、サイドウォール8の形成、深いソース・ドレイン形成のためのイオン注入、不純物活性化のためのアニール、シリサイド層5の形成の各工程を経て、図18(a)に示す構造を得る(なお、図18(a)に示す構造は第7の実施の形態に係るCMOSFET300と同一の構造である)。
- [0220] 次に、図18(b)に示すように、引張応力を有する第3の応力具有膜21を全面に形成する。
- [0221] ここで、第3の応力具有膜21は引張応力を有する絶縁膜であり、例えば、熱化学気

相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。

- [0222] また、図示していないが、必要であれば、後のエッチング工程のダメージ保護膜として、第3の応力具有膜21の下に、例えば、酸化珪素膜を薄く(10nm程度以下)成膜してもよい。
- [0223] 次に、公知のフォトリソグラフィ技術を用いて、第3の応力具有膜21のエッチングマスクとなるレジスト膜46を形成し、ドライエッチングにより、pチャネル型MOSFET201の領域における第3の応力具有膜21と、必要であれば、ダメージ保護膜を除去する。この段階における構造が図18(c)に示す構造である。
- [0224] 次に、レジスト膜46を除去した後、圧縮応力を有する第4の応力具有膜23を全面に成膜する。
- [0225] 第4の応力具有膜23は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。
- [0226] ここで、図示していないが、必要であれば、後工程のエッチングストッパー膜として、第4の応力具有膜23の下に、例えば、酸化珪素膜を薄く(10nm程度以下)成膜してもよい。
- [0227] 次に、フォトリソグラフィ技術により、第4の応力具有膜23のエッチングマスクとなるレジスト膜47を形成し、ドライエッチングにより、nチャネル型MOSFET101の領域における第4の応力具有膜23を除去する。この段階における構造が図19(d)に示す構造である。
- [0228] 次に、レジスト膜47を除去した後、層間絶縁膜31を積層し、図19(e)に示す構造を得る。
- [0229] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、コンタクトプラグの上に必要な配線を形成する。
- [0230] なお、本製造方法においては、最初に、nチャネル型電界効果トランジスタ101の第3の応力具有膜21を形成し、次いで、pチャネル型電界効果トランジスタ201の第4の応力具有膜23を形成したが、最初に第4の応力具有膜23を形成し、次いで、第3の応力具有膜21を形成することも可能である。

(第8の実施の形態の第1の変更例)

図20は、第8の実施の形態の第1の変更例に係るCMOSFET301Aの断面図である。

- [0231] 本変更例に係るCMOSFET301Aが図19(e)に示される第8の実施の形態に係るCMOSFET301と相違する点は、第3の応力具有膜21の第1の応力具有膜11上の部分及び第4の応力具有膜23の第2の応力具有膜13上の部分がそれぞれ応力緩和部として形成されている点である。第3の応力具有膜21及び第4の応力具有膜23は各応力緩和部において、すなわち、第1の応力具有膜11上及び第2の応力具有膜13上において、応力を有していない。
- [0232] 応力緩和部は、図20に示すように、イオン注入 I_{im} により第3の応力具有膜21及び第4の応力具有膜23のうちゲート電極7の上部の部分のみ応力を緩和させることにより、形成される。
- [0233] 応力緩和部を有している点を除いて、本変更例に係るCMOSFET301Aは第8の実施の形態に係るCMOSFET301と同一の構造を有している。このため、第8の実施の形態に係るCMOSFET301と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0234] 第8の実施の形態に係るCMOSFET301においては、圧縮応力を有する第1の応力具有膜11上の引張応力を有する第3の応力具有膜21はチャネルに圧縮歪みを与え、引張応力を有する第2の応力具有膜13上の圧縮応力を有する第4の応力具有膜23はチャネルに引張歪みを与える。
- [0235] これに対して、本変更例に係るCMOSFET301Aにおいては、第1の応力具有膜11及び第2の応力具有膜13上の第3の応力具有膜21及び第4の応力具有膜23は応力を有していないので、チャネルに圧縮歪みまたは引張歪みを与えない。
- [0236] 従って、第8の実施の形態に係るCMOSFET301と比較して、本変更例に係るCMOSFET301Aの方がチャネルを大きく歪ませることが可能であり、nチャネル型MOSFET101においては、電子の移動度をさらに向上させ、pチャネル型MOSFET201においては、ホールの移動度をさらに向上させることが可能である。
- [0237] なお、本変更例に係るCMOSFET301Aの製造方法は、第2の実施の形態の第1の変更例および第5の実施の形態の第1の変更例と同様である。

- [0238] なお、第8の実施の形態に係るCMOSFET301の他の変更例として、第2の実施の形態に係るnチャネル型MOSFET101の第2及び第3の変更例と同様の変更例を形成することが可能である。
- [0239] すなわち、第2の実施の形態の第2の変更例に係るnチャネル型MOSFET101B(図7)と同様に、第1の応力具有膜11及び第2の応力具有膜13を越える第3の応力具有膜21及び第4の応力具有膜23の部分を化学的機械的研磨により除去することができる。
- [0240] また、第2の実施の形態の第3の変更例に係るnチャネル型MOSFET101C(図8)と同様に、第3の応力具有膜21及び第4の応力具有膜23を第1の応力具有膜11及び第2の応力具有膜13の表面高さ以上に厚く形成した後、第1の応力具有膜11及び第2の応力具有膜13の表面が露出するように、第3の応力具有膜21及び第4の応力具有膜23を研磨することも可能である。

(第9の実施の形態)

図22(g)は、本発明の第9の実施の形態に係るCMOSFET302の構成を示す断面図である。

- [0241] 本実施形態に係るCMOSFET302は、図9(d)に示した第3の実施形態に係るnチャネル型MOSFET102と、図14に示した第6の実施形態に係るpチャネル型MOSFET202とを備えている。
- [0242] 本実施形態に係るCMOSFET302を構成するnチャネル型MOSFET102は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するn型不純物層3と、n型不純物層3の上に形成されたシリサイド層5と、ゲート絶縁膜6及びゲート電極7の側壁を覆って形成されているサイドウォール8と、ゲート電極7と同じ高さを有し、nチャネル型MOSFET102のソース・ドレイン領域を覆って形成されている引張応力を有する第5の応力具有膜22と、ゲート電極7及び第5の応力具有膜22上に形成され、圧縮応力を有する第6の応力具有膜12と、第6の応力

具有膜12上に全面的に形成された層間絶縁膜31と、から構成されている。

[0243] また、本実施形態に係るCMOSFET302を構成するpチャネル型MOSFET202は、シリコン基板1と、シリコン基板1の表面に形成された素子分離領域2と、隣接する素子分離領域2に挟まれた領域内において、シリコン基板1の表面上に形成されたゲート絶縁膜6と、ゲート絶縁膜6上に形成されたシリコン膜7aとシリサイド層7bの2層膜からなるゲート電極7と、シリコン基板1の表面領域内に形成され、ソース・ドレイン領域を構成するp型不純物層4と、p型不純物層4の上に形成されたシリサイド層5と、ゲート絶縁膜6及びゲート電極7の側壁を覆って形成されているサイドウォール8と、ゲート電極7と同じ高さを有し、pチャネル型MOSFET202のソース・ドレイン領域を覆って形成されている圧縮応力を有する第7の応力具有膜24と、ゲート電極7及び第7の応力具有膜24上に形成され、引張応力を有する第8の応力具有膜14と、第8の応力具有膜14上に全面的に形成された層間絶縁膜31と、から構成されている。

[0244] 本実施形態に係るCMOSFET302を構成するnチャネル型MOSFET102においては、ゲート電極7の高さまで引張応力を有する第5の応力具有膜22が存在し、その上部に圧縮応力を有する第6の応力具有膜12が存在している。

[0245] また、本実施形態に係るCMOSFET302を構成するpチャネル型MOSFET202においては、ゲート電極7の高さまで圧縮応力を有する第7の応力具有膜24が存在し、その上部に引張応力を有する第8の応力具有膜14が存在している。

[0246] このように、本実施形態に係るCMOSFET302においては、ゲート電極7の側面部およびソース・ドレイン領域上に引張応力を有する第5の応力具有膜22及び圧縮応力を有する第7の応力具有膜24が厚く存在するので、チャネルに対して、より強い引張歪み及び圧縮歪みが加わり、nチャネル型MOSFET102及びpチャネル型MOSFET202のチャネル領域においてキャリア(電子及びホール)の移動度を大きく向上させることができる。

[0247] 図21(a)乃至図21(d)及び図22(e)及び図22(g)は、本実施形態に係るCMOSFET302の製造方法における各工程を示す断面図である。

[0248] 以下、図21(a)乃至図21(d)及び図22(e)及び図22(g)を参照して、本実施形態

に係るCMOSFET302の製造方法を説明する。

- [0249] まず、従来のCMOSFETの製造工程と同様に、シリコン基板1に素子分離領域2を設け、素子分離領域2によって区画された領域の基板上にゲート絶縁膜6を形成する。ゲート絶縁膜6上にゲート電極パターンのシリコン膜7aを形成した後、浅いソース・ドレイン形成のためのイオン注入、サイドウォール8の形成、深いソース・ドレイン形成のためのイオン注入、不純物活性化のためのアニール、シリサイド層5、7bの形成を経て、図21(a)に示す構造を得る。
- [0250] 次に、引張応力を有する第5の応力具有膜22をシリコン膜7aの厚み以上の膜厚に成膜する。
- [0251] 次いで、ゲート電極7の上部が露出するまで第5の応力具有膜22を化学的機械的研磨することにより、図21(b)に示す構造を得る。
- [0252] ここで、第5の応力具有膜22は引張応力を有する絶縁膜であり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0253] また、図示していないが、必要であれば、後のエッチング工程のダメージ保護膜として、第5の応力具有膜22の下に、例えば、酸化珪素膜を薄く(10nm程度以下)成膜してもよい。
- [0254] 次に、フォトリソグラフィ技術を用いて、第5の応力具有膜22のエッチングマスクとなるレジスト膜48を形成し、ドライエッチングにより、pチャネル型MOSFET202の領域にある第5の応力具有膜22と、必要であれば、ダメージ保護膜を除去し、図21(c)に示す構造を得る。
- [0255] 次に、レジスト膜48を除去した後、圧縮応力を有する第7の応力具有膜24をシリコン膜7aの厚み以上の膜厚に成膜し、ゲート電極7の上部が露出するまで第7の応力具有膜24を化学的機械的研磨することにより、図21(d)に示す構造を得る。
- [0256] また、公知のフォトリソグラフィ技術を用いて、レジストマスクを形成し、これをマスクとしてドライエッチングを行い、nチャネル型MOSFET102の領域内の第7の応力具有膜24を除去して、図21(d)に示す構造を得ることもできる。
- [0257] ここで、第7の応力具有膜24は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。

- [0258] 次に、圧縮応力を有する第6の応力具有膜12を全面に成膜する。
- [0259] ここで、第6の応力具有膜12は圧縮応力を有する絶縁膜であり、例えば、プラズマ化学気相成長法によって成膜された窒化珪素膜からなる。
- [0260] 第6の応力具有膜12の材料としては、第1の実施の形態において第1の応力具有膜11を形成するのに採用可能であるとして挙げられた材料を適宜用いることができる。
- [0261] ここで、図示していないが、必要であれば、後工程のエッチングストッパー膜として、第6の応力具有膜12の下に、例えば、酸化珪素膜を薄く(10nm程度以下)成膜してもよい。
- [0262] 次に、フォトリソグラフィ技術を用いて、第6の応力具有膜12のエッチングマスクとなるレジスト膜49を第6の応力具有膜12上に形成し、ドライエッチングにより、pチャネル型MOSFET202の領域内の第6の応力具有膜12と、必要であれば、エッチングストッパー膜を除去し、図22(e)に示す構造を得る。
- [0263] 次に、レジスト膜49を除去した後、引張応力を有する第8の応力具有膜14を全面に成膜する。
- [0264] 次いで、ゲート電極7の上部に所望の厚さの第6の応力具有膜12及び第8の応力具有膜14が残るまで、第8の応力具有膜14を化学的機械的研磨することにより、図22(f)に示す構造を得る。
- [0265] また、公知のフォトリソグラフィ技術を用いてレジストマスクを形成し、これをマスクとしてnチャネル型MOSFET102の領域内の第8の応力具有膜14を除去して図22(f)に示す構造を得ることもできる。
- [0266] ここで、第8の応力具有膜14は引張応力を有する絶縁膜であり、例えば、熱化学気相成長法または原子層堆積法によって成膜された窒化珪素膜からなる。
- [0267] 第8の応力具有膜14の材料としては、第1の実施の形態において、第1の応力具有膜11を形成するのに採用可能であるとして挙げられた材料を適宜用いることができる。
- [0268] 最後に、層間絶縁膜31を積層し、図22(g)に示す構造を得る。
- [0269] この後、コンタクト孔を開口し、コンタクト孔の内部にコンタクトプラグを形成した後、

コンタクトプラグの上に必要な配線を形成する。

- [0270] 本製造方法においては、最初にnチャネル型MOSFET102の第5の応力具有膜22、2番目にpチャネル型MOSFET202の第7の応力具有膜24、3番目にnチャネル型電MOSFET102の第6の応力具有膜12、4番目にpチャネル型MOSFET202の第8の応力具有膜14を形成したが、各応力具有膜の形成順序はこれには限定されない。
- [0271] 第5の応力具有膜22と第7の応力具有膜24との間で形成順序を入れ替えることが可能であり、さらに、第6の応力具有膜12と第8の応力具有膜14との間で形成順序を入れ替えることが可能である。
- [0272] 例えば、最初にpチャネル型MOSFET202の第7の応力具有膜24、2番目にnチャネル型MOSFET102の第5の応力具有膜22、3番目にpチャネル型MOSFET202の第8の応力具有膜14、4番目にnチャネル型電MOSFET102の第6の応力具有膜12を形成することも可能である。
- [0273] また、本実施形態に係るCMOSFET302においては、図10に示した第3の実施形態の第1の変更例と同様に、第6の応力具有膜12及び第8の応力具有膜14をnチャネル型MOSFET102またはpチャネル型MOSFET202の各ゲート電極7上にのみ形成することも可能である。
- [0274] この場合には、第6の応力具有膜12及び第8の応力具有膜14は、ゲート電極7、第5の応力具有膜22及び第7の応力具有膜24上に全面的に第6の応力具有膜12及び第8の応力具有膜14を形成した後、第6の応力具有膜12及び第8の応力具有膜14をフォトリソグラフィ技術を用いて各ゲート電極7の上部にのみ残るようにパターニングする。

(第10の実施の形態)

図23は、本発明の第10の実施の形態に係るCMOSFET303の構成を示す断面図である。

- [0275] CMOSFETにおいては、用途に応じて、nチャネル型MOSFETまたはpチャネル型MOSFETの一方の特性を他方より上げたい場合がある。あるいは、製造工程の簡易さとMOSFETの性能とのトレードオフの関係に照らして、一方のMOSFETの

性能を犠牲にしても製造工程の簡易さを優先したいことがある。

- [0276] 第10の実施の形態及びそれ以降の実施の形態はこのような用途に対応するものである。
- [0277] 本実施形態に係るCMOSFET303は、図5(b)に示した第2の実施形態に係るnチャネル型MOSFET101と、pチャネル型MOSFET201Bとを備えている。
- [0278] 図19(e)に示した第8の実施形態に係るCMOSFET301においては、pチャネル型MOSFET201を覆って圧縮応力を有する第4の応力具有膜23が形成されているが、本実施形態に係るCMOSFET303においては、pチャネル型MOSFET201Bを覆って引張応力を有する第3の応力具有膜21が形成されている。すなわち、本実施形態に係るCMOSFET303においては、引張応力を有する第3の応力具有膜21はnチャネル型MOSFET101及びpチャネル型MOSFET201Bの双方を覆うように形成されている。
- [0279] pチャネル型MOSFET201Bにおいて、第4の応力具有膜23に代えて第3の応力具有膜21が形成されている点を除いて、本実施形態に係るCMOSFET303は図19(e)に示した第8の実施形態に係るCMOSFET301と同一の構造を有している。このため、第8の実施の形態に係るCMOSFET301と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0280] 以下、本実施形態に係るCMOSFET303の効果について説明する。
- [0281] チャネル型MOSFET101においては、第8の実施の形態と同様に、ゲート電極7の上方に形成された圧縮応力を有する第1の応力具有膜11はチャネルに引張応力を与え、さらに、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って形成された引張応力を有する第3の応力具有膜21もチャネルに引張応力を与えるため、チャネルが引張方向に大きく歪み、電子の移動度を大きく向上させることができる。
- [0282] 次に、本実施形態に係るCMOSFET303の製造方法について説明する。
- [0283] 第8の実施の形態に係るCMOSFET301の製造方法において、pチャネル型MOSFET201の領域内の引張応力を有する第3の応力具有膜21を除去する工程と、圧縮応力を有する第4の応力具有膜23を成膜し、nチャネル型MOSFET101の領域内の第4の応力具有膜23を除去する工程とを省くことにより、本実施形態に係るC

MOSFET303の製造方法を得ることができる。すなわち、図18(a)及び図18(b)に示した工程により、本実施形態に係るCMOSFET303を製造することができる。

- [0284] 本実施形態に係るCMOSFET303に対しては以下の3つの変更例がある。
- [0285] 本実施形態に係るCMOSFET303においては、図20に示した第8の実施の形態の第1の変更例と同様に、nチャネル型MOSFET101及びpチャネル型MOSFET201Bにおける各ゲート電極7の上方に位置する第3の応力具有膜21の部分を応力緩和部として形成することも可能である。
- [0286] 第3の応力具有膜21は応力緩和部において、すなわち、第1の応力具有膜11上及び第2の応力具有膜13上において、応力を有しない。
- [0287] 応力緩和部は、イオン注入Iimにより第3の応力具有膜21のゲート電極7の上部の部分のみ応力を緩和させることにより、形成される。
- [0288] あるいは、本実施形態に係るCMOSFET303においては、図6(b)に示した第2の実施形態の第1の変更例と同様に、nチャネル型MOSFET101及びpチャネル型MOSFET201Bにおける各ゲート電極7の上方において、応力緩和部として、第3の応力具有膜21に切欠き領域を形成することも可能である。
- [0289] また、本実施形態に係るCMOSFET303においては、図8に示した第2の実施形態の第3の変更例と同様に、第3の応力具有膜21が第1の応力具有膜11及び第2の応力具有膜13の表面高さに到達する高さになるように形成することができる。
- [0290] 本実施形態に係るCMOSFET303においては、圧縮応力を有する第1の応力具有膜11上の引張応力を有する第3の応力具有膜21はチャネルに圧縮歪みを与えるが、上記の3つの変更例においては、第1の応力具有膜11上の第3の応力具有膜21は応力を有しないか、あるいは、第3の応力具有膜21が存在しないのでチャネルに圧縮歪みを与えない。
- [0291] 従って、これら3つの変更例の方が本実施形態に係るCMOSFET303よりもチャネルを大きく歪ませることが可能であり、nチャネル型MOSFETのチャネル領域における電子の移動度をさらに向上させることができる。
- [0292] なお、1番目の変更例に係わるCMOSFETの製造方法は、第8の実施の形態の第1の変更例の製造方法と同様である。

(第11の実施の形態)

図24は、本発明の第11の実施の形態に係るCMOSFET304の構成を示す断面図である。

- [0293] 本実施形態に係るCMOSFET304は、図9(d)に示した第3の実施形態に係るnチャネル型MOSFET102と、pチャネル型MOSFET202Aとを備えている。
- [0294] 本実施形態に係るCMOSFET304は、図22(g)に示した第9の実施形態に係るCMOSFET302と比較して、pチャネル型MOSFET202Aが圧縮応力を有する第7の応力具有膜24に代えて引張応力を有する第5の応力具有膜22を有している点において相違している。
- [0295] すなわち、本実施形態に係るCMOSFET304においては、nチャネル型MOSFET102とpチャネル型MOSFET202Aの双方を覆って引張応力を有する第5の応力具有膜22が形成されている。
- [0296] pチャネル型MOSFET202Aが第7の応力具有膜24に代えて第5の応力具有膜22を有している点を除いて、本実施形態に係るCMOSFET304は第9の実施形態に係るCMOSFET302と同一の構造を有している。このため、第9の実施の形態に係るCMOSFET302と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0297] 以下、本実施形態に係るCMOSFET304の効果を説明する。
- [0298] 本実施形態に係るCMOSFET304においては、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って、引張応力を有する第5の応力具有膜22が厚く存在するため、チャネルに強い引張歪みが加わる。さらに、nチャネル型MOSFET102のゲート電極7上に形成されている圧縮応力を有する第6の応力具有膜12がチャネルの引張歪みを助長するため、nチャネル型MOSFET102のチャネル領域における電子の移動度を大きく向上させることができる。
- [0299] 次に、本実施形態に係るCMOSFET304の製造方法について説明する。
- [0300] 第9の実施の形態に係るCMOSFET302の製造方法において、pチャネル型MOSFET202の領域内の引張応力を有する第5の応力具有膜22を除去する工程と、圧縮応力を有する第7の応力具有膜24を成膜し、nチャネル型MOSFET102の領

域内の第7の応力具有膜24を除去する工程とを省くことにより、本実施形態に係るCMOSFET304の製造方法を得ることができる。

- [0301] すなわち、図21(c)及び図21(d)に示した工程を省略し、図21(b)に示した工程の後、図22(e)、図22(f)及び図22(g)に示した工程を実施することにより、本実施形態に係るCMOSFET304を製造することができる。
- [0302] また、本実施形態に係るCMOSFET304においては、図10に示した第3の実施形態の第1の変更例に係るnチャネル型MOSFET102Aと同様に、第6の応力具有膜12及び第8の応力具有膜14は各ゲート電極7上にのみ形成することもできる。
(第12の実施の形態)

図25は、本発明の第12の実施の形態に係るCMOSFET305の構成を示す断面図である。

- [0303] 本実施形態に係るCMOSFET305は、nチャネル型MOSFET101Dと、図12に示した第5の実施形態に係るpチャネル型MOSFET201とを備えている。
- [0304] 本実施形態に係るCMOSFET305は、図23に示した第10の実施の形態に係るCMOSFET303と比較して、nチャネル型MOSFET101Dおよびpチャネル型MOSFET201の両方の領域において、引張応力を有する第3の応力具有膜21に代えて、圧縮応力を有する第4の応力具有膜23が形成されている点において相違している。
- [0305] 第3の応力具有膜21に代えて第4の応力具有膜23が形成されている点を除いて、本実施形態に係るCMOSFET305は図23に示した第10の実施の形態に係るCMOSFET303と同一の構造を有している。このため、第10の実施の形態に係るCMOSFET303と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0306] 以下、本実施形態に係るCMOSFET305の効果について説明する。
- [0307] pチャネル型MOSFET201においては、第8の実施の形態と同様に、ゲート電極7の上方に形成された引張応力を有する第2の応力具有膜13がチャネルに圧縮応力を与え、さらに、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆っている圧縮応力を有する第4の応力具有膜23もチャネルに圧縮応力を与えるため、チャネ

ルが圧縮方向に大きく歪み、ホールの移動度を大きく向上させることができる。

- [0308] なお、本実施形態に係るCMOSFET305の製造方法は、図23に示した第7の実施の形態に係るCMOSFET303の製造方法と基本的に同一である。すなわち、本実施形態に係るCMOSFET305の製造方法は、第7の実施の形態に係るCMOSFET303の製造方法と比較して、第3の応力具有膜21の形成材料に代えて第4の応力具有膜23の形成材料を用いる点においてのみ異なる。
- [0309] 本実施形態に係るCMOSFET305に対しては、さらに、以下の3つの変更例がある。
- [0310] 本実施形態に係るCMOSFET305においては、図20に示した第8の実施の形態の第1の変更例と同様に、nチャネル型MOSFET101及びpチャネル型MOSFET201における各ゲート電極7の上方に位置する第4の応力具有膜23の部分を応力緩和部として形成することも可能である。
- [0311] 第4の応力具有膜23は応力緩和部において、すなわち、第1の応力具有膜11上及び第2の応力具有膜13上において、応力を有しない。
- [0312] 応力緩和部は、イオン注入Iimにより第4の応力具有膜23のゲート電極7の上部の部分のみ応力を緩和させることにより、形成される。
- [0313] あるいは、本実施形態に係るCMOSFET305においては、図6(b)に示した第2の実施形態の第1の変更例と同様に、nチャネル型MOSFET101及びpチャネル型MOSFET201における各ゲート電極7の上方において、応力緩和部として、第4の応力具有膜23に切欠き領域を形成することも可能である。
- [0314] また、本実施形態に係るCMOSFET305においては、図8に示した第2の実施形態の第3の変更例と同様に、第4の応力具有膜23が第1の応力具有膜11及び第2の応力具有膜13の表面高さに到達する高さになるように形成することができる。
- [0315] 本実施形態に係るCMOSFET305においては、引張応力を有する第2の応力具有膜13上の圧縮応力を有する第4の応力具有膜23はチャネルに引張歪みを与えるが、上記の3つの変更例においては、第2の応力具有膜13上の第4の応力具有膜23は応力を有しないか、あるいは、第2の応力具有膜13上には第4の応力具有膜23が存在しないのでチャネルに引張歪みを与えない。

[0316] 従って、これら3つの変更例の方が本実施形態に係るCMOSFET305よりもpチャネル型MOSFET201のチャネルを大きく歪ませることが可能であり、pチャネル型MOSFET201のチャネル領域におけるホールの移動度をさらに向上させることができる。

[0317] なお、1番目の変更例に係わるCMOSFETの製造方法は、第8の実施の形態の第1の変更例の製造方法と同様である。

(第13の実施の形態)

図26は、本発明の第13の実施の形態に係るCMOSFET306の構成を示す断面図である。

[0318] 本実施形態に係るCMOSFET306は、nチャネル型MOSFET102Bと、図14に示した第6の実施形態に係るpチャネル型MOSFET202とを備えている。

[0319] 本実施形態に係るCMOSFET306は、図24に示した第11の実施形態に係るCMOSFET304と比較して、nチャネル型MOSFET102B及びpチャネル型MOSFET202が引張応力を有する第5の応力具有膜22に代えて圧縮応力を有する第7の応力具有膜24を有している点において相違している。

[0320] すなわち、本実施形態に係るCMOSFET306においては、nチャネル型MOSFET102Bとpチャネル型MOSFET202の双方を覆って圧縮応力を有する第7の応力具有膜24が形成されている。

[0321] nチャネル型MOSFET102B及びpチャネル型MOSFET202が第5の応力具有膜22に代えて第7の応力具有膜24を有している点を除いて、本実施形態に係るCMOSFET306は第11の実施形態に係るCMOSFET304と同一の構造を有している。このため、第11の実施の形態に係るCMOSFET304と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。

[0322] 以下、本実施形態に係るCMOSFET306の効果を説明する。

[0323] 本実施形態に係るCMOSFET306によれば、ゲート電極7、サイドウォール8及びソース・ドレインの領域上に圧縮応力を有する第7の応力具有膜24が厚く存在するため、pチャネル型MOSFET202のチャネルに強い圧縮歪みが加わる。さらに、pチャネル型MOSFET202のゲート電極7上に形成された引張応力を有する第8の応力

具有膜14がチャネルの圧縮歪みを助長するので、pチャネル型MOSFET202のチャネル領域におけるホールの移動度を大きく向上させることができる。

- [0324] 本実施形態に係るCMOSFET306の製造方法は、図24に示した第11の実施形態に係るCMOSFET304の製造方法と基本的に同一である。すなわち、本実施形態に係るCMOSFET306の製造方法は、第11の実施の形態に係るCMOSFET304の製造方法と比較して、第5の応力具有膜22の形成材料に代えて第7の応力具有膜24の形成材料を用いる点においてのみ異なる。
- [0325] また、本実施形態に係るCMOSFET306においては、図10に示した第3の実施形態の第1の変更例に係るnチャネル型MOSFET102Aと同様に、第6の応力具有膜12及び第8の応力具有膜14は各ゲート電極7上にのみ形成することもできる。
(第14の実施の形態)

図27は、本発明の第14の実施の形態に係るCMOSFET307の構成を示す断面図である。

- [0326] 本実施形態に係るCMOSFET307は、図5(b)に示した第2の実施形態に係るnチャネル型MOSFET101と、pチャネル型MOSFET201Cとを備えている。
- [0327] 本実施形態に係るCMOSFET307は、図19(e)に示した第8の実施の形態に係るCMOSFET301と比較して、pチャネル型MOSFET201Cが、引張応力を有する第2の応力具有膜13に代えて、圧縮応力を有する第1の応力具有膜11を有している点において相違している。
- [0328] pチャネル型MOSFET201Cが第2の応力具有膜13に代えて第1の応力具有膜11を有している点を除いて、本実施形態に係るCMOSFET307は図19(e)に示した第8の実施の形態に係るCMOSFET301と同一の構造を有している。このため、第8の実施の形態に係るCMOSFET301と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0329] 以下、本実施形態に係るCMOSFET307の効果について説明する。
- [0330] nチャネル型MOSFET101においては、第8の実施の形態と同様に、ゲート電極7上に形成された圧縮応力を有する第1の応力具有膜11はチャネルに引張応力を与え、さらに、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って形成され

た引張応力を有する第3の応力具有膜21もチャネルに引張応力を与えるため、nチャネル型MOSFET101のチャネルが引張方向に大きく歪み、電子の移動度を大きく向上させることができる。

- [0331] 次に、本実施形態に係るCMOSFET307の製造方法について説明する。
- [0332] 図19(e)に示した第8の実施形態に係るCMOSFET301の製造方法において、pチャネル型MOSFET201Cの領域内の引張応力を有する第2の応力具有膜13を形成する工程[図16(b)]と、nチャネル型MOSFET101の領域内の第2の応力具有膜13を除去する工程[図16(c)]とを省略することにより、本実施形態に係るCMOSFET307の製造方法を得ることができる。
- [0333] すなわち、第8の実施形態に係るCMOSFET301の製造方法においては、nチャネル型MOSFET101及びpチャネル型MOSFET201にそれぞれ第1の応力具有膜11及び第2の応力具有膜13を形成するために複数の工程を必要としていたが、本実施形態に係るCMOSFET307の製造方法においては、単一の工程により、nチャネル型MOSFET101及びpチャネル型MOSFET201Cに第1の応力具有膜11を形成することが可能である。
- [0334] 本実施形態に係るCMOSFET307に対しては、さらに、以下の3つの変更例がある。
- [0335] 本実施形態に係るCMOSFET307においては、図20に示した第8の実施の形態の第1の変更例と同様に、nチャネル型MOSFET101及びpチャネル型MOSFET201Cにおける各ゲート電極7の上方に位置する第3の応力具有膜21及び第4の応力具有膜23の部分を応力緩和部として形成することも可能である。
- [0336] 第3の応力具有膜21及び第4の応力具有膜23は応力緩和部において、すなわち、第1の応力具有膜11上において、応力を有しない。
- [0337] 応力緩和部は、イオン注入Iimにより第3の応力具有膜21及び第4の応力具有膜23のゲート電極7の上部の部分のみ応力を緩和させることにより、形成される。
- [0338] あるいは、本実施形態に係るCMOSFET307においては、図6(b)に示した第2の実施形態の第1の変更例と同様に、nチャネル型MOSFET101及びpチャネル型MOSFET201Cにおける各ゲート電極7の上方において、応力緩和部として、第3の

応力具有膜21及び第4の応力具有膜23に切欠き領域を形成することも可能である。

- [0339] また、本実施形態に係るCMOSFET307においては、図8に示した第2の実施形態の第3の変更例と同様に、第3の応力具有膜21及び第4の応力具有膜23が第1の応力具有膜11の表面高さに到達する高さになるように形成することができる。
- [0340] 本実施形態に係るCMOSFET307においては、nチャネル型MOSFET101における圧縮応力を有する第1の応力具有膜11上の引張応力を有する第3の応力具有膜21はチャネルに圧縮歪みを与え、pチャネル型MOSFET201Cにおける圧縮応力を有する第1の応力具有膜11上の圧縮応力を有する第4の応力具有膜23はチャネルに引張歪みを与える。
- [0341] これに対して、上記の3つの変更例においては、第1の応力具有膜11上の第3の応力具有膜21及び第4の応力具有膜23は応力を有していないので、あるいは、第1の応力具有膜11上に第3の応力具有膜21及び第4の応力具有膜23が存在していないので、チャネルに圧縮歪みまたは引張歪みを与えない。
- [0342] 従って、これら3つの変更例の方が本実施形態に係るCMOSFET307よりもnチャネル型MOSFET101及びpチャネル型MOSFET201Cのチャネルを大きく歪ませることが可能であり、nチャネル型MOSFET101のチャネル領域における電子の移動度及びpチャネル型MOSFET201Cのチャネル領域におけるホールの移動度をさらに向上させることができる。
- [0343] なお、1番目の変更例に係わるCMOSFETの製造方法は、第8の実施の形態の第1の変更例の製造方法と同様である。
(第15の実施の形態)
- 図28は、本発明の第15の実施の形態に係るCMOSFET308の構成を示す断面図である。
- [0344] 本実施形態に係るCMOSFET308は、図9(d)に示した第3の実施形態に係るnチャネル型MOSFET102と、pチャネル型MOSFET202Bとを備えている。
- [0345] 本実施形態に係るCMOSFET308は、図22(g)に示した第9の実施形態に係るCMOSFET302と比較して、pチャネル型MOSFET202Bが、引張応力を有する第8の応力具有膜14に代えて、圧縮応力を有する第6の応力具有膜12を有している点

において相違している。

- [0346] すなわち、本実施形態に係るCMOSFET308においては、nチャネル型MOSFET102に形成された第5の応力具有膜22及びpチャネル型MOSFET202Bに形成された第7の応力具有膜24の双方を覆って圧縮応力を有する第6の応力具有膜12が形成されている。
- [0347] pチャネル型MOSFET202Bが第8の応力具有膜14に代えて第6の応力具有膜12を有している点を除いて、本実施形態に係るCMOSFET308は図22(g)に示した第9の実施形態に係るCMOSFET302と同一の構造を有している。このため、第9の実施の形態に係るCMOSFET302と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0348] 以下、本実施形態に係るCMOSFET308の効果を説明する。
- [0349] 本実施形態に係るCMOSFET308によれば、nチャネル型MOSFET102においては、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って、引張応力を有する第5の応力具有膜22が厚く存在するので、nチャネル型MOSFET102のチャネルには、より強い引張歪みが加わり、nチャネル型MOSFET102におけるキャリア(電子)の移動度を大きく向上させることができる。
- [0350] また、pチャネル型MOSFET202Bにおいては、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って、圧縮応力を有する第7の応力具有膜24が厚く存在するので、pチャネル型MOSFET202Bのチャネルには、より強い圧縮歪みが加わり、pチャネル型MOSFET202Bにおけるキャリア(ホール)の移動度を大きく向上させることができる。
- [0351] 第9の実施の形態の製造方法において、pチャネル型MOSFET202の領域内の圧縮応力を有する第6の応力具有膜12を除去する工程と、引張応力を有する第8の応力具有膜14を成膜し、nチャネル型MOSFET102の領域内の第8の応力具有膜14を除去する工程とを省くことにより、本実施形態に係るCMOSFET308の製造方法を得ることができる。
- [0352] すなわち、第9の実施の形態に係るCMOSFET302の製造方法においては、第6の応力具有膜12及び第8の応力具有膜14を形成するために複数の工程を実施す

る必要があったが、本実施形態に係るCMOSFET308の製造方法においては、第6の応力具有膜12のみを形成すればよいため、工程数を削減することが可能である。

[0353] また、本実施形態に係るCMOSFET308においては、図10に示した第3の実施形態の第1の変更例に係るnチャネル型MOSFET102Aと同様に、nチャネル型MOSFET102において、第6の応力具有膜12はゲート電極7上にのみ形成することもできる。pチャネル型MOSFET202Bの領域においては、第6の応力具有膜12はそのまま残しておくことが可能である。

(第16の実施の形態)

図29は、本発明の第16の実施の形態に係るCMOSFET309の構成を示す断面図である。

[0354] 本実施形態に係るCMOSFET309は、nチャネル型MOSFET101Eと、図12に示した第5の実施形態に係るpチャネル型MOSFET201とを備えている。

[0355] 本実施形態に係るCMOSFET309は、図19(e)に示した第8の実施の形態に係るCMOSFET301と比較して、nチャネル型MOSFET101Eが、圧縮応力を有する第1の応力具有膜11に代えて、引張応力を有する第2の応力具有膜13を有している点において相違している。

[0356] nチャネル型MOSFET101Eが第1の応力具有膜11に代えて第2の応力具有膜13を有している点を除いて、本実施形態に係るCMOSFET309は図19(e)に示した第8の実施の形態に係るCMOSFET301と同一の構造を有している。このため、第8の実施の形態に係るCMOSFET301と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。

[0357] 以下、本実施形態に係るCMOSFET309の効果について説明する。

[0358] pチャネル型MOSFET201においては、第8の実施の形態と同様に、ゲート電極7上に形成された引張応力を有する第2の応力具有膜13はチャネルに圧縮応力を与え、さらに、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って形成されている圧縮応力を有する第4の応力具有膜23もチャネルに圧縮応力を与えるため、チャネルが圧縮方向に大きく歪み、ホールの移動度を大きく向上させることができる。

- [0359] 以下、本実施形態に係るCMOSFET309の製造方法について説明する。
- [0360] 第8の実施の形態に係るCMOSFET301の製造方法において、nチャネル型MOSFET101の領域内の圧縮応力を有する第1の応力具有膜11を形成する工程と、pチャネル型MOSFET20の領域内の第1の応力具有膜11を除去する工程とを省くことにより、本実施形態に係るCMOSFET309の製造方法を得ることができる。
- [0361] すなわち、第8の実施形態に係るCMOSFET301の製造方法においては、nチャネル型MOSFET101及びpチャネル型MOSFET201にそれぞれ第1の応力具有膜11及び第2の応力具有膜13を形成するために複数の工程を必要としていたが、本実施形態に係るCMOSFET309の製造方法においては、単一の工程により、nチャネル型MOSFET101E及びpチャネル型MOSFET201に第2の応力具有膜13を形成することが可能である。
- [0362] 本実施形態に係るCMOSFET309に対しては、さらに、以下の3つの変更例がある。
- [0363] 本実施形態に係るCMOSFET309においては、図20に示した第8の実施の形態の第1の変更例と同様に、nチャネル型MOSFET101E及びpチャネル型MOSFET201における各ゲート電極7の上方に位置する第3の応力具有膜21及び第4の応力具有膜23の部分を応力緩和部として形成することも可能である。
- [0364] 第3の応力具有膜21及び第4の応力具有膜23は応力緩和部において、すなわち、第2の応力具有膜13上において、応力を有しない。
- [0365] 応力緩和部は、イオン注入I_{im}により第3の応力具有膜21及び第4の応力具有膜23のゲート電極7の上部の部分のみ応力を緩和させることにより、形成される。
- [0366] あるいは、本実施形態に係るCMOSFET309においては、図6(b)に示した第2の実施形態の第1の変更例と同様に、nチャネル型MOSFET101E及びpチャネル型MOSFET201における各ゲート電極7の上方において、応力緩和部として、第3の応力具有膜21及び第4の応力具有膜23に切欠き領域を形成することも可能である。
- [0367] また、本実施形態に係るCMOSFET309においては、図8に示した第2の実施形態の第3の変更例と同様に、第3の応力具有膜21及び第4の応力具有膜23が第2の応力具有膜13の表面高さに到達する高さになるように形成することができる。

- [0368] 本実施形態に係るCMOSFET309においては、nチャネル型MOSFET101Eにおける引張応力を有する第2の応力具有膜13上の引張応力を有する第3の応力具有膜21はチャネルに圧縮歪みを与え、pチャネル型MOSFET201における引張応力を有する第2の応力具有膜13上の圧縮応力を有する第4の応力具有膜23はチャネルに引張歪みを与える。
- [0369] これに対して、上記の3つの変更例においては、第2の応力具有膜13上の第3の応力具有膜21及び第4の応力具有膜23は応力を有していないので、あるいは、第2の応力具有膜13上に第3の応力具有膜21及び第4の応力具有膜23が存在していないので、チャネルに圧縮歪みまたは引張歪みを与えない。
- [0370] 従って、これら3つの変更例の方が本実施形態に係るCMOSFET309よりもnチャネル型MOSFET101E及びpチャネル型MOSFET201のチャネルを大きく歪ませることが可能であり、nチャネル型MOSFET101Eのチャネル領域における電子の移動度及びpチャネル型MOSFET201のチャネル領域におけるホールの移動度をさらに向上させることができる。
- [0371] なお、1番目の変更例に係わるCMOSFETの製造方法は、第8の実施の形態の第1の変更例の製造方法と同様である。
(第17の実施の形態)
図30は、本発明の第17の実施の形態に係るCMOSFET310の構成を示す断面図である。
- [0372] 本実施形態に係るCMOSFET310は、nチャネル型MOSFET102Cと、図14に示した第6の実施形態に係るpチャネル型MOSFET202とを備えている。
- [0373] 本実施形態に係るCMOSFET310は、図22(g)に示した第9の実施形態に係るCMOSFET302と比較して、nチャネル型MOSFET102Cが、圧縮応力を有する第6の応力具有膜12に代えて、引張応力を有する第5の応力具有膜22を有している点において相違している。
- [0374] すなわち、本実施形態に係るCMOSFET310においては、nチャネル型MOSFET102Cに形成された第5の応力具有膜22及びpチャネル型MOSFET202に形成された第7の応力具有膜24の双方を覆って引張応力を有する第8の応力具有膜14

が形成されている。

- [0375] nチャネル型MOSFET102Cが第6の応力具有膜12に代えて第5の応力具有膜22を有している点を除いて、本実施形態に係るCMOSFET310は図22(g)に示した第9の実施形態に係るCMOSFET302と同一の構造を有している。このため、第9の実施の形態に係るCMOSFET302と同一の構成要素には同一の参照符号を付し、それらの説明は省略する。
- [0376] 以下、本実施形態に係るCMOSFET310の効果を説明する。
- [0377] 本実施形態に係るCMOSFET310によれば、nチャネル型MOSFET102Cにおいては、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って、引張応力を有する第5の応力具有膜22が厚く存在するので、nチャネル型MOSFET102Cのチャネルには、より強い引張歪みが加わり、nチャネル型MOSFET102Cにおけるキャリア(電子)の移動度を大きく向上させることができる。
- [0378] また、pチャネル型MOSFET202においては、ゲート電極7、サイドウォール8及びソース・ドレイン領域を覆って、圧縮応力を有する第7の応力具有膜24が厚く存在するので、pチャネル型MOSFET202のチャネルには、より強い圧縮歪みが加わり、pチャネル型MOSFET202におけるキャリア(ホール)の移動度を大きく向上させることができるとができる。
- [0379] 以下、本実施形態に係るCMOSFET310の製造方法を説明する。
- [0380] 第9の実施の形態に係るCMOSFET302の製造方法において、nチャネル型MOSFET102の領域内の引張応力を有する第8の応力具有膜14を除去する工程と、圧縮応力を有する第6の応力具有膜12を成膜し、pチャネル型MOSFET202の領域内の第6の応力具有膜12を除去する工程とを省略することにより、本実施形態に係るCMOSFET310の製造方法を得ることができる。
- [0381] すなわち、第9の実施の形態に係るCMOSFET302の製造方法においては、第6の応力具有膜12及び第8の応力具有膜14を形成するために複数の工程を実施する必要があったが、本実施形態に係るCMOSFET310の製造方法においては、第8の応力具有膜14のみを形成すればよいため、工程数を削減することが可能である。
。

[0382] また、本実施形態に係るCMOSFET310においては、図10に示した第3の実施形態の第1の変更例に係るnチャネル型MOSFET102Aと同様に、pチャネル型MOSFET202において、第8の応力具有膜14はゲート電極7上にのみ形成することもできる。nチャネル型MOSFET102Cの領域においては、第8の応力具有膜14はそのまま残しておくことが可能である。

請求の範囲

- [1] nチャネル型MOSFETを有する半導体装置であって、
前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜を備えていることを特徴とする半導体装置。
- [2] pチャネル型MOSFETを有する半導体装置であって、
前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜を備えていることを特徴とする半導体装置。
- [3] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、
前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、
前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、
を備えていることを特徴とする半導体装置。
- [4] 前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜を備えていることを特徴とする請求項1または3に記載の半導体装置。
- [5] 前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜を備えていることを特徴とする請求項2または3に記載の半導体装置。
- [6] nチャネル型MOSFETを有する半導体装置であって、
前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第1の応力具有膜と、
前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第1の応力具有膜の高さとほぼ等しい高さを有し、引張応力を有する第3の応力具有膜と、
を備えることを特徴とする半導体装置。
- [7] pチャネル型MOSFETを有する半導体装置であって、
前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第2の応力具有膜と、
前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第2の応力具有膜の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、

- を備えることを特徴とする半導体装置。
- [8] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第1の応力具有膜と、
前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第1の応力具有膜の高さとほぼ等しい高さを有し、引張応力を有する第3の応力具有膜と、
前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第2の応力具有膜と、
前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記第2の応力具有膜の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、
を備えることを特徴とする半導体装置。
- [9] nチャネル型MOSFETを有する半導体装置であって、
前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、
前記nチャネル型MOSFETのゲート電極及び前記第5の応力具有膜上に全面的に形成され、圧縮応力を有する第6の応力具有膜と、
を備えることを特徴とする半導体装置。
- [10] pチャネル型MOSFETを有する半導体装置であって、
前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、
前記pチャネル型MOSFETのゲート電極及び前記第7の応力具有膜上に全面的に形成され、引張応力を有する第8の応力具有膜と、
を備えることを特徴とする半導体装置。
- [11] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、引張応力を有する第5の

応力具有膜と、

前記nチャネル型MOSFETのゲート電極及び前記第5の応力具有膜上に全面的に形成され、圧縮応力を有する第6の応力具有膜と、

前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、

前記pチャネル型MOSFETのゲート電極及び前記第7の応力具有膜上に全面的に形成され、引張応力を有する第8の応力具有膜と、

を備えることを特徴とする半導体装置。

[12] nチャネル型MOSFETを有する半導体装置であって、

前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、

前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、

を備えることを特徴とする半導体装置。

[13] pチャネル型MOSFETを有する半導体装置であって、

前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、

を備えることを特徴とする半導体装置。

[14] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、

前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、引張応力を有する第5の応力具有膜と、

前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の

応力具有膜と、

前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さを有し、圧縮応力を有する第7の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、

を備えることを特徴とする半導体装置。

- [15] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、

前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、

前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、

を備えることを特徴とする半導体装置。

- [16] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上にそれぞれ形成され、局所的に圧縮応力を有する第1の応力具有膜と、前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、を備えることを特徴とする半導体装置。

- [17] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、前記nチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、を備えることを特徴とする半導体装置。

- [18] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、

前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、

前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆い、引張応力を有する第3の応力具有膜と、

を備えることを特徴とする半導体装置。

- [19] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのゲート電極上に形成され、局所的に圧縮応力を有する第1の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、局所的に引張応力を有する第2の応力具有膜と、

前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆い、圧縮応力を有する第4の応力具有膜と、

を備えることを特徴とする半導体装置。

- [20] 前記第3の応力具有膜及び前記第4の応力具有膜の少なくとも何れか一方は、前記ゲート電極上において、応力が緩和されている部分を備えていることを特徴とする請求項4、5及び15乃至19の何れか一項に記載の半導体装置。

- [21] 前記第3の応力具有膜及び前記第4の応力具有膜の少なくとも何れか一方は、前記ゲート電極上において、切欠き領域を備えていることを特徴とする請求項4、5及び15乃至19の何れか一項に記載の半導体装置。

- [22] 前記nチャネル型MOSFETまたは前記pチャネル型MOSFETのソース・ドレイン領域上を覆う前記第3の応力具有膜または前記第4の応力具有膜は、その表面が、前記第1の応力具有膜または前記第2の応力具有膜の表面と一致する程度の厚さを有していることを特徴とする請求項4、5及び15乃至21の何れか一項に記載の半導体装置。

- [23] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOS

FETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、

前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、

を備えることを特徴とする半導体装置。

- [24] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、

前記nチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、

前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜と、

を備えることを特徴とする半導体装置。

- [25] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、

前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、

前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上に形成され、圧縮応力を有する第6の応力具有膜と、前記nチャネル型MOSFETのゲート電極上及び前記pチャネル型MOSFETのゲート電極上に形成され、引張応力を有する第8の応力具有膜との何れか一方と、

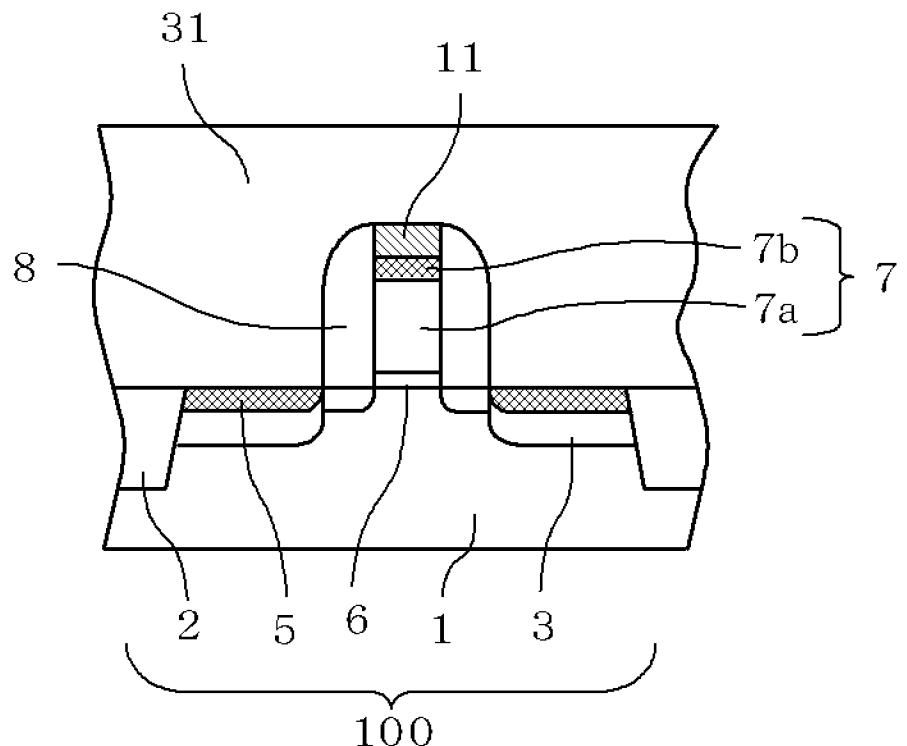
を備えることを特徴とする半導体装置。

- [26] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、
前記nチャネル型MOSFETを覆って前記第5の応力具有膜上に形成され、圧縮応力を有する第6の応力具有膜と、
前記pチャネル型MOSFETを覆って前記第5の応力具有膜上に形成され、引張応力を有する第8の応力具有膜と、
を備えることを特徴とする半導体装置。
- [27] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上及び前記pチャネル型MOSFETのソース・ドレイン領域上にそれぞれ形成され、各ゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、
前記nチャネル型MOSFETを覆って前記第7の応力具有膜上に形成され、圧縮応力を有する第6の応力具有膜と、
前記pチャネル型MOSFETを覆って前記第7の応力具有膜上に形成され、引張応力を有する第8の応力具有膜と、
を備えることを特徴とする半導体装置。
- [28] nチャネル型MOSFETとpチャネル型MOSFETとを有する半導体装置であって、前記nチャネル型MOSFETのソース・ドレイン領域上に形成され、前記nチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの引張応力を有する第5の応力具有膜と、
前記pチャネル型MOSFETのソース・ドレイン領域上に形成され、前記pチャネル型MOSFETのゲート電極の高さとほぼ等しい高さの圧縮応力を有する第7の応力具有膜と、
前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆って前記第5の応力具有膜及び前記第7の応力具有膜上に形成され、圧縮応力を有する第6の応力具有膜と、前記nチャネル型MOSFET及び前記pチャネル型MOSFETを覆って

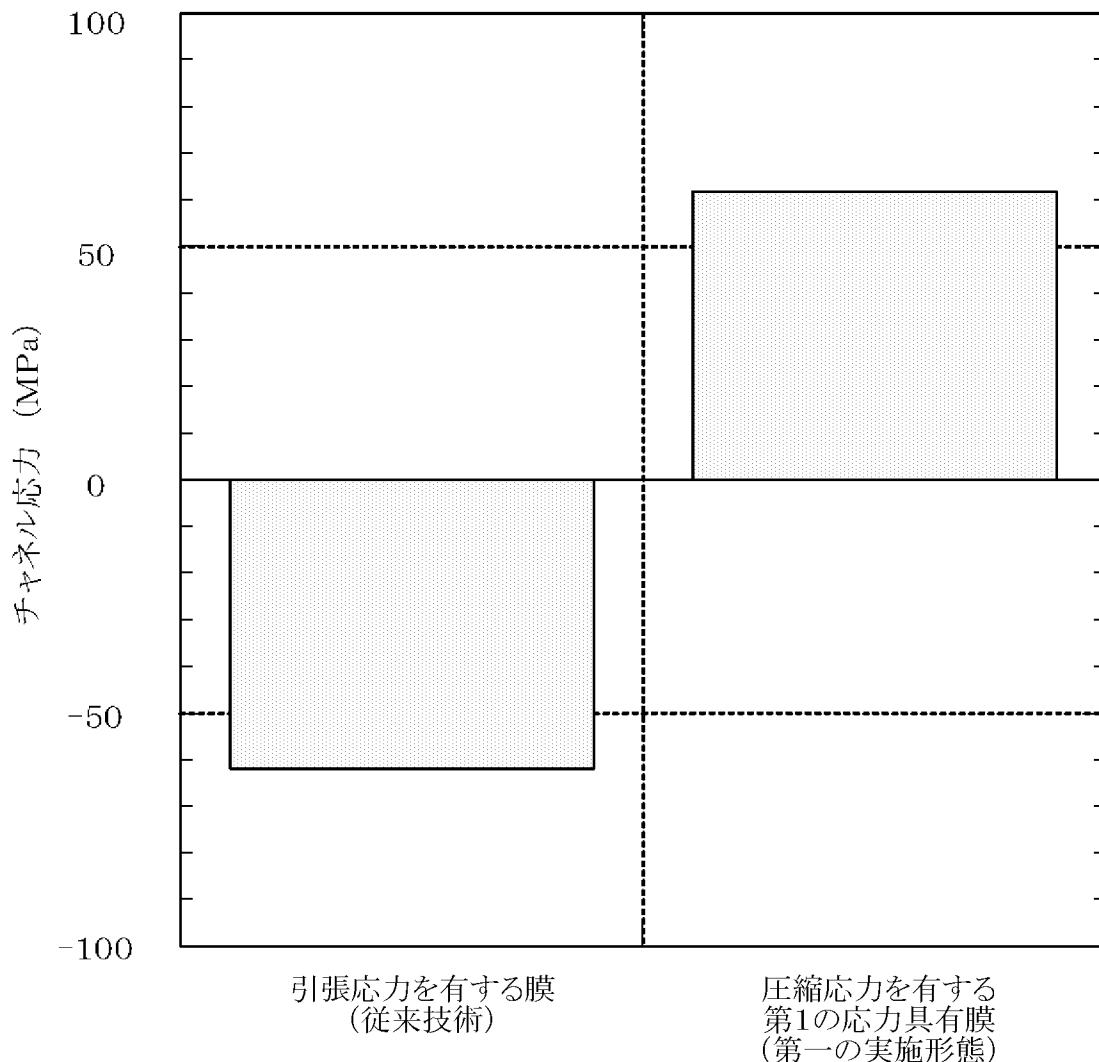
前記第5の応力具有膜及び前記第7の応力具有膜上に形成され、引張応力を有する第8の応力具有膜との何れか一方と、
を備えることを特徴とする半導体装置。

- [29] 前記第1の応力具有膜に代えて、前記nチャネル型MOSFETのゲート電極の上部の少なくとも一部に形成され、圧縮応力を有する第1の応力具有導電膜を備えていることを特徴とする請求項1、3、15、16、18、19及び20の何れか一項に記載の半導体装置。
- [30] 前記第2の応力具有膜に代えて、前記pチャネル型MOSFETのゲート電極の上部の少なくとも一部に形成され、引張応力を有する第2の応力具有導電膜を備えていることを特徴とする請求項2、3、15、17、18、19及び20の何れか一項に記載の半導体装置。
- [31] 前記第1、第2、第6または第8の応力具有膜が、炭素、酸素若しくは窒素の珪化物あるいはそれらの水素添加物、及び、アルミニウム、ハフニウム、タンタル、ジルコニウム若しくは珪素の酸化物あるいはそれらの窒素添加物、の中の少なくとも一つを含むことを特徴とする請求項1、2、3、6乃至19、23乃至28の何れか一項に記載の半導体装置。
- [32] 前記第1または第2の応力具有導電膜が、コバルト、ニッケル若しくはチタンのいずれかを含有するシリサイド、または、タングステン、アルミニウム、銅若しくは白金、の中の少なくとも何れか一つを含むことを特徴とする請求項1、2、3、15乃至19及び22の何れか一項に記載の半導体装置。
- [33] 前記nチャネル型MOSFET及び前記pチャネル型MOSFETの少なくとも何れか一方が、シリコン、ゲルマニウムを含有するシリコン及びカーボンを含有するシリコンの何れか一つからなる基板上に形成されていることを特徴とする1乃至32の何れか一項に記載の半導体装置。

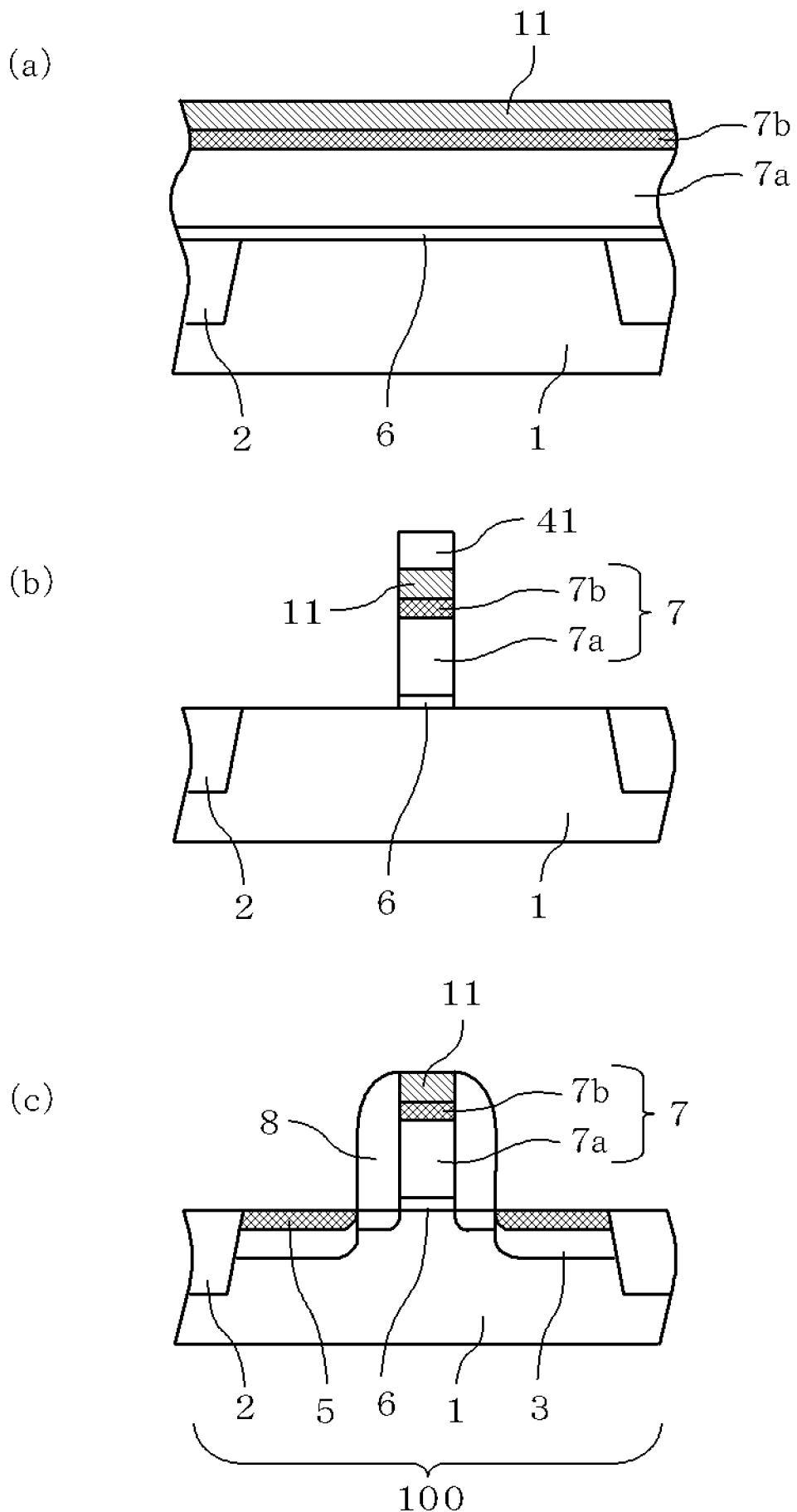
[図1]



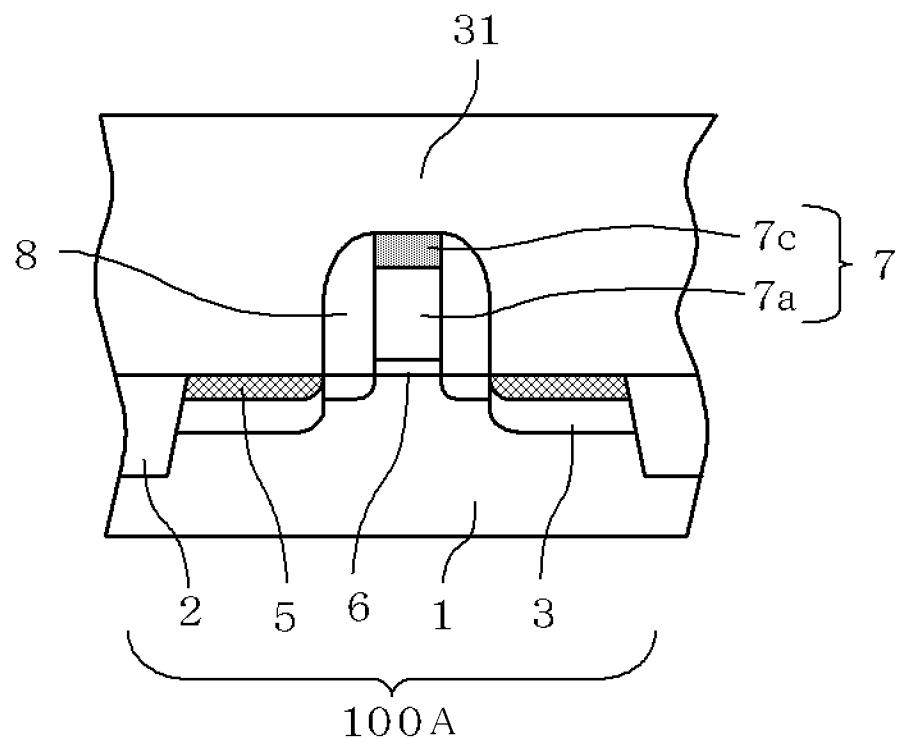
[図2]



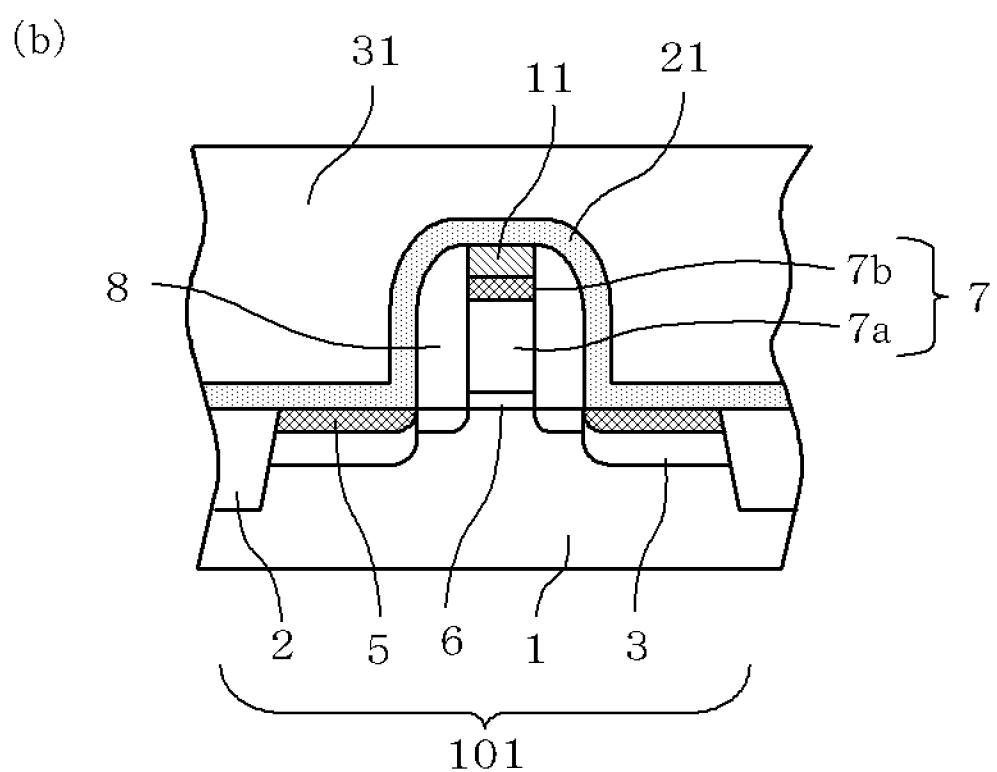
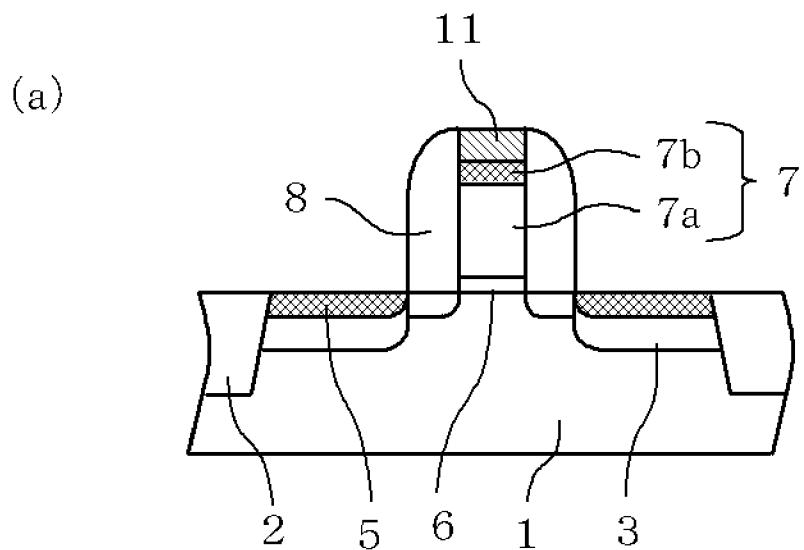
[図3]



[図4]

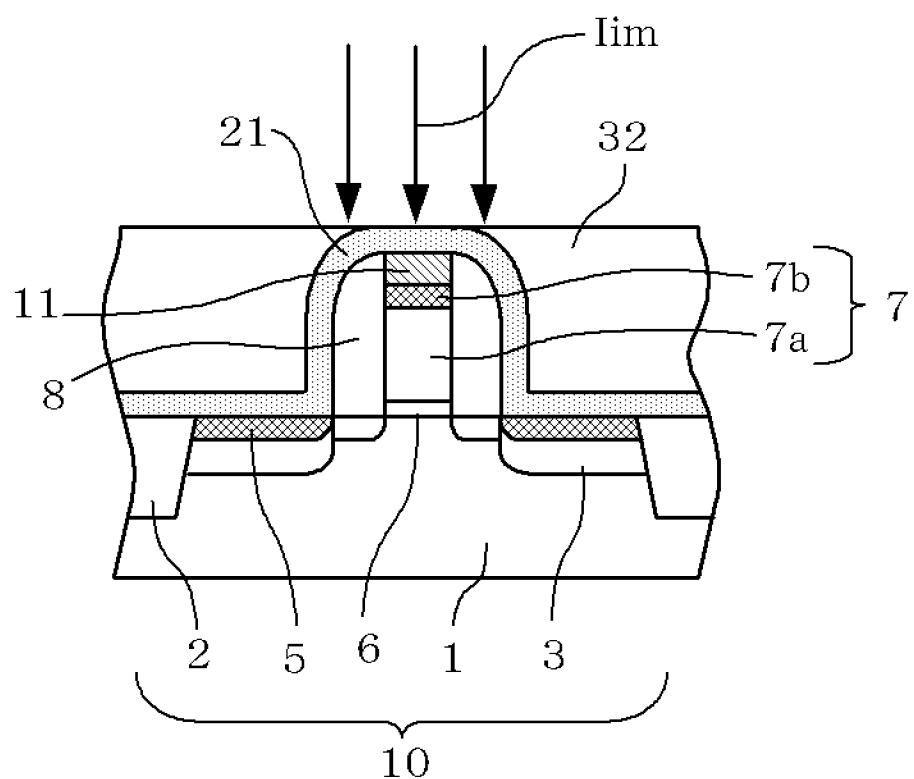


[図5]

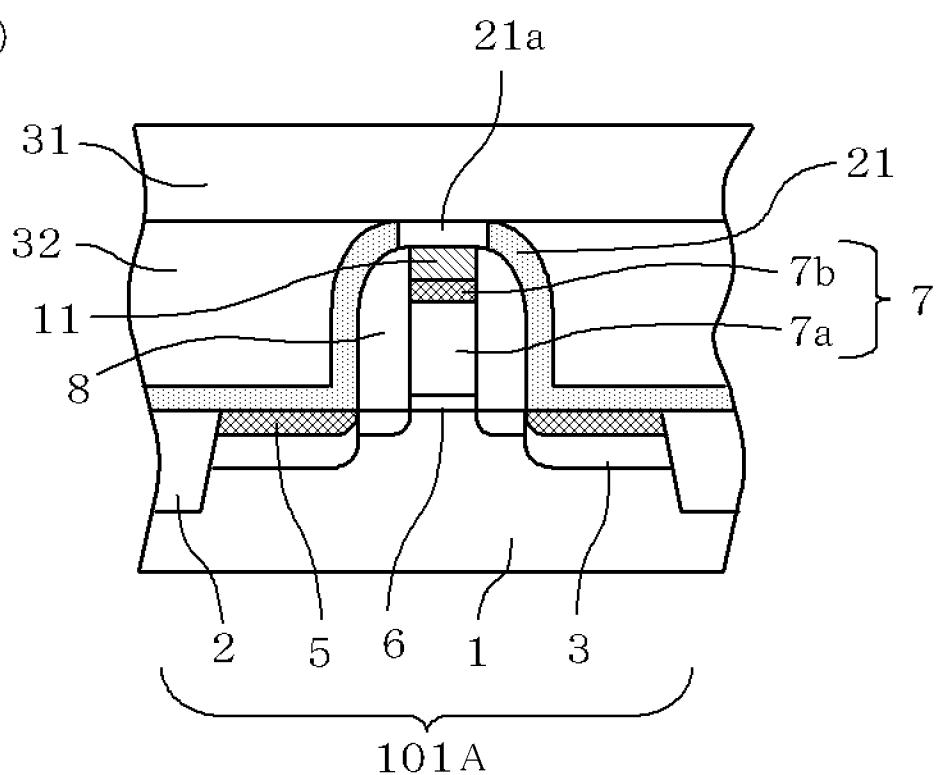


[図6]

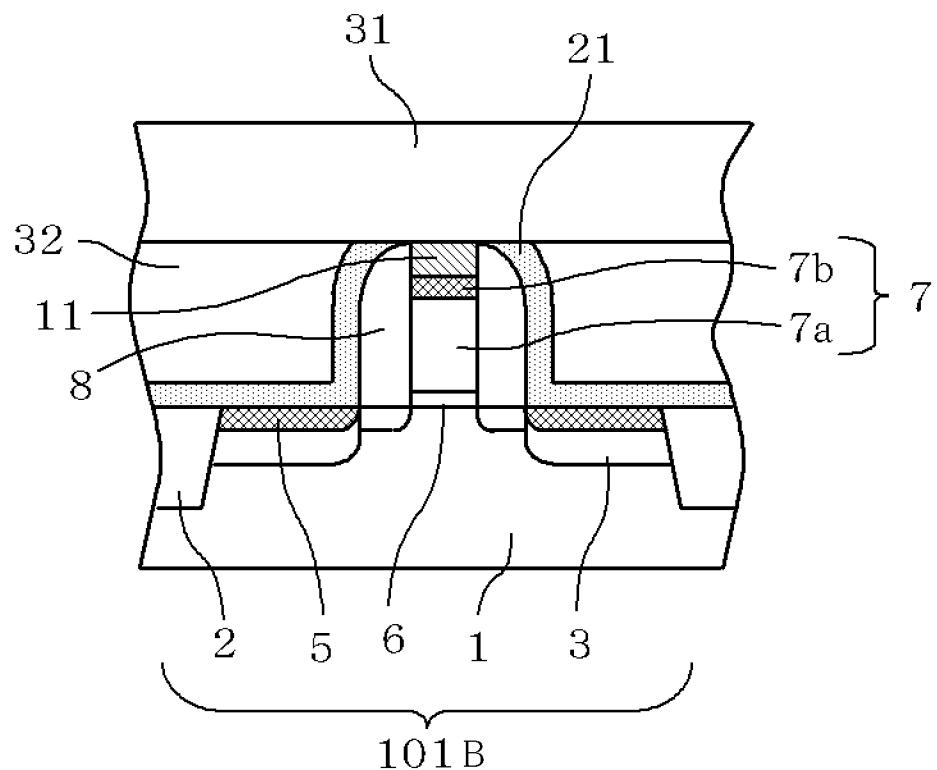
(a)



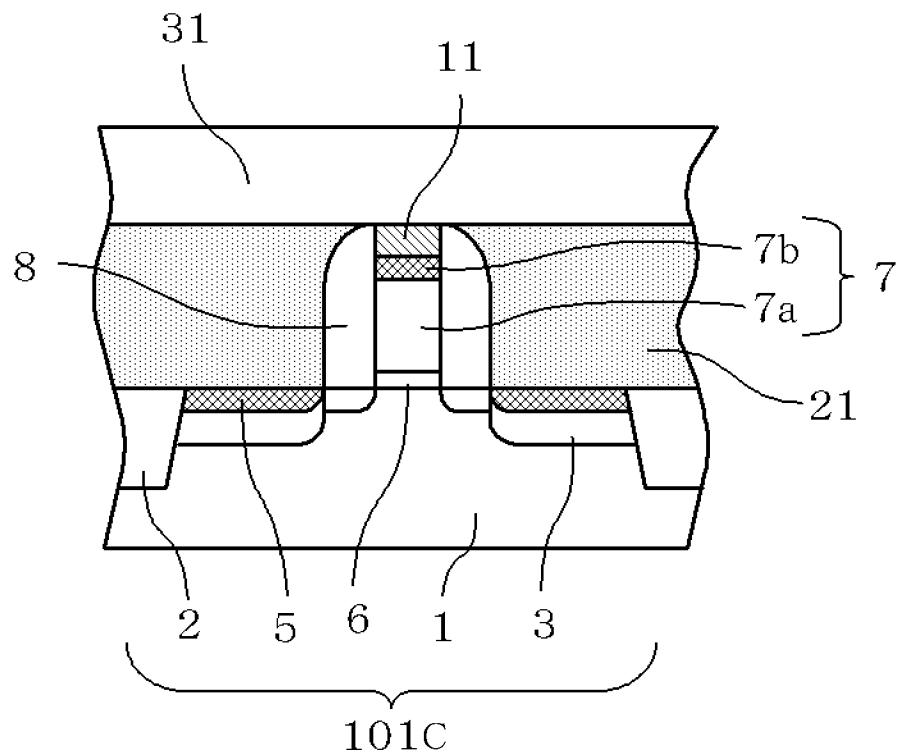
(b)



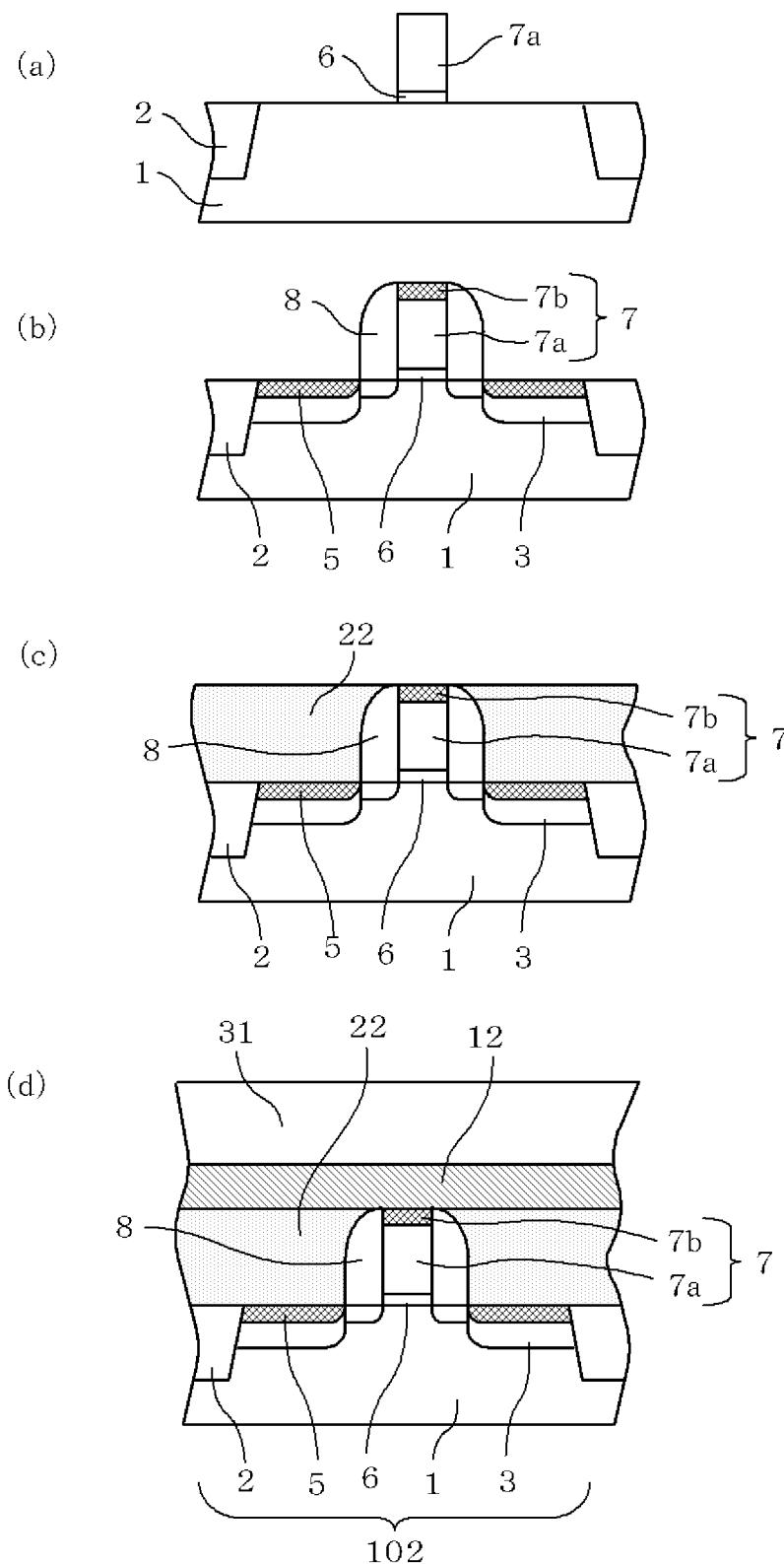
[図7]



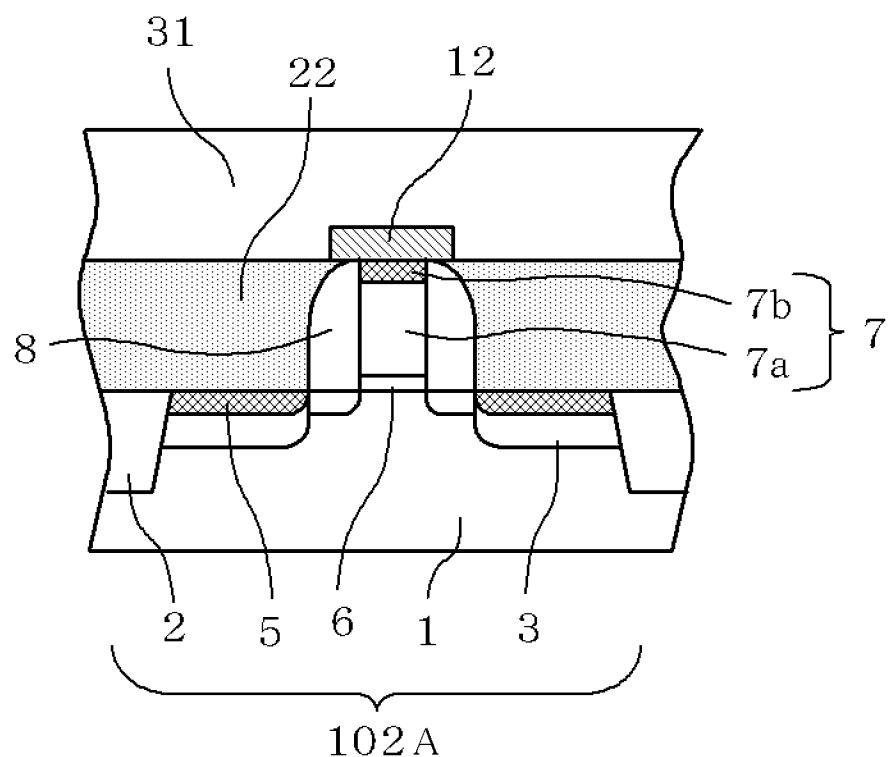
[図8]



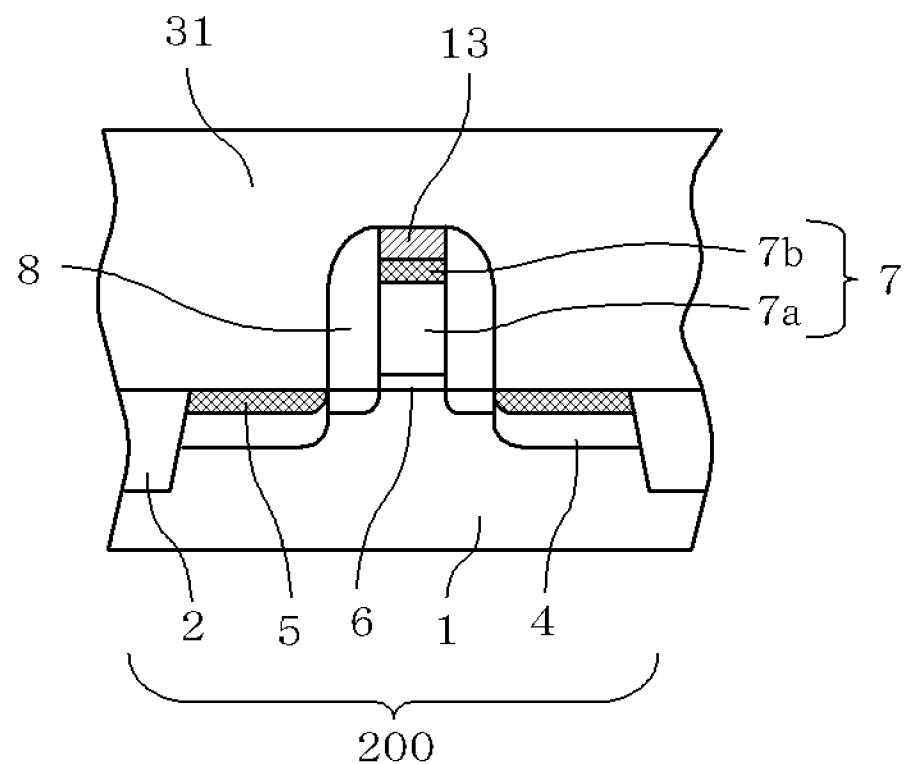
[図9]



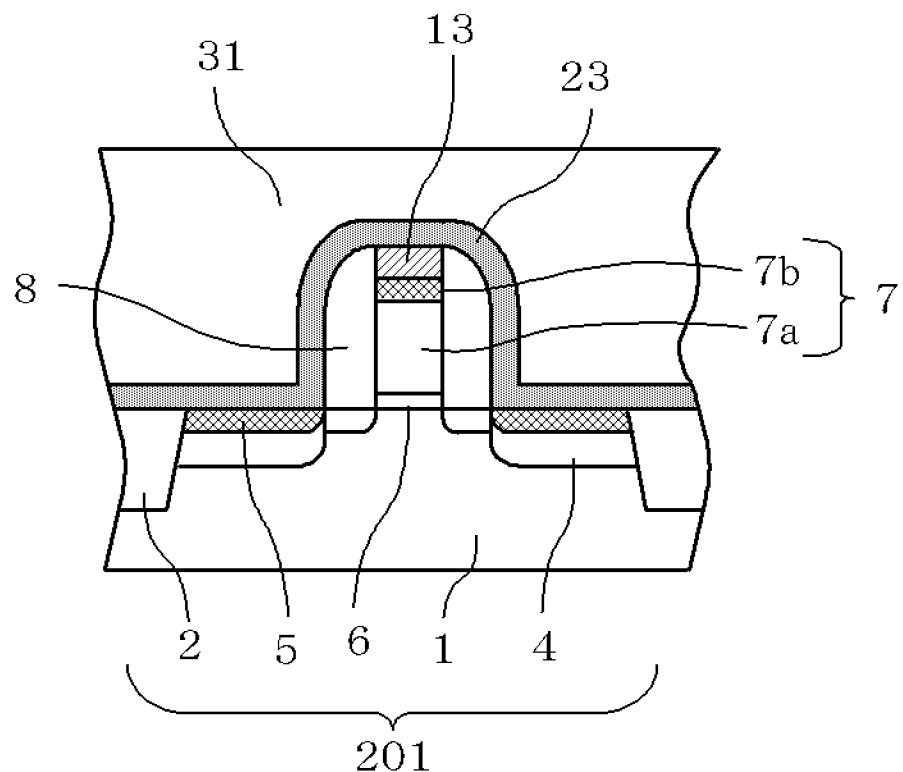
[図10]



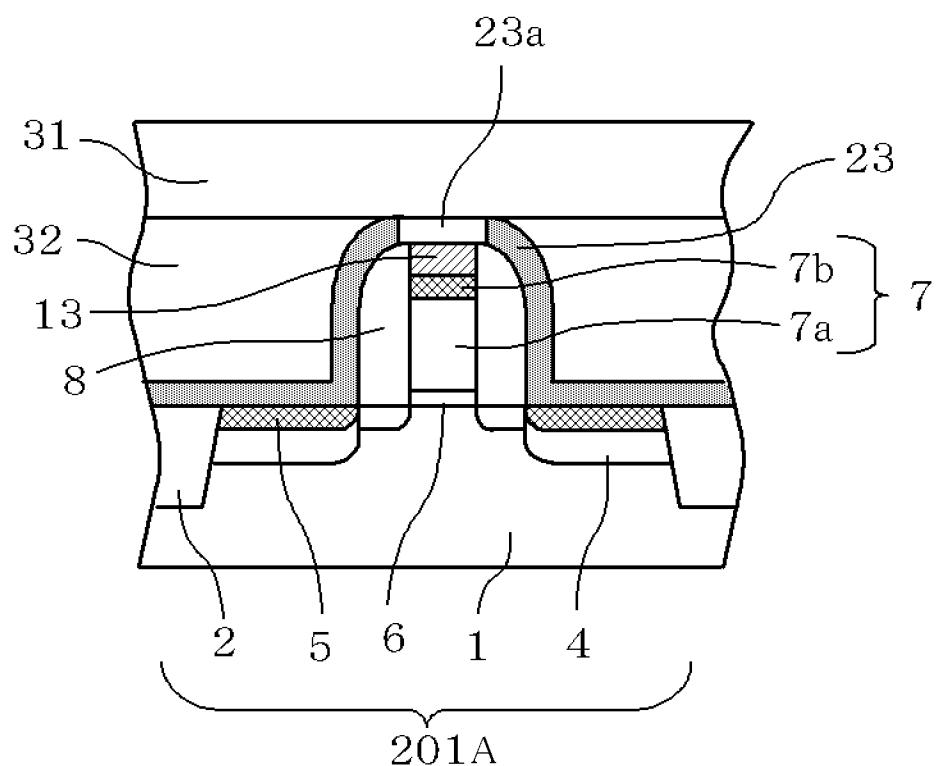
[図11]



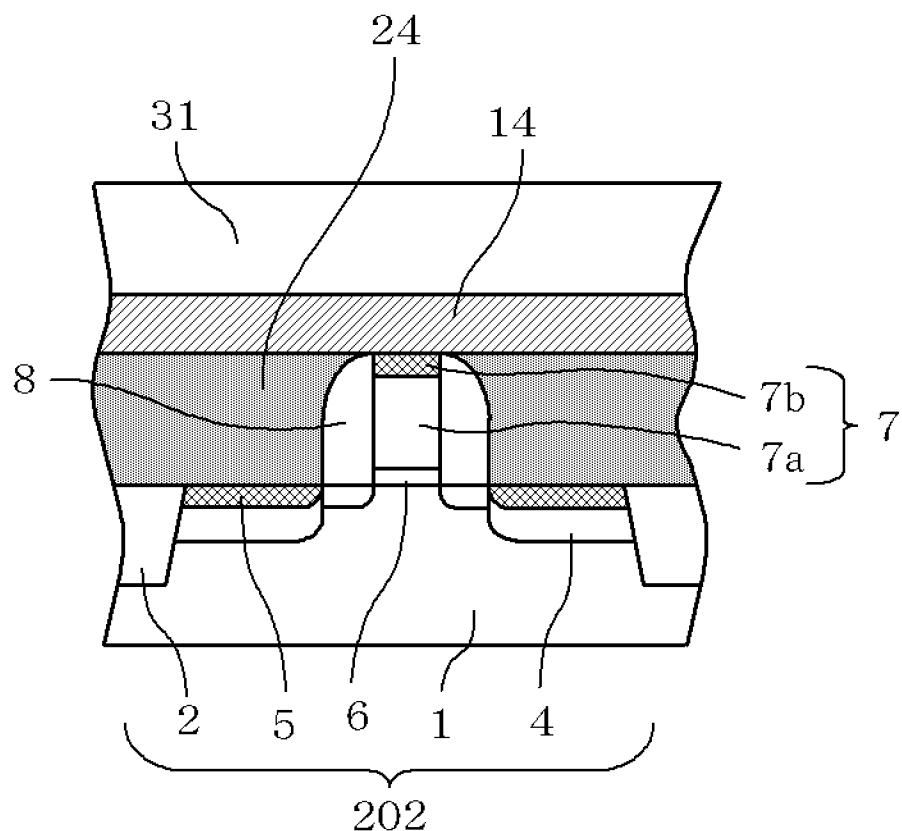
[図12]



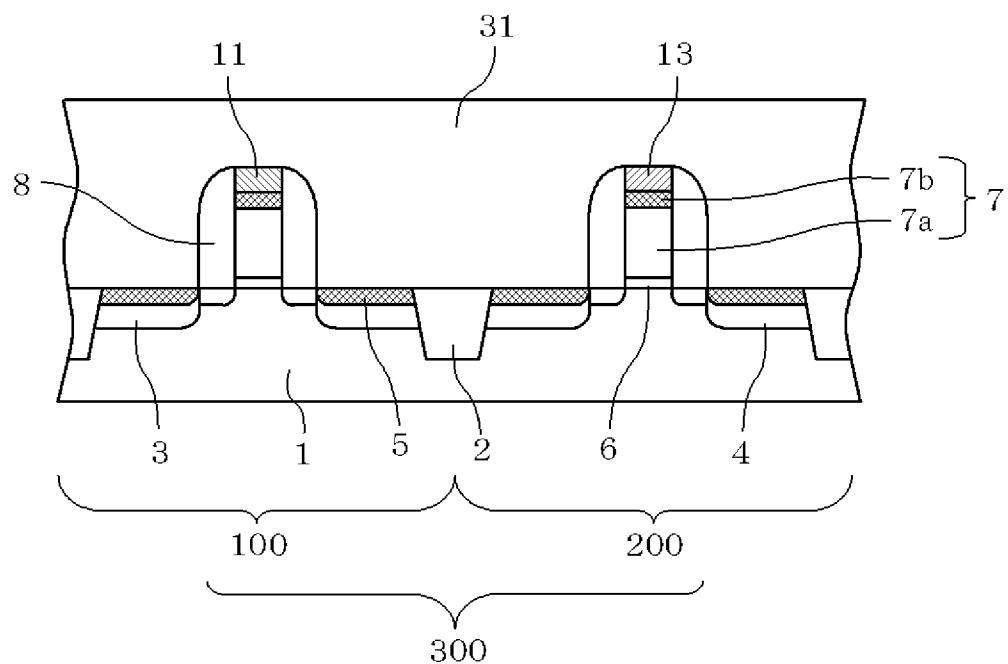
[図13]



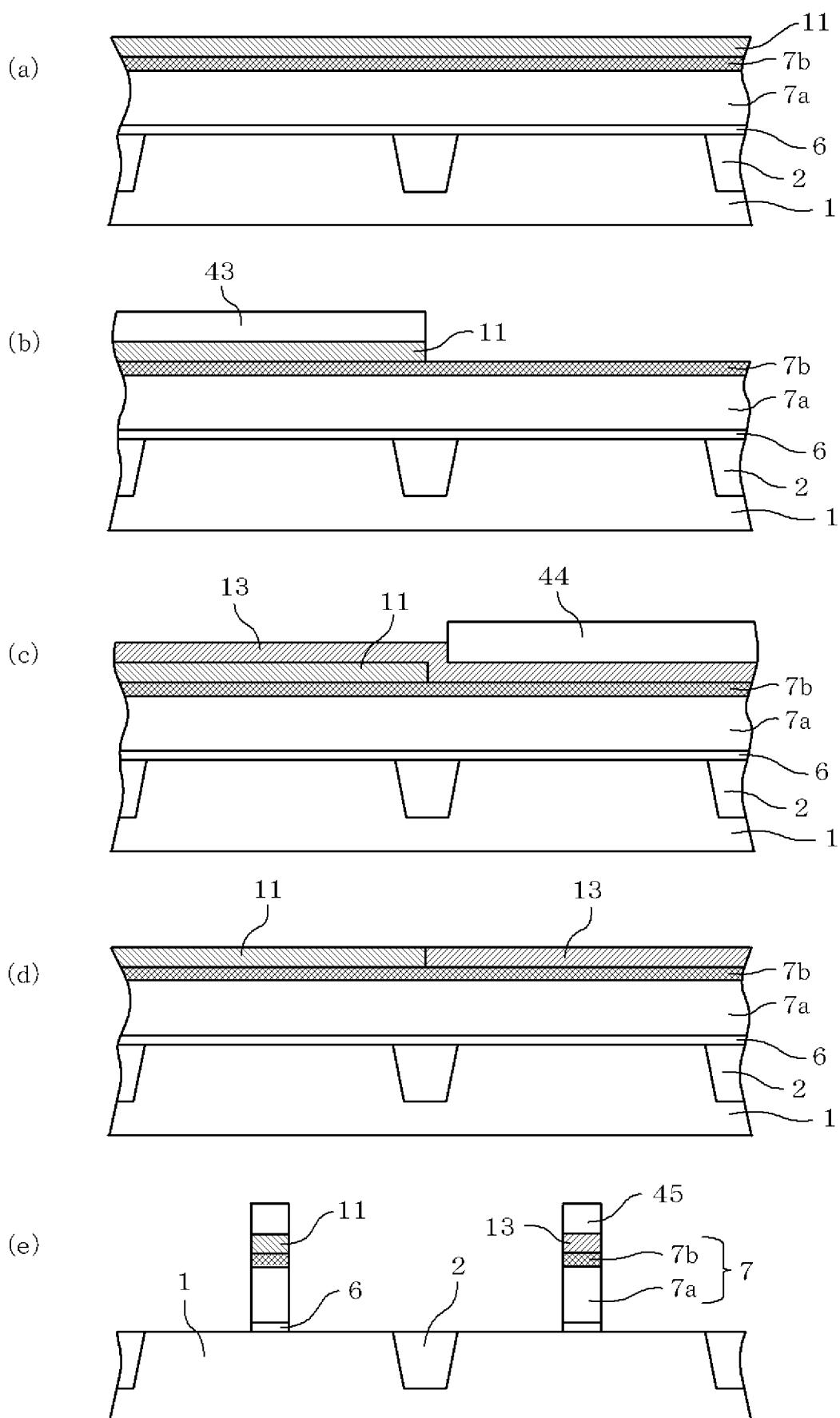
[図14]



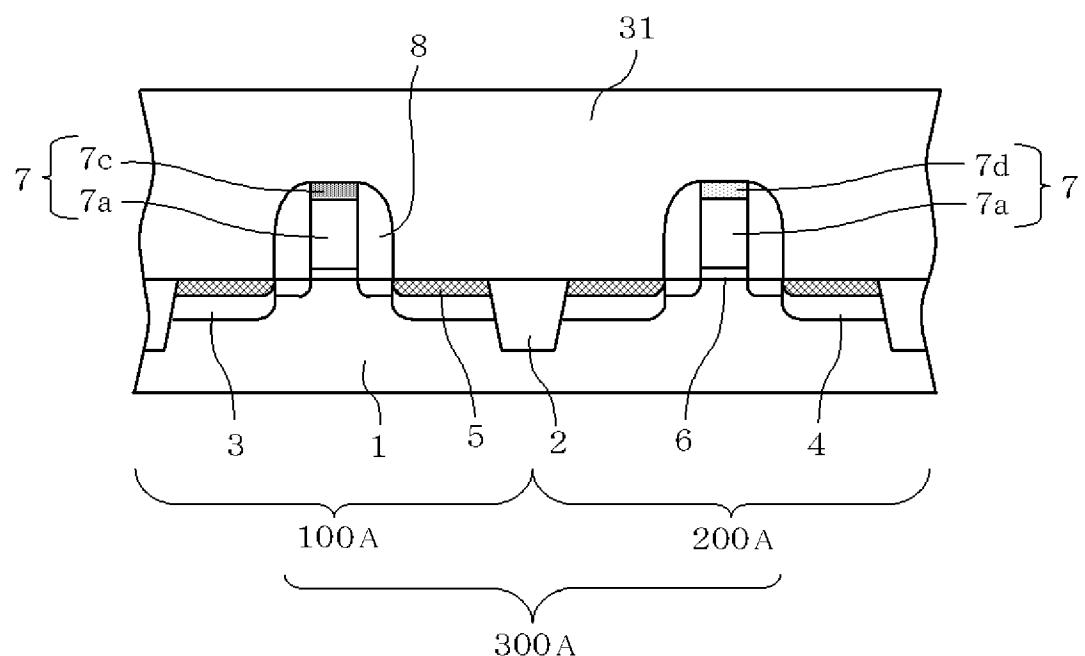
[図15]



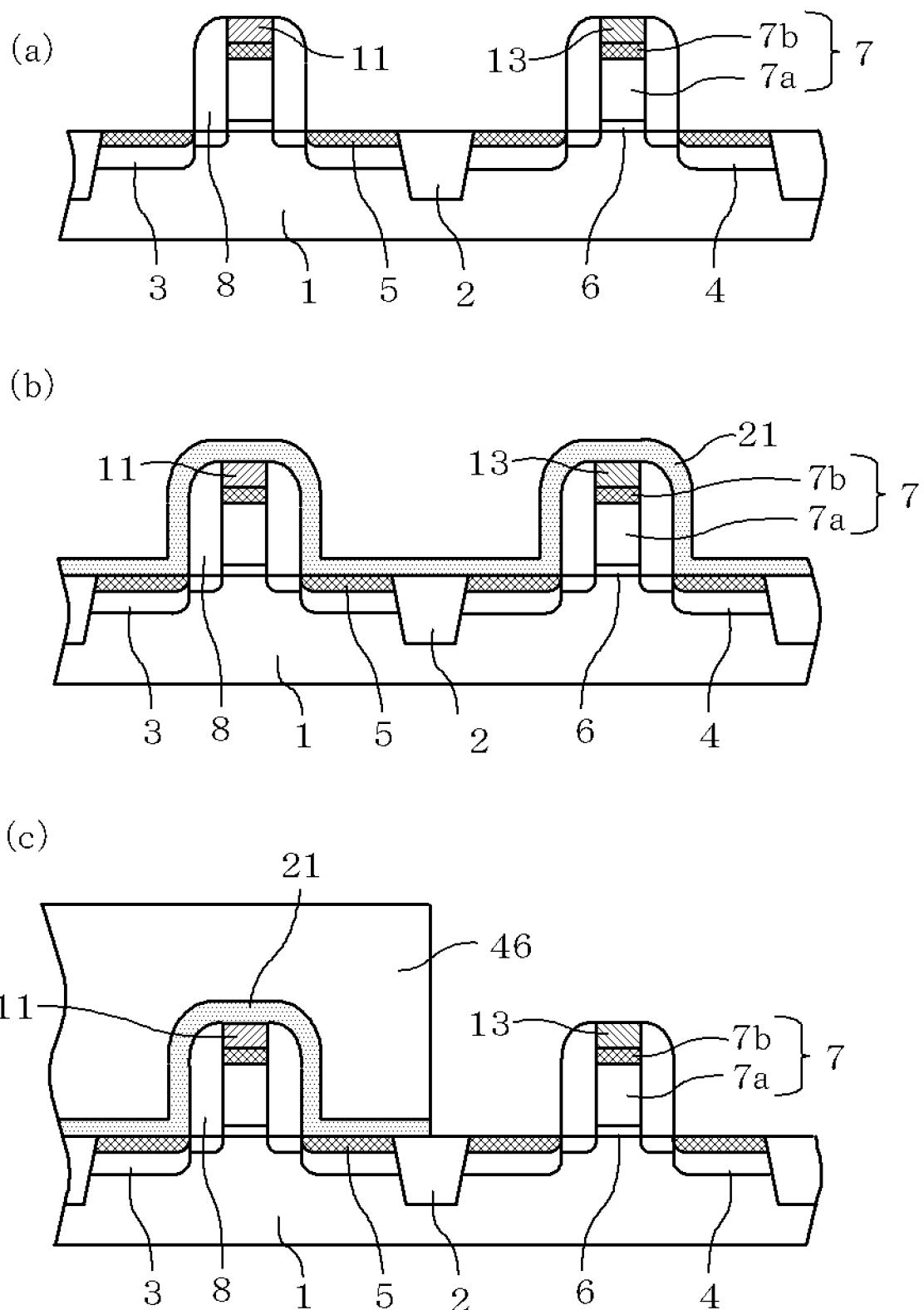
[図16]



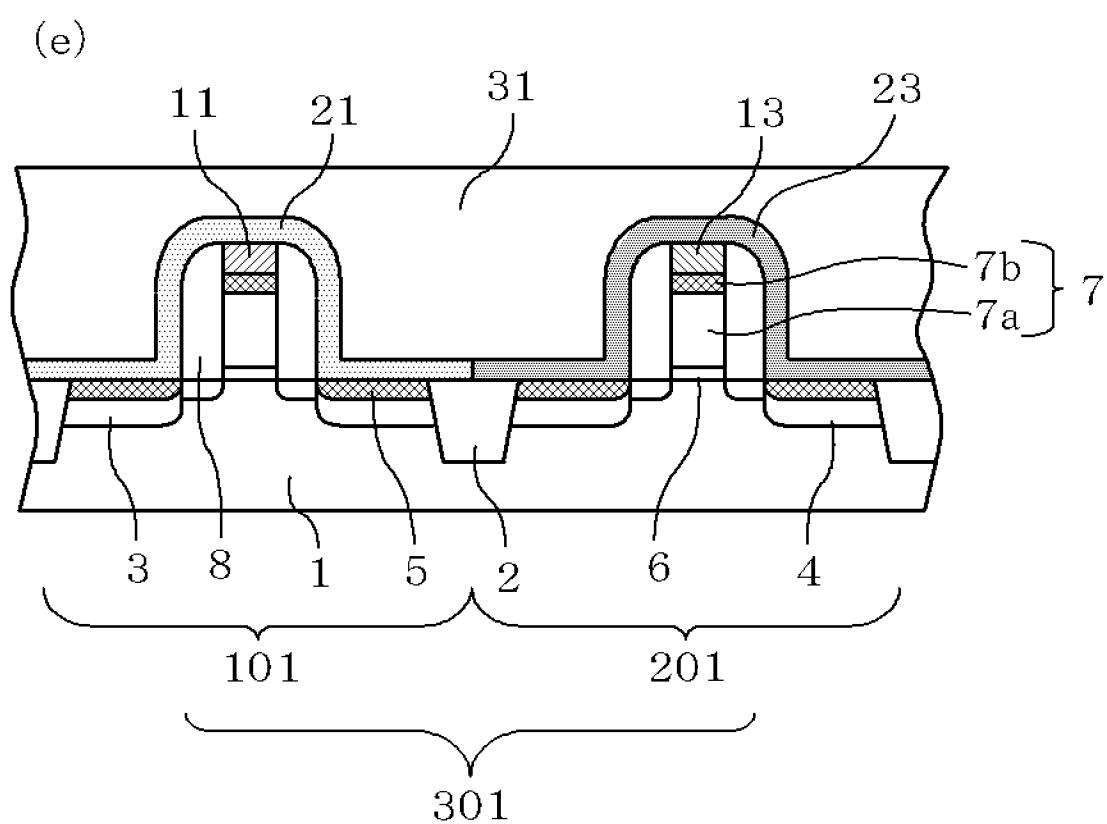
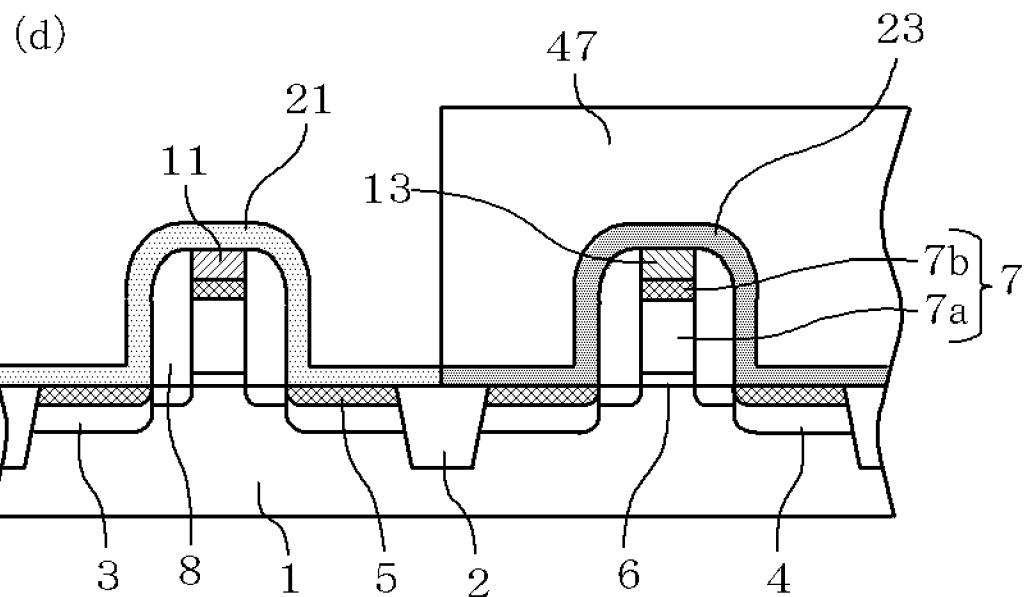
[図17]



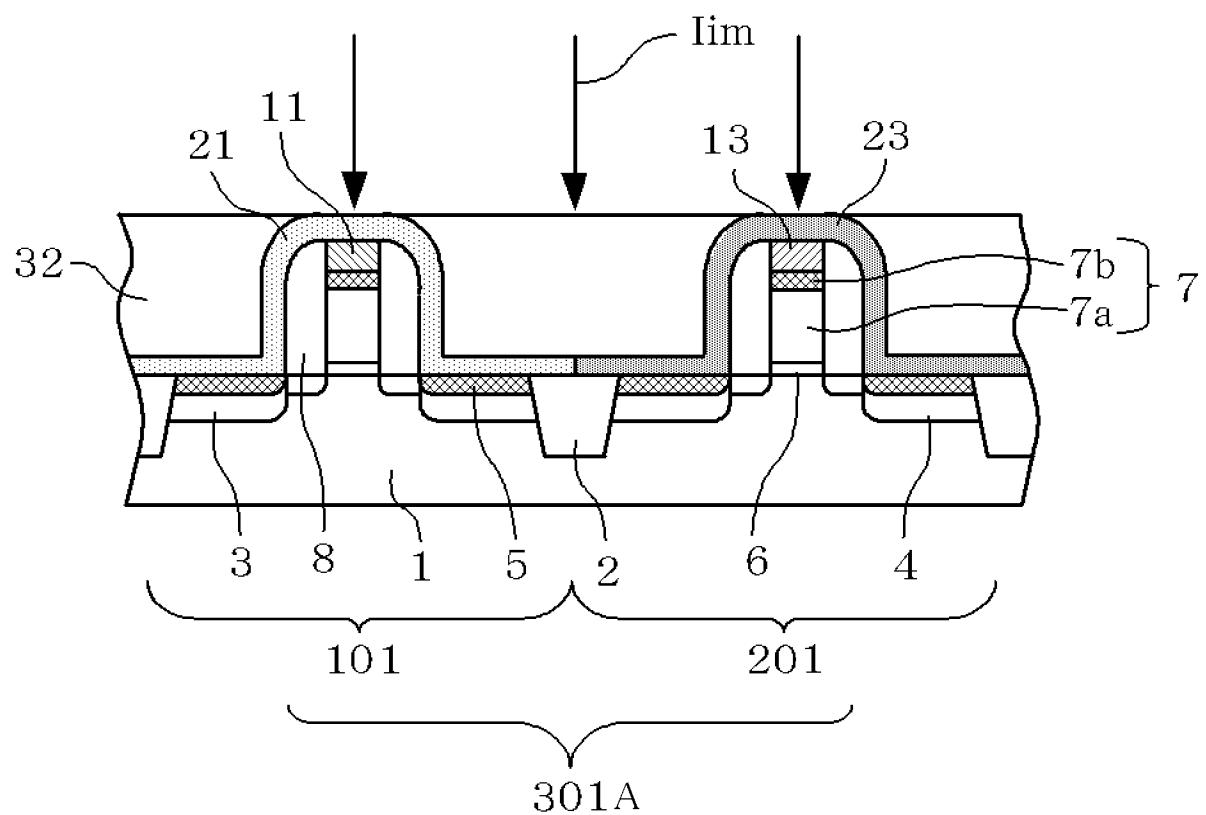
[図18]



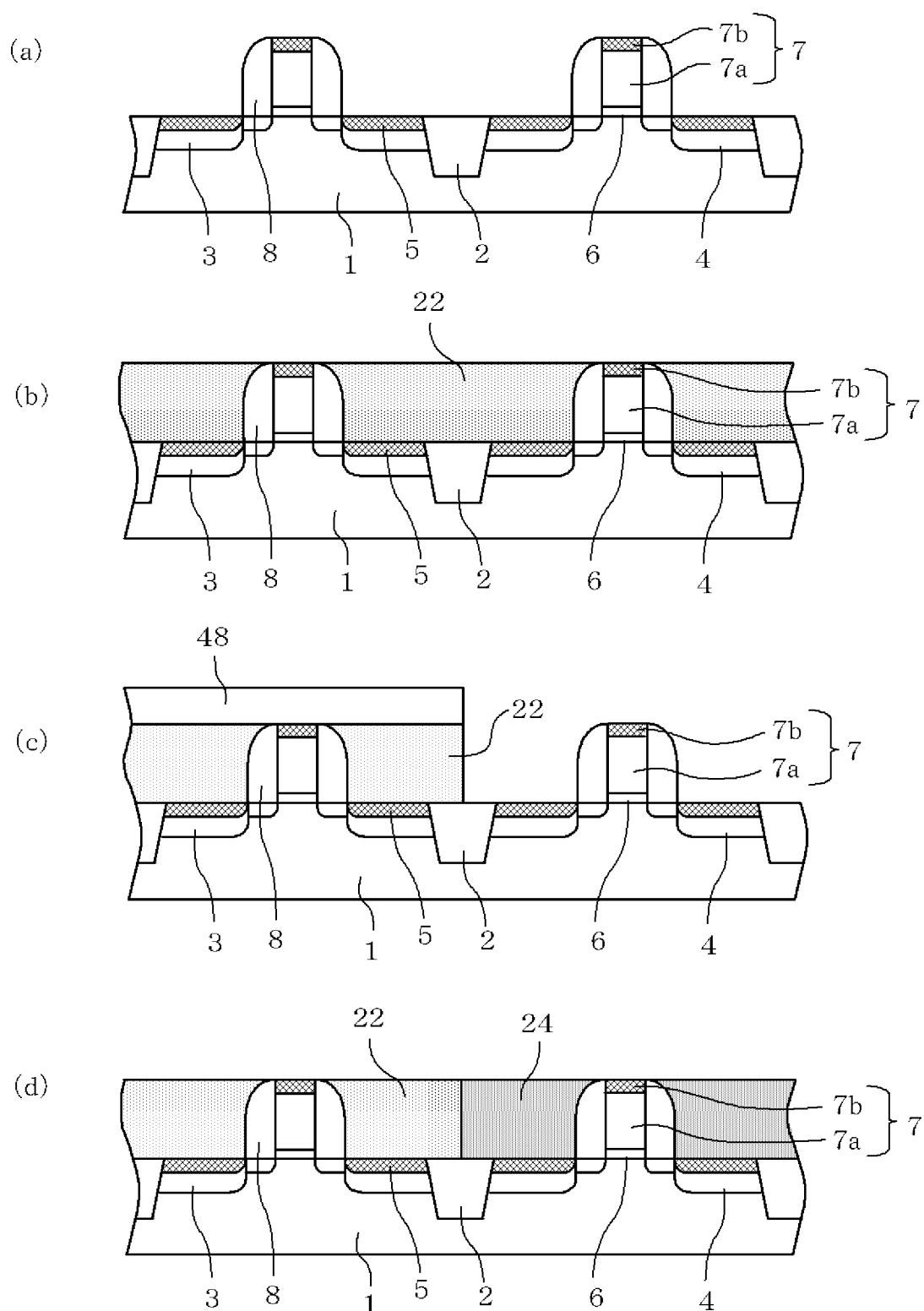
[図19]



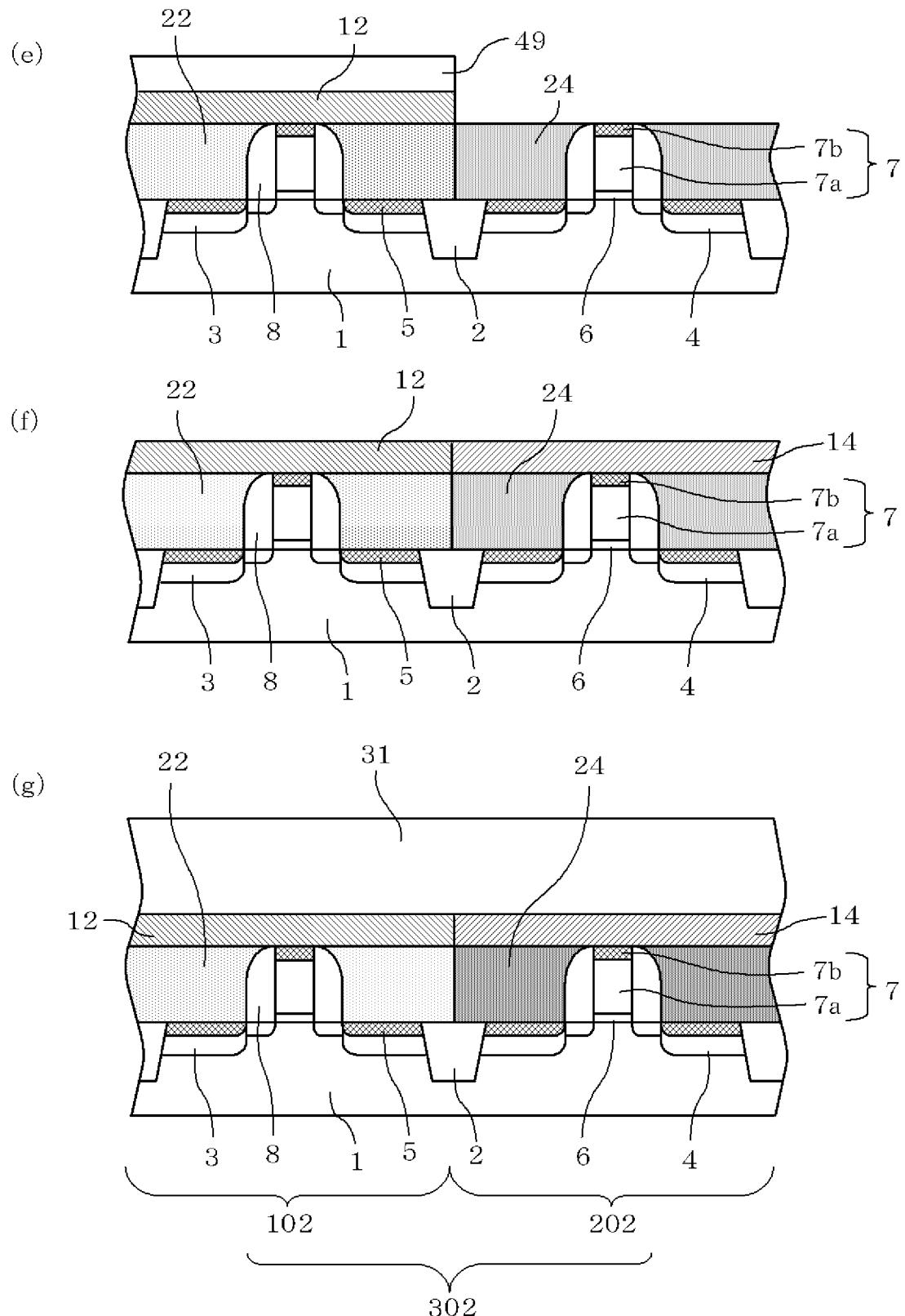
[図20]



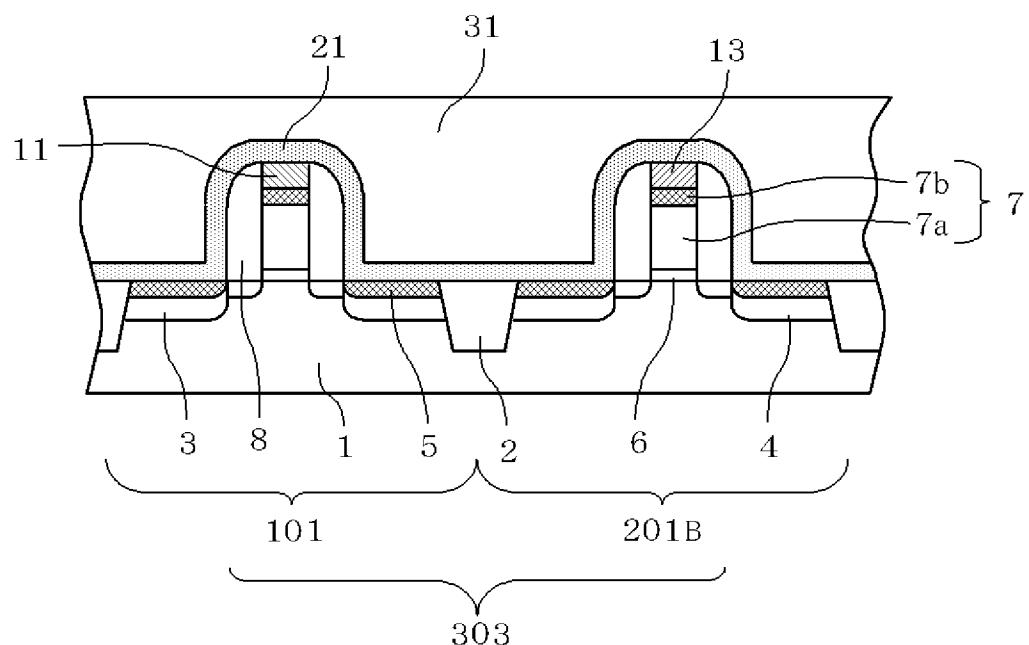
[図21]



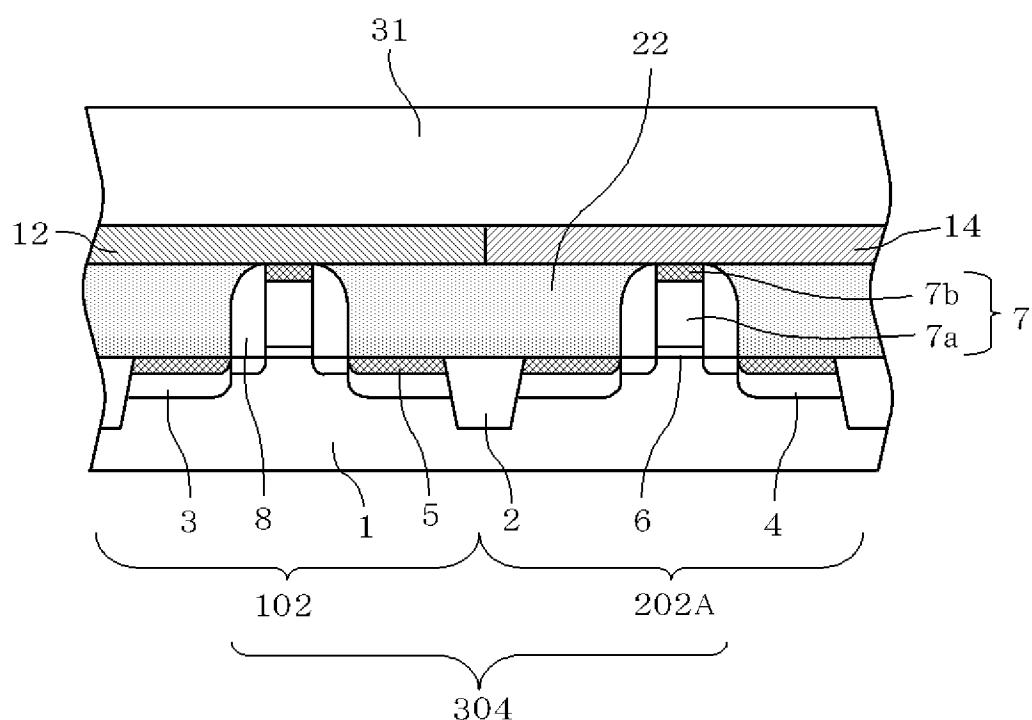
[図22]



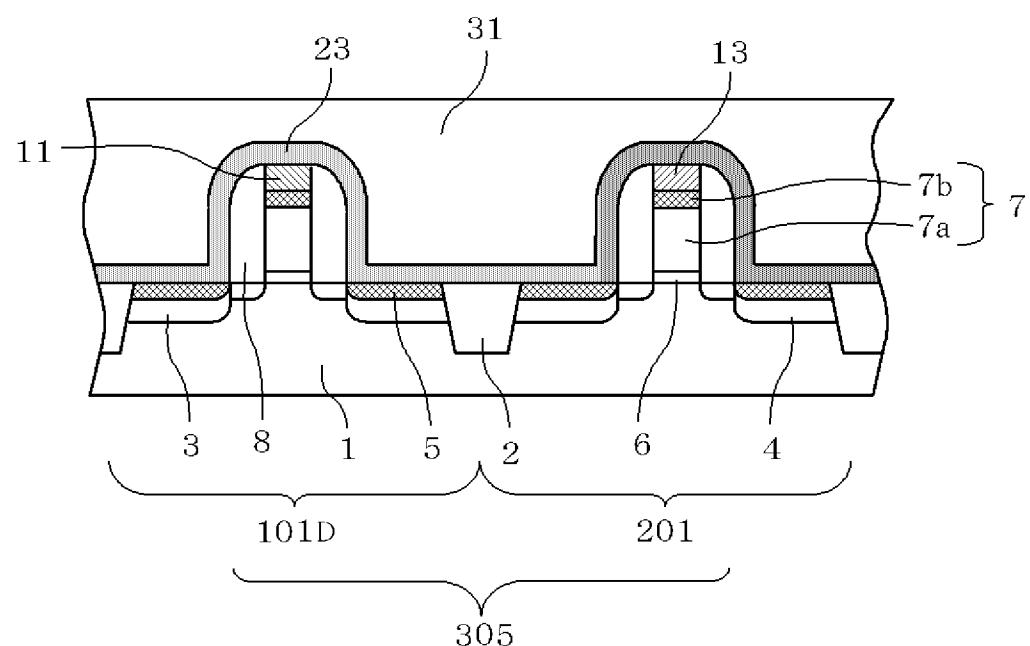
[図23]



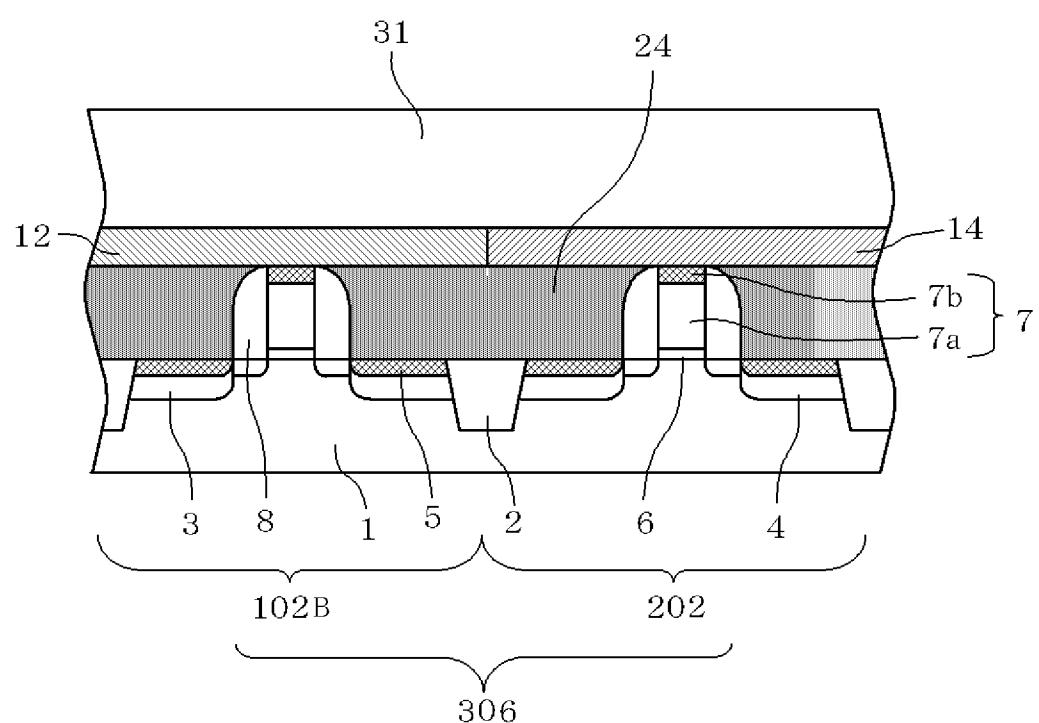
[図24]



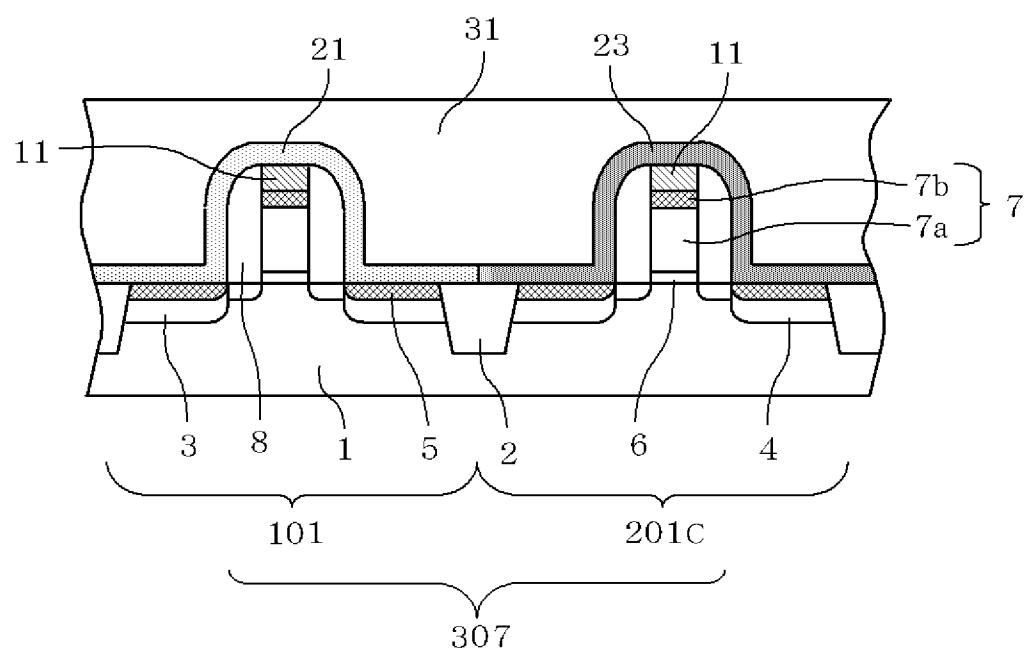
[図25]



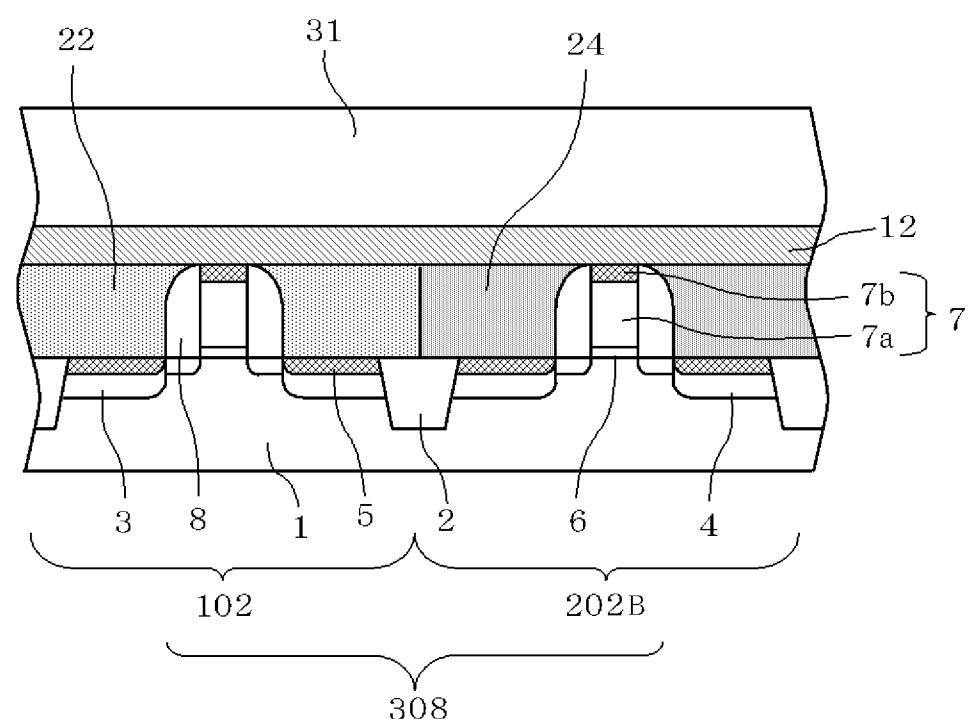
[図26]



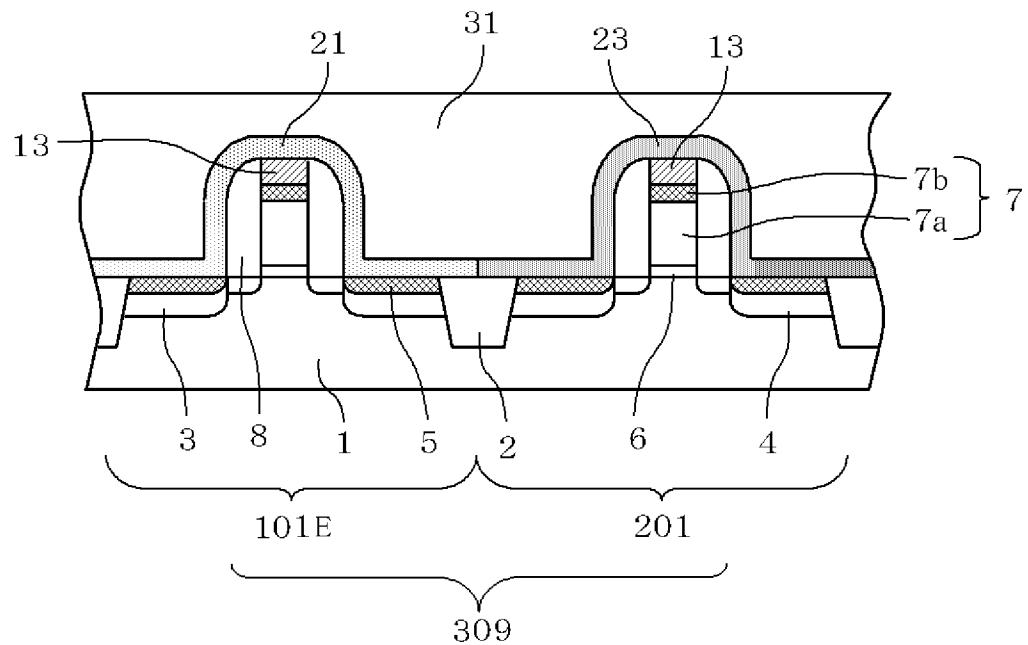
[図27]



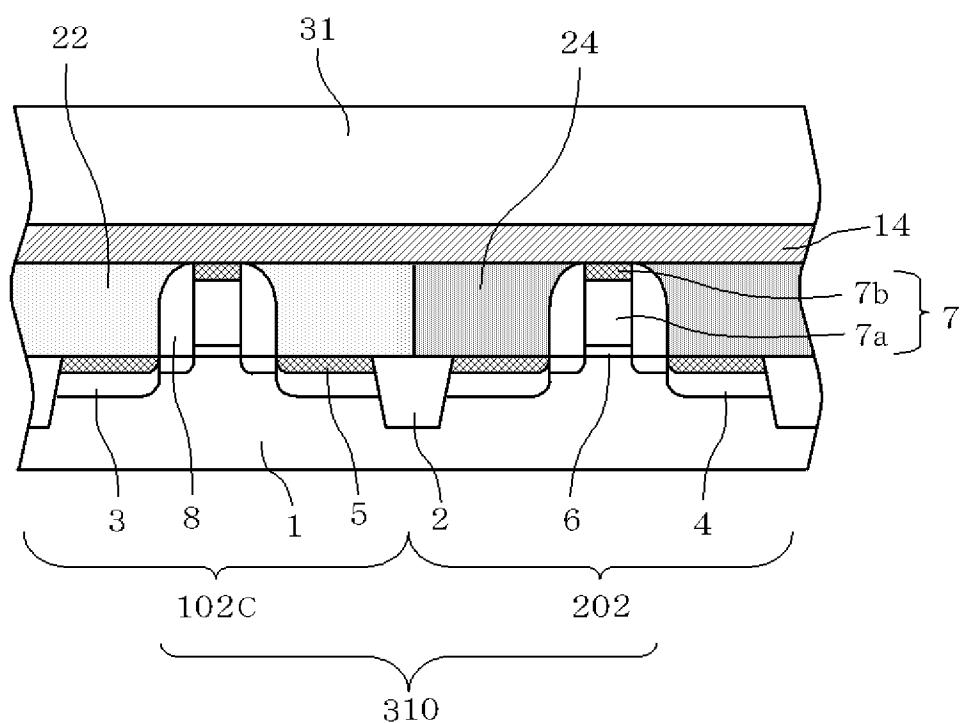
[図28]



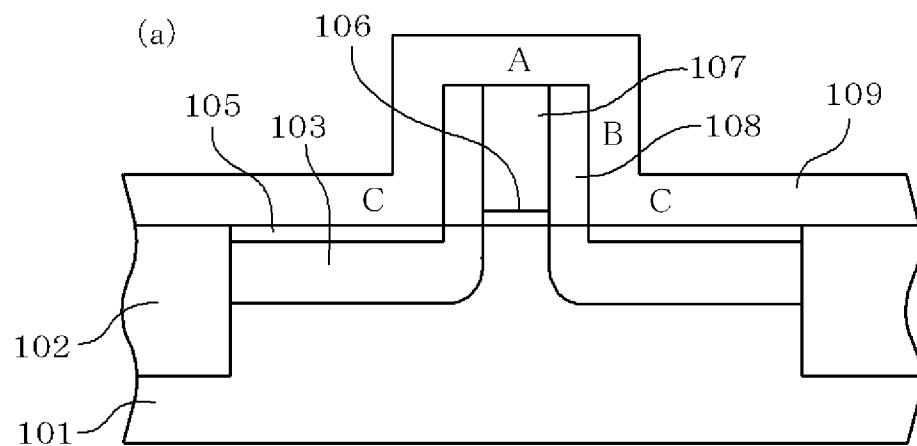
[図29]



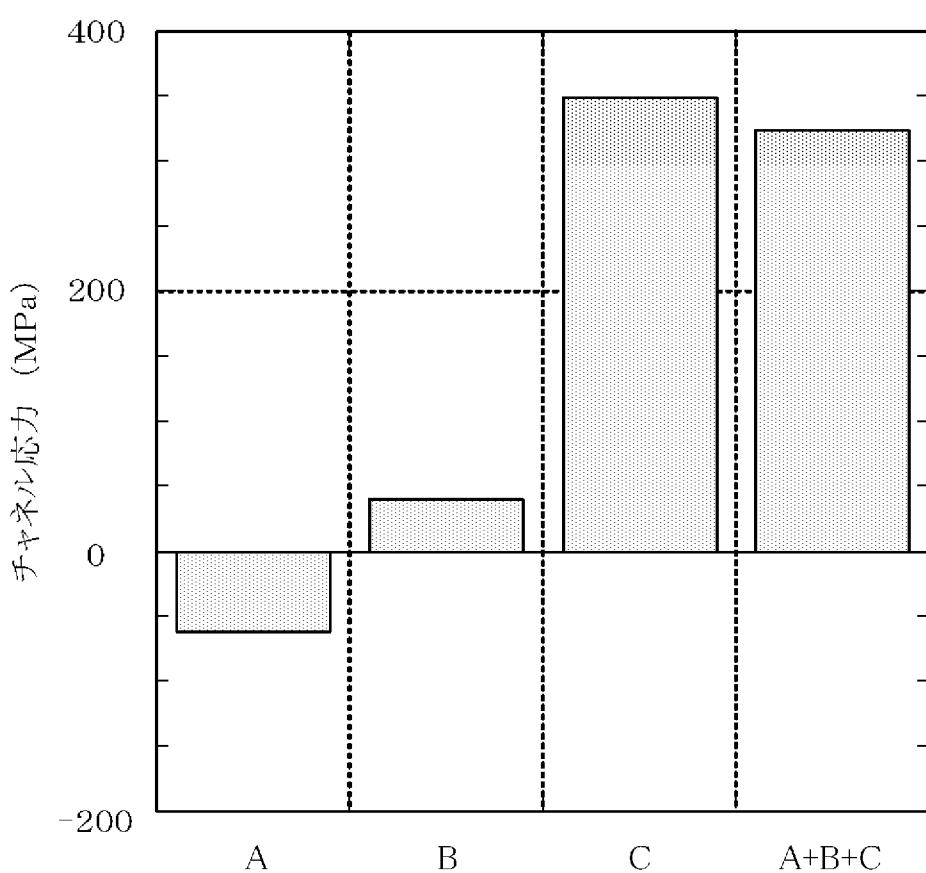
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/318140

A. CLASSIFICATION OF SUBJECT MATTER

*H01L21/8234 (2006.01) i, H01L21/28 (2006.01) i, H01L21/336 (2006.01) i,
H01L21/768 (2006.01) i, H01L21/8238 (2006.01) i, H01L23/522 (2006.01) i,
H01L27/088 (2006.01) i, H01L27/092 (2006.01) i, H01L29/417 (2006.01) i,*

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

*H01L21/8234, H01L21/28, H01L21/336, H01L21/768, H01L21/8238, H01L23/522,
H01L27/088, H01L27/092, H01L29/417, H01L29/78*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2006</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2006</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2006</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-86708 A (Hitachi, Ltd.), 20 March, 2003 (20.03.03), Par. Nos. [0156] to [0166]; Figs. 6, 17 & WO 2002/047167 A1 & TW 518749 A & KR 2003082934 A & US 2004/0075148 A1 & CN 1505839 A	1-33
X	JP 8-321612 A (Ricoh Co., Ltd.), 03 December, 1996 (03.12.96), Full text; all drawings (Family: none)	1,31
Y	JP 2002-93921 A (Hitachi, Ltd.), 29 March, 2002 (29.03.02), Full text; all drawings (Family: none)	1-33

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 September, 2006 (27.09.06)

Date of mailing of the international search report
10 October, 2006 (10.10.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/318140

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-5633 A (Matsushita Electric Industrial Co., Ltd.), 06 January, 2005 (06.01.05), Full text; all drawings & US 2004/0251479 A1 & CN 1574399 A	6-14, 20-28
Y	WO 2002/043151 A1 (Renesas Technology Corp.), 30 May, 2002 (30.05.02), Full text; all drawings & AU 200167880 A & TW 536726 A & CN 1449585 A & US 2004/0029323 A1 & KR 2003082538 A	20, 22
A	Tsung Yi Lu et al., Mobility Enhancement in Local Strain Channel nMOSFETs by Stacked a-Si/Poly-Si Gate and Capping Nitride, IEEE ELECTRON DEVICE LETTERS, VOL.26, NO.4, APRIL 2005, PP.267-269	1-33

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/318140

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/78 (2006.01) i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類(国際特許分類(I P C))

Int.Cl. H01L21/8234(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L21/8238(2006.01)i, H01L23/522(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(I P C))

Int.Cl. H01L21/8234, H01L21/28, H01L21/336, H01L21/768, H01L21/8238, H01L23/522, H01L27/088, H01L27/092, H01L29/417, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-86708 A(株式会社日立製作所) 2003.03.20 【0156】-【0166】、図6,17 &WO 2002/047167 A1 &TW 518749 A &KR 2003082934 A &US 2004/0075148 A1 &CN 1505839 A	1-33
X	JP 8-321612 A(株式会社リコー) 1996.12.03	1,31
Y	全文、全図(ファミリーなし)	1-33

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 27.09.2006	国際調査報告の発送日 10.10.2006
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 松嶋 秀忠 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-93921 A(株式会社日立製作所) 2002. 03. 29 全文, 全図(ファミリーなし)	1-33
Y	JP 2005-5633 A(松下電器産業株式会社) 2005. 01. 06 全文, 全図 &US 2004/0251479 A1 &CN 1574399 A	6-14, 20-28
Y	WO 2002/043151 A1(株式会社ルネサステクノロジ) 2002. 05. 30 全文, 全図 &AU 200167880 A &TW 536726 A &CN 1449585 A &US 2004/0029323 A1 &KR 2003082538 A	20, 22
A	Tsung Yi Lu et al., Mobility Enhancement in Local Strain Channel nMOSFETs by Stacked a-Si/Poly-Si Gate and Capping Nitride, IEEE ELECTRON DEVICE LETTERS, VOL. 26, NO. 4, APRIL 2005, PP. 267-269	1-33