

(11) 特許出願公開番号

特開2012-109780

(P2012-109780A)

(43) 公開日 平成24年6月7日(2012.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
H03L 7/183 (2006.01)	H03L 7/18 B	5J106
H03L 7/10 (2006.01)	H03L 7/10 A	
H03L 7/187 (2006.01)	H03L 7/18 D	
H03L 7/197 (2006.01)	H03L 7/18 A	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2010-256796 (P2010-256796)
(22) 出願日 平成22年11月17日 (2010.11.17)

(71) 出願人 303046277
旭化成エレクトロニクス株式会社
東京都千代田区神田神保町一丁目105番地

(74) 代理人 100066980
弁理士 森 哲也

(74) 代理人 100109380
弁理士 小西 恵

(74) 代理人 100103850
弁理士 田中 秀▲てつ▼

(72) 発明者 新野 芳浩
神奈川県厚木市岡田3050番地 旭化成
エレクトロニクス株式会社内

Fターム(参考) 5J106 AA04 CC01 CC21 CC41 CC53
DD09 DD17 DD23 DD32 GG01
GG09 KK03

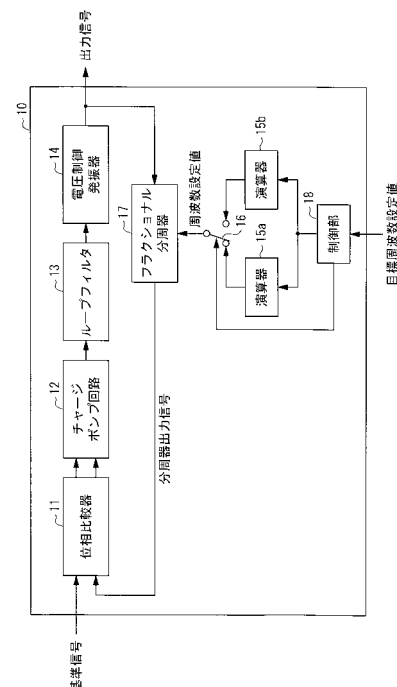
(54) 【発明の名称】 PLL回路

(57) 【要約】 (修正有)

【課題】周波数やロックアップ時間が変動したり、PLL特性が劣化したりするのを抑えることのできるPLL回路を提供する。

【解決手段】演算器15a、15bは、出力信号の目標の周波数を示す目標周波数設定値が変化した時、フラクショナル分周器17に対して目標周波数設定値で示される周波数と異なる周波数を示す周波数設定値を複数回設定する。そして、演算器15a、15bが周波数設定値を複数回設定した後に、演算器15a、15bから出力される周波数設定値は、目標周波数設定値と同じ値になる。これにより、周波数の引き込み動作時に、アナログスイッチング素子を用いてループフィルタの切り替えを行う必要がないため、スイッチング切り替え時に発生するノイズや、切り替え前後のループフィルタに生じる電圧差によって、発振器にノイズが発生することがない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基準信号と比較対象信号との位相差の比較結果に応じた電圧を出力する位相比較手段と、前記位相比較手段から出力された電圧に応じた周波数で出力信号を出力する電圧制御発振手段と、前記電圧制御発振手段から出力された前記出力信号を周波数設定値に対応する分周数で分周して前記比較対象信号としてフィードバック出力する分周手段と、を備えた PLL 回路であって、

前記分周手段に、前記出力信号の目標周波数を示す前記周波数設定値と、前記目標周波数とは異なる周波数を示す前記周波数設定値とを選択して出力可能な周波数設定値出力手段を備え、

前記周波数設定値出力手段は、前記出力信号の周波数を前記目標周波数に切り替える時、始めに前記目標周波数とは異なる周波数を示す前記周波数設定値を出力してから、前記目標周波数を示す前記周波数設定値を出力することを特徴とする PLL 回路。

【請求項 2】

前記周波数設定値出力手段は、前記出力信号の周波数を前記目標周波数に切り替える時、始めに前記目標周波数とはそれぞれ値の異なる任意の周波数を示す複数の前記周波数設定値を 1 つずつ出力することを特徴とする請求項 1 に記載の PLL 回路。

【請求項 3】

前記周波数設定値出力手段は、

前記出力信号の周波数を、現在の周波数よりも高い周波数に切り替える時、任意の第 1 の時間で、前記目標周波数よりも高い周波数を示す前記周波数設定値を出力し、

前記出力信号の周波数を、現在の周波数よりも低い周波数に切り替える時、前記第 1 の時間で、前記目標周波数よりも低い周波数を示す前記周波数設定値を出力することを特徴とする請求項 1 又は 2 に記載の PLL 回路。

【請求項 4】

前記周波数設定値出力手段は、

前記出力信号の周波数を、現在の周波数よりも高い周波数に切り替える時、

前記第 1 の時間後の任意の第 2 の時間で、前記目標周波数よりも低い周波数を示す前記周波数設定値を出力し、

前記第 2 の時間後の任意の第 3 の時間で、前記目標周波数よりも低い周波数を示す前記周波数設定値であって、前記第 2 の時間で出力されていた前記周波数設定値よりも高い前記周波数設定値を出力し、

前記出力信号の周波数を、現在の周波数よりも低い周波数に切り替える時、

前記第 2 の時間で、前記目標周波数よりも高い周波数を示す前記周波数設定値を出力し

、前記第 3 の時間で、前記目標周波数よりも高い周波数を示す前記周波数設定値であって、前記第 2 の時間で出力されていた前記周波数設定値よりも低い前記周波数設定値を出力することを特徴とする請求項 3 に記載の PLL 回路。

【請求項 5】

前記周波数設定値出力手段は、

前記周波数設定値が設定される周波数設定手段を複数備え、

さらに、前記複数の周波数設定手段から出力される複数の前記周波数設定値の中から前記周波数設定値が 1 つずつ出力されるように、前記複数の周波数設定手段と前記分周手段との間の電氣的接続状態を切り替えるスイッチング素子と、

前記スイッチング素子の電氣的接続状態を時間に応じて切り替えるタイマ手段と、

を備えることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の PLL 回路。

【請求項 6】

前記周波数設定値出力手段は、

周波数偏移量の中心周波数を出力する偏移量中心周波数出力手段と、

前記偏移量中心周波数出力手段から出力された前記周波数偏移量の中心周波数に、前記

10

20

30

40

50

複数の周波数設定手段から出力される複数の前記周波数設定値のいずれか 1 つの周波数設定値を加算する加算手段と、

備えることを特徴とする請求項 5 に記載の PLL 回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL (Phase Lock Loop) 回路に関し、特に基準信号の位相に同期した出力 (発振) 信号を出力する PLL 回路に関する。

【背景技術】

【0002】

PLL 回路は、基準信号に対して位相及び周波数が追従するように制御することで、基準信号の位相に同期した出力信号を発生するものであり、通信機器、音響・映像機器等に幅広く用いられている。例えば、特許文献 1～7 の一般的な PLL 回路では、出力信号の周波数を切り替える時、出力信号の周波数が目標とする目標周波数になるまでの時間、すなわちロックアップするまでの時間は、PLL 回路のループフィルタの構成を変更したり、チャージポンプの電流量を変更したりすることによって、PLL 回路の自然角周波数 ω_n を広帯域化している。これによって、PLL 回路での周波数の引き込み動作を高速に行っていた。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 7-66723 号公報

【特許文献 2】特開 2006-67565 号公報

【特許文献 3】特開 2005-252934 号公報

【特許文献 4】特開 2006-5523 号公報

【特許文献 5】特開平 6-276090 号公報

【特許文献 6】特開 2000-341117 号公報

【特許文献 7】特開 2002-261606 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記の特許文献 1～7 の PLL 回路では、アナログスイッチング素子を用いてループフィルタの切り替えを行ってる。そのため、スイッチング切り替え時にノイズが発生したり、切り替え前後のループフィルタに電圧差が生じたりする。これによって、発振器にノイズが発生し、PLL 特性を劣化させるという問題があった。

また、温度・電源電圧によりアナログスイッチング素子のオン時の抵抗値が変わる。このため、自然角周波数 ω_n も温度・電源電圧により変動し、ロックアップ時間が変動するという問題があった。

【0005】

また、引き込み動作の開始前後に、目標の周波数付近で高速化のための広帯域化した自然角周波数 ω_n を通常の狭帯域に切り替える。ところが、帯域を元に戻した時に、図 11 のグラフで示すように、元の周波数から目標周波数に変化する幅以上に出力信号の周波数変動して、過剰なオーバーシュートが発生し易いという問題があった。

そこで、本発明は、上記の課題に鑑み、周波数やロックアップ時間が変動したり、PLL 特性が劣化したりするのを抑えることのできる PLL 回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る PLL 回路は、上記の目的を達成するために、次のように構成される。

本発明による第 1 の PLL 回路は、基準信号と比較対象信号との位相差の比較結果に応

10

20

30

40

50

じた電圧を出力する位相比較手段と、前記位相比較手段から出力された電圧に応じた周波数で出力信号を出力する電圧制御発振手段と、前記電圧制御発振手段から出力された前記出力信号を周波数設定値に対応する分周数で分周して前記比較対象信号としてフィードバック出力する分周手段と、を備えたPLL回路であって、前記分周手段に、前記出力信号の目標周波数を示す前記周波数設定値と、前記目標周波数とは異なる周波数を示す前記周波数設定値とを選択して出力可能な周波数設定値出力手段を備え、前記周波数設定値出力手段は、前記出力信号の周波数を前記目標周波数に切り替える時、始めに前記目標周波数とは異なる周波数を示す前記周波数設定値を出力してから、前記目標周波数を示す前記周波数設定値を出力することを特徴とする。

【0007】

上記の第1のPLL回路によれば、目標周波数設定値出力手段に、異なる周波数を示す周波数設定値を持たせておく。そして、目標周波数設定値出力手段は、出力信号の周波数を目標周波数に切り替える際、周波数設定値出力手段から目標周波数とは異なる周波数を示す周波数設定値が出力されてから、目標周波数と同じ周波数を示す周波数設定値を出力する。これにより、周波数の引き込み動作時に、アナログスイッチング素子を用いてループフィルタの切り替えを行う必要がない。このため、スイッチング切り替え時に発生するノイズや、切り替え前後のループフィルタに生じる電圧差によって、発振器にノイズが発生しない。よって、PLL回路を低ノイズ化させて、PLL特性の劣化を防止することが可能となる。また、切り替え時の不要な周波数変動が発生したり、ロックアップ時間が温度・電源電圧に依存して変動したりするのを抑えることが可能となる。

【0008】

本発明による第2のPLL回路は、前記周波数設定値出力手段は、前記出力信号の周波数を前記目標周波数に切り替える時、始めに前記目標周波数とはそれぞれ値の異なる任意の周波数を示す複数の前記周波数設定値を1つずつ出力することを特徴とする。

上記の第2のPLL回路によれば、周波数設定値出力手段を複数設けて、それぞれ値の異なる複数の周波数設定値を設定しておく。これにより、出力信号の周波数を目標周波数に近付ける際に、より滑らかに近付けることが可能となる。

【0009】

本発明による第3のPLL回路は、前記周波数設定値出力手段は、前記出力信号の周波数を、現在の周波数よりも高い周波数に切り替える時、任意の第1の時間で、前記目標周波数よりも高い周波数を示す前記周波数設定値を出力し、前記出力信号の周波数を、現在の周波数よりも低い周波数に切り替える時、前記第1の時間で、前記目標周波数よりも低い周波数を示す前記周波数設定値を出力することを特徴とする。

【0010】

上記の第3のPLL回路によれば、周波数設定値出力手段は、出力信号の周波数を当該周波数よりも高い周波数に切り替える時、最初の第1の時間で、目標周波数よりも高い周波数を示す周波数設定値を出力する。また、周波数設定値出力手段は、出力信号の周波数を当該周波数よりも低い周波数に切り替える時、目標周波数よりも低い周波数を示す周波数設定値を出力する。これにより、周波数切り替え開始時の周波数設定値との差が大きくなり、位相比較手段の出力を増幅するチャージポンプ回路等の電流量を増大させて、周波数応答を高速にすることが可能となる。

【0011】

本発明による第4のPLL回路は、前記周波数設定値出力手段は、前記出力信号の周波数を、現在の周波数よりも高い周波数に切り替える時、前記第1の時間後の任意の第2の時間で、前記目標周波数よりも低い周波数を示す前記周波数設定値を出力し、前記第2の時間後の任意の第3の時間で、前記目標周波数よりも低い周波数を示す前記周波数設定値であって、前記第2の時間で出力されていた前記周波数設定値よりも高い前記周波数設定値を出力し、前記出力信号の周波数を、現在の周波数よりも低い周波数に切り替える時、前記第2の時間で、前記目標周波数よりも高い周波数を示す前記周波数設定値を出力し、前記第3の時間で、前記目標周波数よりも高い周波数を示す前記周波数設定値であって、

前記第2の時間で出力されていた前記周波数設定値よりも低い前記周波数設定値を出力することを特徴とする。

【0012】

上記の第4のPLL回路によれば、周波数設定値出力手段は、出力信号の周波数を当該周波数よりも高い周波数に切り替える時、第2の時間で、目標周波数よりも低い周波数を示す周波数設定値を出力し、第3の時間で、目標周波数よりも低い周波数を示す周波数設定値であって、第2の時間で出力されていた周波数設定値よりも高い周波数設定値を出力する。また、周波数設定値出力手段は、出力信号の周波数を当該周波数よりも低い周波数に切り替える時、第2の時間で、目標周波数よりも高い周波数を示す周波数設定値を出力し、第3の時間で、目標周波数よりも高い周波数を示す周波数設定値であって、第2の時間で出力されていた周波数設定値よりも低い周波数設定値を出力する。これにより、チャージポンプ回路等の電流値を減少させて周波数応答を減速することが可能となる。さらに、立ち上がり開始前の周波数から目標周波数に変化する幅以上に出力信号の周波数が変動して、過剰なオーバーシュートが発生することなく出力信号を目標の周波数にロックすることが可能となる。また、PLL回路での引き込み動作時間を高速化することが可能となる。

10

【0013】

本発明による第5のPLL回路は、前記周波数設定値出力手段は、前記周波数設定値が設定される周波数設定手段を複数備え、さらに、前記複数の周波数設定手段から出力される複数の前記周波数設定値の中から前記周波数設定値が1つずつ出力されるように、前記複数の周波数設定手段と前記分周手段との間の電氣的接続状態を切り替えるスイッチング素子と、前記スイッチング素子の電氣的接続状態を時間に応じて切り替えるタイマ手段と、を備えることを特徴とする。

20

【0014】

上記の第5のPLL回路によれば、スイッチング素子及びタイマ手段を用いることで、出力信号の周波数を目標周波数に切り替える時、始めに周波数設定値出力手段から目標周波数とは異なる周波数を示す周波数設定値が出力されてから、目標周波数を示す周波数設定値が出力されるように制御することが可能となる。

本発明による第6のPLL回路は、前記周波数設定値出力手段は、周波数偏移量の中心周波数を出力する偏移量中心周波数出力手段と、前記偏移量中心周波数出力手段から出力された前記周波数偏移量の中心周波数に、前記複数の周波数設定手段から出力される複数の前記周波数設定値のいずれか1つの周波数設定値を加算する加算手段と、を備えることを特徴とする。

30

【0015】

上記の第6のPLL回路によれば、PLL回路を用いて周波数偏移変調(FSK; frequency shift keying)を行う場合のように、周波数の偏移量が予め決まっている時には、偏移量中心周波数出力手段に、周波数偏移量の中心周波数を持たせておく。そして、加算手段で、偏移量中心周波数出力手段から出力された周波数偏移量の中心周波数に、周波数設定手段から出力された周波数設定値を加算する。これにより、周波数の偏移量が予め決まっている時の偏移時間を短縮したり、オーバーシュート特性を調整したりすることが可能となる。

40

【発明の効果】

【0016】

本発明によれば、周波数の引き込み動作時に、アナログスイッチング素子を用いてループフィルタの切り替えを行う必要がない。このため、スイッチング切り替え時に発生するノイズや、切り替え前後のループフィルタに生じる電圧差によって、発振器にノイズが発生しない。よって、PLL回路を低ノイズ化させて、PLL特性の劣化を防止することができる。また、切り替え時の不要な周波数変動が発生したり、ロックアップ時間が温度・電源電圧に依存して変動したりするのを抑えることができる。

【0017】

50

また、立ち上がり、立ち下がり開始前の周波数から目標周波数に変化する幅以上に出力信号の周波数が変動して、過剰なオーバーシュートが発生することなく出力信号を目標の周波数にロックすることができる。また、PLL回路での引き込み動作時間を高速化することができる。

さらに、PLL回路を用いて周波数偏移変調を行う場合のように、周波数の偏移量が予め決まっている時の偏移時間を短縮したり、オーバーシュート特性を調整したりすることができる。

【図面の簡単な説明】

【0018】

【図1】本発明の第1実施形態に係るPLL回路10の構成を示すブロック図である。

10

【図2】本発明の第1実施形態に係るPLL回路10の演算器15a、15bの構成を示すブロック図である。

【図3】本発明の第1実施形態に係るPLL回路10のフラクショナル分周器17の構成を示すブロック図である。

【図4】本発明の第1実施形態に係るPLL回路10における立ち上がり時の出力信号の周波数と、周波数設定値とを示すグラフである。

【図5】本発明の第1実施形態に係るPLL回路10における立ち下がり時の出力信号の周波数と、周波数設定値とを示すグラフである。

【図6】本発明の第2実施形態に係るPLL回路40の構成を示すブロック図である。

20

【図7】本発明の第2実施形態に係るPLL回路40の演算器41a、41bの構成を示すブロック図である。

【図8】周波数偏移変調における変調された信号の周波数の推移を示すグラフである。

【図9】本発明の第2実施形態に係るPLL回路20における立ち上がり時及び立ち下がり時の出力信号の周波数と、周波数設定値とを示すグラフである。

【図10】PLL回路40における立ち上がり時の出力信号の周波数と、周波数設定値とを示すグラフである。

【図11】従来の一般的なPLL回路における立ち上がり時の出力信号の周波数を示すグラフである。

【発明を実施するための最良の形態】

【0019】

30

以下、添付図面を参照しながら、本発明のPLL回路の実施形態を詳細に説明する。なお、図面の説明において、同一の要素には同一の符号を付し、重複する説明を省略する。

(第1実施形態)

(PLL回路10の構成)

まず、図1を参照して、本発明の第1実施形態に係るPLL回路10の構成を説明する。

図1に示すPLL回路10は、位相比較器11、チャージポンプ回路12、ループフィルタ13、電圧制御発振器14、演算器15a、15b、周波数切替用スイッチング素子16、フラクショナル分周器17、及び制御部18を備えて構成される。

位相比較器11は、図示しない外部の水晶振動子等から出力された基準信号と、電圧制御発振器14から出力された出力信号をフラクショナル分周器17で分周した分周器出力信号とを入力し、2つの信号の位相差の比較結果に応じた電圧（位相差信号）を出力する。

40

【0020】

チャージポンプ回路12は、電流源とスイッチング素子とを有し、位相比較器11からの位相差信号に基づいてスイッチング素子をオンオフ動作することにより、ループフィルタ13へ電荷の充電又はループフィルタ13から電荷の放電を行う。

ループフィルタ13は、チャージポンプ回路12からの出力電流を直流電圧に変換し、不要な信号を除去する。不要な信号を除去することで、これらの不要な信号により回路で発振が生じるのを防止する。

50

【0021】

電圧制御発振器14は、ループフィルタ13からの電圧を受けて所望の周波数で発振する。

演算器15a, 15bは、出力信号の目標周波数（周波数を変更した後の周波数）を示す目標周波数設定値が変化した場合、フラクショナル分周器17に対して目標周波数と異なる周波数を示す周波数設定値を複数回設定する。そして、フラクショナル分周器17に対して周波数設定値を複数回設定した後に、目標周波数と同じ周波数を示す周波数設定値を設定する。

【0022】

出力信号の周波数をその周波数よりも高い周波数に立ち上げる（偏移させる）時には、演算器15aが、フラクショナル分周器17に目標周波数設定値と異なる周波数設定値を複数回設定する。又、出力信号の周波数をその周波数よりも低い周波数に立ち下げる（偏移させる）時には、演算器15bが、フラクショナル分周器17に目標周波数設定値と異なる周波数設定値を複数回設定する。なお、目標周波数設定値及び周波数設定値は、例えば10ビットのデジタル値で表される。

周波数切替用スイッチング素子16は、出力信号の周波数をその周波数よりも高い周波数に立ち上げる時には、演算器15aとフラクショナル分周器17とを電氣的に接続する。又、周波数切替用スイッチング素子16は、出力信号の周波数をその周波数よりも低い周波数に立ち下げる時には、演算器15bとフラクショナル分周器17とを電氣的に接続する。

【0023】

フラクショナル分周器17は、演算器15a又は演算器15bから与えられる周波数設定に応じて分周数を変化させ、電圧制御発振器14から出力された出力信号を分周した分周器出力信号を出力する。

制御部18は、目標周波数設定値が入力され、目標周波数設定値が変更された時に、周波数切替用スイッチング素子16の電氣的接続状態を切り替えたり、演算器15a, 15bがフラクショナル分周器17に設定する周波数設定値を指示したりする。

なお、演算器15a, 15b、周波数切替用スイッチング素子16、及び制御部18は、周波数設定値出力手段に対応する。

【0024】

（演算器15a, 15bの構成）

続いて、図2を参照して、本発明の第1実施形態に係るPLL回路10の演算器15a, 15bの構成を説明する。

まず、図2に示す演算器15aは、周波数設定値出力部21a～23a、目標周波数設定値出力部24a、タイマ部25a、及びスイッチング素子26a～29aを備えて構成される。

周波数設定値出力部21aは、フラクショナル分周器17に出力する任意の周波数設定値 f_1 が設定され、周波数設定値 f_1 を出力する。

周波数設定値出力部22aは、フラクショナル分周器17に出力する任意の周波数設定値 f_2 が設定され、周波数設定値 f_2 を出力する。

周波数設定値出力部23aは、フラクショナル分周器17に出力する任意の周波数設定値 f_3 が設定され、周波数設定値 f_3 を出力する。

【0025】

目標周波数設定値出力部24aは、フラクショナル分周器17に出力する任意の周波数設定値 f_4 が設定され、周波数設定値 f_4 を出力する。目標周波数設定値出力部24aに設定される周波数設定値は、目標周波数設定値と同じ値である。

なお、上記の周波数設定値出力部21a～23a及び目標周波数設定値出力部24aが出力する周波数設定値 $f_1 \sim f_4$ は、目標周波数設定値が変更された時に、制御部18によって任意の値に設定される。具体的に、周波数設定値 f_1 は、目標周波数設定値よりも高い。また、周波数設定値 f_2 は、目標周波数設定値よりも低い。周波数設定値 f_3 は、周波

10

20

30

40

50

数設定値 f_2 よりも高く、目標周波数設定値よりも低い。

【0026】

タイマ部 25a は、時間を計時し、時刻 T_0 ～時刻 T_1 の時にスイッチング制御信号 ϕ_1 を H (HIGH) レベルで出力し、時刻 T_1 ～時刻 T_2 の時にスイッチング制御信号 ϕ_2 を H レベルで出力し、時刻 T_2 ～時刻 T_3 の時にスイッチング制御信号 ϕ_3 を H レベルで出力し、時刻 T_3 ～時刻 T_4 の時にスイッチング制御信号 ϕ_4 を H レベルで出力する。なお、タイマ部 25a は、目標周波数設定値が変更された時、制御部 18 によってそれまで計時されている時間がリセットされる。

【0027】

スイッチング素子 26a は、周波数設定出力部 21a とフラクショナル分周器 17 との間に接続され、タイマ部 25a から出力されるスイッチング制御信号 ϕ_1 の電圧レベルによってその電氣的接続状態が切り替わる。スイッチング素子 26a は、スイッチング制御信号 ϕ_1 が H レベルで出力されている時に接続状態となり、それ以外の時に切断状態となる。

スイッチング素子 27a は、周波数設定出力部 22a とフラクショナル分周器 17 との間に接続され、タイマ部 25a から出力されるスイッチング制御信号 ϕ_2 の電圧レベルによってその電氣的接続状態が切り替わる。スイッチング素子 27a は、スイッチング制御信号 ϕ_2 が H レベルで出力されている時に接続状態となり、それ以外の時に切断状態となる。

【0028】

スイッチング素子 28a は、周波数設定出力部 23a とフラクショナル分周器 17 との間に接続され、タイマ部 25a から出力されるスイッチング制御信号 ϕ_3 の電圧レベルによってその電氣的接続状態が切り替わる。スイッチング素子 28a は、スイッチング制御信号 ϕ_3 が H レベルで出力されている時に接続状態となり、それ以外の時に切断状態となる。

スイッチング素子 29a は、周波数設定出力部 24a とフラクショナル分周器 17 との間に接続され、タイマ部 25a から出力されるスイッチング制御信号 ϕ_4 の電圧レベルによってその電氣的接続状態が切り替わる。スイッチング素子 29a は、スイッチング制御信号 ϕ_4 が H レベルで出力されている時に接続状態となり、それ以外の時に切断状態となる。

【0029】

つまり、演算器 15a, 15b は、タイマ部 25a によって時刻 T_0 ～ T_3 の各時刻で周波数設定が切り替わる回路である。なお、各周波数設定値を変更するための滞留時間 t_1 ～ t_3 の間隔は、任意に変更することができる。また、本実施形態に係る演算器 15a, 15b においては、周波数設定値出力部は 3 つであり、4 段階で周波数設定値が切り替わるように構成されているが、周波数設定値出力部の数を増やし、タイマ部 25a の滞留時間 t_1 ～ t_3 の間隔を変更することによって、さらに細かく引き込み波形を変更するも可能である。複数の周波数設定値を設定することで、出力信号の周波数を目標周波数に近付ける際に、より滑らかに近付けることができる。

【0030】

また、図 2 に示す演算器 15b は、周波数設定値出力部 21b ～23b、目標周波数設定値出力部 24b、タイマ部 25b、及びスイッチング素子 26b ～29b を備えて構成される。周波数設定値出力部 21b ～23b、目標周波数設定値出力部 24b、タイマ部 25b、及びスイッチング素子 26b ～29b は、周波数設定値出力部 21a ～23a、目標周波数設定値出力部 24a、タイマ部 25a、及びスイッチング素子 26a ～29a にそれぞれ対応している。また、タイマ部 25b から出力されるスイッチング制御信号 $\phi_1' \sim \phi_4'$ は、タイマ部 25a から出力されるスイッチング制御信号 $\phi_1 \sim \phi_4$ に対応している。

【0031】

上述したように、出力信号の周波数をその周波数よりも高い周波数に立ち上げる時には

、演算器 15 a が、フラクショナル分周器 17 に目標周波数設定値と異なる周波数設定値を複数回設定する。又、出力信号の周波数をその周波数よりも低い周波数に立ち下げる時には、演算器 15 b が、フラクショナル分周器 17 に目標周波数設定値と異なる周波数設定値を複数回設定する。このため、演算器 15 a, 15 b はどちらも実質同じ回路構成である。但し、演算器 15 b においては、周波数設定値 f_1 は、目標周波数設定値よりも低い。また、周波数設定値 f_2 は、目標周波数設定値よりも高い。周波数設定値 f_3 は、周波数設定値 f_2 よりも低く、目標周波数設定値よりも高い。

【0032】

また、本実施形態に係る PLL 回路 10 では、スイッチング素子 26 a ~ 29 a, 26 b ~ 29 b 及びタイマ部 25 a, 25 b を用いて周波数設定値 $f_1 \sim f_4$, $f_1' \sim f_4'$ を出力しているが、ソフトウェアで同様に周波数設定値 $f_1 \sim f_4$, $f_1' \sim f_4'$ を出力するように構成することもできる。なお、周波数設定値出力部 21 a ~ 23 a, 21 b ~ 23 b、及び目標周波数設定値出力部 24 a, 24 b は、複数の周波数設定手段に対応する。

【0033】

(フラクショナル分周器 17 の構成)

続いて、図 3 を参照して、本発明の第 1 実施形態に係る PLL 回路 10 のフラクショナル分周器 17 の構成を説明する。

図 3 に示すフラクショナル分周器 17 は、アキュムレータ 17 a、及び分周器 17 b を備えて構成される。

アキュムレータ 17 a は、例えば 10 ビットのディジタル値で表される周波数設定値に応じて、分周器 17 b にディジタル値で表される分周設定値を出力する。アキュムレータ 17 a は、基準クロック信号の周期の複数回に 1 回だけ、通常に分周数よりも大きい分周数又は小さい分周数によって信号を分周し、さらに平均化することで、小数分周を実現している。

分周器 17 b は、アキュムレータ 17 a から出力された分周設定値で出力信号を分周した分周器出力信号を出力する。

【0034】

(PLL 回路 10 の動作)

続いて、図 4 及び図 5 を参照して、出力信号の周波数をその周波数よりも高い周波数に立ち上げる時の PLL 回路 10 の動作と、出力信号の周波数をその周波数よりも低い周波数に立ち下げる時の PLL 回路 10 の動作とについて、順番に説明する。

まず、出力信号の周波数をその周波数よりも高い周波数に立ち上げる時、周波数切り替え開始時（時刻 T_0 の時）に、演算器 15 a は、目標となる目標周波数設定値よりも高い周波数設定値 f_1 を出力する。そのため、時刻 T_0 の時の周波数設定値 f_0 と、周波数設定値 f_1 との差が大きくなり、チャージポンプ回路 12 の電流量が増大して周波数応答が高速となる。

【0035】

そして、出力信号の周波数が目標周波数設定値に近付いた時（時刻 T_1 の時）に、演算器 15 a は、目標周波数設定値より低い周波数設定値 f_2 を出力する。この時、出力信号の周波数と、周波数設定値との差がほぼ零、又は負の値になる。そのため、チャージポンプ回路 12 の電流値が減少して周波数応答が減速する。

さらに、出力信号の周波数が目標周波数設定値に近付いた時（時間 $T = T_2$ の時）に、演算器 15 a は、周波数設定値 f_2 よりも高く、目標周波数設定値よりも低い周波数設定値 f_3 を出力する。

【0036】

そして、出力信号の周波数が目標周波数設定値に十分に近付いた時（時間 $T = T_3$ の時）に、演算器 15 a は、周波数設定値 f_4 を出力する。これにより、立ち上がり開始前の周波数から目標の周波数に変化する幅以上に出力信号の周波数が変動して、過剰なオーバーシュートが発生することなく出力信号を目標周波数にロックすることができる。また、PLL 回路 10 での引き込み動作時間を高速化することができる。

【0037】

次に、出力信号の周波数をその周波数よりも低い周波数に立ち下げる時、周波数切り替え時（時刻 T_0' の時）に、演算器15bは、目標となる目標周波数設定値よりも低い周波数設定値 f_1' を出力する。そのため、時刻 T_0 の時の周波数設定値 f_0' と、周波数設定値 f_1' との差が大きくなり、チャージポンプ回路12の電流量が増大して周波数応答が高速となる。

【0038】

そして、出力信号の周波数が目標周波数設定値に近付いた時（時刻 T_1' の時）に、演算器15bは、目標周波数設定値より高い周波数設定値 f_2' を出力する。そのとき、出力信号の周波数と、周波数設定値との差がほぼ零、又は負の値になる。そのため、チャージポンプ回路12の電流値が減少して周波数応答が減速する。

さらに、出力信号の周波数が目標周波数設定値に近付いた時（時刻 T_2' の時）に、演算器15bは、周波数設定値 f_2' よりも低く、目標周波数設定値よりも高い周波数設定値 f_3' を出力する。

【0039】

そして、出力信号の周波数が目標周波数設定値に十分に近付いた時（時間 $T = T_3'$ の時）、演算器15bは、周波数設定値 f_4' を出力する。これにより、立ち下がり時も立ち上がり時と同様に、立ち下がり開始前の周波数から目標周波数に変化する幅以上に出力信号の周波数変動して、過剰なオーバーシュートが発生することなく目標周波数にロックすることができる。また、PLL回路10での引き込み動作時間を高速化することができる。

【0040】

なお、立ち上がり時と立ち下がり時とで、4段階の切り替え段数で周波数設定値を切り替えて出力信号を目標の周波数にしたが、上述したように切り替え段数をさらに増やし、細かく引き込み波形を調整することも可能である。引き込み波形は、特に引き込み時間に依存して変化する。このため、さらに細かく引き込み波形を調整するには、切り替え段数、タイマ部25aの滞留時間 $t_1 \sim t_3$ の間隔を調整すると良い。また、立ち上がり時と立ち下がり時とで、立ち上げ開始前又は立ち下げ開始前の出力信号の周波数と、各周波数設定値との差の絶対量を同じにすれば、立ち上がり動作時間と立ち下がり動作時間とは、同じ時間になる。

【0041】

（第2実施形態）

（PLL回路40の構成）

続いて、図6を参照して、本発明の第2実施形態に係るPLL回路40の構成を説明する。

図6に示す第2実施形態に係るPLL回路40も、図1に示した第1実施形態に係るPLL回路10と同様の構成を備えて構成されるものであるが、演算器15a、15bと構成の異なる演算器41a、41bを備えている。

PLL回路を用いて周波数偏移変調を行う場合のように、周波数の偏移量が予め決まっている場合には、演算器41a、41bに、周波数偏移変調の搬送波の中心周波数と、中心周波数を基準とした周波数偏移量とを設定しておくことができる。

【0042】

（演算器41a、41bの構成）

続いて、図7を参照して、本発明の第2実施形態に係るPLL回路40の演算器41a、41bの構成を説明する。

図7に示す演算器41a、41bは、図2に示した演算器15a、15bが有する各部を備えて構成されるものであるが、演算器41a、41bは、偏移量中心周波数出力部30a、30bをさらに備えている。

偏移量中心周波数出力部30a、30bは、周波数偏移変調の搬送波の中心周波数である偏移量中心周波数 f_c が設定され、偏移量中心周波数 f_c を出力する。

10

20

30

40

50

【0043】

また、周波数設定値出力部21a～23a、21b～23b及び目標周波数設定値出力部24a、24bには、周波数設定値 $f_1 \sim f_4$ 、 $f_1' \sim f_4'$ が設定される代わりに、中心周波数 f_c を基準とした周波数偏移量を示す周波数設定値 $\Delta f_1 \sim \Delta f_4$ 、 $\Delta f_1' \sim \Delta f_4'$ が設定される。そして、加算器31a、31bで、偏移量中心周波数出力部30a、30bから出力された偏移量中心周波数 f_c に、周波数設定値出力部21a～23a、21b～23b及び目標周波数設定値出力部24a、24bから出力された周波数設定値 $\Delta f_1 \sim \Delta f_4$ 、 $\Delta f_1' \sim \Delta f_4'$ が加えられて出力されるようになっている。最終的に、演算器41aは $f_c + \Delta f_4$ の周波数、演算器41bは $f_c + \Delta f_4'$ の周波数をそれぞれ出力する。このPLL回路40によって、周波数偏移量を一定のままにして、任意の中心周波数を選択することができる。なお、周波数設定値出力部21a～23a、21b～23b、目標周波数設定値出力部24a、24b、及び偏移量中心周波数出力部30a、30bが出力する各値は、制御部18によって任意の値に設定することができる。

10

【0044】

(PLL回路20の動作)

続いて、図8及び図9を参照して、PLL回路20の動作について説明する。

図8に示すように、周波数偏移変調では、周波数偏移変調の搬送波の中心周波数である偏移量中心周波数 f_c を基準として、搬送波の高い周波数 f_H 側を「1」、搬送波の低い周波数 f_L 側を「0」としている。例えば、 $f_H = 432\text{ MHz}$ 、 $f_L = 430\text{ MHz}$ とすると、偏移量中心周波数 f_c は 431 MHz になる。

20

そして、図9に示すように、出力信号の周波数を搬送波の低い周波数 f_L から搬送波の高い周波数 f_H に立ち上げる時、つまり「0」から「1」にしようとする時、演算器41aは、まず $f_c + \Delta f_1$ を出力する。続いて、演算器41aは、 $f_c + \Delta f_2$ 、 $f_c + \Delta f_3$ 、 $f_c + \Delta f_4$ の順に出力する。このようにして、第1実施形態に係るPLL回路10と同様に、立ち上がり開始前の周波数から目標周波数に変化する幅以上に出力信号の周波数が変動して、過剰なオーバーシュートが発生することなく出力信号を目標の周波数にロックすることができる。また、PLL回路での引き込み動作時間を高速化することができる。

【0045】

同様に、出力信号の周波数を搬送波の高い周波数 f_H から搬送波の低い周波数 f_L に立ち下げる時、つまり「1」から「0」にしようとする時、演算器41bは、まず $f_c + \Delta f_1'$ を出力する。続いて、演算器41bは、 $f_c + \Delta f_2'$ 、 $f_c + \Delta f_3'$ 、 $f_c + \Delta f_4'$ の順に出力する。

30

なお、図8の説明では、偏移量、つまり周波数設定値 $\Delta f_1 \sim \Delta f_4$ 、 $\Delta f_1' \sim \Delta f_4'$ を、立ち上がり時と立ち下がり時とで同じにしているが、必ずしも同じにする必要はない。

【0046】

(上記以外の動作例)

なお、上述した各実施形態に係るPLL回路10、40において、図10に示すように、周波数設定 f_1 をより高めに設定し、滞留時間 t_1 をより長くした場合、オーバーシュートを大きくし、目標周波数に高速に偏移させることができる。PLL回路を用いて周波数偏移変調を行う場合のように、周波数偏移を高速化したい場合に効果的である。また、周波数設定値、滞留時間等を変更することによって、目標周波数に収束するまでの引き込み波形を調整することもできる。また、立ち上がり時と立ち下がり時とを個別に制御しているため、立ち上がり時と立ち下がり時とで異なる引き込み波形にして、立ち上がり時と立ち下がり時の引き込み時間やオーバーシュート量を調整することもできる。

40

【産業上の利用可能性】

【0047】

PLL特性が良好なPLL回路として、携帯電話機や携帯情報端末等の通信機器や、テレビやオーディオ等の音響・映像機器等に搭載することができる。

【符号の説明】

50

【 0 0 4 8 】

 $10, 40$

1 1

1 2

1 3

14

1 5 a, 1 5 b, 4 1 a, 4 1 b

16

17

17 a

1 7 b

18

$$2\ 1\ a \sim 2\ 3\ a, \quad 2\ 1\ b \sim 2\ 3\ b$$

2 4 a , 2 4 b

2 5 a , 2 5 b

$$26a \sim 29a, \quad 26b \sim 29b$$

3 0 a , 3 0 b

3 1 a , 3 1 b

P L L 回路

位相比較器

チャージポンプ回路

ループフィルタ

電圧制御発振器

演算器

周波数切替用スイッチング素子

フラクショナル分周器

アキュムレータ

分周器

制御部

周波数設定値出力部

目標周波数設定値出力部

タイマ部

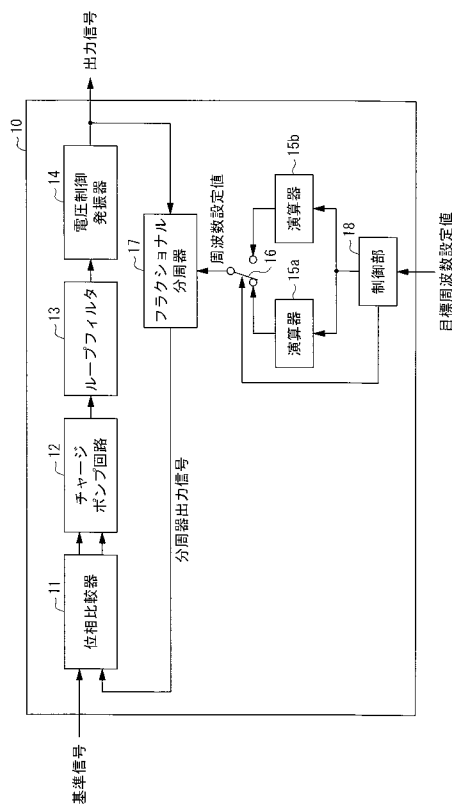
スイッチング素子

偏移量中心周波数出力部

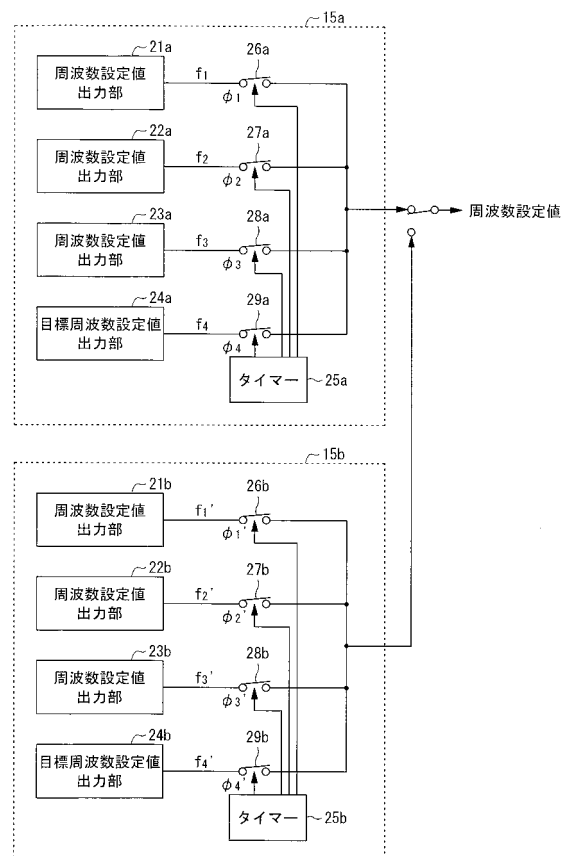
加 算 器

10

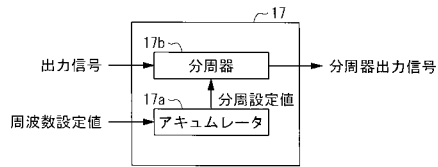
【 図 1 】



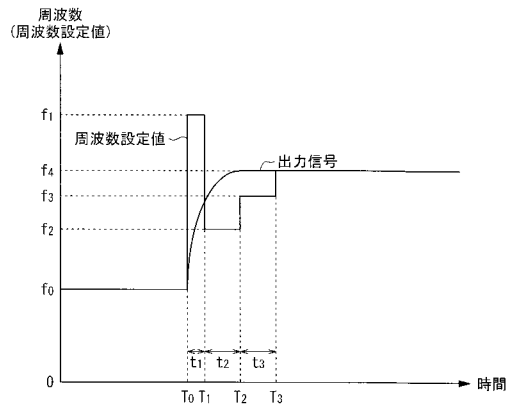
【図 2】



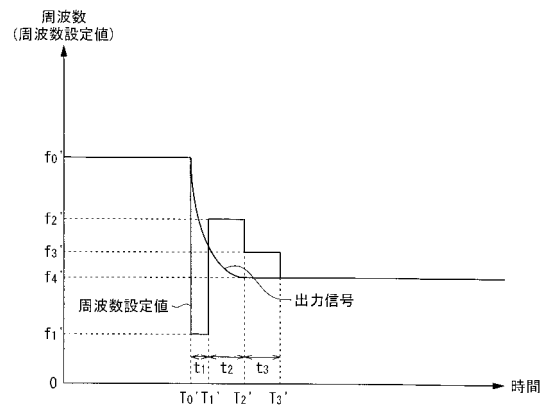
【図 3】



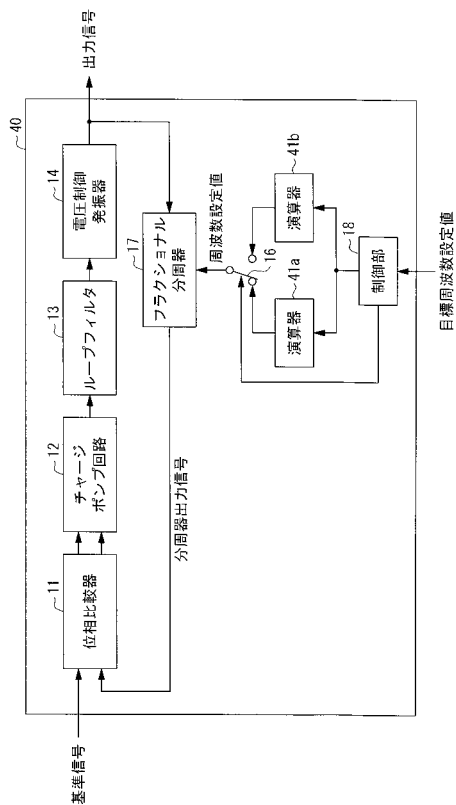
【図 4】



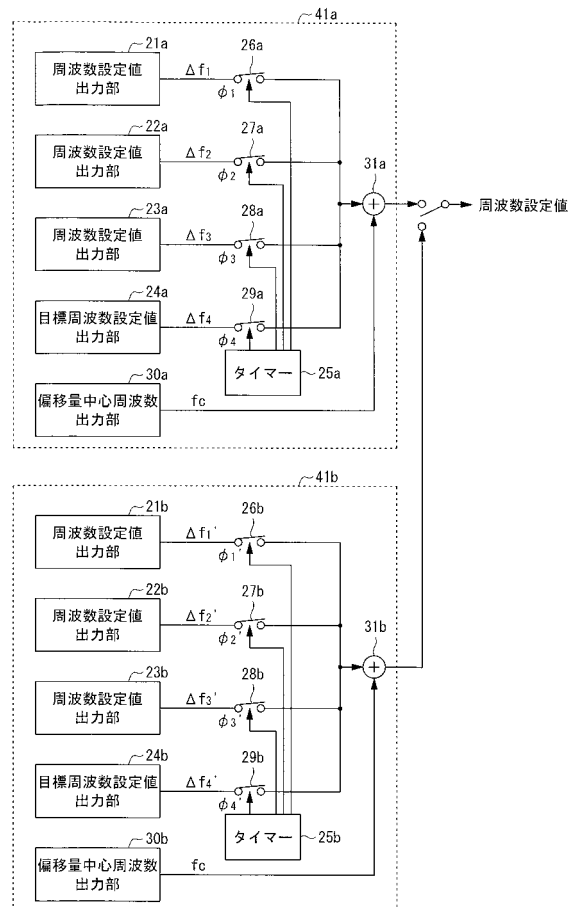
【図 5】



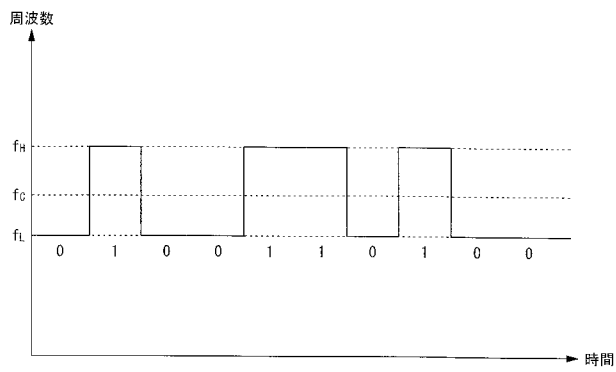
【図 6】



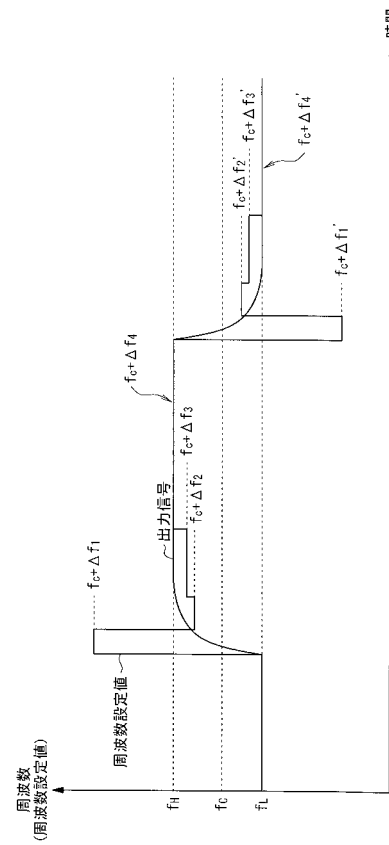
【図 7】



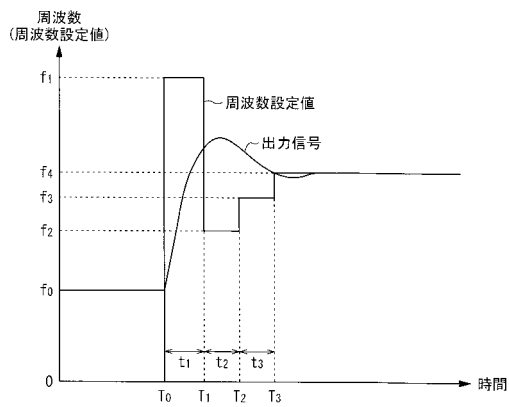
【図 8】



【図 9】



【図 10】



【図 11】

