



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월18일  
(11) 등록번호 10-2568388  
(24) 등록일자 2023년08월14일

(51) 국제특허분류(Int. Cl.)  
H01L 21/67 (2006.01) H01L 21/677 (2006.01)  
(52) CPC특허분류  
H01L 21/67144 (2013.01)  
H01L 21/67092 (2013.01)  
(21) 출원번호 10-2018-0064489  
(22) 출원일자 2018년06월04일  
심사청구일자 2021년03월30일  
(65) 공개번호 10-2019-0138203  
(43) 공개일자 2019년12월12일  
(56) 선행기술조사문헌  
KR1020170042955 A\*  
(뒷면에 계속)

(73) 특허권자  
한화정밀기계 주식회사  
경상남도 창원시 성산구 정동로 84 (성주동)  
(72) 발명자  
강태우  
경상남도 창원시 성산구 창원대로 1204 (성주동)  
조정호  
경상남도 창원시 성산구 창원대로 1204 (성주동)  
(뒷면에 계속)  
(74) 대리인  
리앤목특허법인

전체 청구항 수 : 총 4 항

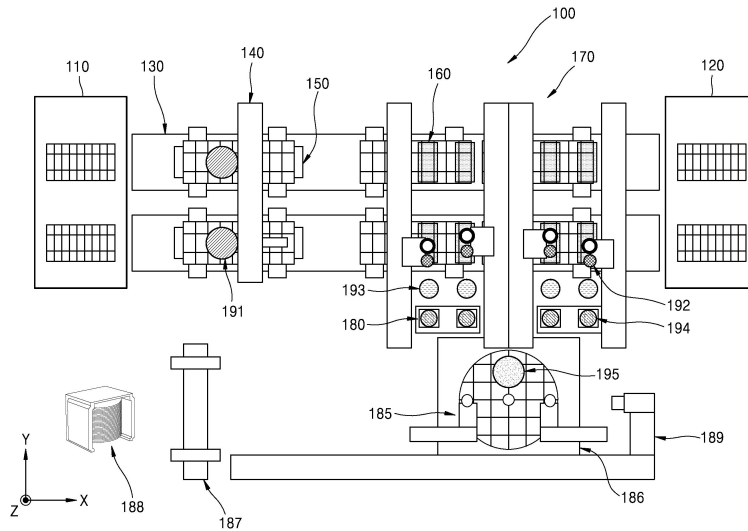
심사관 : 송윤선

(54) 발명의 명칭 본딩 장치

(57) 요약

본 발명은 본딩 장치를 개시한다. 본 발명은, 복수개의 회로기판을 이송하는 복수개의 이송부와, 상기 각 이송부에서 공급되는 상기 각 회로기판에 칩을 실장하는 복수개의 헤드부와, 상기 각 헤드부와 대응되도록 배치되며, 상기 칩이 일시적으로 안착하는 복수개의 미들스테이지와, 상기 칩이 안착하는 웨이퍼가 배치되는 웨이퍼안착부와, 상기 웨이퍼안착부에 안착된 상기 웨이퍼로부터 상기 칩을 픽업하여 상기 복수개의 미들스테이지 중 하나로 상기 칩을 공급하는 칩픽업부를 포함한다.

대표도



(52) CPC특허분류

*H01L 21/67098* (2013.01)

*H01L 21/67242* (2013.01)

*H01L 21/67712* (2013.01)

*H01L 21/67721* (2013.01)

(72) 발명자

**최부관**

경상남도 창원시 성산구 창원대로 1204 (성주동)

**김상은**

경상남도 창원시 성산구 창원대로 1204 (성주동)

(56) 선행기술조사문헌

JP2005197589 A\*

KR1020130117191 A

KR1020090063355 A

KR1020120096727 A

KR100851242 B1

KR1020080082212 A

\*는 심사관에 의하여 인용된 문헌

**명세서**

**청구범위**

**청구항 1**

복수개의 회로기판을 이송하는 복수개의 이송부;

상기 각 이송부에서 공급되는 상기 각 회로기판에 칩을 실장하는 복수개의 헤드부;

상기 각 헤드부와 대응되도록 배치되며, 상기 칩이 일시적으로 안착하는 복수개의 미들스테이지;

상기 칩이 안착하는 웨이퍼가 배치되는 웨이퍼안착부;

상기 웨이퍼안착부에 안착된 상기 웨이퍼로부터 상기 칩을 픽업하여 상기 복수개의 미들스테이지 중 하나로 상기 칩을 공급하는 칩픽업부;

상기 각 이송부로부터 이격되도록 배치되어 상기 각 회로기판의 외면의 이물질을 제거하는 클리너;

상기 클리너와 대향하도록 상기 각 이송부에 배치되어 상기 각 회로기판에 열을 가하는 예비가열부; 및

상기 예비가열부로부터 이격되도록 상기 각 이송부에 배치되며, 상기 각 회로기판 중 상기 칩이 실장되는 상기 각 회로기판 부분을 가열하는 가열부;를 포함하는 본딩 장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제 1 항에 있어서,

상기 복수개의 헤드부는, 서로 이격되도록 배열되는 제1 헤드부, 제2 헤드부, 제3 헤드부 및 제4 헤드부;를 포함하고,

상기 제1 헤드부 내지 제4 헤드부는 상기 제4 헤드부 또는 상기 제3 헤드부 중 하나가 작동하고, 상기 제2 헤드부 또는 상기 제1 헤드부 중 하나가 작동하는 본딩 장치.

**청구항 5**

제 4 항에 있어서,

상기 제4 헤드부 또는 상기 제3 헤드부 중 다른 하나가 작동하고, 상기 제2 헤드부 또는 상기 제1 헤드부 중 다른 하나가 작동하는 본딩 장치.

**청구항 6**

제 1 항에 있어서,

상기 회로기판 및 상기 칩 중 적어도 하나를 촬영하는 비전부;를 더 포함하는 본딩 장치.

**발명의 설명**

**기술분야**

본 발명은 장치에 관한 것으로서, 보다 상세하게는 본딩 장치에 관한 것이다.

**배경기술**

[0001]

[0002] 일반적으로 본딩 장치는 웨이퍼에서 칩을 분리하여 회로기판(또는 리드 프레임)에 실장하는 장치이다. 이러한 본딩 장치는 하나의 회로기판에 칩을 실장하는 것이 일반적이다. 이때, 칩은 반도체 칩, 소형의 전자 부품 등을 포함할 수 있다. 이러한 작동을 구현하기 위하여 본딩 장치는 웨이퍼에서 칩을 분리하는 장치, 칩을 이송하는 장치 등을 구비할 수 있다. 이때, 본딩 장치가 상기와 같이 하나의 칩을 회로기판에 실장 한 후 다른 칩을 실장하거나 다른 장소에 칩을 실장하기 위하여는 상기와 같은 작업을 반복하여 수행하여야 한다. 이러한 경우 본딩 장치를 통하여 회로기판에 필요한 칩을 모두 실장하기 위하여는 많은 시간과 공정순서가 필요하다.

[0003] 이러한 본딩 장치와 관련된 대한민국공개특허 제1999-0045650호(발명의 명칭: 반도체칩의 본딩방법 및 그 장치, 출원인: 가부시끼가이샤 도시바, 니시무로 타이쥬)에 구체적으로 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0004] (특허문헌 0001) 대한민국공개특허 제1999-0045650호

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 실시예들은 본딩 장치를 제공하고자 한다.

**과제의 해결 수단**

[0006] 본 발명의 일 측면은, 복수개의 회로기판을 이송하는 복수개의 이송부와, 상기 각 이송부에서 공급되는 상기 각 회로기판에 칩을 실장하는 복수개의 헤드부와, 상기 각 헤드부와 대응되도록 배치되며, 상기 칩이 일시적으로 안착하는 복수개의 미들스테이지와, 상기 칩이 안착하는 웨이퍼가 배치되는 웨이퍼안착부와, 상기 웨이퍼안착부에 안착된 상기 웨이퍼로부터 상기 칩을 픽업하여 상기 복수개의 미들스테이지 중 하나로 상기 칩을 공급하는 칩픽업부를 포함하는 본딩 장치를 제공할 수 있다.

[0007] 또한, 상기 각 이송부에 배치되는 예비가열부를 더 포함할 수 있다.

[0008] 또한, 상기 각 이송부에 배치되며, 상기 각 회로기판 중 상기 칩이 실장되는 상기 각 회로기판 부분을 가열하는 가열부를 더 포함할 수 있다.

[0009] 또한, 상기 복수개의 헤드부는, 서로 이격되도록 배열되는 제1 헤드부, 제2 헤드부, 제3 헤드부 및 제4 헤드부를 포함하고, 상기 제1 헤드부 내지 제4 헤드부는 상기 제4 헤드부 또는 상기 제3 헤드부 중 하나가 작동하고, 상기 제2 헤드부 또는 상기 제1 헤드부 중 하나가 작동할 수 있다.

[0010] 또한, 상기 제4 헤드부 또는 상기 제3 헤드부 중 다른 하나가 작동하고, 상기 제2 헤드부 또는 상기 제1 헤드부 중 다른 하나가 작동할 수 있다.

[0011] 또한, 상기 회로기판 및 상기 칩 중 적어도 하나를 촬영하는 비전부를 더 포함할 수 있다.

**발명의 효과**

[0012] 본 발명의 실시예들은 복수개의 칩을 이송하여 회로기판에 실장하는 것이 가능하다.

[0013] 본 발명의 실시예들은 종류가 서로 다른 칩을 이송하여 회로기판에 실장하는 것이 가능하다.

[0014] 본 발명의 실시예들은 작업 순서 및 작업 시간을 단축할 수 있으며, 작업 효율을 증대시키는 것이 가능하다.

**도면의 간단한 설명**

[0015] 도 1은 본 발명의 일 실시예에 따른 본딩 장치를 보여주는 평면도이다.

도 2는 도 1에 도시된 본딩 장치의 로딩부, 예비가열부 및 이송부의 일부를 보여주는 평면도이다.

도 3은 도 1에 도시된 본딩 장치의 헤드부 및 언로딩부를 보여주는 평면도이다.

도 4는 도 1에 도시된 웨이퍼에서 칩을 분리하는 본딩 장치의 부분을 보여주는 평면도이다.

도 5는 본 발명의 다른 실시예에 따른 본딩 장치를 보여주는 평면도이다.

도 6은 본 발명의 또 다른 실시예에 따른 본딩 장치를 보여주는 평면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0016] 본 발명은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 한편, 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 본딩 장치를 보여주는 평면도이다. 도 2는 도 1에 도시된 본딩 장치의 로딩부, 예비가열부 및 이송부의 일부를 보여주는 평면도이다. 도 3은 도 1에 도시된 본딩 장치의 헤드부 및 언로딩부를 보여주는 평면도이다. 도 4는 도 1에 도시된 웨이퍼에서 칩을 분리하는 본딩 장치의 부분을 보여주는 평면도이다.
- [0018] 도 1 내지 도 4를 참고하면, 본딩 장치(100)는 로딩부(110), 언로딩부(120), 이송부(130), 클리너(140), 예비가열부(150), 가열부(160), 제1 헤드부(171), 제2 헤드부(172), 제3 헤드부(173), 제4 헤드부(174), 제1 미들스테이지(181), 제2 미들스테이지(182), 제3 미들스테이지(183), 제4 미들스테이지(184), 칩픽업부(185), 웨이퍼안착부(186), 웨이퍼얼라이너(187), 웨이퍼이송부(189) 및 비전부(미표기)를 포함할 수 있다.
- [0019] 로딩부(110)는 회로기판(P1,P2,P3,P4)(또는 리드프레임)이 외부로부터 공급될 수 있다. 이때, 로딩부(110)는 다양한 방식으로 회로기판(P1,P2,P3,P4)을 이송부(130)로 공급할 수 있다. 일 실시예로써 로딩부(110)는 회로기판(P1,P2,P3,P4)이 안착되며, 안착된 회로기판(P1,P2,P3,P4)을 이송부(130)가 적재하여 이동시킬 수 있다. 이때, 로딩부(110)에는 이송부(130)의 일부와 분리 가능하도록 결합하거나 이송부(130)의 일부가 로딩부(110) 상으로 이동하는 것이 가능하다. 다른 실시예로써 로딩부(110)는 안착된 회로기판(P1,P2,P3,P4)을 이송부(130)로 이송시키는 로봇암 등을 구비하는 것도 가능하다. 또 다른 실시예로써 로딩부(110)는 회로기판(P1,P2,P3,P4)이 안착되며, 회로기판(P1,P2,P3,P4)을 이송시키는 별도의 컨베이어, 롤러 등을 포함하는 것도 가능하다. 이러한 경우 로딩부(110)는 별도의 스테이지에 컨베이어 또는 롤러 등이 배치되어 작동함으로써 회로기판(P1,P2,P3,P4)을 이송시킬 수 있다. 이때, 로딩부(110)는 상기에 한정되는 것은 아니며, 회로기판(P1,P2,P3,P4)이 안착되며, 이송부(130)로 회로기판(P1,P2,P3,P4)을 공급하는 모든 형태를 포함할 수 있다.
- [0020] 언로딩부(120)는 이송부(130)로 이송되는 회로기판(P1,P2,P3,P4)에 칩(D)이 실장된 후 회로기판(P1,P2,P3,P4)이 이송부(130)로부터 전달될 수 있다. 이때, 언로딩부(120)는 상기에서 설명한 로딩부(110)와 유사하게 형성되어 이송부(130)로부터 회로기판(P1,P2,P3,P4)을 회수할 수 있다. 언로딩부(120)는 칩(D)이 실장된 회로기판(P1,P2,P3,P4)을 외부로 반출시킬 수 있다. 이때, 반출시키는 방법은 로봇암 등을 통하여 자동을 회로기판(P1,P2,P3,P4)을 반출시키거나 사람 등이 수동으로 외부로 반출시키는 것도 가능하다.
- [0021] 상기와 같은 이송부(130)는 2개 구비될 수 있다. 예를 들면, 이송부(130)는 서로 이격되도록 배열되는 제1 이송부(131)와 제2 이송부(132)를 포함할 수 있다. 이때, 제1 이송부(131)는 제1 회로기판(P1) 및 제2 회로기판(P2)을 제1 방향(예를 들면, 도 1의 X축 방향)으로 이송할 수 있으며, 제2 이송부(132)는 제3 회로기판(P3) 및 제4 회로기판(P4)을 제1 방향으로 이송할 수 있다. 이때, 제1 이송부(131)와 제2 이송부(132)는 서로 동일 또는 유사하므로 이하에서는 설명의 편의를 위하여 제1 이송부(131)를 중심으로 상세히 설명하기로 한다.
- [0022] 제1 이송부(131)는 제1 회로기판(P1) 또는 제2 회로기판(P2)이 안착하는 제1 안착부(131a)와 제1 안착부(131a)가 선형 운동 가능하도록 배치된 제1 레일부(131b)를 포함할 수 있다. 이때, 제1 안착부(131a)와 제1 레일부(131b) 사이는 별도의 리니어모터가 배치되어 상기 리니어모터는 제1 안착부(131a)를 선형 운동시킬 수 있다.

- [0023] 클리너(140)는 이송부(130)로부터 이격되도록 배치될 수 있다. 이때, 클리너(140)는 클리너지지부(141)와 클리너지지부(141)에 선형 운동 가능하게 배치되는 클리너헤드부(142)를 포함할 수 있다. 이때, 클리너헤드부(142)는 공기를 흡입하거나 가스를 회로기관(P1,P2,P3,P4)으로 공급함으로써 회로기관(P1,P2,P3,P4)의 외면의 이물질을 제거할 수 있다.
- [0024] 예비가열부(150)는 클리너(140)와 대향하도록 배치될 수 있다. 이때, 예비가열부(150)는 회로기관(P1,P2,P3,P4)의 하면에 배치되어 회로기관(P1,P2,P3,P4)에 열을 가할 수 있다. 특히 예비가열부(150)는 뜨거운 가스를 회로기관(P1,P2,P3,P4)으로 공급하거나 회로기관(P1,P2,P3,P4)에 빛 등을 조사하여 회로기관(P1,P2,P3,P4)을 가열할 수 있다. 다른 실시예로써 예비가열부(150)는 히터를 포함하여 회로기관(P1,P2,P3,P4)을 가열하는 것도 가능하다. 이때, 예비가열부(150)는 제1 이송부(131)에 대응되도록 배치되는 제1 예비가열부(151)와 제2 이송부(132)에 대응되도록 배치되는 제2 예비가열부(152)를 포함할 수 있다.
- [0025] 가열부(160)는 예비가열부(150)로부터 이격되도록 배치될 수 있다. 이때, 가열부(160)는 칩(D)이 각 회로기관(P1,P2,P3,P4)에 실장될 때 각 회로기관(P1,P2,P3,P4)을 독립적으로 가열할 수 있다. 이러한 경우 가열부(160)는 각 회로기관(P1,P2,P3,P4)에 칩(D)이 실장되는 회로기관(P1,P2,P3,P4) 부분을 국부적으로 가열시키는 것이 가능하다. 가열부(160)는 예비가열부(150)과 동일 또는 유사하게 형성될 수 있다.
- [0026] 상기와 같은 가열부(160)는 제1 회로기관(P1)의 제1 실장위치에 대응되는 제1 가열부(161), 제2 회로기관(P2)의 제2 실장위치에 대응되는 제2 가열부(162), 제3 회로기관(P3)의 제3 실장위치에 대응되는 제3 가열부(163) 및 제4 회로기관(P4)의 제4 실장위치에 대응되는 제4 가열부(164)를 포함할 수 있다. 이러한 경우 제1 가열부(161) 내지 제4 가열부(164) 각각은 복수 개 구비될 수 있다. 이때, 복수개의 제1 가열부(161)는 서로 이격되도록 배치되며, 복수개의 제2 가열부(162)는 서로 이격되도록 배치될 수 있다. 또한, 복수개의 제3 가열부(163)는 서로 이격되도록 배치되며, 복수개의 제4 가열부(164)는 서로 이격되도록 배치될 수 있다. 이러한 경우 각 가열부(160)의 자세는 칩(D)이 실장되는 부분에 배치될 수 있다.
- [0027] 제1 헤드부(171) 내지 제4 헤드부(174)는 각각 서로 독립적으로 구동할 수 있다. 이때, 제1 헤드부(171) 내지 제4 헤드부(174)는 각 회로기관(P1,P2,P3,P4)에 칩(D)을 실장시킬 수 있다. 이러한 경우 제1 헤드부(171)와 제4 헤드부(174)는 서로 동일 또는 유사하므로 제1 헤드부(171)를 중심으로 상세히 설명하기로 한다.
- [0028] 제1 헤드부(171)는 칩(D)을 픽업하여 회로기관(P1,P2,P3,P4)에 실장하는 제1 헤드(171a)와 제1 헤드(171a)가 제1 방향과 상이한 제2 방향(예를 들면, 도 1의 Y축 방향)으로 선형 운동 가능하게 배치된 제1 헤드지지부(171b)를 포함할 수 있다. 제1 헤드(171a)는 칩(D)을 흡착하여 제1 회로기관(P1)에 실장할 수 있다. 이때, 제1 헤드(171a)는 칩(D)을 진공 등으로 흡착할 수 있다. 또한, 제1 헤드지지부(171b)는 제1 헤드(171a)의 선형 운동을 가이드하는 리니어모션가이드를 포함할 수 있다. 다른 실시예로써 제1 헤드지지부(171b)는 제1 헤드(171a)의 선형 운동을 가이드하도록 배치되는 레일을 포함하는 것도 가능하다. 이때, 제1 헤드지지부(171b)는 상기에 한정되는 것은 아니며, 제1 헤드(171a)가 선형 가능하게 배치되고, 제1 헤드(171a)의 선형 운동을 가이드하는 모든 구조 및 장치를 포함할 수 있다. 상기와 같은 제1 헤드지지부(171b)는 제1 헤드(171a)와 제1 헤드지지부(171b) 사이에는 제1 헤드(171a)를 선형 운동시키는 별도의 제1 헤드구동부(171c)를 포함하는 것도 가능하다. 이러한 경우 제1 헤드구동부(171c)는 다양한 형태로 형성될 수 있다. 예를 들면, 제1 헤드구동부(171c)는 제1 헤드(171a)와 연결되는 볼스크류와, 제1 헤드지지부(171b)에 배치되며 상기 볼스크류와 연결되는 모터를 포함할 수 있다. 다른 실시예로써 제1 헤드구동부(171c)는 제1 헤드(171a)와 제1 헤드지지부(171b) 사이에 배치되어 제1 헤드(171a)와 연결되는 리니어모터를 포함할 수 있다. 또 다른 실시예로써 제1 헤드구동부(171c)는 제1 헤드지지부(171b)에 배치되어 제1 헤드(171a)와 연결되는 실린더를 포함하는 것도 가능하다. 이때, 제1 헤드구동부(171c)는 상기에 한정되는 것은 아니며, 제1 헤드(171a)와 연결되어 제1 헤드(171a)를 선형 운동시키는 모든 구조를 포함할 수 있다. 이하에서는 설명의 편의를 위하여 제1 헤드구동부(171c)가 리니어모터를 포함하는 경우를 중심으로 상세히 설명하기로 한다.
- [0029] 제1 미들스테이지(181) 내지 제4 미들스테이지(184)는 칩(D)이 일시적으로 안착될 수 있다. 이때, 제1 미들스테이지(181) 내지 제4 미들스테이지(184)는 서로 동일 또는 유사하므로 제1 미들스테이지(181)를 중심으로 상세히 설명하기로 한다.
- [0030] 제1 미들스테이지(181)는 칩픽업부(185)에서 픽업된 칩(D)이 안착되어 일시적으로 저장될 수 있다. 이때, 제1 미들스테이지(181)는 고정된 상태일 수 있다. 또한, 제1 미들스테이지(181)는 플레이트 형태로 형성될 수 있으며, 칩(D)이 안착되도록 홈 등과 같은 칩안착부가 배치될 수 있다. 이러한 경우 제1 미들스테이지(181)는 제1

헤드부(171)와 대응되도록 배치될 수 있으며, 제1 헤드부(171)와 칩픽업부(185) 사이에 배치될 수 있다.

- [0031] 칩픽업부(185)는 웨이퍼(W)의 칩(D)을 픽업하여 제1 미들스테이지(181) 내지 제4 미들스테이지(184) 중 하나로 공급할 수 있다. 이때 칩픽업부(185)는 제1 미들스테이지(181)와 제2 미들스테이지(182)로 칩(D)을 공급하는 제1 칩픽업부(185-1)와 제3 미들스테이지(183)와 제4 미들스테이지(184)로 칩(D)을 공급하는 제2 칩픽업부(185-2)를 포함할 수 있다. 이때, 제1 칩픽업부(185-1)와 제2 칩픽업부(185-2)는 서로 동일 또는 유사하므로 이하에서는 제1 칩픽업부(185-1)를 중심으로 상세히 설명하기로 한다.
- [0032] 제1 칩픽업부(185-1)는 웨이퍼(W)로부터 칩(D)을 픽업할 수 있다. 이때, 제1 칩픽업부(185-1)는 칩(D)을 픽업하는 제1 칩픽업헤드(185-1a), 제1 칩픽업헤드(185-1a)가 선형 운동하는 제1 칩픽업헤드지지부(185-1b) 및 제1 칩픽업헤드지지부(185-1b)에 배치되어 제1 칩픽업헤드(185-1a)를 제1 방향 및 제2 방향 중 적어도 하나의 방향으로 선형 운동시키고, 제1 칩픽업헤드(185-1a)를 승하강시키는 제1 칩픽업헤드구동부(미도시)를 포함할 수 있다. 이때, 제1 칩픽업헤드(185-1a)는 칩(D)을 진공 등을 통하여 고정할 수 있다.
- [0033] 웨이퍼안착부(186)는 웨이퍼(W)가 안착될 수 있다. 이때, 웨이퍼안착부(186)에는 웨이퍼(W)로부터 칩(D)이 분리될 때 웨이퍼(W)를 고정시키거나 웨이퍼(W)에 일정 힘을 가함으로써 칩(D)이 쉽게 분리하도록 할 수 있다.
- [0034] 웨이퍼얼라이너(187)는 웨이퍼(W)가 적재되는 웨이퍼카세트(188)로부터 인출되는 웨이퍼(W)를 기계적으로 정렬할 수 있다. 이때, 웨이퍼얼라이너(187)는 레일 형태로 형성되어 웨이퍼(W)의 이동 경로 상에 배치되며, 웨이퍼(W)의 이동을 가이드할 수 있다.
- [0035] 웨이퍼이송부(189)는 웨이퍼(W)가 적재되는 링 형태의 웨이퍼적재부(미도시)에 안착된 웨이퍼(W)를 웨이퍼안착부(186)로 이송시킬 수 있다. 이때, 웨이퍼이송부(189)는 그립퍼 형태 등으로 형성되어 상기 웨이퍼적재부와 연결될 수 있다. 이러한 경우 웨이퍼이송부(189)는 길이 가변함으로써 상기 웨이퍼적재부와 선택적으로 결합할 수 있다.
- [0036] 상기 비전부는 회로기관(P1,P2,P3,P4)의 자세 및 칩(D)의 자세 중 적어도 하나를 촬영할 수 있다. 이때, 상기 비전부는 회로기관프리얼라인비전부(191), 본드비전부(192), 하부비전부(193), 미들비전부(194) 및 웨이퍼비전부(195)를 포함할 수 있다. 이러한 상기 비전부는 회로기관(P1,P2,P3,P4) 및 칩(D) 중 적어도 하나를 촬영하는 카메라를 포함할 수 있다. 이러한 상기 비전부는 단수개 또는 복수 개 구비될 수 있다. 이때, 상기 비전부가 단수개 또는 복수 개 구비되는 경우 상기 비전부는 제1 방향 및 제2 방향 중 적어도 하나의 방향으로 선형 운동할 수 있다.
- [0037] 회로기관프리얼라인비전부(191)는 각 회로기관(P1,P2,P3,P4)의 자세를 촬영할 수 있다. 일 실시예로써 회로기관프리얼라인비전부(191)는 하나 구비될 수 있다. 이러한 경우 회로기관프리얼라인비전부(191)는 각 회로기관(P1,P2,P3,P4)의 이동 경로에 배치되도록 각 회로기관(P1,P2,P3,P4)의 이동 경로로 이동할 수 있다. 예를 들면, 제1 회로기관(P1) 및 제2 회로기관(P2)이 이동되는 경우 회로기관프리얼라인비전부(191)는 제1 회로기관(P1) 및 제2 회로기관(P2)의 이동 경로 상에 배치될 수 있다. 또한, 제3 회로기관(P3) 및 제4 회로기관(P4)이 이동되는 경우 회로기관프리얼라인비전부(191)는 제3 회로기관(P3) 및 제4 회로기관(P4)의 이동 경로 상에 배치될 수 있다. 이때, 회로기관프리얼라인비전부(191)는 상기의 자세 상을 이동하도록 제2 방향으로 선형 운동할 수 있다. 다른 실시예로써 회로기관프리얼라인비전부(191)는 복수 개 구비될 수 있으며, 각 회로기관프리얼라인비전부(191)는 제1 회로기관(P1) 및 제3 회로기관(P3)에 대응되도록 배치될 수 있다. 이때, 각 회로기관프리얼라인비전부(191)는 제1 회로기관(P1) 및 제3 회로기관(P3)에 배치된 피두셀마크를 촬영할 수 있다. 특히 각 회로기관프리얼라인비전부(191)는 제1 회로기관(P1) 및 제3 회로기관(P3)이 각각 이동하는 경로 상에 배치될 수 있다. 이하에서는 설명의 편의를 위하여 회로기관프리얼라인비전부(191)는 하나 구비되는 경우를 중심으로 상세히 설명하기로 한다.
- [0038] 본드비전부(192)는 헤드부(170)에 배치될 수 있다. 이때, 본드비전부(192)는 칩(D)이 각 회로기관(P1,P2,P3,P4)에 본딩된 상태 또는 각 회로기관(P1,P2,P3,P4)을 촬영할 수 있다. 이러한 경우 본드비전부(192)는 각 헤드부(170)에 대응하도록 배치되는 제1 본드비전부(192a), 제2 본드비전부(192b), 제3 본드비전부(192c) 및 제4 본드비전부(192d)를 포함할 수 있다.
- [0039] 하부비전부(193)는 칩(D)이 이동하는 경로 상에 배치되어 각 헤드(171a,172a,173a,174a)에 부착된 칩(D)의 자세(예를 들면, 틀어진 정도 등)를 촬영할 수 있다. 일 실시예로써 하부비전부(193)는 하나 구비될 수 있다. 이때, 하부비전부(193)는 각 헤드의 이동 경로에 대응되는 자세에 배치되도록 제1 방향으로 선형 운동할 수 있다. 다른 실시예로써 하부비전부(193)는 복수 개 구비될 수 있다. 이때, 하부비전부(193)는 2개 구비될 수 있으며, 한

개의 하부비전부(193)는 제1 헤드(171a) 또는 제2 헤드(172a)의 이동 경로 상에 배치되고, 다른 하부비전부(193)는 제3 헤드(173a) 또는 제4 헤드(174a)의 이동 경로 상에 배치될 수 있다. 또 다른 실시예로써 하부비전부(193)는 복수 개 구비될 수 있으며, 하부비전부(193)는 4개 구비될 수 있다. 이때, 각 하부비전부(193)는 각 헤드의 이동 경로에 각각 대응되도록 배치될 수 있다. 이러한 경우 각 하부비전부(193)는 고정된 상태일 수 있다. 이하에서는 설명의 편의를 위하여 각 하부비전부(193)는 각 헤드의 경로에 대응되도록 배치되는 경우를 중심으로 상세히 설명하기로 한다.

- [0040] 미들비전부(194)는 미들스테이지(181,182,183,184) 상에 배치되어 미들스테이지(181,182,183,184) 상의 칩(D)의 자세를 촬영할 수 있다. 일 실시예로써 미들비전부(194)는 하나 구비될 수 있으며, 하나의 미들비전부(194)는 각 미들스테이지(181,182,183,184)에 대응되는 자세에 대응되도록 제1 방향 및 제2 방향 중 적어도 하나의 방향으로 선형 운동할 수 있다. 다른 실시예로써 미들비전부(194)는 2개 구비될 수 있으며, 하나의 미들비전부(194)는 제1 미들스테이지(181)와 제2 미들스테이지(182)의 상면에 배치되도록 제1 미들스테이지(181)와 제2 미들스테이지(182) 사이를 선형 운동할 수 있다. 또한, 다른 미들비전부(194)는 제3 미들스테이지(183)와 제4 미들스테이지(184)의 상면에 배치되도록 제3 미들스테이지(183)와 제4 미들스테이지(184) 사이를 선형 운동할 수 있다. 또 다른 실시예로써 미들비전부(194)는 4개 구비되며, 각 미들비전부(194)는 제1 미들스테이지(181) 내지 제4 미들스테이지(184) 각각에 대응되도록 배치될 수 있다. 이러한 경우 각 미들비전부(194)는 각 미들스테이지(181,182,183,184)에 대응되는 자세에 고정될 수 있다.
- [0041] 웨이퍼비전부(195)는 웨이퍼안착부(186)의 상면에 배치되어 웨이퍼(W)를 촬영할 수 있다. 이때, 웨이퍼비전부(195)에서 촬영된 웨이퍼(W)의 이미지를 근거로 웨이퍼(W) 상의 칩(D)의 불량 여부 등을 판별할 수 있다. 또한, 웨이퍼비전부(195)는 웨이퍼(W)의 자세를 촬영할 수 있으므로 이러한 웨이퍼(W)의 이미지를 근거로 웨이퍼(W)의 자세가 기 설정된 자세와 동일한지 판별할 수 있다.
- [0042] 상기와 같은 상기 비전부에서 촬영된 칩(D)의 자세 및 회로기관(P1,P2,P3,P4)의 자세 중 적어도 하나를 측정함으로써 회로기관(P1,P2,P3,P4)의 자세를 조정하거나 칩(D)의 자세를 조정할 수 있다. 이러한 경우 회로기관(P1,P2,P3,P4)의 자세를 조정하기 위하여 이송부(130)의 자세를 조정하거나 이송부(130)에 안착된 회로기관(P1,P2,P3,P4)의 자세를 조정할 수 있다. 또한, 칩(D)의 자세를 조정하기 위하여 각 헤드(171a,172a,173a,174a)를 조정하거나 각 미들스테이지(181,182,183,184) 상에서 각 칩(D)의 자세를 조정할 수 있다. 이러한 경우 회로기관(P1,P2,P3,P4) 및 칩(D) 중 적어도 하나가 안착되거나 흡착하는 구성요소는 회로기관(P1,P2,P3,P4) 및 칩(D) 중 적어도 하나의 자세를 가변시키기 위한 별도의 자세조정부를 구비할 수 있다.
- [0043] 한편, 상기와 같은 본딩 장치(100)는 복수개의 회로기관(P1,P2,P3,P4)에 복수개의 칩(D)을 배치한 후 칩(D)을 각 회로기관(P1,P2,P3,P4)에 본딩할 수 있다.
- [0044] 구체적으로 본딩 장치(100)가 작동하는 경우 웨이퍼카세트(188)에 적재된 웨이퍼(W)를 웨이퍼이송부(189)를 통하여 인출할 수 있다. 이때, 웨이퍼(W)는 웨이퍼얼라인너(187)를 통하여 자세가 조절되고, 웨이퍼카세트(188)로부터 웨이퍼안착부(186)로 이송되어 웨이퍼안착부(186)에 적재된 상태일 수 있다.
- [0045] 또한, 제1 회로기관(P1) 내지 제4 회로기관(P4)을 순차적으로 로딩부(110)에 안착하여 제1 이송부(131) 및 제2 이송부(132)에 공급할 수 있다. 이때, 제1 회로기관(P1) 내지 제4 회로기관(P4)이 제1 이송부(131) 또는 제2 이송부(132)를 통하여 공급되는 방법은 유사하므로 이하에서는 설명의 편의를 위하여 제2 회로기관(P2)을 제1 이송부(131)로 이송하는 방법에 대해서 상세히 설명하기로 한다.
- [0046] 제1 이송부(131)는 제1 이송부(131)로 공급되는 제2 회로기관(P2)을 제1 예비가열부(151)의 자세에 배치할 수 있다. 회로기관프리얼라인비전부(191)는 제2 회로기관(P2)의 피듀셀마크를 촬영할 수 있다. 촬영된 피듀셀마크와 기 설정된 이미지를 비교하여 제2 회로기관(P2)의 자세를 판단하고, 촬영된 피듀셀마크가 기 설정된 자세에 대응되도록 제2 회로기관(P2)의 자세를 조정할 수 있다.
- [0047] 상기와 같이 제2 회로기관(P2)이 제1 예비가열부(151)의 상면에 배치되면, 제1 예비가열부(151)는 제2 회로기관(P2)을 가열할 수 있다. 이후 제1 이송부(131)는 제2 회로기관(P2)을 제2 실장위치에 배치할 수 있다. 이때, 제2 실장위치는 제2 가열부(162)가 배치되는 자세일 수 있다.
- [0048] 상기와 같이 제2 실장위치에 제2 회로기관(P2)이 배치된 후 제1 회로기관(P1)도 제2 회로기관(P2)과 유사한 과정을 거쳐 제1 실장위치에 배치될 수 있다. 이때, 제1 실장위치는 제1 가열부(161)가 배치되는 자세일 수 있다. 이러한 경우 제1 안착부(131a)는 복수 개 구비될 수 있으며, 각 제1 안착부(131a)는 제1 회로기관(P1) 또는 제2 회로기관(P2)이 각각 안착할 수 있다.

- [0049] 상기와 같은 과정이 진행되는 동안 제2 이송부(132)는 제4 회로기관(P4)을 제4 실장위치에 배치하며, 제3 회로기관(P3)을 제3 실장위치에 배치할 수 있다. 이때, 제4 회로기관(P4)의 이동은 제2 회로기관(P2)의 이동과 동시에 수행될 수 있으며, 제3 회로기관(P3)의 이동은 제1 회로기관(P1)의 이동과 동시에 수행될 수 있다.
- [0050] 상기와 같이 제1 이송부(131)와 제2 이송부(132)가 제1 회로기관(P1) 내지 제4 회로기관(P4)을 각각 제1 실장위치 내지 제4 실장위치에 배치하면, 제2 회로기관(P2)과 제4 회로기관(P4)은 언로딩부(120)에 가깝게 배치되고, 제1 회로기관(P1)과 제3 회로기관(P3)은 로딩부(110)에 가깝게 배치될 수 있다.
- [0051] 상기와 같이 제1 회로기관(P1) 내지 제4 회로기관(P4)이 각각 제1 실장위치 내지 제4 실장위치에 배치되는 경우 새로운 회로기관(P1,P2,P3,P4)이 각각 제1 예비가열부(151)와 제2 예비가열부(152)에 배치될 수 있다.
- [0052] 한편, 상기와 같은 작업이 진행되는 동안 웨이퍼(W)로부터 칩(D)이 제1 미들스테이지(181) 내지 제4 미들스테이지(184)에 공급될 수 있다. 칩(D)이 제1 미들스테이지(181) 내지 제4 미들스테이지(184)에 공급되는 방법은 서로 유사하므로 이하에서는 설명의 편의를 위하여 제4 미들스테이지(184)로 칩(D)이 공급되는 내용을 중심으로 상세히 설명하기로 한다.
- [0053] 구체적으로 웨이퍼(W)에 배치된 칩(D)을 제2 칩픽업부(185-2)가 칩(D)을 픽업할 수 있다. 이때, 제2 칩픽업헤드(185-2a)는 수직 방향으로 선형 운동하여 칩(D)을 픽업할 수 있다. 또한, 제2 칩픽업헤드(185-2a)는 수평 방향으로 선형 운동함으로써 칩(D)을 제4 미들스테이지(184)에 공급할 수 있다. 이때, 웨이퍼비전부(195)를 통하여 촬영된 이미지를 근거로 칩(D)의 불량여부를 판별하여 정상적인 칩(D)만을 픽업하는 것이 가능하다. 상기와 같이 칩(D)이 제4 미들스테이지(184)에 공급되는 동안 제1 칩픽업부(185-1)는 칩(D)을 제2 미들스테이지(182)에 공급할 수 있다.
- [0054] 상기의 과정이 완료되면, 제2 칩픽업부(185-2)와 제1 칩픽업부(185-1)는 칩(D)을 제3 미들스테이지(183)와 제1 미들스테이지(181)에 각각 공급할 수 있다.
- [0055] 상기와 같이 칩(D)이 제1 미들스테이지(181) 내지 제4 미들스테이지(184)에 공급되면, 미들비전부(194)가 제1 미들스테이지(181) 내지 제4 미들스테이지(184) 상에 배치된 칩(D)을 촬영할 수 있다. 이렇게 촬영된 칩(D)의 이미지와 기 설정된 이미지를 비교하여 칩(D)의 자세(예를 들면, 칩(D)의 틀어진 정도 등)를 판별하여 제1 미들스테이지(181) 내지 제4 미들스테이지(184)를 자세를 가변시킴으로써 칩(D)의 자세를 기 설정된 자세에 대응시킬 수 있다.
- [0056] 상기와 같이 칩(D)의 자세 조정이 완료되면, 제1 헤드(171a) 내지 제4 헤드(174a)가 선형 운동하여 제1 미들스테이지(181) 내지 제4 미들스테이지(184) 각각에 배치된 칩(D)을 제1 회로기관(P1) 내지 제4 회로기관(P4)으로 이송시킬 수 있다. 이때, 제1 헤드(171a) 내지 제4 헤드(174a)는 언로딩부(120)에 가까운 부분부터 이동하여 칩(D)을 각 회로기관(P1,P2,P3,P4)에 실장할 수 있다. 예를 들면, 일 실시예로써 제4 헤드(174a)가 움직이고, 제2 헤드(172a)가 움직여 칩(D)을 제4 회로기관(P4) 및 제3 회로기관(P3)에 실장할 수 있다. 이후 제3 헤드(173a)가 움직이고, 제1 헤드(171a)가 움직여 칩(D)을 제4 회로기관(P4) 및 제3 회로기관(P3)에 칩(D)을 실장할 수 있다. 이후 다시 제4 헤드(174a), 제2 헤드(172a), 제3 헤드(173a) 및 제1 헤드(171a)가 순차적으로 움직여 칩(D)을 제2 회로기관(P2) 및 제1 회로기관(P1)에 실장할 수 있다. 이러한 작업이 진행되는 동안 제1 칩픽업부(185-1)와 제2 칩픽업부(185-2)가 다시 상기와 같이 칩(D)을 제1 미들스테이지(181) 내지 제4 미들스테이지(184)에 안착할 수 있다.
- [0057] 다른 실시예로써 제4 헤드(174a)가 칩(D)을 제4 회로기관(P4)에 실장 한 후 제3 헤드(173a)가 칩(D)을 제4 회로기관(P4)에 실장할 수 있다. 이때, 제3 헤드(173a)가 칩(D)을 제4 회로기관(P4)에 실장하는 경우 제2 칩픽업부(185-2)는 칩(D)을 제4 미들스테이지(184)에 안착시키는 것도 가능하다. 이후 제4 헤드(174a)는 칩(D)을 제2 회로기관(P2)에 실장할 수 있으며, 제2 칩픽업부(185-2)는 칩(D)을 제3 미들스테이지(183)에 배치할 수 있다. 제3 헤드(173a)는 제3 미들스테이지(183)의 칩(D)을 제2 회로기관(P2)에 실장할 수 있다.
- [0058] 상기와 같은 작업이 진행된 후 제2 헤드(172a)가 칩(D)을 제3 회로기관(P3)에 실장하고, 제1 헤드(171a)는 칩(D)을 제3 회로기관(P3)에 실장할 수 있다. 이후 제2 헤드(172a) 및 제1 헤드(171a)는 칩(D)을 제1 회로기관(P1)에 실장하는 것도 가능하다.
- [0059] 또 다른 실시예로써 제4 헤드(174a)와 제3 헤드(173a)가 동시에 작동하여 칩(D)을 제4 회로기관(P4) 또는 제2 회로기관(P2)에 실장하는 것도 가능하며, 제2 헤드(172a)와 제1 헤드(171a)가 동시에 작동하는 것도 가능하다.
- [0060] 또 다른 실시예로써 제4 헤드(174a) 또는 제3 헤드(173a) 중 하나가 움직이고, 제2 헤드(172a) 또는 제1 헤드

(171a) 중 하나가 움직일 수 있다. 또한, 제4 헤드(174a) 또는 제3 헤드(173a) 중 다른 하나가 움직이고, 제2 헤드(172a) 또는 제1 헤드(171a) 중 다른 하나가 움직일 수 있다. 즉, 제4 헤드(174a), 제2 헤드(172a), 제3 헤드(173a), 제1 헤드(171a)가 순차적으로 움직이거나 제3 헤드(173a), 제2 헤드(172a), 제4 헤드(174a) 및 제1 헤드(171a)가 순차적으로 움직일 수 있다. 다른 실시예로써 제4 헤드(174a), 제1 헤드(171a), 제3 헤드(173a) 및 제2 헤드(172a)가 순차적으로 움직이거나 제3 헤드(173a), 제1 헤드(171a), 제4 헤드(174a) 및 제2 헤드(172a)가 순차적으로 움직이는 것도 가능하다.

- [0061] 상기와 같이 제1 헤드(171a) 내지 제4 헤드(174a)가 작동함으로써 칩(D)을 신속하게 제1 회로기판(P1) 내지 제4 회로기판(P4)에 실장하는 것이 가능하다.
- [0062] 상기와 같이 제1 헤드(171a) 내지 제4 헤드(174a)가 칩(D)을 이송시키는 동안 하부비전부(193)는 칩(D)의 자세를 촬영할 수 있다. 이때, 촬영된 칩(D)의 자세와 기 설정된 자세를 비교하여 제1 헤드(171a) 내지 제4 헤드(174a)의 자세(예를 들면, 회전, 상승 등)를 변경함으로써 칩(D)의 자세를 기 설정된 자세에 대응되도록 조절할 수 있다. 또한, 제1 헤드(171a) 내지 제4 헤드(174a)가 칩(D)을 제1 회로기판(P1) 내지 제4 회로기판(P4)에 실장할 때 본드비전부(192)는 제1 회로기판(P1) 내지 제4 회로기판(P4)의 자세를 측정함으로써 칩(D)이 정확한 자세에 실장되도록 제1 헤드(171a) 내지 제4 헤드(174a)의 자세를 조정할 수 있다.
- [0063] 한편, 상기와 같은 본딩 장치(100)는 상기의 경우 이외에도 칩(D)의 품질에 따라 선택적으로 제1 회로기판(P1) 내지 제4 회로기판(P4)에 칩(D)을 실장하는 것이 가능하다.
- [0064] 예를 들면, 웨이퍼(W)가 웨이퍼카세트(188)에 안착될 때 웨이퍼(W)의 표면을 검사하여 웨이퍼(W)의 칩(D) 상태에 대한 정보가 웨이퍼카세트(188)에 기록될 수 있다. 이러한 기록된 정보는 웨이퍼카세트(188)가 본딩 장치(100)에 공급되면, 본딩 장치(100)에 입력될 수 있다. 이를 근거로 본딩 장치(100)는 칩(D)의 품질에 따라서 실장되는 회로기판의 자세를 결정할 수 있다. 구체적으로 본딩 장치(100)는 고품질의 칩(D)은 언로딩부(120)와 근접한 제2 회로기판(P2)과 제4 회로기판(P4)에만 실장할 수 있다. 또한, 본딩 장치(100)는 저품질의 칩(D)을 로딩부(110)와 근접한 제1 회로기판(P1)과 제3 회로기판(P3)에만 실장할 수 있다. 다른 실시예로써 본딩 장치(100)는 고품질의 칩(D)을 제1 이송부(131)에 배치된 제1 회로기판(P1)과 제2 회로기판(P2)에 실장할 수 있다. 또한, 본딩 장치(100)는 저품질의 칩(D)을 제2 이송부(132)에 배치된 제3 회로기판(P3)과 제4 회로기판(P4)에 실장하는 것도 가능하다. 이때, 본딩 장치(100)는 상기에 한정되는 것은 아니며, 고품질의 칩(D)을 복수개의 회로기판(P1,P2,P3,P4) 중 일부에만 실장되고, 저품질의 칩(D)을 복수개의 회로기판(P1,P2,P3,P4) 중 나머지에만 실장되도록 제어하는 것이 가능하다. 따라서 본딩 장치(100)는 사용자의 요구, 제품의 사용 환경에 따라서 고품질의 칩(D)만 실장되거나 저품질의 칩(D)만 실장된 회로기판을 공급하는 것이 가능하다.
- [0065] 상기의 경우 이외에도 본딩 장치(100)는 서로 종류가 상이한 칩(D)을 각 회로기판(P1,P2,P3,P4)에 실장하는 것도 가능하다. 예를 들면, 제1 헤드(171a)와 제3 헤드(173a)는 A종류의 칩(D)을 실장하고 제2 헤드(172a)와 제4 헤드(174a)는 A종류의 칩(D)과 상이한 B종류의 칩(D)을 실장하는 것이 가능하다. 이러한 경우 웨이퍼(W)는 A종류의 칩(D)을 포함하는 웨이퍼(W)와 B종류의 칩(D)을 포함하는 웨이퍼(W)가 순차적으로 공급되거나 동시에 공급될 수 있다. 특히 이러한 경우 칩픽업부(185), 웨이퍼안착부(186), 웨이퍼얼라이너(187) 및 웨이퍼이송부(189)는 복수 개 구비될 수 있으며, 복수개의 칩픽업부(185), 웨이퍼안착부(186), 웨이퍼얼라이너(187) 및 웨이퍼이송부(189)는 서로 적층되는 형태로 배열되거나 서로 대향하도록 배치될 수 있다.
- [0066] 따라서 본딩 장치(100)는 동시에 복수개의 회로기판(P1,P2,P3,P4)에 칩(D)을 개별적이면서 독립적으로 실장하는 것이 가능하므로 작업 효율을 증대할 수 있다.
- [0067] 또한, 본딩 장치(100)는 동일한 장치에서 다양한 형태의 칩(D)을 동시에 실장하는 것이 가능함으로써 칩(D)을 정확한 위치에 실장하는 것이 가능하다.
- [0068] 도 5는 본 발명의 다른 실시예에 따른 본딩 장치를 보여주는 평면도이다.
- [0069] 도 5를 참고하면, 본딩 장치(200)는 로딩부(210), 언로딩부(220), 이송부(230), 클리너(240), 예비가열부(250), 가열부(260), 헤드부(270), 미들스테이지(280), 칩픽업부(285), 웨이퍼안착부(286), 웨이퍼얼라이너(287), 웨이퍼이송부(289) 및 비전부(미표기)를 포함할 수 있다. 이때, 로딩부(210), 언로딩부(220), 이송부(230), 클리너(240), 예비가열부(250), 가열부(260), 헤드부(270), 웨이퍼안착부(286), 웨이퍼얼라이너(287) 및 웨이퍼이송부(289)는 상기 도 1 내지 도 4에서 설명한 것과 동일 또는 유사하므로 상세한 설명은 생략하기로 한다.
- [0070] 상기 비전부는 회로기판프리얼라인비전부(291), 본드비전부(292), 하부비전부(293), 미들비전부(294) 및 웨이퍼

비전부(295)를 포함할 수 있다. 이때, 회로기관프리얼라인비전부(291), 본드비전부(292), 하부비전부(293), 미들비전부(294) 및 웨이퍼비전부(295)는 상기 도 1 내지 도 4에서 설명한 것과 동일 또는 유사하므로 상세한 설명은 생략하기로 한다.

- [0071] 미들스테이지(280) 및 칩픽업부(285)는 상기 도 1 내지 도 4에서 설명한 것과 같이 복수 개 구비될 수 있다. 이때, 복수개의 칩픽업부(285)는 움직이지 않도록 고정될 수 있으며, 복수개의 미들스테이지(280)는 제1 방향 및 제2 방향 중 적어도 하나의 방향으로 선형 운동할 수 있다. 이러한 경우 복수개의 미들스테이지(280)는 각 미들스테이지(280)가 독립적으로 선형 운동하는 스테이지구동부(296,297)에 배치될 수 있다. 이러한 경우 스테이지구동부(296,297)는 리니어모터, 볼스크류 및 모터를 포함하는 형태 등 다양한 형태로 형성될 수 있다. 일 실시예로써 스테이지구동부(296,297)는 모든 미들스테이지(280)와 연결되도록 하나가 구비될 수 있다. 다른 실시예로써 스테이지구동부(296,297)는 2개의 미들스테이지(280)와 연결되도록 복수 개 구비될 수 있다. 또 다른 실시예로써 스테이지구동부(296,297)는 각 미들스테이지(280)와 개별적으로 연결되도록 복수 개 구비되는 것도 가능하다. 이하에서는 설명의 편의를 위하여 스테이지구동부(296,297)가 2개의 미들스테이지(280)와 연결되도록 복수 개 구비되는 경우를 중심으로 상세히 설명하기로 한다.
- [0072] 복수개의 스테이지구동부(296,297)는 서로 대향하도록 배치되는 제1 스테이지구동부(296)와 제2 스테이지구동부(297)를 포함할 수 있다. 이때, 제1 스테이지구동부(296)는 제1 미들스테이지(미표기)와 제2 미들스테이지(미표기)와 연결될 수 있으며, 제2 스테이지구동부(297)는 제3 미들스테이지(미표기)와 제4 미들스테이지(미표기)와 연결될 수 있다.
- [0073] 상기와 같은 경우 본딩 장치(200)가 작동하는 경우 칩이 각 미들스테이지(280)로 공급될 때 제1 스테이지구동부(296) 및 제2 스테이지구동부(297)는 각 미들스테이지(280)를 각 칩픽업부(285)의 하면에 배치하거나 각 칩픽업부(285)의 측면에 배치할 수 있다. 이후 각 칩픽업부(285)가 작동하여 각 미들스테이지(280)에 칩(D)을 안착하면, 제1 스테이지구동부(296) 및 제2 스테이지구동부(297)는 각 미들스테이지(280)를 초기 위치로 복귀시킬 수 있다.
- [0074] 이후 칩(D)을 회로기관(P)에 실장하는 방법은 상기에서 설명한 것과 동일 또는 유사하게 수행될 수 있다.
- [0075] 따라서 본딩 장치(200)는 복수개의 칩(D)을 이송하여 회로기관(P)에 실장하는 것이 가능하다.
- [0076] 본딩 장치(200)는 종류가 서로 다른 칩(D)을 이송하여 회로기관(P)에 실장하는 것이 가능하다.
- [0077] 본딩 장치(200)는 작업 순서 및 작업 시간을 단축할 수 있으며, 작업 효율을 증대시키는 것이 가능하다.
- [0078] 도 6은 본 발명의 또 다른 실시예에 따른 본딩 장치를 보여주는 평면도이다.
- [0079] 도 6을 참고하면, 본딩 장치(300)는 로딩부(310), 언로딩부(320), 이송부(330), 클리너(340), 예비가열부(350), 가열부(360), 헤드부(370), 미들스테이지(380), 칩픽업부(385), 웨이퍼안착부(386), 웨이퍼얼라이너(387), 웨이퍼이송부(389) 및 비전부(미표기)를 포함할 수 있다. 이때, 로딩부(310), 언로딩부(320), 이송부(330), 클리너(340), 예비가열부(350), 가열부(360), 헤드부(370), 웨이퍼안착부(386), 웨이퍼얼라이너(387) 및 웨이퍼이송부(389)는 상기 도 1 내지 도 4에서 설명한 것과 동일 또는 유사하므로 상세한 설명은 생략하기로 한다.
- [0080] 상기 비전부는 회로기관프리얼라인비전부(391), 본드비전부(392), 하부비전부(393), 미들비전부(394) 및 웨이퍼비전부(395)를 포함할 수 있다. 이때, 회로기관프리얼라인비전부(391), 본드비전부(392), 미들비전부(394) 및 웨이퍼비전부(395)는 상기 도 1 내지 도 4에서 설명한 것과 동일 또는 유사하므로 상세한 설명은 생략하기로 한다.
- [0081] 미들스테이지(380) 및 칩픽업부(385)는 상기 도 1 내지 도 4에서 설명한 것과 같이 복수개 구비될 수 있다. 이때, 복수개의 칩픽업부(385)는 칩픽업헤드(미표기)를 제1 방향 및 제2 방향 중 적어도 하나로 이동시킬 수 있다. 이때, 복수개의 미들스테이지(380)는 기 설정된 위치에 고정되도록 배치될 수 있다. 이러한 경우 각 칩픽업부(385)는 각 칩픽업헤드를 제1 방향 및 제2 방향 중 적어도 하나로 이동시키고, 승하강 운동시키는 칩픽업헤드구동부(미도시)를 구비할 수 있다. 이러한 경우 상기 칩픽업헤드구동부는 리니어모터, 볼스크류 및 모터를 포함하는 형태 등 다양한 형태로 형성될 수 있다. 다른 실시예로써 미들스테이지(380)와 상기 칩픽업헤드가 상기 도 5에서 설명한 것과 같이 선형 운동하는 것도 가능하다. 이하에서는 설명의 편의를 위하여 미들스테이지(380)가 선형 운동하는 경우를 중심으로 상세히 설명하기로 한다.
- [0082] 상기와 같은 경우 본딩 장치(300)가 작동하는 경우 칩이 각 미들스테이지(380)로 공급될 때 각 칩픽업부(385)는

칩(D)을 각 웨이퍼(미표기)로부터 분리하여 각 미들스테이지(380)에 공급할 수 있다. 이때, 미들스테이지(380)는 선형 운동함으로써 각 칩픽업부(385)의 위치에 대응되도록 배치될 수 있다.

[0083] 상기와 같이 칩(D)이 각 미들스테이지(380)에 배치되면, 각 헤드부(370)가 작동하여 칩(D)을 각 회로기판(P)에 실장할 수 있다. 이러한 경우 제1 헤드부(371)와 제4 헤드부(374)는 선형 운동할 수 있다. 예를 들면, 하부비전부(393)는 제3 헤드부(373)가 칩(D)을 이동시키는 경로 상에 배치됨으로써 제4 헤드부(374)는 제3 헤드부(373)가 칩(D)을 이동시키는 경로 상에 배치된 하부비전부(393)의 상면을 칩(D)이 통과하도록 제1 방향으로 선형 운동할 수 있다. 또한, 하부비전부(393)는 제2 헤드부(372)가 칩(D)을 이동시키는 경로 상에 배치됨으로써 제1 헤드부(371)는 제2 헤드부(372)가 칩(D)을 이동시키는 경로 상에 배치된 하부비전부(393)의 상면을 칩(D)이 통과하도록 제1 방향으로 선형 운동할 수 있다. 이러한 경우 하부비전부(393)는 제1 헤드(미표기) 및 제4 헤드(미표기) 각각에 배치된 칩(D)의 자세를 촬영하는 것이 가능하다. 따라서 하부비전부(393)를 4개 구비하지 않더라도 각 헤드(미표기)에 배치된 칩(D)의 자세를 확인하는 것이 가능하다.

[0084] 상기와 같이 각 헤드에 배치된 칩(D)의 자세를 확인한 후 각 칩(D)을 각 회로기판(P)에 실장할 수 있다. 이때, 각 헤드부(370)가 각 칩(D)을 회로기판(P)에 실장하는 방법은 상기에서 설명한 것과 동일 또는 유사하므로 상세한 설명은 생략하기로 한다.

[0085] 따라서 본딩 장치(300)는 복수개의 칩(D)을 이송하여 회로기판(P)에 실장하는 것이 가능하다.

[0086] 본딩 장치(300)는 종류가 서로 다른 칩(D)을 이송하여 회로기판(P)에 실장하는 것이 가능하다.

[0087] 본딩 장치(300)는 작업 순서 및 작업 시간을 단축할 수 있으며, 작업 효율을 증대시키는 것이 가능하다.

[0088] 비록 본 발명이 상기 언급된 바람직한 실시예와 관련하여 설명되었지만, 발명의 요지와 범위로부터 벗어남이 없이 다양한 수정이나 변형을 하는 것이 가능하다. 따라서 첨부된 특허청구의 범위에는 본 발명의 요지에 속하는 한 이러한 수정이나 변형을 포함할 것이다.

**부호의 설명**

- [0089] 100, 200, 300: 본딩 장치
- 110, 210, 310: 로딩부
- 120, 220, 320: 언로딩부
- 130, 230, 330: 이송부
- 140, 240, 340: 클리너
- 150, 250, 350: 예비가열부
- 160, 260, 360: 가열부
- 170, 270, 370: 헤드부
- 181: 제1 미들스테이지
- 182: 제2 미들스테이지
- 183: 제3 미들스테이지
- 184: 제4 미들스테이지
- 185, 285, 385: 칩픽업부
- 186, 286, 386: 웨이퍼안착부
- 187, 287, 387: 웨이퍼얼라이너
- 188, 288, 388: 웨이퍼카세트
- 189, 289, 389: 웨이퍼이송부
- 191, 291, 391: 회로기판프리얼라인비전부

192, 292, 392: 본드비전부

193, 293, 393: 하부비전부

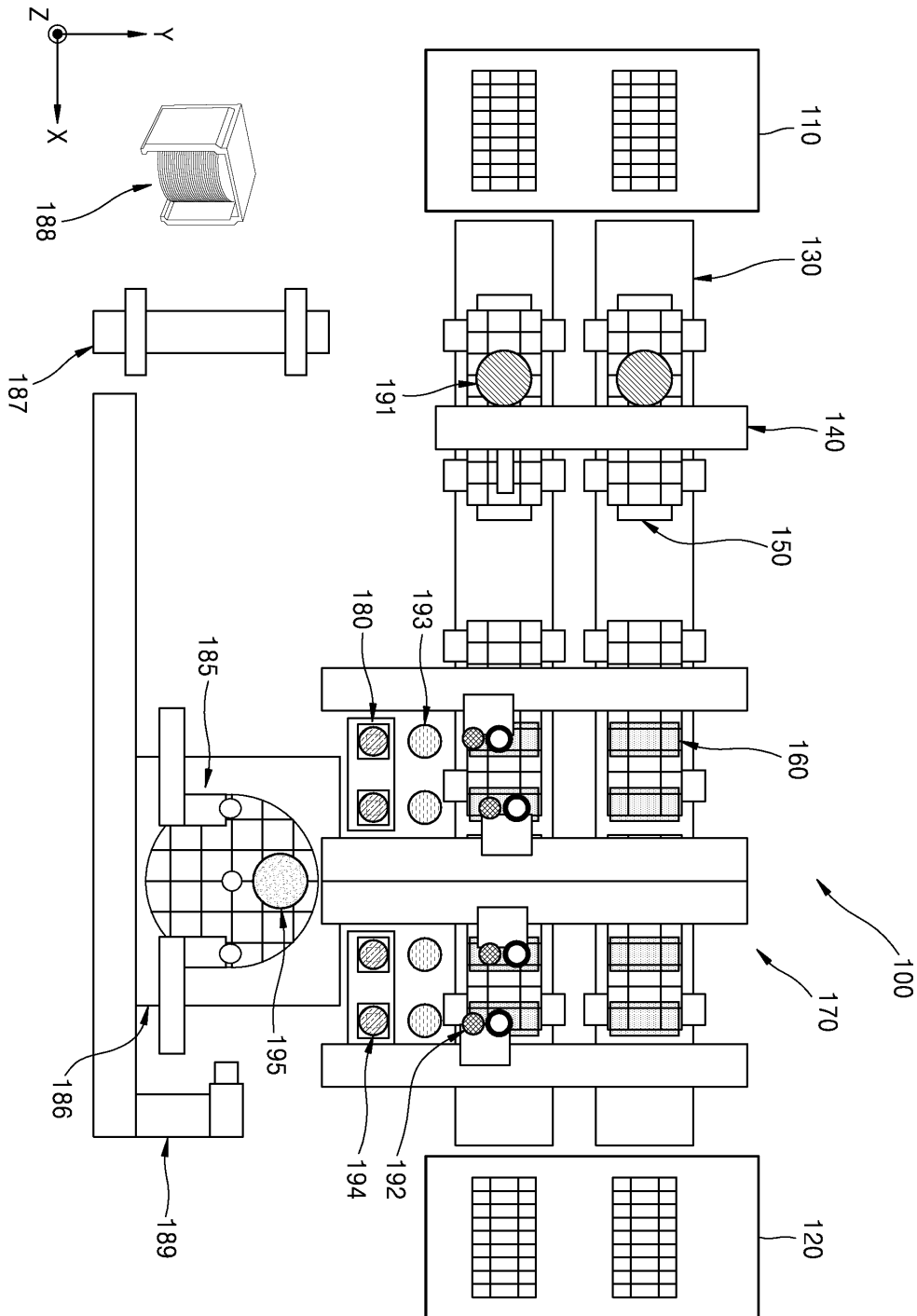
194, 294, 394: 미들비전부

195, 295, 395: 웨이퍼비전부

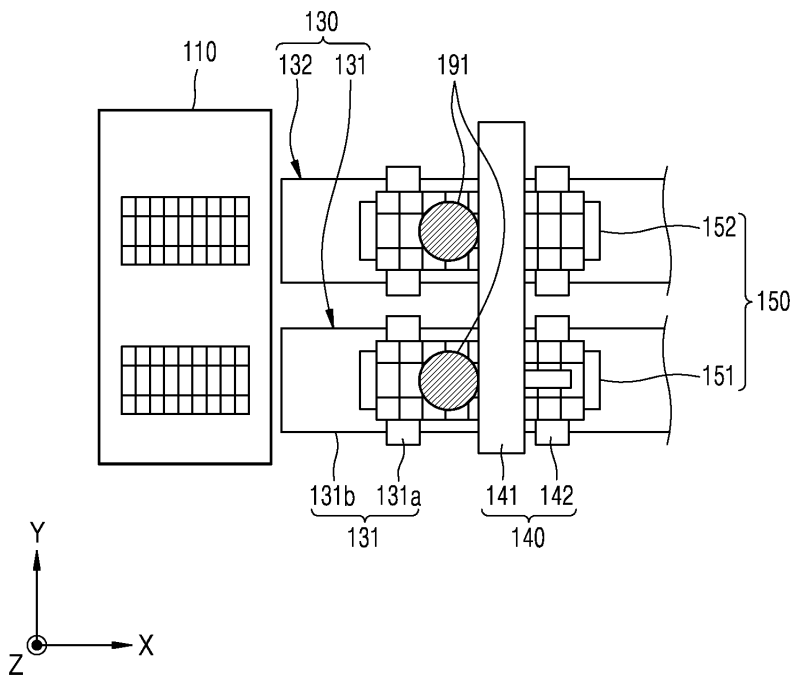
280, 380: 미들스테이지

도면

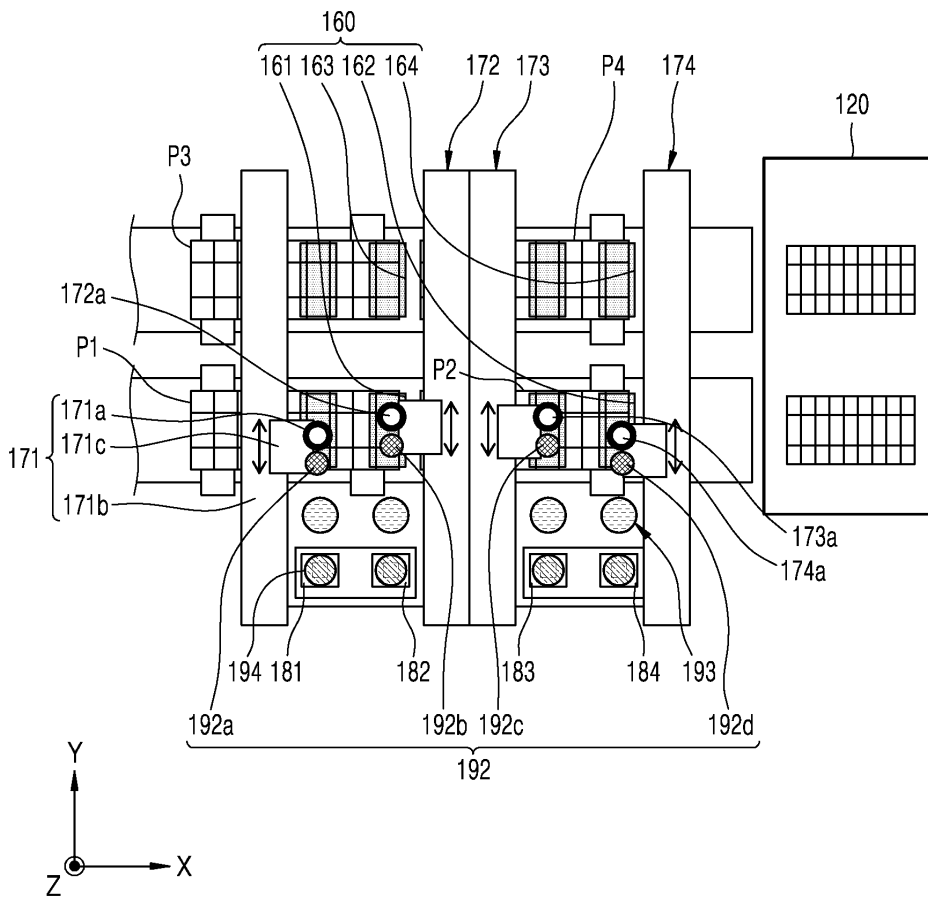
도면1



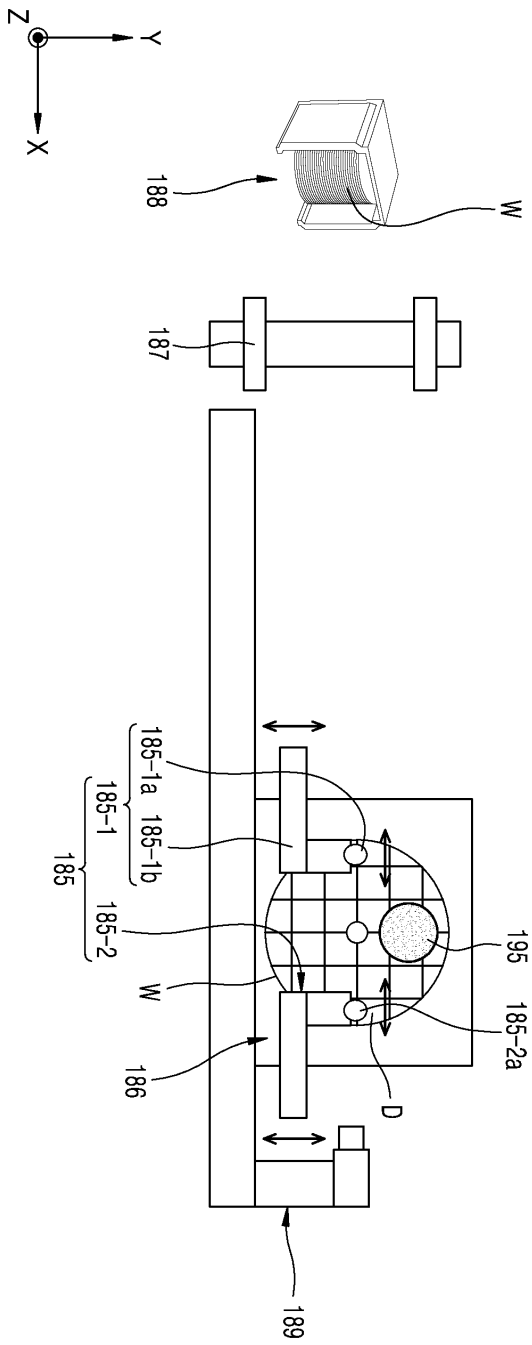
도면2



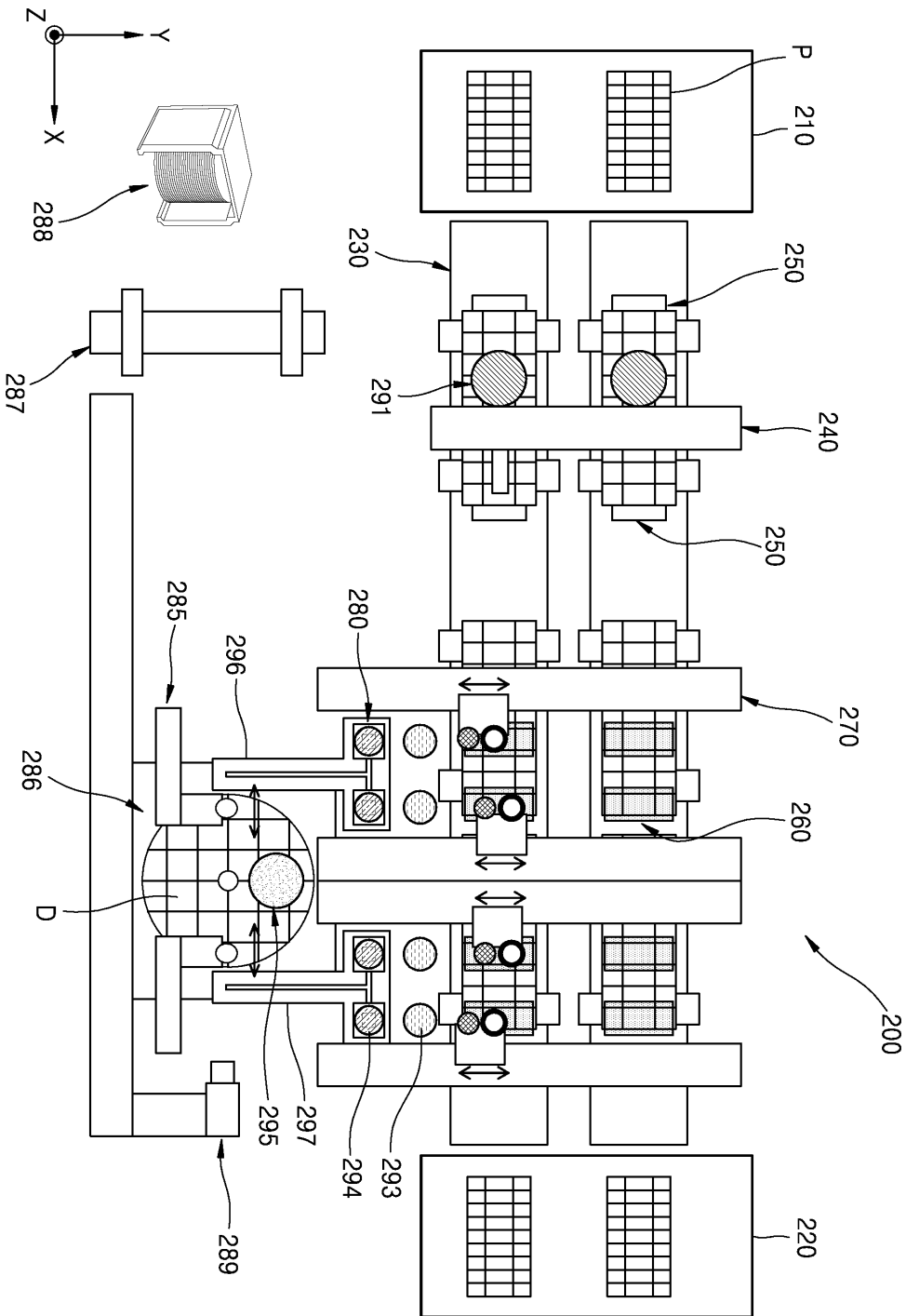
도면3



도면4



도면5



도면6

