

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4163499号  
(P4163499)

(45) 発行日 平成20年10月8日(2008.10.8)

(24) 登録日 平成20年8月1日(2008.8.1)

(51) Int.Cl.

F I

H O 4 L 12/56 (2006.01)

H O 4 L 12/56

E

請求項の数 9 (全 9 頁)

(21) 出願番号 特願2002-367651 (P2002-367651)  
 (22) 出願日 平成14年12月19日(2002.12.19)  
 (65) 公開番号 特開2003-218908 (P2003-218908A)  
 (43) 公開日 平成15年7月31日(2003.7.31)  
 審査請求日 平成17年12月16日(2005.12.16)  
 (31) 優先権主張番号 10/029679  
 (32) 優先日 平成13年12月21日(2001.12.21)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500587067  
 アギア システムズ インコーポレーテッド  
 アメリカ合衆国、18109 ペンシルヴァニア、アレントウン、アメリカン パークウェイ エヌイー 1110  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100085176  
 弁理士 加藤 伸晃  
 (74) 代理人 100106703  
 弁理士 産形 和央  
 (74) 代理人 100096943  
 弁理士 臼井 伸一

最終頁に続く

(54) 【発明の名称】 複数の機能を実施するために複数のリアセンブリ・メモリを使用する方法および装置

(57) 【特許請求の範囲】

【請求項 1】

処理システムであって、第1の処理回路に関連づけられた、受信されたパケットのサブセットをリアセンブルされたパケットにリアセンブルするための第1のリアセンブリ回路と、第1の機能を実施するための第1の処理回路と、第1の処理回路に関連づけられた、第1のリアセンブリ回路によりリアセンブルされたパケットを記憶するための第1のメモリ回路であって、第1のメモリ回路によって記憶されたリアセンブルされたパケットの少なくとも一部は第1の処理回路が第1の機能に従って使用可能である、第1のメモリ回路と、第2の機能を実施するための少なくとも第2の処理回路と、第2の処理回路に関連づけられた、第1のリアセンブリ回路によりリアセンブルされたパケットと同じサブセットの少なくとも一部分をリアセンブルされたパケットにリアセンブルするための少なくとも第2のリアセンブリ回路と、第2の処理回路に関連づけられた、第2のリアセンブリ回路によってリアセンブルされたパケットを記憶するための少なくとも第2のメモリ回路であって、第1のメモリ回路および第2のメモリ回路に記憶された、リアセンブルされたパケットの少なくとも一部分が同じになるようにし、第2のメモリ回路に記憶されたリアセンブルされたパケットの少なくとも一部分は第2の処理回路が第2の機能に従って使用可能である、第2のメモリ回路とを備える処理システム。

10

20

**【請求項 2】**

第 1 の処理回路、第 1 のリアセンブリ回路、第 1 のメモリ回路、第 2 の処理回路、第 2 のリアセンブリ回路および第 2 のメモリ回路が1 つの集積回路上に実装される、請求項 1 に記載のシステム。

**【請求項 3】**

第 1 の処理回路、第 1 のリアセンブリ回路および第 1 のメモリ回路が第 1 の集積回路上に実装され、第 2 の処理回路、第 2 のリアセンブリ回路および第 2 のメモリ回路が第 2 の集積回路上に実装される、請求項 1 に記載のシステム。

**【請求項 4】**

第 1 の機能と第 2 の機能が1 つの集積回路によって実施される、請求項 1 に記載のシステム。

10

**【請求項 5】**

第 1 の機能と第 2 の機能が、異なる集積回路にによって実施される、請求項 1 に記載のシステム。

**【請求項 6】**

第 1 の処理回路、第 1 のリアセンブリ回路および第 1 のメモリ回路がネットワーク・プロセッサを構成する、請求項 1 に記載のシステム。

**【請求項 7】**

第 2 の処理回路、第 2 のリアセンブリ回路および第 2 のメモリ回路がトラフィック・マネージャを構成する、請求項 1 に記載のシステム。

20

**【請求項 8】**

パケットに応答する処理システム内で使用するための方法であって、

受信パケットのサブセットを第 1 のリアセンブラ内でリアセンブル済みパケットにリアセンブルするステップと、

リアセンブル済みパケットを第 1 のメモリに記憶するステップとを含み、第 1 のメモリによって記憶されたリアセンブル済みパケットの少なくとも一部は、第 1 のプロセッサが第 1 の機能に従って使用可能であり、

第 1 のリアセンブラによってリアセンブルされる受信パケットのサブセットの少なくとも一部は、少なくとも第 2 のプロセッサが第 2 の機能に従って使用可能な少なくとも第 2 のメモリに記憶されるように、少なくとも第 2 のリアセンブラ内でリアセンブルすることができ、これにより、第 1 のメモリおよび第 2 のメモリに記憶されたリアセンブルされたパケットの少なくとも一部分が同じものになり得る方法。

30

**【請求項 9】**

パケットに応答する処理システム内で使用するための装置であって、

第 1 のメモリと、

( i ) 受信パケットのサブセットをリアセンブル済みパケットにリアセンブルするように、かつ ( i i ) リアセンブル済みパケットを第 1 のメモリに記憶させるように動作可能な第 1 のプロセッサとを備え、第 1 のメモリによって記憶されたリアセンブル済みパケットの少なくとも一部は第 1 の機能に従って使用可能であり、

第 1 のプロセッサによってリアセンブルされる受信パケットのサブセットの少なくとも一部は、第 2 の機能に従って使用可能な少なくとも第 2 のメモリに記憶されるように、少なくとも第 2 のプロセッサによってリアセンブルすることができ、これにより、第 1 のメモリおよび第 2 のメモリに記憶されたリアセンブルされたパケットの少なくとも一部分が同じものになり得る装置。

40

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は一般にパケット処理システムに関し、より詳細には、このようなパケット処理システムに関連する複数の機能を実施するために複数のリアセンブリ・メモリを使用することに関する。

50

## 【 0 0 0 2 】

## 【 従来 の 技術 】

周知のように、パケット処理システムのルータまたは他のタイプのパケット・スイッチ内で実施されるある種のプロセスの間は、パケットが「セル」と呼ばれるデータ・サブセットまたはデータ部分にセグメント化されることがある。例えば、ルータ・フレーミング動作中に、パケットがセルにセグメント化されることがある。しかし、これらのデータ・セルは、ルータ内で実施される他のプロセスまたは機能によって使用されるように、再びパケットまたはプロトコル・データ・ユニット ( P D U ) にリアセンブルしなければならない。

## 【 0 0 0 3 】

従来のルータは通常、パケットをリアセンブルし、これらを、ルータが実施する複数の機能に後で使用するために共通のリアセンブリ・メモリに記憶する。このような機能には、例えばパケット分類やパケット・スケジューリングを含めることができる。しかし周知のように、このような複数の機能によって使用するためにパケットをリアセンブルすることは、非常に高い入出力帯域幅を必要とする。

## 【 0 0 0 4 】

共通の高帯域幅メモリを使用して複数の機能を実施することには、多くの重大な欠点がある。第 1 に、このような高帯域幅メモリは、非常に高価である可能性がある。また通常、追加ピンや特殊なバッファや特殊な制御機構などが必要になるので、関連するメモリ・インタフェース・デバイスも高価となる。さらに、共通の高帯域幅リアセンブリ・メモリを使用すると、メモリ区分化設計の作業が非常に困難になり、特に、設計を複数の集積回路中に実装する場合は困難である。

## 【 0 0 0 5 】

## 【 発明 が 解決 し よ う と す る 課 題 】

したがって、リアセンブルしたパケットを、パケット処理システム内で実施する複数の機能において後でできるように、共通の高帯域幅メモリを使用して記憶することに関連するこれらおよび他の欠点に対処する技法が必要とされていることは明らかである。

## 【 0 0 0 6 】

## 【 課 題 を 解 決 す る た め の 手 段 】

本発明は、パケット処理システムに関連する複数の機能を実施するために複数のリアセンブリ・メモリを利用し、それにより従来の共通の高帯域幅メモリの使用に起因する欠点を回避する、パケット処理技法を提供する。

## 【 0 0 0 7 】

本発明の一態様では、処理システムが、第 1 の機能を実施するための第 1 の処理回路と、第 1 の処理回路に結合された、受信パケットを記憶するための第 1 のメモリ回路とを備え、第 1 のメモリ回路によって記憶されたパケットの少なくとも一部は、第 1 の処理回路が第 1 の機能に従って使用可能である。処理システムはさらに、第 2 の機能を実施するための少なくとも第 2 の処理回路と、第 2 の処理回路に結合された、第 1 のメモリ回路に記憶されるのと同じパケットの少なくとも一部を記憶するための少なくとも第 2 のメモリ回路とを備え、第 2 のメモリ回路に記憶されたパケットの少なくとも一部は、第 2 の処理回路が第 2 の機能に従って使用可能である。

## 【 0 0 0 8 】

したがって本発明は、第 1 の機能および少なくとも第 2 の機能を実施するのに必要なメモリが、第 1 のメモリと少なくとも第 2 のメモリとに別々に区分化され、これらのメモリがそれぞれ、同じデータをまたは必要なデータの少なくともサブセットを記憶するのに十分な、かつ対応する機能を実施可能にするのに十分な帯域幅を備える、パケット処理システムを提供する。

## 【 0 0 0 9 】

第 1 の処理回路、第 1 のメモリ回路、第 2 の処理回路、および第 2 のメモリ回路は、同じ集積回路上に実装できることを理解されたい。あるいは、第 1 の処理回路および第 1 のメ

10

20

30

40

50

メモリ回路は第1の集積回路上に実装し、第2の処理回路および第2のメモリ回路は第2の集積回路上に実装することもできる。

【0010】

処理システムはまた、第1のメモリ回路に結合された第1のリアセンブリ回路であって、受信パケットを第1のメモリ回路に記憶する前にパケット・サブセットをリアセンブルするための第1のリアセンブリ回路と、第2のメモリ回路に結合された少なくとも第2のリアセンブリ回路であって、パケットを第2のメモリ回路に記憶する前に、第1のリアセンブリ回路によってリアセンブルされるのと同じパケット・サブセットの少なくとも一部をリアセンブルするための少なくとも第2のリアセンブリ回路とを備えることもできる。パケット・サブセットはセルであることが好ましい。

10

【0011】

処理システムはまた、第1のリアセンブリ回路および第2のリアセンブリ回路に結合された解析回路であって、第1のリアセンブリ回路および第2のリアセンブリ回路によってそれぞれ受信パケットがリアセンブルされる際に使用されるようにパケットからの情報を解析するための解析回路を備えることもできる。

【0012】

例示的な実施形態では、第1の処理回路および第1のメモリ回路は、ネットワーク・プロセッサを構成する。このような場合、第1の機能はパケット分類動作とすることができる。さらに、第2の処理回路および第2のメモリ回路は、トラフィック・マネージャを構成することができる。このような場合、第2の機能はパケット・スケジューリング動作とすることができる。

20

【0013】

別の例示的な実施形態では、第1の処理回路および第2の処理回路は、ルータなどのパケット交換デバイス内で動作する。このような場合、第1の処理回路および第2の処理回路は、パケット交換デバイスのパケット・ネットワーク・インタフェースとスイッチ・ファブリックとの間で動作する。

【0014】

有利にも、本発明のパケット処理技法では、複数の機能を実施することに関連する必要メモリ帯域幅が低減することにより、かつ処理システム設計全体が単純化される関連影響により、システム性能が向上し、システム・コストが削減される。

30

【0015】

本発明のこれらおよび他の目的、特徴、および利点は、添付の図面と共に読む以下の本発明の例示的な実施形態の詳細な説明から明らかになるであろう。

【0016】

【発明の実施の形態】

本発明を、パケット・リアセンブリ動作を含む例示的なパケット処理システムとの関連で以下に例示する。ただし本発明は、共通の高帯域幅メモリの使用に起因する欠点を回避するのが望ましい任意のパケット処理システムに対して、より一般的に適用可能であることを理解されたい。

【0017】

本明細書で使用する用語「プロセッサ」は、限定ではなく例としてマイクロプロセッサ、中央処理装置(CPU)、デジタル信号プロセッサ(DSP)、特定用途向け集積回路(ASIC)、あるいは他のタイプのデータ処理デバイスまたは処理回路、ならびに、これらあるいは他のデバイスまたは回路の一部および組合せを利用して実装できることを理解されたい。

40

【0018】

例示的な実施形態における本発明は、パケット処理システムの複数のプロセッサに関連する複数の機能をそれぞれ実施するために複数のリアセンブリ・メモリを利用することにより、共通の高帯域幅リアセンブリ・メモリの使用に起因する欠点を回避する。本発明は、利点の中でもとりわけ、システム性能の向上および設計費用の削減をもたらす。本発明

50

はまた、システム費用の削減ももたらす。これは、所与の帯域幅のメモリを2つ有する方が、2倍の帯域幅のメモリを1つ有するよりも安価であることが多いからであり、後者は従来の手法で必要とされるものである。

【0019】

図1に、本発明の一実施形態による、複数のリアセンブリ・メモリを利用するパケット処理システム100を示す。システム100は、セル・パーサ102と、N個のパケット・プロセッサ104-1~104-Nを備え、Nは、処理システム100がサポートするようになっているプロセッサの数に等しい整数とすることができる。各パケット・プロセッサ104は、パケット・リアセンブラまたはPDUリアセンブラ106(106-1~106-N)と、PDUメモリ108(108-1~108-N)を備える。各プロセッサはまた、それに関連する少なくとも1つのパケット関連機能110(110-1~110-N)も有する。

10

【0020】

各プロセッサが複数の機能を実施することができ、任意の2つのプロセッサが同じ機能の異なる部分を実施することができることを理解されたい。また、N個のプロセッサはそれぞれ、N個の、N個より多い、またはN個より少ない集積回路または処理デバイス(1つの集積回路または処理デバイスを含めて)上に実装することができる。

【0021】

さらに、パケット処理システム100は、ルータまたは他のタイプのパケット・スイッチ内に実装することができる。このような場合、各プロセッサがそれぞれのリアセンブリ・メモリに従って実施する機能は、限定ではなく例として、パケット分類やパケット・スケジューリングなどとすることができる。

20

【0022】

有利にも、図示のように、パケット処理システム100は、N個の機能を実施するのに必要なメモリがN個のメモリ(108-1~108-N)に区分化されるように設計され、各メモリは、対応する機能を実施するために同じデータを、または少なくとも選択された必要データをリアセンブルするのに十分な帯域幅を提供する。したがって、データをリアセンブルして、N個のメモリのそれぞれに並行して記憶することができる。並行動作は、同時、またはほぼ同時(例えばいくらかの時間だけ遅延する)とすることができる。したがって、共通の高帯域幅リアセンブリ・メモリに関連する前述の欠点は、有利にも回避される。

30

【0023】

図2に、本発明の一実施形態による、複数のリアセンブリ・メモリを利用するパケット処理方法200を示す。具体的には、図2は、図1に示した複数のリアセンブリ・メモリ構成に関して以下に述べる。

【0024】

前述のように、ある種のルータ・プロセス(例えばルータ・フレーミング動作)の間、パケットが「セル」と呼ばれるデータ・サブセットまたはデータ部分にセグメント化されることがある。したがって、セルは通常、パケットのサブセットであり、ヘッダおよびペイロードを含むことがある。例えばセルは、完全なパケットの最初、中間、または最後(あるいはこれらの何らかの組合せ)を含むことがある。しかし、これらのセルのすべてまたはいくつかは、機能110-1~110-Nによってそれぞれ使用されるように、再びパケットまたはPDUにリアセンブルしなければならない。

40

【0025】

したがって、ステップ202で、データ処理システム100によって受信されたセルをパーサ102によって解析する。解析動作は、セルからリアセンブリ情報を抽出することを含む。周知のように、リアセンブリ情報は、パケットに関連するデータを、パケットがセルにセグメント化された以前の元の順序またはシーケンスにどのようにリアセンブルするかをリアセンブラ106に指示するデータである。

【0026】

50

ステップ 204 で、リアセンブリ情報およびセルを、パーサ 102 から各プロセッサ 104 の各リアセンブラ 106 に渡す。次いで、リアセンブラはそれぞれ、リアセンブリ情報を用いて周知のようにセルを PDU にリアセンブルする。

すべてのリアセンブラが同じデータをリアセンブルすることもできるが、このことは必須ではないことを理解されたい。すなわち、各リアセンブラは、それに関連するプロセッサによって実施される機能に特有のデータをリアセンブルするだけでよい。したがって、各リアセンブリ・メモリの帯域幅およびサイズは、機能の処理要件に合わせることができる。

#### 【0027】

次にステップ 206 で、リアセンブルされた PDU を、各プロセッサ 104 の各 PDU メモリ 108 に記憶する。最後にステップ 208 で、各メモリ 108 に記憶されたリアセンブル済み PDU (またはこのような記憶済み PDU の少なくとも一部) を、各プロセッサが利用して各機能 110 を実施する。

#### 【0028】

前述のように、図 2 のステップ 204 ~ 208 は、パケット処理システム 100 の全体設計に応じて、各プロセッサ内で同時またはほぼ同時に実施することができる。ただしこのことは必須ではない。

#### 【0029】

次に図 3 を参照すると、本発明による、パケット分類機能およびパケット・スケジューリング機能をそれぞれ実施するために 2 つのリアセンブリ・メモリを利用するパケット処理システム 300 が示されている。より具体的には、図 3 は、図 1 の処理システム 100 の特定の例 (N が 2 に等しい場合) を表すことを理解されたい。

#### 【0030】

パケット処理システム 300 は、メモリ 304 を備えるネットワーク・プロセッサ 302 と、メモリ 308 を備えるトラフィック・マネージャ 306 を含む。この例示的な実施形態では、メモリ 304 を備えるネットワーク・プロセッサ 302 は、対応するリアセンブリ・メモリ回路を備える 1 つのプロセッサまたは処理回路を表し、トラフィック・マネージャ 306 およびメモリ 308 は、対応するリアセンブリ・メモリ回路を備える他のプロセッサまたは処理回路を表すことを理解されたい。

#### 【0031】

周知のように、図 3 に示すようなネットワーク・プロセッサは一般に、非同期転送モード (ATM) ネットワークまたは光同期伝送網 (SONET) の物理層部分など物理転送媒体と、ルータ内または他のタイプのパケット・スイッチ内のスイッチ・ファブリックとの間で、パケットのフローを制御する。ネットワーク・プロセッサの機能の 1 つは、パケット分類である。図 3 に示すようなトラフィック・マネージャは一般に、ネットワーク・プロセッサと共に動作し、機能の中でもとりわけ、バッファ管理およびパケット・スケジューリングを実施する。

#### 【0032】

したがって図示のように、ネットワーク・プロセッサ 302 およびトラフィック・マネージャ 306 は、これらのプロセッサとネットワーク 312 (例えば ATM や SONET など) との間のインタフェース (例えば物理層インタフェースやフレーム) を提供するネットワーク・インタフェース 310 と、スイッチ・ファブリック 314 との間に機能的に位置する。ネットワーク 312 は、パケットまたはその他のパケット・データを送ってくるネットワークである。スイッチ・ファブリック 314 は、パケットの交換を制御する。2 つのプロセッサはまた、この 2 つのプロセッサに対する制御全体を提供するホスト CPU 316 に応答する。

#### 【0033】

周知のように、ルータおよびスイッチは一般に複数のプロセッサを備え、これらのプロセッサは、例えば各ライン・カードに 1 つまたは複数のプロセッサが関連付けられたライン・カード・アレイの形で構成される。したがって、この実施形態では、ネットワーク・ブ

10

20

30

40

50

ロセッサ 302 およびトラフィック・マネージャ 306 は、ルータまたは他のタイプのパケット・スイッチのライン・カードまたはポート・カード上に実装されたプロセッサを表すことができることを理解されたい。ネットワーク・プロセッサおよびトラフィック・マネージャは、同じ集積回路上に実装することもでき、異なる集積回路上に実装することもできる。

【0034】

したがって、この特定の実施形態にかんがみて図2の各ステップを再び参照すると、システム 300 内のセル（例えばネットワーク・インタフェース 300 および / またはスイッチ・ファブリック 314 に関連するセグメント化によって生成されたもの）を、リアセンブリ情報を得るために解析する（ステップ 202）。パーサは、ネットワーク・プロセッサ 302 内またはトラフィック・マネージャ 306 内のいずれかに実装することができる。次いで、各プロセッサ 302 および 306 によって、セルを同時またはほぼ同時に元のパケットにリアセンブルし（ステップ 204）、関連するメモリ 304 および 308 に記憶する（ステップ 206）ことができる。次いで、各メモリに記憶されたリアセンブル済みパケットを、各プロセッサが利用して各機能を実施する（ステップ 208）。例えば、ネットワーク・プロセッサ 302 内でのパケット分類や、トラフィック・マネージャ 306 内でのパケット・スケジューリングを実施する。

【0035】

本発明の例示的な実施形態について、添付の図面を参照しながら本明細書に述べたが、本発明は、これらの厳密な実施形態に限定するものではなく、当業者なら本発明の範囲および趣旨を逸脱することなくその他様々な変更および修正を加えることができることを理解されたい。

【図面の簡単な説明】

【図1】本発明の一実施形態による、複数のリアセンブリ・メモリを利用するパケット処理システムを示すブロック図である。

【図2】本発明の一実施形態による、複数のリアセンブリ・メモリを利用するパケット処理方法を示す流れ図である。

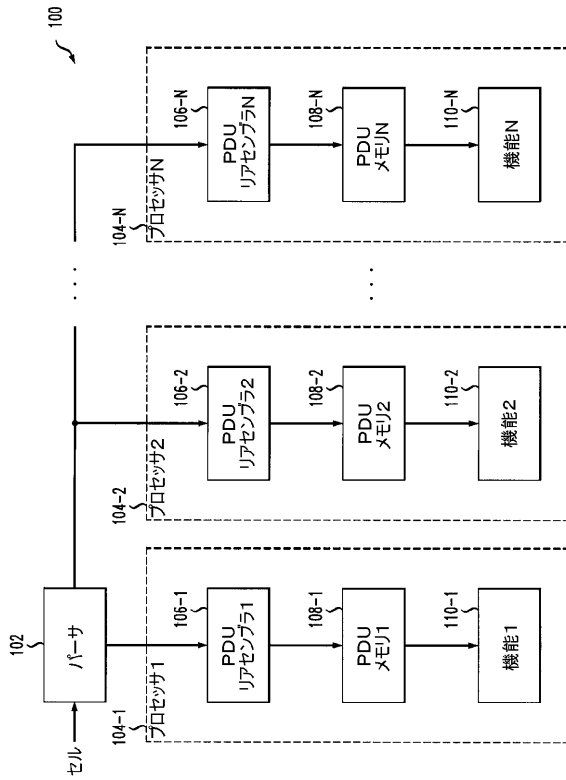
【図3】本発明の一実施形態による、パケット分類およびパケット・スケジューリングをそれぞれ実施するために2つのリアセンブリ・メモリを利用するパケット処理システムを示すブロック図である。

10

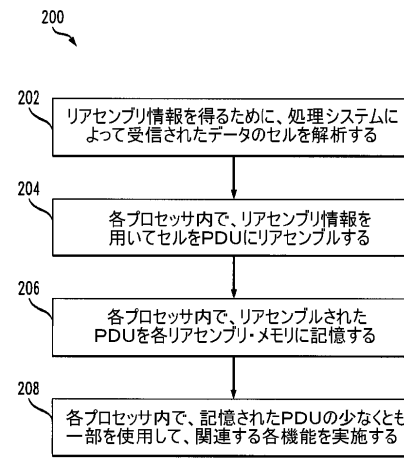
20

30

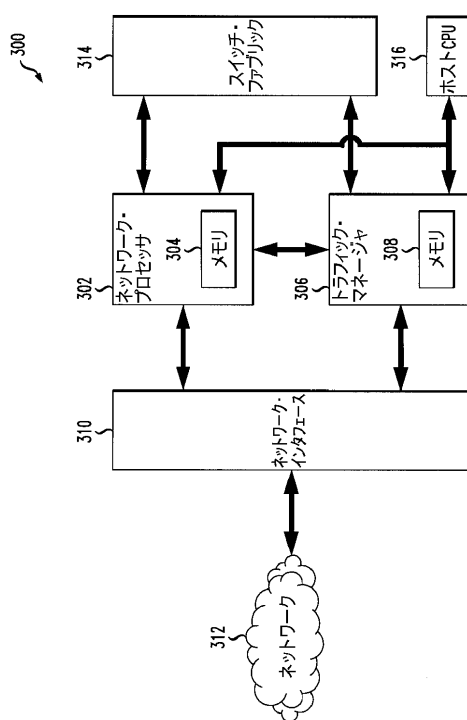
【図 1】



【図 2】



【図 3】





## フロントページの続き

- (74)代理人 100091889  
弁理士 藤野 育男
- (74)代理人 100101498  
弁理士 越智 隆夫
- (74)代理人 100096688  
弁理士 本宮 照久
- (74)代理人 100102808  
弁理士 高梨 憲通
- (74)代理人 100104352  
弁理士 朝日 伸光
- (74)代理人 100107401  
弁理士 高橋 誠一郎
- (74)代理人 100106183  
弁理士 吉澤 弘司
- (72)発明者 クレグ エー．ボーチャード  
アメリカ合衆国 7 8 6 8 1 テキサス，ラウンド ロック，シー アッシュ サークル 8 7 1  
3
- (72)発明者 マーリオ カレ  
アメリカ合衆国 7 8 7 5 0 テキサス，オースチン，フィルバート コーヴ 7 4 0 1
- (72)発明者 ジョエル アール．ディヴィッドソン  
アメリカ合衆国 7 8 7 2 7 テキサス，オースチン，オータム リッジ ドライヴ 1 1 5 0 6
- (72)発明者 マイケル ダブリュ．ハザウェイ  
アメリカ合衆国 7 8 7 4 6 テキサス，オースチン，ペリグリン ファルコン 3 6 1 3
- (72)発明者 ジェームス テー．カーク  
アメリカ合衆国 7 8 7 5 9 テキサス，オースチン，ダイアナレーン 1 0 2 3 1
- (72)発明者 クリストファー プリアン ワルトン  
アメリカ合衆国 7 8 7 5 9 テキサス，オースチン，バルコンズ ウッズ ドライヴ 4 1 0 3

審査官 小曳 満昭

- (56)参考文献 特開2000-349816(JP, A)  
国際公開第01/016682(WO, A1)  
米国特許第05623494(US, A)  
特開2001-230817(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H04L 12/56