

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6732880号  
(P6732880)

(45) 発行日 令和2年7月29日(2020.7.29)

(24) 登録日 令和2年7月10日(2020.7.10)

(51) Int. Cl. F I  
**GO6N 3/063 (2006.01)** GO6N 3/063  
**GO6G 7/12 (2006.01)** GO6G 7/12

請求項の数 30 (全 86 頁)

<p>(21) 出願番号 特願2018-501204 (P2018-501204)                  (86) (22) 出願日 平成28年7月6日(2016.7.6)                  (65) 公表番号 特表2018-529143 (P2018-529143A)                  (43) 公表日 平成30年10月4日(2018.10.4)                  (86) 国際出願番号 PCT/FR2016/051717                  (87) 国際公開番号 W02017/009543                  (87) 国際公開日 平成29年1月19日(2017.1.19)                  審査請求日 令和1年7月8日(2019.7.8)                  (31) 優先権主張番号 1556659                  (32) 優先日 平成27年7月13日(2015.7.13)                  (33) 優先権主張国・地域又は機関                  フランス (FR)</p>	<p>(73) 特許権者 518059934                  ソルボンヌ・ユニヴェルシテ                  SORBONNE UNIVERSITE                  フランス国、75006 パリ、リュ・ド                  ウ・レコール・ドゥ・メドゥシーヌ 21                  (73) 特許権者 506316557                  サントル ナショナル ドゥ ラ ルシェ                  ルシュ シアンティフィック                  フランス国 75794 パリ セデック                  ス 16、リュ ミシェル - アンジュ                  、3</p>
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 イベントとイベントとの間の時間間隔による値の表現を使用するデータ処理デバイス

(57) 【特許請求の範囲】

【請求項1】

一組の処理ノードおよび前記ノード間の接続を含む、データ処理デバイスであって、各接続は、前記一組の処理ノードのうちからエミッタノードとレシーバノードとを有し、前記レシーバノードに、前記エミッタノードによって送出されるイベントを送信するように構成され、

各ノードは、前記ノードによって受信されたイベントに従ってそれぞれの電位値(V)を変化させ、前記電位値が事前定義された閾値(V<sub>i</sub>)に達したときにイベントを送出するように配置構成され、

前記データ処理デバイスの少なくとも1つの入力値(x)は、少なくとも1つのノードによって受信された2つのイベントの間の時間間隔(t)で表され、

前記データ処理デバイスの少なくとも1つの出力値は、少なくとも1つのノードによって送出された2つのイベントの間の時間間隔で表されるデータ処理デバイス。

【請求項2】

各処理ノードは、その電位値を、イベントを送出するときにリセットするように配置構成される請求項1に記載のデバイス。

【請求項3】

前記ノード間の前記接続は、各々がそれぞれの重みを有する電位変動接続を含み、

電位変動接続の前記レシーバノードは、その電位値(V)に、前記電位変動接続の前記重みを加えることによって前記電位変動接続で受信されたイベントに応答するように配置構

10

20

成される請求項1または2に記載のデバイス。

【請求項4】

前記一組の処理ノードは、前記電位値に対する前記事前定義された閾値( $V_t$ )に少なくとも等しい第1の正の重みを有する第1の電位変動接続(22)の前記レシーバノードを形成する少なくとも1つの第1のノード(23)と、前記電位値に対する前記事前定義された閾値の1/2に少なくとも等しく、前記電位値に対する前記事前定義された閾値( $V_t$ )未満である重みを有する第2の電位変動接続(24)の前記レシーバノードを形成する少なくとも1つの第2のノード(25)とを含み、前記第1のノード(23)は、前記第1の正の重みと反対の値に等しい重みを有する第3の電位変動接続(28)の前記エミッタノードおよび前記レシーバノードをさらに形成し、

10

前記第1のノード(23)は、第4の接続(26)の前記エミッタノードをさらに形成し、前記第2のノード(25)は、第5の接続(27)の前記エミッタノードをさらに形成し、

前記第1および第2の電位変動接続(22、24)は、各々入力値を表す第1の時間間隔( $t$ )によって隔てられた2つのイベントを受信するように構成され、それによって、前記第4および第5の接続(26、27)は前記第1の時間間隔( $t$ )に関する第2の時間間隔を間に有するそれぞれのイベントをトランスポートする請求項3に記載のデバイス。

【請求項5】

少なくとも1つの最小値計算回路(100)を備え、

前記最小値計算回路は、

第1および第2の入力ノード(101、102)と、

出力ノード(103)と、

第1および第2の選択ノード(104、105)と、

各々前記電位値に対する前記事前定義された閾値( $V_t$ )の1/2に少なくとも等しく、前記電位値に対する前記事前定義された閾値( $V_t$ )未満である第1の正の重みを有する第1、第2、第3、第4、第5、および第6の電位変動接続(106~111)と、

各々前記第1の正の重みの値と反対の第2の重みを有する第7および第8の電位変動接続(112~113)と、

各々前記第2の重みの2倍の第3の重みを有する第9および第10の電位変動接続(114~115)とを備え、

前記第1の入力ノード(101)は、前記第1および第3の接続(106、108)の前記エミッタノードと前記第10の接続(115)の前記レシーバノードとを形成し、

前記第2の入力ノード(102)は、前記第2および第4の接続(107、109)の前記エミッタノードと前記第9の接続(114)の前記レシーバノードとを形成し、

前記第1の選択ノード(104)は、前記第5、第7、および第9の接続(110、112、114)の前記エミッタノードと前記第1および第8の接続(106、113)の前記レシーバノードとを形成し、

前記第2の選択ノード(105)は、前記第6、第8、および第10の接続(111、113、115)の前記エミッタノードと前記第2および第7の接続(107、112)の前記レシーバノードとを形成し、

前記出力ノード(103)は、前記第3、第4、第5、および第6の接続(108~111)の前記レシーバノードを形成する請求項3に記載のデバイス。

40

【請求項6】

少なくとも1つの最大値計算回路(120)を備え、

前記最大値計算回路は、

第1および第2の入力ノード(121、122)と、

出力ノード(123)と、

第1および第2の選択ノード(124、125)と、

各々前記電位値に対する前記事前定義された閾値( $V_t$ )の1/2に少なくとも等しく、前記電位値に対する前記事前定義された閾値( $V_t$ )未満である第1の正の重みを有する第1、第2、第3、および第4の電位変動接続(126~129)と、

各々前記第1の正の重みの値と反対の値の2倍に等しい第2の重みを有する第5および第

50

6の電位変動接続(132~133)とを備え、

前記第1の入力ノード(121)は、前記第1および第3の接続(126、128)の前記エミッタノードを形成し、

前記第2の入力ノード(122)は、前記第2および第4の接続(127、129)の前記エミッタノードを形成し、

前記第1の選択ノード(104)は、前記第5の接続(132)の前記エミッタノードと前記第1および第6の接続(126、133)の前記レシーバノードとを形成し、

前記第2の選択ノード(105)は、前記第6の接続(133)の前記エミッタノードと前記第2および第5の接続(127、132)の前記レシーバノードとを形成し、

前記出力ノード(123)は、前記第3および第4の接続(128、129)の前記レシーバノードを形成する請求項3に記載のデバイス。 10

【請求項7】

少なくとも1つの減算器回路(140、170)を備え、

前記減算器回路(140、170)は、

第1および第2の同期ノード(145、146)と、

第1および第2の抑制ノード(147、148)と、

第1および第2の出力ノード(143、144)と、

各々前記電位値に対する前記事前定義された閾値( $V_t$ )に少なくとも等しい第1の正の重みを有する第1、第2、第3、第4、第5、および第6の電位変動接続(152~157)と、

各々前記第1の正の重みの1/2に等しい第2の重みを有する第7および第8の電位変動接続(160、161)と、 20

各々前記第1の正の重みの値と反対の第3の重みを有する第9および第10の電位変動接続(158、159)と、

各々前記第3の重みの2倍の第4の重み( $2w_i$ )を有する第11および第12の電位変動接続(162、163)とを備え、

前記第1の同期ノード(145)は、前記第1、第2、第3、および第9の接続(152、153、154、158)の前記エミッタノードを形成し、

前記第2の同期ノード(146)は、前記第4、第5、第6、および第10の接続(155、156、157、159)の前記エミッタノードを形成し、

前記第1の抑制ノード(147)は、前記第11の接続(162)の前記エミッタノードと前記第3、第8、および第10の接続(154、161、159)の前記レシーバノードとを形成し、 30

前記第2の抑制ノード(148)は、前記第12の接続(163)の前記エミッタノードと前記第6、第7、および第9の接続(157、160、158)の前記レシーバノードとを形成し、

前記第1の出力ノード(143)は、前記第7の接続(160)の前記エミッタノードと前記第1、第5、および第11の接続(152、156、162)の前記レシーバノードとを形成し、

前記第2の出力ノード(144)は、前記第8の接続(161)の前記エミッタノードと前記第2、第4、および第12の接続(153、155、163)の前記レシーバノードとを形成し、

前記第1の同期ノード(145)は、前記第2の重みを有する少なくとも1つの電位変動接続(150)上で、間に第1のオペランド( $x_1$ )を表す第1の時間間隔( $t_1$ )を有する第1の一对のイベントを受信するように構成され、前記第2の同期ノード(146)は、前記第2の重みを有する 40

少なくとも1つの電位変動接続(151)上で、間に第2のオペランド( $x_2$ )を表す第2の時間間隔( $t_2$ )を有する第2の一对のイベントを受信するように構成され、それによって、間に第3

の時間間隔( $t_{out}$ )を有する第3の一对のイベントは、前記第1の時間間隔( $t_1$ )が前記第2の時間間隔( $t_2$ )よりも長い場合には前記第1の出力ノード(143)によって、前記第1の時間間隔( $t_1$ )が前記第2の時間間隔( $t_2$ )よりも短い場合には前記第2の出力ノード(144)によって送出され、前記第3の時間間隔( $t_{out}$ )は前記第1のオペランド( $x_1$ )と前記第2のオペランド( $x_2$ )との間の差の絶対値を表す請求項3に記載のデバイス。

【請求項8】

前記減算器回路(170)は、前記第1および第2の同期ノード(145、146)、前記第1および第2の抑制ノード(147、148)のうちの1つ、ならびに前記第1および第2の出力ノード(143、14 50

4)のうちの1つとともに検出および抑制接続(172~178)に関連付けられている少なくとも1つの検出ノード(171)を含むゼロ検出論理回路をさらに備え、

前記検出および抑制接続(172~178)は、前記第1および第2の時間間隔( $t_1$ 、 $t_2$ )が等しいときに前記第1および第2の出力ノード(143、144)のうち的一方によってイベントの発生を抑制するために、前記第1、第2、第3、第4、第5、第6、第7、第8、第9、第10、第11、および第12の接続(152~163)よりも高速である請求項7に記載のデバイス。

【請求項9】

前記一組の処理ノードは、少なくとも1つの電流調整接続上で受信されたイベントに従って電流値を変化させ、前記電流値に比例する速度で時間の経過とともにその電位値を変化させるように配置構成されている少なくとも1つのノードを備える請求項3から8のいずれか一項に記載のデバイス。

10

【請求項10】

電流値を変化させるように配置構成されている処理ノードは、イベントを送出するときに前記電流値をゼロにリセットするように配置構成される請求項9に記載のデバイス。

【請求項11】

少なくとも1つのノードにおける前記電流値は、それぞれの重みを有する少なくとも1つの定電流成分調整接続上で受信された2つのイベントの間で一定である成分( $g_0$ )を有し、

定電流成分調整接続の前記レシーバノードは、前記接続の前記重みをその電流値の前記定数成分( $g_0$ )に加えることによって前記接続上で受信されたイベントにตอบสนองするように配置構成される請求項9または請求項10に記載のデバイス。

20

【請求項12】

少なくとも1つのインバータメモリ回路(18)を備え、

前記インバータメモリ回路は、

アキュムレータノード(30)と、

第1、第2、および第3の定電流成分調整接続であって、前記第1および第3の接続(26、34)は同じ正の重み( $w_{acc}$ )を有し、前記第2の接続(27)は前記第1および第3の接続の前記重みの値と反対の重み( $-w_{acc}$ )を有する、第1、第2、および第3の定電流成分調整接続と、

少なくとも1つの第4の接続(35)とを備え、

前記アキュムレータノード(30)は、前記第1、第2、および第3の接続(26、27、34)の前記レシーバノードと前記第4の接続(35)の前記エミッタノードとを形成し、

30

前記第1および第2の接続(26、27)は、それぞれ、アキュムレータノード(30)へ、間に覚えておくべき値を表す時間間隔に係する第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、それによって、前記アキュムレータノード(30)は、次いで、前記第4の接続(35)上の第4のイベントの送出までその電位値を増加させることによって前記第3の接続(34)上で受信される第3のイベントに反応し、前記第3および第4のイベントは間に前記第1の時間間隔に係する第2の時間間隔を有する請求項11に記載のデバイス。

【請求項13】

少なくとも1つのメモリ回路(40)を備え、

前記メモリ回路は、

第1および第2のアキュムレータノード(42、44)と、

第1、第2、第3、および第4の定電流成分調整接続であって、前記第1、第2、および第4の接続(41、43、51)は各々第1の正の重み( $w_{acc}$ )を有し、前記第3の接続(45)は前記第1、第2、および第4の接続の前記重みの値と反対の重み( $-w_{acc}$ )を有する、第1、第2、第3、および第4の定電流成分調整接続と、

少なくとも1つの第5の接続(52)とを備え、

前記第1のアキュムレータノード(42)は、前記第1の接続(41)の前記レシーバノードと前記第3の接続(45)の前記エミッタノードとを形成し、

前記第2のアキュムレータノード(44)は、前記第2、第3、および第4および第5の接続(43、45、51)の前記レシーバノードと前記第5の接続(52)の前記エミッタノードとを形成し、

50

前記第1および第2の接続(41、43)は、前記第1および第2のアクيومレータノード(42、44)へ、それぞれ、間に覚えておくべき値を表す時間間隔に関する第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、それによって、前記第2のアクيومレータノード(44)は、次いで、前記第5の接続(52)上の第4のイベントの送出までその電位値を増加させることによって前記第4の接続(51)上で受信される第3のイベントに回答し、前記第3および第4のイベントは間に前記第1の時間間隔に関する第2の時間間隔を有する請求項12に記載のデバイス。

【請求項14】

前記メモリ回路(40)は、前記第1のアクيومレータノード(42)をエミッタノードとして有する第6の接続(46)を備え、前記第6の接続は前記メモリ回路を読み取りに利用可能であることを知らせるイベントを送出する請求項13に記載のデバイス。

10

【請求項15】

個数 $N > 1$ のメモリ回路( $40_1$ 、 $\dots$ 、 $40_{N-1}$ )と同期ノード(95)とを含む、少なくとも1つの同期回路(90、98)を備え、

前記同期ノード(95)は、前記第1の正の重みを $N$ で割った値に等しい重みを有するそれぞれの電位変動接続( $46_0$ 、 $\dots$ 、 $46_{N-1}$ )を介して $N$ 個のメモリ回路( $40_1$ 、 $\dots$ 、 $40_{N-1}$ )のうちの1つの前記第6の接続上で送出される各イベントを感知し、

前記同期ノード(95)は、前記 $N$ 個のメモリ回路( $40_1$ 、 $\dots$ 、 $40_{N-1}$ )の前記それぞれの第4の接続(51)を介して前記第3のイベントの同時受信をトリガするように配置構成される請求項14に記載のデバイス。

20

【請求項16】

少なくとも1つの累算回路(180)を備え、

前記累算回路は、

$N$ を1より大きい整数として、各々がそれぞれの重み付け係数( $w_{00}$ 、 $\dots$ 、 $w_{N-1}$ )を有する $N$ 個の入力( $181_0$ 、 $\dots$ 、 $181_{N-1}$ )と、

アクيومレータノード(184)と、

同期ノード(185)と、

前記累算回路(180)の前記 $N$ 個の入力の各々について、

前記入力の前記それぞれの重み付け係数に比例する第1の正の重み( $w_{0acc}$ 、 $\dots$ 、 $w_{N-1acc}$ )を有する第1の定電流成分調整接続( $182_0$ 、 $\dots$ 、 $182_{N-1}$ )と、

30

前記第1の正の重みの値と反対の第2の重み( $-w_{0acc}$ 、 $\dots$ 、 $-w_{N-1acc}$ )を有する第2の定電流成分調整接続( $183_0$ 、 $\dots$ 、 $183_{N-1}$ )と、

第3の正の重み( $w_{acc}$ )を有する第3の定電流成分調整接続(186)とを備え、

前記アクيومレータノード(184)は、前記第1、第2、および第3の接続( $181_0$ 、 $\dots$ 、 $181_{N-1}$ 、 $182_0$ 、 $\dots$ 、 $182_{N-1}$ 、186)の前記レシーバノードを形成し、

前記同期ノード(185)は、前記第3の接続(186)の前記エミッタノードを形成し、

前記 $N$ 個の入力の各々について、前記第1および第2の接続( $181_0$ 、 $\dots$ 、 $181_{N-1}$ 、 $182_0$ 、 $\dots$ 、 $182_{N-1}$ )は、それぞれ、前記アクيومレータノード(184)へ、間に前記入力上で与えられるそれぞれのオペランドを表す第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、

40

前記同期ノード(185)は、前記第1および第2のイベントが前記 $N$ 個の入力の各々についてアドレス指定された後に第3のイベントを送出するように構成され、それによって、前記アクيومレータノード(184)は、第4のイベントの送出までその電位値を増加させ、前記第3および第4のイベントは間に前記 $N$ 個の入力上で与えられた前記オペランドの加重和を表す時間間隔に関する第2の時間間隔を有する請求項11に記載のデバイス。

【請求項17】

前記累算回路(180)は、

第2のアクيومレータノード(188)と、

前記第3の正の重み( $w_{acc}$ )を有する第4の定電流成分調整接続(191)と、

第5および第6の接続(193、192)とをさらに備える重み付き加算回路(190)の一部であ

50

り、

前記累算回路の前記同期ノード(185)は、前記第4の接続(191)の前記エミッタノードを形成し、

前記累算回路の前記アキュムレータノード(184)は、前記第5の接続(193)の前記エミッタノードを形成し、

前記第2のアキュムレータノード(188)は、前記第4の接続(191)の前記レシーバノードと前記第6の接続(192)の前記エミッタノードとを形成し、

前記同期ノード(185)による前記第3のイベントの送出にตอบสนองして、前記累算回路の前記アキュムレータノード(184)は、前記第5の接続(193)上の第4のイベントの送出までその電位値を増加させ、前記第2のアキュムレータノード(188)は、前記第6の接続(192)上の第5のイベントの送出までその電位値を増加させ、前記第4および第5のイベントは間に前記累算回路(180)の前記N個の入力上で与えられた前記オペランドの加重和を表す時間間隔に関係する第3の時間間隔を有する請求項16に記載のデバイス。

10

【請求項18】

一次結合回路(200)内に組み立てられた2つの累算回路(180A、180B)を備え、

前記2つの累算回路(180A、180B)は、同期ノード(184)を共有し、

前記一次結合回路は、前記共有された同期ノード(185)によって送出される前記第3のイベントに反応し、間に前記2つの累算回路のうち的一方に対する前記加重和と前記2つの累算回路のうち他方に対する前記加重和との差を表す第3の時間間隔を有する一対のイベントを送出することによって前記2つの累算回路(180A、180B)の前記アキュムレータノード(184)によってそれぞれ送出される前記第4のイベントに反応するように構成されている減算器回路(170)をさらに備える請求項16に記載のデバイス。

20

【請求項19】

少なくとも1つのノードにおける前記電流値は、それぞれの重みを有する少なくとも1つの指数関数的減少電流成分調整接続上で受信された2つのイベントの間で指数関数的に減少する成分( $g_f$ )を有し、

指数関数的減少電流成分調整接続の前記レシーバノードは、前記接続の前記重みをその電流値の前記指数関数的減少成分( $g_f$ )に加えることによって前記接続上で受信されたイベントにตอบสนองするように配置構成される請求項11~18のいずれか一項に記載のデバイス。

【請求項20】

少なくとも1つの対数計算回路(210)を備え、

前記対数計算回路は、

アキュムレータノード(216)と、

第1および第2の定電流成分調整接続であって、前記第1の接続(212)は正の重み(

【数1】

$$\bar{w}_{acc}$$

)を有し、前記第2の接続(214)は前記第1の接続の前記重みの値と反対の重み(

【数2】

$$-\bar{w}_{acc}$$

)を有する、第1および第2の定電流成分調整接続と、

第3の指数関数的減少電流成分調整接続(217)と、

少なくとも1つの第4の接続(222)とを備え、

前記アキュムレータノード(216)は、前記第1、第2、および第3の接続(212、214、217)の前記レシーバノードと前記第4の接続(222)の前記エミッタノードとを形成し、

前記第1および第2の接続(212、214)は、前記アキュムレータノード(216)へ、間に前記対数計算回路(210)の入力値(x)を表す時間間隔( $t$ )に関係する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成され、

40

50

前記第3の接続(217)は、前記アキュムレータノード(216)へ、前記第2のイベントと同時にまたはその後の第3のイベントをアドレス指定するように構成され、それによって、前記アキュムレータノードは、前記第4の接続(222)上の第4のイベントの送出までその電位値を増加させ、前記第3および第4のイベントは間に前記入力値の対数を表す時間間隔( $t_{ou}$ )に関する第2の時間間隔を有する請求項19に記載のデバイス。

【請求項21】

指数関数的減少電流成分( $g_f$ )を考慮する少なくとも1つのノード(238;268)は、前記指数関数的減少成分のデアクティベーションに対するイベントを受信するためのデアクティベーション接続(236;271)の前記レシーバノードである請求項19に記載のデバイス。

【請求項22】

少なくとも1つの累乗回路(230)を備え、  
前記累乗回路は、

- アキュムレータノード(238)と、
- 第1の指数関数的減少電流成分調整接続(232)と、
- 第2のデアクティベーション接続(236)と、
- 第3の定電流成分調整接続(237)と、
- 少なくとも1つの第4の接続(242)とを備え、

前記アキュムレータノード(238)は、前記第1、第2、および第3の接続(232、236、237)の前記レシーバノードと前記第4の接続(242)の前記エミッタノードとを形成し、

前記第1および第2の接続(232、236)は、前記アキュムレータノード(238)へ、間に前記累乗回路(230)の入力値(x)を表す時間間隔( $t$ )に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成され、

前記第3の接続(237)は、前記アキュムレータノード(238)へ、前記第2のイベントと同時にまたはその後の第3のイベントをアドレス指定するように構成され、それによって、前記アキュムレータノードは、前記第4の接続(242)上の第4のイベントの送出までその電位値を増加させ、前記第3および第4のイベントは間に前記入力値の累乗を表す時間間隔( $t_{ou}$ )に関する第2の時間間隔を有する請求項21に記載のデバイス。

【請求項23】

少なくとも1つの乗算器回路(250)を備え、  
前記乗算器回路は、

- 第1、第2、および第3のアキュムレータノード(256<sub>1</sub>、256<sub>2</sub>、268)と、
- 同期ノード(260)と、
- 第1、第2、第3、第4および第5の定電流成分調整接続であって、前記第1、第3、および第5の接続(252<sub>1</sub>、252<sub>2</sub>、272)は第1の正の重み(

【数3】

$$\bar{w}_{acc}$$

)を有し、前記第2および第4の接続(254<sub>1</sub>、254<sub>2</sub>)は前記第1の正の重みの値と反対の第2の重み(

【数4】

$$-\bar{w}_{acc}$$

- )を有する、第1、第2、第3、第4、および第5の定電流成分調整接続と、
- 第6、第7、および第8の指数関数的減少電流成分調整接続(262、265、279)と、
- 第9のデアクティベーション接続(271)と、
- 少なくとも1つの第10の接続(276)とを備え、

前記第1のアキュムレータノード(256<sub>1</sub>)は、前記第1、第2、および第6の接続(252<sub>1</sub>、254<sub>1</sub>、262)の前記レシーバノードと前記第7の接続(265)の前記エミッタノードとを形成し、

10

20

30

40

50

前記第2のアクムレータノード(256<sub>2</sub>)は、前記第3、第4、および第7の接続(252<sub>2</sub>、254<sub>2</sub>、265)の前記レシーバノードと前記第5および第9の接続(272、271)の前記エミッタノードとを形成し、

前記第3のアクムレータノード(268)は、前記第5、第8、および第9の接続(272、269、271)の前記レシーバノードと前記第10の接続(276)の前記エミッタノードとを形成し、

前記同期ノード(260)は、前記第6および第8の接続(272、271)の前記エミッタノードを形成し、

前記第1および第2の接続(252<sub>1</sub>、254<sub>1</sub>)は、前記第1のアクムレータノード(256<sub>1</sub>)へ、間に前記乗算器回路(250)の第1のオペランド(x<sub>1</sub>)を表す時間間隔(t<sub>1</sub>)に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成され

10

、前記第3および第4の接続(252<sub>2</sub>、254<sub>2</sub>)は、前記第2のアクムレータノード(256<sub>2</sub>)へ、間に前記乗算器回路(250)の第2のオペランド(x<sub>2</sub>)を表す時間間隔(t<sub>2</sub>)に関する第2の時間間隔を有するそれぞれの第3および第4のイベントをアドレス指定するように構成され

、前記同期ノード(260)は、前記第1、第2、第3、および第4のイベントが受信された後に前記第6および第8の接続上で第5のイベントを送出するように構成され、それによって、

前記第1のアクムレータノード(256<sub>1</sub>)は、前記第7の接続(265)上の第6のイベントの送

出までその電位値を増加させ、前記第6のイベントにตอบสนองして、前記第2のアクムレータノード(256<sub>2</sub>)は、前記第5の

20

接続および第9の接続(272、271)上の第7のイベントの送

出までその電位値を増加させ、前記第7のイベントにตอบสนองして、前記第3のアクムレータノード(268)は、前記第10の

接続(276)上の第8のイベントの送

出までその電位値を増加させ、前記第7および第8のイ

ベントは間に前記第1のオペランド(x<sub>1</sub>)と前記第2のオペランド(x<sub>2</sub>)との積を表す時間間隔(t<sub>out</sub>)に関する第3の時間間隔を有する請求項21に記載のデバイス。

30

【請求項 2 4】

前記第1および第2のオペランド(x<sub>1</sub>、x<sub>2</sub>)のそれぞれの符号を検出し、前記検出された符

号に従って、間に前記第1のオペランドと前記第2のオペランドとの積を表す時間間隔(t<sub>out</sub>)を有する2つのイベントを前記乗算器回路(250)の2つの出力のうち的一方または他方

で送出させるために前記乗算器回路(250)に関連付けられている符号検出論理回路(300~303)をさらに備える請求項23に記載のデバイス。

【請求項 2 5】

各接続は、遅延パラメータに関連付けられ、前記接続の前記レシーバノードに、前記遅延パラメータによって指示される、前記接続上でイベントを受信することに関して、遅延とともに状態の変化を実行することを知らせる請求項1から24のいずれか一項に記載のデバイス。

40

【請求項 2 6】

絶対値xを有する値を表す2つのイベントの間の前記時間間隔 t は、 $t = T_{min} + x \cdot T_{cod}$ の形式をとり、ここで、T<sub>min</sub>およびT<sub>cod</sub>は、事前定義された時間パラメータである請求項1から25のいずれか一項に記載のデバイス。

【請求項 2 7】

時間間隔によって表される前記値は、0から1の間の絶対値xを有する請求項26に記載のデバイス。

【請求項 2 8】

入力値(x)について、前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第1の入力であ

って、間に前記入力値(x)の正の値を表す時間間隔(t)を有する2つのイベントを受信するように配置構成されている、第1の入力と、前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第2の入力であ

50

るように配置構成されている、第2の入力とを備える請求項1から27のいずれか一項に記載のデバイス。

【請求項29】

出力値(x)について、

前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第1の出力であって、間に前記出力値(x)の正の値を表す時間間隔( $t$ )を有する2つのイベントを送出するように配置構成されている、第1の出力と、

前記一組の処理ノードのうちから1つのノードまたは2つのノードを含む第2の出力であって、間に前記出力値(x)の負の値を表す時間間隔( $t$ )を有する2つのイベントを送出するように配置構成されている、第2の出力とを備える請求項1から28のいずれか一項に記載のデバイス。

10

【請求項30】

前記一組の処理ノードは、少なくとも1つのプログラム可能なアレイ(400)の形態をとり、前記アレイの前記ノードは受信された前記イベントによる共有拳動モデルを有し、前記デバイスは計算プログラムに従って前記アレイの前記ノードの間の前記接続の重みおよび遅延パラメータを調整するためのプログラミング論理回路(420)と、入力値を前記アレイに供給し、前記プログラムに従って計算された出力値を復元するための制御ユニット(410)とをさらに備える請求項1から29のいずれか一項に記載のデバイス。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、データ処理技術に関係する。実施形態は、機械、特に、プログラム可能な機械で計算を実行する新しい様式を実装するものである。

【背景技術】

【0002】

大部分、現在のコンピュータは、フォンノイマンアーキテクチャに基づく。データおよびプログラム命令は、データに対してプログラムを実行するために算術論理演算装置によって順次アクセスされるメモリ内に記憶される。この順次アーキテクチャは、比較的不効率である、すなわち、メモリアクセスを何回も必要とするため、読み出しにも書き込みにも不効率である。

30

【0003】

エネルギー効率の高い代替的手段を探索して行くうちに、脳の働きを模倣することを試みるクロックレス(clockless)処理アーキテクチャの提案に至った。DARPA SyNAPSEプログラムなどの、最近のプロジェクトは、シリコンベースのニューロモーフィックカード(neuromorphic card)技術の発展をもたらし、これは脳の形状、働き、およびアーキテクチャから発想を得た新しいタイプのコンピュータを製作することを可能にする。これらのクロックレスシステムの主要な利点は、そのエネルギー効率、および性能が使用されるニューロンおよびシナプスの量に比例することである。このような状況で、複数のプラットフォームが開発されており、特に、次のようなものである。

- IBM TrueNorth(Paul A. Merollaら、「A Million Spiking-Neuron Integrated Circuit with a Scalable Communication Network and Interface」、Science、第345巻、第6197号、668～673頁、2014年8月)、

40

- Neurogrid(Ben V. Benjaminら、「Neurogrid: A Mixed-Analog-Digital Multichip System for Large-Scale Neural Simulations」、Proceedings of the IEEE、第102巻、第5号、699～716頁、2014年5月)、

- SpiNNaker(Steve B. Furberら、「The SpiNNaker Project」、Proceedings of the IEEE、第102巻、第5号、652～665頁、2014年5月)。

【0004】

これらの機械は、生物学をシミュレートすることを実質的に目的としている。その主要な用途は、学習の分野にあり、すなわち、ニューラルネットワークまたはディープビリー

50

フネットワークなどの深層学習アーキテクチャを実行するための分野である。これらは、コンピュータビジョン、音声認識、および言語処理の分野のような複数の分野において効率的である。

【 0 0 0 5 】

脳のいくつかの機能をシミュレートする、特に、視覚、認知、および運動課題を遂行することができるNEF(「ニューラルエンジニアリングフレームワーク」)などの他のオプションがある(Chris Eliasmithら、「A Large-Scale Model of the Functioning Brain」、Science、第338巻、第6111号、1202～1205頁、2012年11月)。

【 0 0 0 6 】

これらの様々なアプローチでは、プログラム可能な機械で計算を実行するための一般的な方法を提案していない。

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 Paul A. Merollaら、「A Million Spiking-Neuron Integrated Circuit with a Scalable Communication Network and Interface」、Science、第345巻、第6197号、668～673頁、2014年8月

【 非特許文献 2 】 Ben V. Benjaminら、「Neurogrid: A Mixed-Analog-Digital Multichip System for Large-Scale Neural Simulations」、Proceedings of the IEEE、第102巻、第5号、699～716頁、2014年5月

【 非特許文献 3 】 Steve B. Furberら、「The SpiNNaker Project」、Proceedings of the IEEE、第102巻、第5号、652～665頁、2014年5月

【 非特許文献 4 】 Chris Eliasmithら、「A Large-Scale Model of the Functioning Brain」、Science、第338巻、第6111号、1202～1205頁、2012年11月

【 非特許文献 5 】 John Backus、「Can Programming Be Liberated from the von Neumann Style?: A Functional Style and Its Algebra of Programs」、Communications of the ACM、第21巻、第8号、613～641頁、1978年8月

【 非特許文献 6 】 「Deterministic Nonperiodic Flow」、Journal of the Atmospheric Sciences、第20巻、第2号、130～141頁、1963年3月

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

本発明の目的は、データの表現および計算の実行に対する新規性のあるアプローチを提案することである。このアプローチがエネルギー消費量が少なく、超並列処理を行える実装に適していることが望ましい。

【 課題を解決するための手段 】

【 0 0 0 9 】

一組の処理ノードおよびノード間の接続を含む、データ処理デバイスが提案されている。各接続は、その一組の処理ノードのうちからエミッタノードとレシーバノードとを有し、レシーバノードに、エミッタノードによって送出されるイベントを送信するように構成される。各ノードは、それが受信するイベントに応じてそれぞれの電位値を変化させ、電位値が事前定義された閾値に達したときにイベントを送出するように配置構成される。データ処理デバイスの少なくとも1つの入力値は、少なくとも1つのノードによって受信される2つのイベントの間の時間間隔によって表され、データ処理デバイスの少なくとも1つの出力値は、少なくとも1つのノードによって送出される2つのイベントの間の時間間隔によって表される。

【 0 0 1 0 】

処理ノードは、ニューロンタイプの計算ユニットを形成する。しかしながら、ここでは、脳の働きを模倣することは特に望まれていない。「ニューロン」という用語は、本開示では、言語上の便宜のために使用されているが、大脳皮質のニューロンの動作モードと

10

20

30

40

50

の著しい類似性を必ずしも意味するわけではない。

【0011】

処理デバイスにおけるイベントの特定の時間的構成、さらには結合(シナプス)の様々な特性を使用することによって、初等関数を計算するのに適している、計算フレームワーク全体を得ることができる。次いで、すべての既存の数学演算子が、線形または非線形であろうと、フォンノイマンアーキテクチャを必ずしも使用しなくても、実装され得る。その時点以降、デバイスが従来のコンピュータのように、ただし、メモリとの間で絶え間なく往復することを必要とせず、また浮動小数点精度に基づくことなく、機能することが可能である。これは、データの表現に対する基盤を形成する、シナプスのイベント、またはその時間的オフセットの時間的同時性である。

10

【0012】

提案されている方法は、メモリと計算を区別しないニューロモフィックアーキテクチャと一致している。各処理ノードの各接続は、情報を記憶し、同時に、この情報を計算に使用する。これは、メモリと処理とを区別し、フォンノイマンボトルネックを引き起こす、従来のコンピュータにおいて広く使用されている構成とは非常に異なり、計算時間の大部分は、メモリと中央演算処理装置との間の情報の移動にもっぱら費やされる(John Backus、「Can Programming Be Liberated from the von Neumann Style?: A Functional Style and Its Algebra of Programs」、Communications of the ACM、第21巻、第8号、613~641頁、1978年8月)。

【0013】

動作は、生体ニューロンのようにイベントによって支配される(「イベントドリブン」)通信に基づき、これにより、超並列処理による実行が可能になる。

20

【0014】

デバイスの一実施形態において、各処理ノードは、その電位値を、イベントを送出するときにリセットするように配置構成される。リセットは、特に、ゼロ電位値へのリセットとすることができる。

【0015】

データを処理するためのデバイスの多数の実施形態は、ノード間の接続のうち、各々がそれぞれの重みを有する1つまたは複数の電位変動接続(potential variation connection)を含む。そのような接続のレシーバノードは、接続の重みを電位値に加えることによってこの接続で受信されたイベントに回答するように配置構成される。

30

【0016】

電位変動接続は、正の重みを有する、励起接続(excitation connection)と、負の重みを有する、抑制接続(inhibiting connection)とを含み得る。

【0017】

デバイス内の値を操作するために、一組の処理ノードは、電位値に対する事前定義された閾値に少なくとも等しい第1の正の重みを有する第1の電位変動接続のレシーバノードを形成する少なくとも1つの第1のノードと、電位値に対する事前定義された閾値の1/2に少なくとも等しく、電位値に対する事前定義された閾値未満である重みを有する第2の電位変動接続のレシーバノードを形成する少なくとも1つの第2のノードとを含む。前述の第1のノードは、第1の重みと反対の値に等しい重みを有する第3の電位変動接続のエミッタノードおよびレシーバノード、さらには第4の接続のエミッタノードをさらに形成し、その一方で、第2のノードは、第5の接続のエミッタノードを形成する。したがって、第1および第2の電位変動接続は、各々入力値を表す第1の時間間隔によって隔てられた2つのイベントを受信するように構成され、それによって、第4および第5の接続は第1の時間間隔に関係する第2の時間間隔を間に有するそれぞれのイベントをトランスポート(transport)する。

40

【0018】

本発明によるデバイスを使用して様々な動作が実行され得る。

【0019】

50

特に、データを処理するためのデバイスの一例は、少なくとも1つの最小値計算回路を備え、これはそれ自体、

第1および第2の入力ノードと、

出力ノードと、

第1および第2の選択ノードと、

各々電位値に対する事前定義された閾値の1/2に少なくとも等しく、電位値に対する事前定義された閾値未満である第1の正の重みを有する第1、第2、第3、第4、第5、および第6の電位変動接続と、

各々第1の重みの値と反対の第2の重みを有する第7および第8の電位変動接続と、

各々第2の重みの2倍の第3の重みを有する第9および第10の電位変動接続とを備える。 10

【0020】

この最小値計算回路において、第1の入力ノードは、第1および第3の接続のエミッタノードと第10の接続のレシーバノードとを形成し、第2の入力ノードは、第2および第4の接続のエミッタノードと第9の接続のレシーバノードとを形成し、第1の選択ノードは、第5、第7、および第9の接続のエミッタノードと第1および第8の接続のレシーバノードとを形成し、第2の選択ノードは、第6、第8、および第10の接続のエミッタノードと第2および第7の接続のレシーバノードとを形成し、出力ノードは、第3、第4、第5、および第6の接続のレシーバノードを形成する。

【0021】

データを処理するためのデバイスの別の例は、少なくとも1つの最大値計算回路を備え、これはそれ自体、 20

第1および第2の入力ノードと、

出力ノードと、

第1および第2の選択ノードと、

各々電位値に対する事前定義された閾値の1/2に少なくとも等しく、電位値に対する事前定義された閾値未満である第1の正の重みを有する第1、第2、第3、および第4の電位変動接続と、

各々第1の重みの値と反対の値の2倍に等しい第2の重みを有する第5および第6の電位変動接続とを備える。

【0022】 30

この最大値計算回路において、第1の入力ノードは、第1および第3の接続のエミッタノードを形成し、第2の入力ノードは、第2および第4の接続のエミッタノードを形成し、第1の選択ノードは、第5の接続のエミッタノードと第1および第6の接続のレシーバノードとを形成し、第2の選択ノードは、第6の接続のエミッタノードと第2および第5の接続のレシーバノードとを形成し、出力ノードは、第3および第4の接続のレシーバノードを形成する。

【0023】

データを処理するためのデバイスの別の例は、少なくとも1つの減算器回路を備え、これはそれ自体、

第1および第2の同期ノードと、 40

第1および第2の抑制ノードと、

第1および第2の出力ノードと、

各々電位値に対する事前定義された閾値に少なくとも等しい第1の正の重みを有する第1、第2、第3、第4、第5、および第6の電位変動接続と、

各々第1の重みの1/2に等しい第2の重みを有する第7および第8の電位変動接続と、

各々第1の重みの値と反対の第3の重みを有する第9および第10の電位変動接続と、

各々第3の重みの2倍の第4の重みを有する第11および第12の電位変動接続とを備える。

【0024】

この減算器回路において、第1の同期ノードは、第1、第2、第3、および第9の接続のエミッタノードを形成し、第2の同期ノードは、第4、第5、第6、および第10の接続のエミッ 50

タノードを形成し、第1の抑制ノードは、第11の接続のエミッタノードと第3、第8、および第10の接続のレシーバノードとを形成し、第2の抑制ノードは、第12の接続のエミッタノードと第6、第7、および第9の接続のレシーバノードとを形成し、第1の出力ノードは、第7の接続のエミッタノードと第1、第5、および第11の接続のレシーバノードとを形成し、第2の出力ノードは、第8の接続のエミッタノードと第2、第4、および第12の接続のレシーバノードとを形成する。第1の同期ノードは、第2の重みを有する少なくとも1つの電位変動接続上で、間に第1のオペランドを表す第1の時間間隔を有する第1の一对のイベントを受信するように構成される。第2の同期ノードは、第2の重みを有する少なくとも1つの電位変動接続上で、間に第2のオペランドを表す第2の時間間隔を有する第2の一对のイベントを受信するように構成され、それによって、間に第3の時間間隔を有する第3の一对のイベントは、第1の時間間隔が第2の時間間隔よりも長い場合には第1の出力ノードによって、第1の時間間隔が第2の時間間隔よりも短い場合には第2の出力ノードによって送出され、第3の時間間隔は第1のオペランドと第2のオペランドとの間の差の絶対値を表している。

10

#### 【0025】

減算器回路は、第1および第2の同期ノード、第1および第2の抑制ノードのうちの1つ、ならびに第1および第2の出力ノードのうちの1つとともに検出および抑制接続に関連付けられている少なくとも1つの検出ノードを含むゼロ検出論理回路をさらに備えることができる。検出および抑制接続は、第1および第2の時間間隔が実質的に等しいときに第1および第2の出力ノードのうちの一方によってイベントの発生を抑制するために、第1、第2、第3、第4、第5、第6、第7、第8、第9、第10、第11、および第12の接続よりも高速である。

20

#### 【0026】

デバイスの様々な実施形態において、この一組の処理ノードは、少なくとも1つの電流調整接続上で受信されたイベントに従って電流値を変化させ、前記電流値に比例する速度で時間の経過とともにその電位値を変化させるように配置構成されている少なくとも1つのノードを備える。そのような処理ノードは、特に、イベントを送出するときに電流値をゼロにリセットするように配置構成され得る。

#### 【0027】

これらのノードのうちの少なくともいくつかにおける電流値は、それぞれの重みを有する少なくとも1つの定電流成分調整接続上で受信された2つのイベントの間で一定である成分を有する。定電流成分調整接続のレシーバノードは、接続の重みを電流値の定数成分に加えることによってこの接続上で受信されたイベントに反応するように配置構成される。

30

#### 【0028】

データを処理するためのデバイスの別の例は、少なくとも1つのインバータメモリ回路を備え、これはそれ自体、

アキュムレータノードと、

第1、第2、および第3の定電流成分調整接続であって、第1および第3の接続は同じ正の重みを有し、第2の接続は第1および第3の接続の重みの値と反対の重みを有する、第1、第2、および第3の定電流成分調整接続と、

40

少なくとも1つの第4の接続とを備える。

#### 【0029】

このインバータメモリ回路において、アキュムレータノードは、第1、第2、および第3の接続のレシーバノードと第4の接続のエミッタノードとを形成し、第1および第2の接続は、それぞれ、アキュムレータノードへ、間に覚えておくべき値を表す時間間隔に関する第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、それによって、アキュムレータノードは、次いで、第4の接続上の第4のイベントの送出处までその電位値を増加させることによって第3の接続上で受信される第3のイベントに応答し、第3および第4のイベントは間に第1の時間間隔に関する第2の時間間隔を有する。

#### 【0030】

50

データを処理するためのデバイスの別の例は、少なくとも1つのメモリ回路を備え、これはそれ自体、

第1および第2のアクムレータノードと、

第1、第2、第3、および第4の定電流成分調整接続であって、第1、第2、および第4の接続は各々第1の正の重みを有し、第3の接続は第1の重みの値と反対の第2の重みを有する、第1、第2、第3、および第4の定電流成分調整接続と、

少なくとも1つの第5の接続とを備える。

【0031】

このメモリ回路において、第1のアクムレータノードは、第1の接続のレシーバノードと第3の接続のエミッタノードとを形成し、第2のアクムレータノードは、第2、第3、および第4および第5の接続のレシーバノードを形成し、第5の接続のエミッタノード、第1および第2の接続は、それぞれ、第1および第2のアクムレータノードへ、間に覚えておくべき値を表す時間間隔に関係する第1の時間間隔を有する第1および第2のイベントをアドレス指定するように構成され、それによって、第2のアクムレータノードは、次いで、第5の接続上の第4のイベントの送出までその電位値を増加させることによって第4の接続上で受信される第3のイベントに応答し、第3および第4のイベントは間に第1の時間間隔に関係する第2の時間間隔を有する。

10

【0032】

メモリ回路は、第1のアクムレータノードをエミッタノードとして有する第6の接続をさらに備え、第6の接続はメモリ回路を読み取りに利用可能であることを知らせるイベントを送出する。

20

【0033】

データを処理するためのデバイスの別の例は、今言及したばかりのタイプの、個数 $N > 1$ のメモリ回路と、同期ノードとを含む、少なくとも1つの同期回路を備える。同期ノードは、第1の重みを $N$ で割った値に等しい重みを有するそれぞれの電位変動接続を介して $N$ 個のメモリ回路のうちの1つの第6の接続上で送出される各イベントを感知する。同期ノードは、 $N$ 個のメモリ回路のそれぞれの第4の接続を介して第3のイベントの同時受信をトリガするように配置構成される。

【0034】

データを処理するためのデバイスの別の例は、少なくとも1つの累算回路を備え、これはそれ自体、

30

$N$ を1より大きい整数として、各々がそれぞれの重み付け係数を有する $N$ 個の入力と、

アクムレータノードと、

同期ノードと、

累算回路の $N$ 個の入力の各々について、

前記入力のそれぞれの重み付け係数に比例する第1の正の重みを有する第1の定電流成分調整接続と、

第1の重みの値と反対の第2の重みを有する第2の定電流成分調整接続と、

第3の正の重みを有する第3の定電流成分調整接続とを備える。

【0035】

40

この累算回路において、アクムレータノードは、第1、第2、および第3の接続のレシーバノードを形成し、同期ノードは、第3の接続のエミッタノードを形成する。 $N$ 個の入力の各々について、第1および第2の接続は、アクムレータノードへ、間に前記入力上で与えられるそれぞれのオペランドを表す第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成される。同期ノードは、第1および第2のイベントが $N$ 個の入力の各々についてアドレス指定された後に第3のイベントを送出するように構成され、それによって、アクムレータノードは、第4のイベントの送出までその電位値を増加させる。第3および第4のイベントは、それらの間に $N$ 個の入力上で与えられるオペランドの加重和を表す時間間隔に関係する第2の時間間隔を有する。

【0036】

50

本発明によりデータを処理するためのデバイスの一例において、累算回路は、加重加算回路の一部であり、これは

- 第2のアクムレータノードと、
- 第3の重みを有する第4の定電流成分調整接続と、
- 第5および第6の接続とをさらに備える。

【0037】

この加重加算回路において、累算回路の同期ノードは、第4の接続のエミッタノードを形成し、累算回路のアクムレータノードは、第5の接続のエミッタノードを形成し、第2のアクムレータノードは、第4の接続のレシーバノードと第6の接続のエミッタノードとを形成する。同期ノードによる第3のイベントの送出にตอบสนองして、累算回路のアクムレータノードは、第5の接続上の第4のイベントの送出までその電位値を増加させ、第2のアクムレータノードは、第6の接続上の第5のイベントの送出までその電位値を増加させ、第4および第5のイベントはそれらの間に累算回路のN個の入力上で与えられるオペランドの加重和を表す時間間隔に関係する第3の時間間隔を有する。

10

【0038】

データを処理するためのデバイスの別の例は、同期ノードを共有する、2つの累算回路と、共有された同期ノードによって送出される第3のイベントにตอบสนองし、間に2つの累算回路のうち的一方に対する加重和と2つの累算回路のうち他方に対する加重和との差を表す第3の時間間隔を有する一対のイベントを送出することによって2つの累算回路のアクムレータノードによってそれぞれ送出される第4のイベントにตอบสนองするように構成されている減算器回路とを含む少なくとも1つの一次結合回路を備える。

20

【0039】

デバイスのいくつかの実施形態において、この一組の処理ノードは、少なくとも1つのノードを含み、その電流値は、それぞれの重みを有する少なくとも1つの指数関数的減少電流成分調整接続(exponentially decreasing current component adjustment connection)上で受信された2つのイベントの間で指数関数的に減少する成分を有する。指数関数的減少電流成分調整接続のレシーバノードは、接続の重みを電流値の指数関数的減少成分に加えることによってこの接続上で受信されたイベントに反応するように配置構成される。

【0040】

データを処理するためのデバイスの別の例は、少なくとも1つの対数計算回路を備え、これはそれ自体、

30

- アクムレータノードと、
- 第1および第2の定電流成分調整接続であって、第1の接続は正の重みを有し、第2の接続は第1の接続の重みの値と反対の重みを有する、第1および第2の定電流成分調整接続と、
- 第3の指数関数的減少電流成分調整接続と、
- 少なくとも1つの第4の接続とを備える。

【0041】

この対数計算回路において、アクムレータノードは、第1、第2、および第3の接続のレシーバノードと第4の接続のエミッタノードとを形成する。第1および第2の接続は、アクムレータノードへ、間に対数計算回路の入力値を表す時間間隔に関係する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成される。第3の接続は、アクムレータノードへ、第2のイベントと同時またはその後の第3のイベントをアドレス指定するように構成され、それによって、アクムレータノードは、第4の接続上の第4のイベントの送出までその電位値を増加させ、第3および第4のイベントは間に入力値の対数を表す時間間隔に関係する第2の時間間隔を有する。

40

【0042】

処理デバイスは、少なくとも1つのデアクティベーション接続をさらに備えることができ、そのレシーバノードは、デアクティベーション接続上で受信されたイベントにตอบสนองして電流の指数関数的に減少する成分を相殺することができるノードである。

【0043】

50

データを処理するためのデバイスの別の例は、少なくとも1つの累乗回路(exponentiation circuit)を備え、これはそれ自体、  
 アキュムレータノードと、  
 第1の指数関数的減少電流成分調整接続と、  
 第2のデアクティベーション接続と、  
 第3の定電流成分調整接続と、  
 少なくとも1つの第4の接続とを備える。

【0044】

この累乗回路において、アキュムレータノードは、第1、第2、および第3の接続のレシーバノードと第4の接続のエミッタノードとを形成する。第1および第2の接続は、アキュムレータノードへ、間に累乗回路の入力値を表す時間間隔に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成される。第3の接続は、アキュムレータノードへ、第2のイベントと同時またはその後の第3のイベントをアドレス指定するように構成され、それによって、アキュムレータノードは、第4の接続上の第4のイベントの送出までその電位値を増加させ、第3および第4のイベントは間に入力値の累乗を表す時間間隔に関する第2の時間間隔を有する。

【0045】

データを処理するためのデバイスの別の例は、少なくとも1つの乗算器回路を備え、これはそれ自体、

第1、第2、および第3のアキュムレータノードと、  
 同期ノードと、

第1、第2、第3、第4、および第5の定電流成分調整接続であって、第1、第3、および第5の接続は正の重みを有し、第2および第4の接続は第1、第2、および第5の接続の重みの値と反対の重みを有する、第1、第2、第3、第4、および第5の定電流成分調整接続と、

第6、第7、および第8の指数関数的減少電流成分調整接続と、  
 第9のデアクティベーション接続と、  
 少なくとも1つの第10の接続とを備える。

【0046】

この乗算器回路において、第1のアキュムレータノードは、第1、第2、および第6の接続のレシーバノードと第7の接続のエミッタノードとを形成し、第2のアキュムレータノードは、第3、第4、および第7の接続のレシーバノードと第5および第9の接続のエミッタノードとを形成し、第3のアキュムレータノードは、第5、第8、および第9の接続のレシーバノードと第10の接続のエミッタノードとを形成し、同期ノードは、第6および第8の接続のエミッタノードを形成する。第1および第2の接続は、第1のアキュムレータノードへ、間に乗算器回路の第1のオペランドを表す時間間隔に関する第1の時間間隔を有するそれぞれの第1および第2のイベントをアドレス指定するように構成される。第3および第4の接続は、第2のアキュムレータノードへ、間に乗算器回路の第2のオペランドを表す時間間隔に関する第2の時間間隔を有するそれぞれの第3および第4のイベントをアドレス指定するように構成される。同期ノードは、第1、第2、第3、および第4のイベントが受信された後に第6および第8の接続上で第5のイベントを送出するように構成される。したがって、第1のアキュムレータノードは、第7の接続上の第6のイベントの送出までその電位値を増加させ、次いで、第6のイベントに応答して、第2のアキュムレータノードは、第5の接続および第9の接続上の第7のイベントの送出までその電位値を増加させる。この第7のイベントに応答して、第3のアキュムレータノードは、第10の接続上の第8のイベントの送出までその電位値を増加させ、第7および第8のイベントはそれらの間に第1のオペランドと第2のオペランドとの積を表す時間間隔に関する第3の時間間隔を有する。

【0047】

符号検出論理回路は、乗算器回路に関連付けられるものとしてよく、第1および第2のオペランドのそれぞれの符号を検出し、検出された符号に従って、間に第1のオペランドと第2のオペランドとの積を表す時間間隔を有する2つのイベントを乗算器回路の2つの出力

のうちの一方または他方で送出させる。

【0048】

処理デバイスの典型的な一実施形態において、各接続は遅延パラメータに関連付けられ、それにより、この接続のレシーバノードに、前記パラメータによって指示される、接続上でイベントを受信することに関して、遅延とともに状態の変化を実行することを知らせる。

【0049】

絶対値 $x$ を有する値を表す2つのイベントの間の時間間隔  $t$ は、特に、 $t=T_{min}+x \cdot T_{cod}$ の形式をとることができ、ここで、 $T_{min}$ および $T_{cod}$ は、事前定義された時間パラメータである。時間間隔によって表される値は、たとえば、0から1の間の絶対値 $x$ を有する。

10

【0050】

$x$ の関数としての  $t$ に対して均等目盛ではなく対数目盛を使用することもいくつかの用途に適していることがある。他の目盛も使用できる。

【0051】

処理デバイスは、符号付き値を扱うために特別な構成を有するものとしてよい。したがって、これは、入力値について、

一組の処理ノードのうちから1つのノードまたは2つのノードを含む第1の入力であって、間に入力値の正の値を表す時間間隔を有する2つのイベントを受信するように配置構成されている、第1の入力と、

一組の処理ノードのうちから1つのノードまたは2つのノードを含む第2の入力であって、間に入力値の負の値を表す時間間隔を有する2つのイベントを受信するように配置構成されている、第2の入力とを備える。

20

【0052】

出力値について、処理デバイスは、

一組の処理ノードのうちから1つのノードまたは2つのノードを含む第1の出力であって、間に前記出力値の正の値を表す時間間隔を有する2つのイベントを送出するように配置構成されている、第1の出力と、

一組の処理ノードのうちから1つのノードまたは2つのノードを含む第2の出力であって、間に前記出力値の負の値を表す時間間隔を有する2つのイベントを送出するように配置構成されている、第2の出力とを備える。

30

【0053】

処理デバイスの一実施形態において、一組の処理のノードは、少なくとも1つのプログラム可能なアレイの形態をとり、アレイのノードは受信されたイベントに従う共有挙動モデルを有する。このデバイスは、計算プログラムに従ってアレイのノードの間の接続の重みおよび遅延パラメータを調整するためのプログラミング論理回路と、入力値をアレイに供給し、プログラムに従って計算された出力値を復元するための制御ユニットとをさらに備える。

【0054】

本発明の他の特徴および利点は、添付図面を参照しつつ次の説明に示される。

【図面の簡単な説明】

40

【0055】

【図1】本発明の一実施形態による、オンデマンドで定数値の表現を生成する処理回路の図である。

【図2】本発明の一実施形態によるインバータメモリデバイスの図である。

【図3】図2による時間が経過して生じる電位値の変化およびインバータメモリデバイスにおけるイベントの生成を示す図である。

【図4】本発明の一実施形態によるメモリデバイスの図である。

【図5】図4による時間が経過して生じる電位値の変化およびメモリデバイスにおけるイベントの生成を示す図である。

【図6】本発明の一実施形態による符号付きメモリデバイスの図である。

50

【図7(a)】様々な入力値を与えられたときの図6による時間が経過して生じる電位値の変化および符号付きメモリデバイスにおけるイベントの生成を示す図である。

【図7(b)】様々な入力値を与えられたときの図6による時間が経過して生じる電位値の変化および符号付きメモリデバイスにおけるイベントの生成を示す図である。

【図8】本発明の一実施形態による同期デバイスの図である。

【図9】図8による時間が経過して生じる電位値の変化および同期デバイスにおけるイベントの生成を示す図である。

【図10】本発明の別の実施形態による同期デバイスの図である。

【図11】本発明の一実施形態による最小値を計算するためのデバイスの図である。

【図12】図11による時間が経過して生じる電位値の変化および最小値を計算するためのデバイスにおけるイベントの生成を示す図である。 10

【図13】本発明の一実施形態による最大値を計算するためのデバイスの図である。

【図14】図13による時間が経過して生じる電位値の変化および最大値を計算するためのデバイスにおけるイベントの生成を示す図である。

【図15】本発明の一実施形態による減算器デバイスの図である。

【図16】図15による時間が経過して生じる電位値の変化および減算器デバイスにおけるイベントの生成を示す図である。

【図17】ゼロに等しい差が考慮される減算器デバイスの代替的形態の図である。

【図18】本発明の一実施形態による累算回路の図である。

【図19】本発明の一実施形態による加重加算デバイスの図である。 20

【図20】本発明の一実施形態による一次結合計算デバイスの図である。

【図21】本発明の一実施形態による対数計算デバイスの図である。

【図22】図21による時間が経過して生じる電位値の変化および対数計算デバイスにおけるイベントの生成を示す図である。

【図23】本発明の一実施形態による累乗デバイスの図である。

【図24】図23による時間が経過して生じる電位値の変化および累乗デバイスにおけるイベントの生成を示す図である。

【図25】本発明の一実施形態による乗算器デバイスの図である。

【図26】図25による時間が経過して生じる電位値の変化および乗算器デバイスにおけるイベントの生成を示す図である。 30

【図27】本発明の一実施形態による符号付き乗算器デバイスの図である。

【図28】本発明の一実施形態による積分器デバイスの図である。

【図29】本発明の一実施形態の一例における1階微分方程式を解くのに適しているデバイスの図である。

【図30A】図29のデバイスのシミュレーションの結果を示すグラフである。

【図30B】図29のデバイスのシミュレーションの結果を示すグラフである。

【図31】本発明の一実施形態の一例における2階微分方程式を解くのに適しているデバイスの図である。

【図32A】図31のデバイスのシミュレーションの結果を示すグラフである。

【図32B】図31のデバイスのシミュレーションの結果を示すグラフである。 40

【図33】本発明の一実施形態の一例における3変数非線形微分方程式系を解くのに適しているデバイスの図である。

【図34】図33のデバイスのシミュレーションの結果を示すグラフである。

【図35】本発明の一実施形態によるプログラム可能処理デバイスの図である。

【発明を実施するための形態】

【0056】

本明細書で提示されているようなデータ処理デバイスは、電気信号の振幅として、または論理回路によって処理される2進符号化された数としてではなく、間に接続を有する一組の処理ノード内に生じるイベントの間の時間間隔として処理済み値を表すことによって動作する。 50

## 【0057】

本開示の文脈において、人工ニューラルネットワークに類似するアーキテクチャによるデータ処理デバイスの一実施形態が提示される。データ処理デバイスは、必ずしも、人々が「ニューラルネットワーク」と呼ぶものに厳密に対応するアーキテクチャを有していないが、次の説明では、デバイス内の2つのノードまたはニューロンの間の接続を指定するために「シナプス」という用語を使用すると全く同様に、「ノード」および「ニューロン」という用語を入れ替えて使用することができる。

## 【0058】

シナプスは、方向性を有する、すなわち、各接続は、エミッタノードとレシーバノードとを有し、レシーバノードに、エミッタノードによって生成されたイベントを送信する。イベントは、典型的には、エミッタノードによって送出され、レシーバノードに影響を及ぼす、電圧信号または電流信号のスパイクとして現れる。

10

## 【0059】

人工ニューラルネットワークの文脈においては普通のことであるが、各接続またはシナプスは、イベントにおいてエミッタノードがレシーバノードに及ぼす影響の尺度を示す重みパラメータ $w$ を有する。

## 【0060】

各ノードの挙動の記述は、人工ニューラルネットワークのパラダイムにおける膜電位 $V$ に対応する電位値 $V$ を参照することによって与えられ得る。ノードの電位値 $V$ は、入接続上でノードが受信するイベントに従って時間の経過とともに変化する。この電位値 $V$ が、閾値 $V_t$ に達するか、超えたときに、ノードは、下流に配置されているノードに送信されるイベント(「スパイク」)を放出する。

20

## 【0061】

ノードまたはニューロンの挙動を説明するために、本発明の例示的な一実施形態において、成分 $g_e$ および適宜、成分 $g_f$ を有する電流値 $g$ をさらに参照することができる。

## 【0062】

成分 $g_e$ は、ここでは定電流成分調整接続と呼ばれる特定のシナプス上でノードが受信する2つのイベントの間で一定であるか、または実質的に一定のままである成分である。

## 【0063】

成分 $g_f$ は、ここでは指数関数的減少電流成分調整接続と呼ばれる特定のシナプス上でノードが受信する2つのイベントの間で指数関数的に変化する成分である、すなわち、指数関数的に変化する。

30

## 【0064】

指数関数的減少電流成分 $g_f$ を考慮するノードは、ここではアクティベーション接続と呼ばれる特定のシナプス上で成分 $g_f$ のアクティベーションおよびデアクティベーションに対するイベントをさらに受信することができる。

## 【0065】

したがって、注目する例では、処理ノードの挙動は、一組の微分方程式

## 【0066】

## 【数1】

40

$$\left\{ \begin{array}{l} \tau_m \cdot \frac{dV}{dt} = g_e + gate \cdot g_f \\ \frac{dg_e}{dt} = 0 \\ \tau_f \cdot \frac{dg_f}{dt} = -g_f \end{array} \right. \quad (1)$$

## 【0067】

50

によって一般的な形で表現されるものとしてよく、

ここで、

$t$ は時間を指定し、

成分 $g_e$ はシナプスイベントによってのみ変化させられ得る一定入力電流を表し、

成分 $g_f$ は指数関数的に変化する入力電流を表し、

$gate$ は、指数関数的減少電流成分 $g_f$ の2進アクティベーション( $gate=1$ )またはデアクティベーション( $gate=0$ )信号であり、

$\tau_m$ は電流値の関数 $g=g_e+gate \cdot g_f$ として電位値 $V$ の直線変化を調節する時定数であり、

$\tau_j$ は成分 $g_f$ における減少の指数関数的変化を調節する時定数である。

【0068】

方程式系(1)において、膜電位 $V$ の漏れはないか、またはこの漏れの力学はデバイス内で動作している他のすべての力学よりもかなり大きいタイムスケールに基づくことが考えられる。

【0069】

このモデルでは、ニューロンの挙動に影響を及ぼす次の4種類のシナプスを識別することができ、各シナプスは正または負のシナプス重み $w$ を示す重みパラメータに関連付けられる。

ニューロンの膜電位の値を直接修正する、電位変化接続、または $V$ シナプス。 $V \rightarrow V+w$ 。言い替えれば、レシーバノードは、その電位値 $V$ に、重みパラメータによって指示される重み $w$ を加えることによって $V$ シナプス上で受信されたイベントに応答する。

ニューロンの一定の入力電流を直接修正する、定電流成分調整接続、または $g_e$ シナプス。 $g_e \rightarrow g_e+w$ 。言い替えれば、レシーバノードは、その電流値の一定成分に、重みパラメータによって指示される重み $w$ を加えることによって $g_e$ シナプス上で受信されたイベントに応答する。

ニューロンの指数関数的に変化する入力電流を直接修正する、指数関数的減少電流成分調整接続、または $g_f$ シナプス。 $g_f \rightarrow g_f+w$ 。言い替えれば、レシーバノードは、その電流値の指数関数的に減少する成分に、重みパラメータによって指示される重み $w$ を加えることによって $g_f$ シナプス上で受信されたイベントに反応する。

正の重み $w=1$ を指示するときに $gate = 1$ を設定することによってニューロンをアクティベートし、負の重み $w=-1$ を指示するときに $gate = 0$ を設定することによってニューロンをデアクティベートする、アクティベーション接続、または $gate$ シナプス。

【0070】

各シナプス接続は、エミッタニューロンとレシーバニューロンとの間の伝搬の遅延を与える遅延パラメータにさらに関連付けられる。

【0071】

ニューロンは、その電位値 $V$ が閾値 $V_t$ に達すると、すなわち

$$V \geq V_t \quad (2)$$

のときに、イベントをトリガする。

【0072】

イベントがトリガされると、ニューロンがエミッタノードを形成する各シナプス上で送出されるスパイクが引き起こされ、その状態変数は次のようにリセットされる。

$$V \rightarrow V_{reset} \quad (3)$$

$$g_e \rightarrow 0 \quad (4)$$

$$g_f \rightarrow 0 \quad (5)$$

$$gate \rightarrow 0 \quad (6)$$

【0073】

一般性を失うことなく、 $V_{reset}=0$ の場合が考慮され得る。

【0074】

これ以降、表記 $T_{syn}$ は、標準シナプスに沿った伝搬の遅延を指定し、表記 $T_{neu}$ は、入力シナプスイベントによってトリガされた後にスパイクを発生させるときにニューロンがイ

10

20

30

40

50

イベントを送信するのに要する時間を指定する。 $T_{neu}$ は、たとえば、神経シミュレータの時間ステップを表すものとしてよい。

【0075】

標準重み $w_e$ は、リセット状態からニューロンをトリガするためにVシナプスに適用されなければならない最小励起重みとして定義され、別の標準重み $w_i$ は、反対の効果を有する抑制重みとして定義され、次のとおりに書かれる。

$$w_e = V_t \quad (7)$$

$$w_i = -w_e \quad (8)$$

【0076】

デバイスによって処理される値は、イベントの間の時間間隔によって表される。一对のイベントの2つのイベントは、この対によって符号化される値 $x$ の関数である時間間隔  $t$  だけ隔てられ、次のとおりである。

$$t = f(x) \quad (9)$$

ただし、 $f$ はデバイス内のデータの表現に対して選択された符号化関数である。

【0077】

この値 $x$ を符号化する対の2つのイベントは、同じニューロン $n$ によって、または2つの異なるニューロンによって送出され得る。

【0078】

同じニューロン $n$ の場合、時間的に連続してイベント $e_n(i)$ 、 $i=0, 1, 2, \dots$ などを送出すると、このニューロン $n$ は、時間変化信号 $u(t)$ を符号化すると考えることができ、その離散値は、

【0079】

【数2】

$$u(e_n(i)) = f^{-1}(e_n(i+1) - e_n(i)), \forall i = 2, p, p \in \mathbb{N}, \quad (10)$$

【0080】

によって与えられ、

ここで、 $f^{-1}$ は選択された符号化関数の逆関数であり、 $i$ は偶数である。

【0081】

符号化関数

【0082】

【数3】

$$f: \mathbb{R} \rightarrow \mathbb{R}$$

【0083】

は、特定のシステムにおいて処理される信号を考慮しつつ選択され、必要な精度に適合され得る。関数 $f$ は、特定の値に関連付けられているスパイクの間隔を計算する関数である。本発明の説明の残り部分において、線形符号化関数を使用する処理デバイスの実施形態は

$$t = f(x) = T_{min} + x \cdot T_{cod} \quad (11)$$

$$x \in [0, 1]$$

で表される。

【0084】

関数のこの表現 $f: [0, 1] \rightarrow [T_{min}, T_{max}]$ は、 $T_{min}$ と $T_{max} = T_{min} + T_{cod}$ との間の時間間隔によって0と1の間の任意の値 $x$ を線形符号化することを可能にする。 $T_{min}$ の値は、ゼロであってよい。しかしながら、これが非ゼロであることは有利である。実際、値を表す2つのイベントが同じニューロンに由来するか、または同じニューロンによって受信された場合、

最小間隔 $T_{min}>0$ は、このニューロンにリセットまでの時間を与える。さらに、 $T_{min}>0$ の選択は、ニューロンの特定の配置構成が第2のイベントを受信する前に第1の入力イベントに  
 応答し、状態の変化を伝搬させることを可能にする。

【0085】

符号化関数 $f$ に対する形式(11)は、可能なただ1つのものではない。別の好適な選択は、  
 対数関数をとるもので、これはこの場合に大きい値に対して精度が低い、いくつかの用途  
 に適している力学で広範な値が符号化されることを可能にする。

【0086】

符号付き値を表すために、2つの異なる経路、各符号につき1つの経路が使用され得る。  
 そこで、正の値は、特定のニューロンを使用して符号化され、負の値は、別のニューロン  
 を使用して符号化される。任意に、ゼロは、正の値または負の値として表され得る。これ  
 以降、ゼロは正の値として表される。

10

【0087】

したがって、形式(11)の例を引き続き使用すると、値 $x$ が範囲 $[-1,+1]$ 内の値を有する場  
 合、これは $x=0$ の場合に正の値に関連付けられている経路上および $x<0$ の場合に負の値に  
 関連付けられている経路上で伝搬される2つのイベントの間の時間間隔  $t=T_{min}+|x| \cdot T_{cod}$   
 によって表される。

【0088】

符号化関数に対する(9)または(11)の選択で、 $g_e$ シナプスに対する2つの標準重みの定義  
 が生じる。重み $w_{acc}$ は、時間 $T_{max}=T_{min}+T_{cod}$ の後に、そのリセット状態から、ニューロン  
 をトリガするのに必要な $g_e$ の値であるものとして定義される、すなわち、(1)を考慮して

20

【0089】

【数4】

$$w_{acc} = V_t \cdot \frac{\tau_m}{T_{max}} \quad (12)$$

【0090】

となる。

【0091】

さらに、重み

30

【0092】

【数5】

$\bar{w}_{acc}$

【0093】

は、時間 $T_{cod}$ の後に、そのリセット状態から、ニューロンをトリガするのに必要な $g_e$ の値  
 であるものとして定義される、すなわち、

【0094】

【数6】

40

$$\bar{w}_{acc} = V_t \cdot \frac{\tau_m}{T_{cod}} \quad (13)$$

【0095】

となる。

【0096】

$g_e$ シナプスについては、別の標準重み $g_{mut}$ は

【0097】

【数7】

$$g_{mult} = V_t \cdot \frac{\tau_m}{\tau_f} \quad (14)$$

【0098】

として与えられるものとしてよい。

【0099】

デバイスのノードの間の接続は、それぞれの遅延パラメータに各々さらに関連付けられ得る。このパラメータは、接続上のイベントの放出に関して、接続のレシーバノードが状態の変化を引き起こす際の遅延を指示する。シナプスに関連付けられているこれらの遅延パラメータによる遅延値の指示は、処理デバイス内の動作の適切な順序付けを確実にすることを可能にする。

10

【0100】

式(1)~(6)に記述されているような挙動をするように、処理ノードおよび相互接続を実装するために、様々な技術、すなわち、人工ニューラルネットワークのよく知られている分野において通常使用されている技術が使用され得る。各ノードは、たとえば、電圧レベルを保持し、変化させるための抵抗および容量素子、ならびに電圧レベルが閾値 $V_t$ を超えたときにイベントを送出するためのトランジスタ素子を伴う、アナログ技術を使用して作製され得る。

【0101】

別の可能性として、たとえば、人工ニューロンを実装するための都合のよい手段を実現する、フィールドプログラマブルゲートアレイ(FPGA)に基づくデジタル技術を使用する方法もある。

20

【0102】

以下では、相互接続された処理ノードを使用して形成されるデータを処理するためのいくつかのデバイスまたは回路が提示されている。図1、図2、図4、図6、図8、図10、図11、図13、図15、図17、図18、図19、図20、図21、図23、図25、図27、図28、図29、図31、および図33において、

実線で図示されているノード間の接続は、Vシナプスである。

破線で図示されている接続は、 $g_e$ シナプスである。

一点鎖線で図示されている接続は、 $g_f$ シナプスである。

点線で図示されている接続は、gateシナプスである。

接続は、レシーバノードの横にあるシンボルで向き付けられる。このシンボルは、励起接続、すなわち、正の重みを有する接続に対しては開いた正方形、抑制接続、すなわち、負の重みを有する接続に対しては閉じた正方形である。

接続の隣りのパラメータの対( $w;T$ )は、重み $w$ および接続に関連付けられている遅延 $T$ を示す。ときには、重み $w$ だけが示される。

30

【0103】

これらの図面に示されているノードまたはニューロンのうちのいくつかは、回路内のその配置構成の結果、関数を呼び出すことを示すような名前を付けられ、入力ニューロンに対しては「input」、正の値の入力に対しては「input+」、負の値の入力に対しては「input-」、出力ニューロンに対しては「output」、正の値の出力に対しては「output+」、負の値の出力に対しては「output-」、値を復元するために使用されるニューロンに対しては「recall」、アキュムレータニューロンに対しては「acc」、値の結果の利用可能性を示すニューロンに対しては「ready」などとなる。

40

【0104】

図1は、定数値 $x$ の表現をオンデマンドで生成するために使用され得る非常に単純な回路10を示している。 $w_e$ 以上の重み(図示されている例では、重みは $w_e$ に等しくなるように取られる)を有する2つのVシナプス11、12は、各々、エミッタノードとしてrecallニューロン15を、レシーバノードとしてoutputニューロン16を有する。シナプス11は、遅延パラメ

50

ータ $T_{syn}$ を使用するように構成されるが、シナプス12は、遅延パラメータ $T_{syn}+f(x)$ を使用するように構成される。

【0105】

recallニューロン15のアクティベーションは、時刻 $T_{syn}$ および $T_{syn}+f(x)$ でoutputニューロン16をトリガし、そこで、回路10は、定数 $x$ を表す値 $f(x)$ によって時間に関して隔てられている2つのイベントを送出する。

【0106】

A. メモリ

A.1. 反転メモリ

図2は、反転メモリを形成する処理回路18を示している。

10

【0107】

このデバイス18は、accニューロン30における動的範囲 $g_e$ にわたる電流の積分を使用し、区間  $t_{in}=f(x)$ とともにinputニューロン21で与えられた一対の入カスパイクによって符号化されたアナログ値 $x$ を記憶する。値 $x$ は、accニューロン30の膜電位に記憶され、recallニューロン31のアクティベーション時に読み出され、それにより、outputニューロン33における値 $1-x$ に対応する時間間隔  $t_{out}$ 、すなわち、 $t_{out}=f(1-x)$ だけ隔てられた一対のイベントが送される。

【0108】

inputニューロン21は、accニューロン30に向けられる $g_e$ シナプス26、27上で $f(x)-T_{min}=x \cdot T_{cod}$ だけ隔てられている2つのイベントを発生させるために使用されるノード20のグループに属す。このグループは、「first」ニューロン23および「last」ニューロン25を備える。遅延 $T_{syn}$ を有する2つの励起Vシナプス22、24は、inputニューロン21からfirstニューロン23およびlastニューロン25にそれぞれ進む。Vシナプス22は重み $w_e$ を有し、Vシナプス24は $w_e/2$ に等しい重みを有する。firstニューロン23は、重み $w_i$ および遅延 $T_{syn}$ を有するVシナプス28を介して自己抑制する。

20

【0109】

励起 $g_e$ シナプス26は、firstニューロン23からaccニューロン30へ進み、重み $w_{acc}$ および $T_{syn}+T_{min}$ の遅延を有する。抑制 $g_e$ シナプス27は、lastニューロン25からaccニューロン30へ進み、重み $-w_{acc}$ および遅延 $T_{syn}$ を有する。励起Vシナプス32は、recallニューロン31からoutputニューロン33へ進み、重み $w_e$ および $2T_{syn}+T_{neu}$ の遅延を有する。励起Vシナプス34は、recallニューロン31からaccニューロン30へ進み、重み $w_{acc}$ および遅延 $T_{syn}$ を有する。最後に、励起Vシナプス35は、accニューロン30からoutputニューロン33へ進み、重み $w_e$ および遅延 $T_{syn}$ を有する。

30

【0110】

反転メモリデバイス18の動作は、図3に例示されている。

【0111】

inputニューロン21で時刻

【0112】

【数8】

40

$t_{in}^1$

【0113】

に第1のイベント(スパイク)を放出すると、時刻 $T_{syn}+T_{neu}$ の後に、すなわち、図3において時刻

【0114】

【数9】

$t_{first}^1$

50

【 0 1 1 5 】

にfirstニューロン23の出力でイベントがトリガされ、lastニューロン25の電位値が $V_t/2$ に上げられる。次いで、firstニューロン23は、値 $-V_t$ をその膜電位に与えることによってシナプス28を介して自己抑制し、 $g_e$ シナプス26を介して、 $T_{syn}+T_{min}$ の後に、すなわち、時刻

【 0 1 1 6 】

【数 1 0】

$$t_{st}^1$$

10

【 0 1 1 7 】

にaccニューロン30により累算を開始する。

【 0 1 1 8 】

inputニューロン21で時刻

【 0 1 1 9 】

【数 1 1】

$$t_{in}^2 = t_{in}^1 + T_{min} + x \cdot T_{cod}$$

【 0 1 2 0 】

20

に第2のスパイクを放出すると、lastニューロン25は閾値電位 $V_t$ に達する。次いで、抑制 $g_i$ シナプス27上で時刻

【 0 1 2 1 】

【数 1 2】

$$t_{last}^1 = t_{in}^2 + T_{syn} + T_{new}$$

【 0 1 2 2 】

にイベントが生成される。第2のスパイクは、シナプス22を介してfirstニューロン23の電位をゼロにリセットすることトリガする。第2のスパイクに回答して $g_e$ シナプス27によってトランスポートされるイベントは、時刻

30

【 0 1 2 3 】

【数 1 3】

$$t_{end}^1 = t_{st}^1 + x \cdot T_{cod}$$

【 0 1 2 4 】

にaccニューロン30によって実行された累算を停止する。

【 0 1 2 5 】

この段階で、電位値

40

【 0 1 2 6 】

【数 1 4】

$$V_t \cdot x \cdot \frac{T_{cod}}{T_{max}}$$

【 0 1 2 7 】

は、値 $x$ を覚えておくためaccニューロン30に記憶される。次いで、その補数 $1-x$ が、recallニューロン31をアクティベートすることによって読み出されるものとしてよく、これは図3では時刻

50

【 0 1 2 8 】

【 数 1 5 】

$$t_{recall}^1$$

【 0 1 2 9 】

に行われる。このアクティベーションは、時刻

【 0 1 3 0 】

【 数 1 6 】

$$t_{st}^2 = t_{recall}^1 + T_{syn}$$

10

【 0 1 3 1 】

にaccニューロン30における累算のプロセスを再開し、outputニューロン33上で時刻

【 0 1 3 2 】

【 数 1 7 】

$$t_{out}^1 = t_{recall}^1 + 2T_{syn} + 2T_{neu}$$

【 0 1 3 3 】

にイベントをトリガする。累算は、電位値が閾値 $V_t$ に達する時刻

【 0 1 3 4 】

【 数 1 8 】

20

$$t_{end}^2$$

【 0 1 3 5 】

までaccニューロン30内で継続する、すなわち、

【 0 1 3 6 】

【 数 1 9 】

$$t_{end}^2 = t_{st}^2 + T_{max} - x \cdot T_{cod}$$

30

【 0 1 3 7 】

である。イベントは、時刻

【 0 1 3 8 】

【 数 2 0 】

$$t_{end}^2 + T_{neu}$$

40

【 0 1 3 9 】

にVシナプス35上で放出され、時刻

【 0 1 4 0 】

【 数 2 1 】

$$t_{out}^2 = t_{end}^2 + T_{syn} + 2T_{neu} = t_{recall}^1 + 2T_{syn} + 2T_{neu} + T_{min} + (1-x) \cdot T_{cod}$$

【 0 1 4 1 】

にoutputニューロン33上で別のイベントをトリガする。

【 0 1 4 2 】

50

最後に、outputニューロン33によって送出される2つのイベントは、時間間隔

【 0 1 4 3 】

【 数 2 2 】

$$\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} + (1-x) \cdot T_{cod} = f(1-x)$$

【 0 1 4 4 】

で隔てられる。

【 0 1 4 5 】

値xは、2つの入力スパイクを受信した後にaccニューロン30に記憶され、recallニューロン31をアクティベートすることによって読み出しに即座に利用可能であることに留意されたい。

10

【 0 1 4 6 】

標準重み $w_e$ は、リセット状態からニューロンをトリガするためにVシナプスに適用されなければならない最小励起重みとして定義されたので、図2の処理回路18は、次のようにしていくつかの重みが選択される場合に同様の機能を示すことに留意されたい。Vシナプス22は、 $w_e$ 以上の重み $w$ を有し、Vシナプス24は、少なくとも $w_e/2$ に等しく、 $V_t$ よりも小さい重みを有し、firstニューロン23は、重み $-w$ を有するrecall Vシナプス28を介して自己抑制し、励起Vシナプス32は、 $w_e$ 以上の重みを有し、励起Vシナプス35は、 $w_e$ 以上の重みを有する、この観察結果は、次の処理回路に及ぶ。

20

【 0 1 4 7 】

#### A.2. メモリ

図4は、メモリを形成する処理回路40を示している。

【 0 1 4 8 】

このデバイス40は、一对のイベントが時間間隔  $t_{out}=f(x)$  で隔てられている、非反転出力を形成するために、2つのカスケードaccニューロン42、44における動的範囲 $g_e$ 上の電流の積分を使用して、区間  $t_{in}=f(x)$  とともにinputニューロン21で与えられた一对の入力スパイクによって符号化されたアナログ値 $x$ を覚えておく。

【 0 1 4 9 】

メモリ回路40は、記憶されるべき値を受信するためのinputニューロン21、recallニューロン48によって形成される読み出しコマンド入力、recallニューロン48に読み出しコマンドを提示できる時刻を指示するreadyニューロン47、および記憶されている値を返すためのoutputニューロン50を有する。このメモリ回路のすべてのシナプスは、遅延 $T_{syn}$ を有する。

30

【 0 1 5 0 】

inputニューロン21は、図2を参照しつつ説明されているものに類似するノード20のグループに属しており、firstニューロン23およびlastニューロン25はinputニューロン21によって $f(x)=T_{min}+x \cdot T_{cod}$ の間隔で生成される2つのイベントを隔てる。

【 0 1 5 1 】

$g_e$ シナプス41は、firstニューロン23から第1のaccニューロン42へ進み、重み $w_{acc}$ を有する。そこで、accニューロン42は時刻

40

【 0 1 5 2 】

【 数 2 3 】

$$t_{st}^1 = t_{in}^1 + 2 \cdot T_{syn} + T_{reset}$$

【 0 1 5 3 】

に累算を開始する(図5)。 $g_e$ シナプス43は、lastニューロン25から第2のaccニューロン44へ進み、重み $w_{acc}$ を有する。そこで、accニューロン44は時刻

【 0 1 5 4 】

50

【数 2 4】

$$t_{st1}^1 = t_{in}^2 + 2 \cdot T_{syn} + T_{neu}$$

【0 1 5 5】

に累算を開始する。accニューロン42の出力で、重み $w_{acc}$ を有する別の $g_e$ シナプス45は、accニューロン44に進み、重み $w_e$ を有するVシナプス46は、readyニューロン47に進む。

【0 1 5 6】

accニューロン42における累算は、accニューロン42の電位が閾値 $V_t$ に達する時刻

【0 1 5 7】

【数 2 5】

$$t_{end}^1 = t_{st}^1 + T_{max}$$

【0 1 5 8】

まで継続し、 $g_e$ シナプス45上で時刻

【0 1 5 9】

【数 2 6】

$$t_{acc}^1 = t_{end}^1 + T_{neu}$$

【0 1 6 0】

にスパイクの放出をトリガする(図5)。このスパイクは、時刻

【0 1 6 1】

【数 2 7】

$$t_{end2}^1 = t_{acc}^1 + T_{syn} = t_{in}^1 + 3 \cdot T_{syn} + 2 \cdot T_{neu} + T_{max}$$

【0 1 6 2】

にaccニューロン44における累算を停止する。accニューロン42のトリガは、また、時刻

【0 1 6 3】

【数 2 8】

$$t_{ready}^1 = t_{acc}^1 + T_{syn} + T_{neu}$$

【0 1 6 4】

にreadyニューロン47上でイベントをトリガする。

【0 1 6 5】

この段階で、accニューロン44に記憶されている電位値は

【0 1 6 6】

【数 2 9】

$$\frac{V_t}{T_{max}} \cdot (t_{end2}^1 - t_{st2}^1) = V_t \cdot \left( 1 - \frac{f(x) - T_{syn} - T_{neu}}{T_{max}} \right)$$

【0 1 6 7】

であり、これにより値 $x$ を覚えておくことができる。読み出しは、recallニューロン48をアクティベートすることによって行われるものとしてよく、これは図5では時刻

【0 1 6 8】

10

20

30

40

【数30】

$$t_{recall}^1$$

【0169】

に行われる。

【0170】

recallニューロン48のアクティベーションは、Vシナプス49を介してoutputニューロン50上で時刻

【0171】

10

【数31】

$$t_{out}^1 = t_{recall}^1 + T_{syn} + T_{neu}$$

【0172】

にイベントをトリガし、時刻

【0173】

【数32】

20

$$t_{st2}^2 = t_{recall}^1 + T_{syn}$$

【0174】

に $g_0$ シナプス51を介してaccニューロン44における累算のプロセスを再開する。累算は、電位値が閾値 $V_t$ に達する時刻

【0175】

【数33】

$$t_{end2}^2$$

30

【0176】

までaccニューロン44内で継続する、すなわち、

【0177】

【数34】

$$t_{end2}^2 = t_{st2}^2 + f(x) - T_{syn} - T_{neu}$$

40

【0178】

である。イベントは、時刻

【0179】

【数35】

$$t_{acc2}^1 = t_{end2}^2 + T_{neu}$$

【0180】

にVシナプス52上で放出され、時刻

50

【 0 1 8 1 】

【 数 3 6 】

$$t_{out}^2 = t_{acc2}^1 + T_{syn} + T_{neu} = t_{recall}^1 + T_{syn} + T_{neu} + f(x)$$

【 0 1 8 2 】

にoutputニューロン50上で別のイベントをトリガする。

【 0 1 8 3 】

最後に、outputニューロン50によって送出される2つのイベントは、時間間隔

10

【 0 1 8 4 】

【 数 3 7 】

$$\Delta T_{out} = t_{out}^2 - t_{out}^1 = f(x)$$

【 0 1 8 5 】

で隔てられる。

【 0 1 8 6 】

図4のaccニューロン42は、いくつかのシナプス上で $T_{syn} + T_{max}$ の遅延を構成することによって排除することも可能でことに留意されたい。これは、ニューロンの数を減らすことについて興味深いものであり得るが、隣接するニューロンの間の遅延が延長することで特定の集積回路(ASIC)を使用するインストレーションにおいて問題を引き起こす可能性がある。

20

【 0 1 8 7 】

また、メモリ回路40は、上記の形式(11)に制限されることなく、 $T_{min}$ と $T_{max}$ との間の時間間隔により値xの符号化に対して機能することに留意されたい。

【 0 1 8 8 】

## A.3. 符号付きメモリ

図6は、-1と+1との間の、符号付き値に対するメモリを形成する処理回路60を示している。その絶対値は、 $x \geq 0$ の場合に、input+ニューロン61によって与えられ、次いでoutput+ニューロン81によって返され、 $x < 0$ の場合に、input-ニューロン62によって与えられ、output-ニューロン82によって返される2つのイベントの間隔  $t_{in} = f(|x|)$ によって符号化される。このメモリ回路のすべてのシナプスは、遅延 $T_{syn}$ を有する。

30

【 0 1 8 9 】

符号付きメモリ回路60は、図4A～図4Bに示されているタイプのメモリ回路40に基づく。input+ニューロン61およびinput-ニューロン62は、それぞれ、重み $w_0$ を有する励起Vシナプス63、64によって回路40のinputニューロン21に接続される。したがって、 $|x|$ を表す2つのスパイクを受信するニューロン61、62のうち的一方は、回路40のinputニューロン21を2回アクティベートし、それにより、時間間隔 $f(|x|)$ が回路40のoutputニューロン50上で返される。

40

【 0 1 9 0 】

さらに、ニューロン61、62は、それぞれ、 $w_0/4$ の重みを有する励起Vシナプス67、68によってready+ニューロン65およびready-ニューロン66に接続される。符号付きメモリ回路は、重み $w_0/2$ を有するそれぞれの励起Vシナプス71、72によってready+ニューロン65およびready-ニューロン66に接続されたrecallニューロン70を有する。ready+ニューロン65およびready-ニューロン66の各々は、重み $w_0$ を有するそれぞれの励起Vシナプス73、74によって回路40のrecallニューロン48に接続される。 $w_i/2$ の重みを有する抑制Vシナプス75は、ready+ニューロン65からready-ニューロン66に進み、逆に、 $w_i/2$ の重みを有する抑制Vシナプス76は、ready-ニューロン66からready+ニューロン65に進む。ready+ニューロン65は、

50

$2w_i$ の重みを有する抑制Vシナプス77によって符号付きメモリ回路のoutput-ニューロン82に接続される。ready-ニューロン66は、 $2w_i$ の重みを有する抑制Vシナプス78によって符号付きメモリ回路のoutput+ニューロン81に接続される。

【0191】

回路40のoutputニューロン50は、重み $w_e$ を有するそれぞれの励起Vシナプス79、80によってoutput+ニューロン81およびoutput-ニューロン82に接続されている。

【0192】

符号付きメモリ回路60の出力は、メモリ回路40のreadyニューロン47から来る重み $w_e$ を有する励起Vシナプス85のレシーバノードであるreadyニューロン84を備える。

【0193】

図7は、(a)正の入力の場合および(b)負の入力の場合の符号付きメモリ回路60のニューロンの挙動を示している。

【0194】

ニューロン61、62のうち的一方における時刻

【0195】

【数38】

$$t_{in}^1$$

【0196】

および

【0197】

【数39】

$$t_{in}^2 = t_{in}^1 + f(x)$$

【0198】

での2つのイベントの出現は、ready+ニューロン65またはready-ニューロン66の電位を2ステップで値 $V_t/2$ に上げる。並行して、上で説明されているように、メモリ回路40のaccニューロン44は、値

【0199】

【数40】

$$V_t \cdot \left( 1 - \frac{f(|x|) - T_{syn} - T_{neu}}{T_{max}} \right)$$

【0200】

に帯電され、そのreadyニューロン47は、時刻

【0201】

【数41】

$$t_{ready}^1$$

【0202】

にイベントを生成する。

【0203】

10

20

30

40

50

readyニューロン47がイベントを生成した後、readyニューロン70は、符号付きデータを読み取るようにアクティベートされてよく、これは図7では時刻

【 0 2 0 4 】  
【 数 4 2 】

$$t_{recall}^1$$

【 0 2 0 5 】

において行われる。

10

【 0 2 0 6 】

recallニューロン70のアクティベーションは、Vシナプス70または71を介してready+ニューロン65またはready-ニューロン66をトリガし、このトリガは、Vシナプス75または76を介して他のready-ニューロン65またはready+ニューロン66をゼロにリセットする。ready+ニューロン65またはready-ニューロン66によって送出されるイベントは、電位を $-2V_1$ にすることによってVシナプス77または78を介してoutput-ニューロン82またはoutput+ニューロン81を抑制する。

【 0 2 0 7 】

時刻

【 0 2 0 8 】

20

【 数 4 3 】

$$t_{sign}^1$$

【 0 2 0 9 】

にready+ニューロン65またはready-ニューロン66によって送出されるイベントは、Vシナプス73または74を介して提供される。これは、回路40のoutputニューロン50によって $f(|x|)$ に等しい時間間隔によって隔てられた一対のスパイクの放出をトリガする。Vシナプス79、80を介してoutput+ニューロン81およびoutput-ニューロン82に伝達されるこの一対のスパイクは、時刻

30

【 0 2 1 0 】

【 数 4 4 】

$$t_{out}^1$$

【 0 2 1 1 】

および

【 0 2 1 2 】

40

【 数 4 5 】

$$t_{out}^2 = t_{out}^1 + f(|x|)$$

【 0 2 1 3 】

に、入力されたデータ $x$ の符号に対応するoutput+ニューロン81およびoutput-ニューロン82のうち的一方を2回トリガし、他方のニューロン81、82の電位値をゼロにリセットする。

【 0 2 1 4 】

図6に示されている符号付きメモリ回路60は、次のことが可能であるので、ニューロン

50

の数に関して最適化されないことに留意されたい。

メモリ回路40のinputニューロン21を排除することを、Vシナプス63および64を図4に示されている回路40のfirstニューロン23に直接送信することによって(Vシナプス22の代わりに)、および $w_e/2$ の重みを有する励起Vシナプスをinput+ニューロン61およびinput-ニューロン62からlastニューロン25に加えることによって(Vシナプス24の代わりに)行う。

メモリ回路40のoutputニューロン50を排除することを、 $g_e$ シナプス52を直接、output+ニューロン81およびoutput-ニューロン82に送信することによって(Vシナプス79、80の代わりに)行う。

メモリ回路40のrecallニューロン48を排除することを、Vシナプス73および74をoutput+ニューロン81およびoutput-ニューロン82に直接送信することによって(Vシナプス49の代わりに)、および重み $w_{acc}$ を有する励起 $g_e$ シナプスをready+ニューロン65およびready-ニューロン66から回路40のaccニューロン44に加えることによって( $g_e$ シナプス51の代わりに)、行う。

【0215】

#### A.4. シンクロナイザ

図8は、個数Nの入力上で受信された信号を同期させるために使用される処理回路90を示している(N=2)。この同期回路のすべてのシナプスは、遅延 $T_{syn}$ を有する。

【0216】

各信号は、 $k=0, 1, \dots, N-1$ について値 $x_k$ を符号化し、時刻

【0217】

【数46】

$$t_{ink}^1$$

【0218】

および

【0219】

【数47】

$$t_{ink}^2 = t_{ink}^1 + \Delta t_k$$

【0220】

に生じる一対のスパイクの形態をとり、 $t_k = f(x_k) [T_{min}, T_{max}]$ である。これらの信号は、同期化方式で回路90の出力のところに返される、すなわち、N=2の場合について図9に示されているように、値 $x_k$ を符号化する各信号は時刻

【0221】

【数48】

$$t_{outk}^1$$

【0222】

および

【0223】

【数49】

$$t_{outk}^2 = t_{outk}^1 + \Delta t_k$$

【0224】

10

20

30

40

50

に生じる、

【 0 2 2 5 】

【 数 5 0 】

$$t_{out0}^1 = t_{out1}^1 = \dots = t_{outN-1}^1$$

【 0 2 2 6 】

である、一対のスパイクの形態をとって出力のところに現れる。

【 0 2 2 7 】

図8に示されている回路90は、N個のニューロン入力 $91_0, \dots, 91_{N-1}$ 、およびN個のニューロン出力 $92_0, \dots, 92_{N-1}$ を備える。各inputニューロン $91_k$ は、重み $w_e$ を有するVシナプス $93_k$ のエミッタノードであり、そのレシーバノードは、それぞれのメモリ回路 $40_k$ のinputニューロン $21_k$ である。各メモリ回路 $40_k$ のoutputニューロン $50_k$ は、重み $w_e$ を有するVシナプス $94_k$ のエミッタノードであり、そのレシーバノードは、同期回路90のoutputニューロン $92_k$ である。

【 0 2 2 8 】

同期回路90は、 $w_e/N$ の重みを有するN個の励起Vシナプス $96_0, \dots, 96_{N-1}$ のレシーバノードであるsyncニューロン95を備え、そのエミッタノードは、それぞれ、メモリ回路 $40_0, \dots, 40_{N-1}$ のreadyニューロン $47_0, \dots, 47_{N-1}$ である。回路90は、重み $w_e$ を有する励起Vシナプス $97_0, \dots, 97_{N-1}$ 、エミッタノードとしてのsyncニューロン95、およびそれぞれ、レシーバノードとしてのメモリ回路 $40_0, \dots, 40_{N-1}$ のrecallニューロン $48_0, \dots, 48_{N-1}$ も備える。

【 0 2 2 9 】

syncニューロン95は、N個の入力信号がメモリ回路 $40_0, \dots, 40_{N-1}$ 内にロードされるときに、すなわち、図9の時刻

【 0 2 3 0 】

【 数 5 1 】

$$t_{rdy0}^1$$

【 0 2 3 1 】

、

【 0 2 3 2 】

【 数 5 2 】

$$t_{rdy1}^1$$

【 0 2 3 3 】

にreadyニューロン $47_0, \dots, 47_{N-1}$ によって生成されるイベントを受信する。これらのN個のイベントの最後が受信されたときに、syncニューロン95は、イベントを $T_{syn}$ だけ後に、すなわち、図9の時刻

【 0 2 3 4 】

【 数 5 3 】

$$t_{sync}^1$$

【 0 2 3 5 】

に送出する。これは、メモリ回路 $40_0, \dots, 40_{N-1}$ のシナプス $97_0, \dots, 97_{N-1}$ およびシナプス49を介して、各outputニューロン $92_0, \dots, 92_{N-1}$ 上で第1の同期スパイク(

10

20

30

40

50

【 0 2 3 6 】

【数 5 4 】

$$t_{out0}^1 = \dots = t_{outN-1}^1$$

【 0 2 3 7 】

)の放出をトリガする。次いで、各メモリ回路 $40_k$ は、時刻

【 0 2 3 8 】

【数 5 5 】

10

$$t_{outk}^2$$

【 0 2 3 9 】

にその第2のそれぞれのスパイクを生成する。

【 0 2 4 0 】

図8を参照して同期回路を提示することで、説明がわかりやすくなっているが、いくつかのニューロンを排除することによって複数の簡素化が可能であることに留意されたい。たとえば、inputニューロン $91_0, \dots, 91_{N-1}$ およびoutputニューロン $92_0, \dots, 92_{N-1}$ は、オプションであるが、それは、入力はメモリ回路 $40_0, \dots, 40_{N-1}$ のinputニューロン $21_0, \dots, 21_{N-1}$ によって直接与えられ、出力はメモリ回路 $40_0, \dots, 40_{N-1}$ のoutputニューロン $50_0, \dots, 50_{N-1}$ によって直接与えられ得るからである。メモリ回路 $40_0, \dots, 40_{N-1}$ のVシナプス46は、readyニューロン $47_0, \dots, 47_{N-1}$ を通過することなく、syncニューロン95に直接進むことができる。シナプス $97_0, \dots, 97_{N-1}$ は、メモリ回路のoutputニューロン $50_0, \dots, 50_{N-1}$ に直接供給されるものとしてよく(したがって、そのシナプス49を置き換える)、syncニューロン95は、accニューロン44における累算の再開を制御するためにメモリ回路 $40_0, \dots, 40_{N-1}$ の $g_e$ シナプス51のエミッタノードも形成する(図4および図5)。

20

【 0 2 4 1 】

単一のイベントのみを、時刻

【 0 2 4 2 】

【数 5 6 】

30

$$t_{out}^1 = t_{out0}^1 = t_{out1}^1 = \dots = t_{outN-1}^1$$

【 0 2 4 3 】

に、同期出力信号を形成するすべての対の第1のイベントとして出力することも可能である。したがって、syncニューロン95は、回路の特定の出力(outputニューロン $92_0, \dots, 92_{N-1}$ のうちの一つまたは特定のニューロンであってよい)上で第1のスパイクの放出を直接制御し、次いで、 $g_e$ シナプスを介してメモリ回路 $40_0, \dots, 40_{N-1}$ のaccニューロン44を再アクティベートすることによって各対の第2のスパイクの放出を直接制御する。言い替えば、syncニューロン95は、様々なメモリ回路のrecallニューロン48として働く。

40

【 0 2 4 4 】

そのようなシンクロナイザ回路98は、図10により $N=2$ の場合について例示されており、ここでもまた、すべてのシナプスは遅延 $T_{syn}$ を有する。syncニューロン95は、2つのメモリ回路のaccニューロン42から直接来る $w_e/2$ の重みを有する2つのVシナプス46によって励起され、これは、accニューロン44における累算を再開するための $g_e$ シナプス51のエミッタノードである。この例では、「output ref」と表記されている特定のニューロン99は、

50

Vシナプス97を介してsyncニューロン95から受信された励起にตอบสนองして、時刻

【 0 2 4 5 】

【 数 5 7 】

$$t_{out}^1 = t_{sync}^1 + T_{syn}$$

【 0 2 4 6 】

に2つの出力対の各々の第1のイベントを送出する。このoutput refニューロン99の役割は、代替的に、2つのoutputニューロン92<sub>0</sub>、92<sub>1</sub>のうち的一方によって果たされ得る。

10

【 0 2 4 7 】

図10の例では、回路98の出力値の値を符号化した2つのイベントは、2つの異なるニューロン(たとえば、値x<sub>1</sub>に対してニューロン99および92<sub>1</sub>)によって生成されることに留意されたい。

【 0 2 4 8 】

より一般的には、本発明の文脈において、値を表す1つの対の2つのイベントが単一のノードに由来する(出力値の場合に)か、または単一のノードによって受信される(入力値の場合に)必要はない。

【 0 2 4 9 】

## B. 論理演算

20

### B.1. 最小値

図11は、2つの入力ノード101、102上で同期方式で受信された2つの値の間の最小値を計算し、この最小値を出力ノード103上で送出的る処理回路100を示している。

【 0 2 5 0 】

inputニューロン101、102およびoutputニューロン103に加えて、この回路100は、2つの「smaller」ニューロン104、105を備える。励起Vシナプス106は、w<sub>e</sub>/2の重みを有し、inputニューロン101からsmallerニューロン104に進む。励起Vシナプス107は、w<sub>e</sub>/2の重みを有し、inputニューロン102からsmallerニューロン105に進む。励起Vシナプス108は、w<sub>e</sub>/2の重みを有し、inputニューロン101からoutputニューロン103に進む。励起Vシナプス109は、w<sub>e</sub>/2の重みを有し、inputニューロン102からoutputニューロン103に進む。励起Vシナプス110は、w<sub>e</sub>/2の重みを有し、smallerニューロン104からoutputニューロン103に進む。励起Vシナプス111は、w<sub>e</sub>/2の重みを有し、smallerニューロン105からoutputニューロン103に進む。抑制Vシナプス112は、w<sub>i</sub>/2の重みを有し、smallerニューロン104からsmallerニューロン105に進む。抑制Vシナプス113は、w<sub>i</sub>/2の重みを有し、smallerニューロン105からsmallerニューロン104に進む。抑制Vシナプス114は、重みw<sub>i</sub>を有し、smallerニューロン104からinputニューロン102に進む。抑制Vシナプス115は、重みw<sub>i</sub>を有し、smallerニューロン105からinputニューロン101に進む。図11に示されているすべてのシナプス106~115は、遅延が2・T<sub>syn</sub>+T<sub>neu</sub>であるシナプス108、109を除き、遅延T<sub>syn</sub>に関連付けられている。

30

【 0 2 5 1 】

時刻

40

【 0 2 5 2 】

【 数 5 8 】

$$t_{in1}^1 = t_{in2}^1$$

【 0 2 5 3 】

の各inputニューロン101、102上での第1のスパイクの放出は(図12)、smallerニューロン104、105の各々を時刻

50

【 0 2 5 4 】

【 数 5 9 】

$$t_{in1}^1 + T_{syn}$$

【 0 2 5 5 】

に電位値 $V_t/2$ に設定し、時刻

【 0 2 5 6 】

【 数 6 0 】

10

$$t_{out}^1 = t_{in1}^1 + 2 \cdot T_{syn} + 2 \cdot T_{neu}$$

【 0 2 5 7 】

にoutputニューロン103上で第1のイベントをトリガする。図12の例における時刻

【 0 2 5 8 】

【 数 6 1 】

20

$$t_{in1}^2 = t_{in1}^1 + \Delta t_1$$

【 0 2 5 9 】

の最小値を有するinputニューロン、すなわち、ニューロン101上での第2のスパイクの放出は、smallerニューロンのうちの1つ、すなわち、この例におけるニューロン104を閾値電圧 $V_t$ に設定し、それにより、このニューロン104の出力のところで時刻

【 0 2 6 0 】

【 数 6 2 】

30

$$t_{smaller1}^2 = t_{in1}^2 + T_{syn} + T_{neu}$$

【 0 2 6 1 】

にイベントが引き起こされる。したがって、シナプス114は、他のinputニューロン102を抑制し、時刻

【 0 2 6 2 】

【 数 6 3 】

$$t_{in2}^2 = t_{in2}^1 + \Delta t_2$$

40

【 0 2 6 3 】

に第2のスパイクを発生せず、シナプス112は、他のsmallerニューロン105を抑制し、その電位はゼロにリセットされる。smallerニューロン104のトリガは、時刻

【 0 2 6 4 】

【 数 6 4 】

$$t_{out1}^2 = t_{smaller1}^2 + T_{syn} + T_{neu} = t_{in1}^2 + 2 \cdot T_{syn} + 2 \cdot T_{neu}$$

50

【 0 2 6 5 】

にoutputニューロン103の第2のトリガをさらに引き起こす。

【 0 2 6 6 】

最後に、outputニューロン103は、それが送出するイベントの間で、inputニューロン101、102によって生成される2つの対のイベントの間の最小時間間隔

【 0 2 6 7 】

【数 6 5 】

$$t_{out}^2 - t_{out}^1 = t_{in1}^2 - t_{in1}^1 = \Delta t_1$$

10

【 0 2 6 8 】

を再現する。この最小値は、入力においてそれを表す対の第2のイベントの受信後に回路100の出力のところで利用可能である。

【 0 2 6 9 】

図11の最小値を計算するための回路100は、 $t=f(x)$ となるように関数fが増加関数であるときに機能する。

【 0 2 7 0 】

## B.2. 最大値

図13は、2つの入力ノード121、122上で同期方式で受信された2つの値の間の最大値を計算し、この最大値を出力ノード123上で送出する処理回路120を示している。

20

【 0 2 7 1 】

inputニューロン121、122およびoutputニューロン123に加えて、この回路120は、2つの「larger」ニューロン124、125を備える。励起Vシナプス126は、 $w_e/2$ の重みを有し、inputニューロン121からlargerニューロン124に進む。励起Vシナプス127は、 $w_e/2$ の重みを有し、inputニューロン122からlargerニューロン125に進む。励起Vシナプス128は、 $w_e/2$ の重みを有し、inputニューロン121からoutputニューロン123に進む。励起Vシナプス129は、 $w_e/2$ の重みを有し、inputニューロン122からoutputニューロン123に進む。抑制Vシナプス132は、重み $w_i$ を有し、largerニューロン124からlargerニューロン125に進む。抑制Vシナプス133は、重み $w_i$ を有し、largerニューロン125からlargerニューロン124に進む。図13に示されているすべてのシナプスは、遅延 $T_{syn}$ に関連付けられる。

30

【 0 2 7 2 】

inputニューロン121、122によって同期方式(

【 0 2 7 3 】

【数 6 6 】

$$t_{in1}^1 = t_{in2}^1$$

【 0 2 7 4 】

)で放出される第1のスパイクは、時刻

40

【 0 2 7 5 】

【数 6 7 】

$$t_{in1}^1 + T_{syn}$$

【 0 2 7 6 】

にlargerニューロン124、125を電位値 $V_t/2$ に設定し、時刻

【 0 2 7 7 】

50

【数68】

$$t_{out}^1 = t_{in1}^1 + T_{syn} + T_{neu}$$

【0278】

(図14)でoutputニューロン123上で第1のイベントをトリガする。図14の例における時刻

【0279】

【数69】

$$t_{in1}^2 = t_{in1}^1 + \Delta t_1$$

10

【0280】

の最小値を有するinputニューロン、すなわち、ニューロン121上での第2のスパイクの放出は、largerニューロンのうちの1つ、すなわち、この例におけるニューロン124を閾値電圧 $V_i$ に設定し、それにより、このニューロン124の出力のところで時刻

【0281】

【数70】

$$t_{larger2}^1 = t_{in1}^2 + T_{syn} + T_{neu}$$

20

【0282】

にイベントがトリガされる。したがって、シナプス132は、他のlargerニューロン125を抑制し、その電位は値 $-V_i/2$ に設定される。第2のスパイクが時刻

【0283】

【数71】

$$t_{in2}^2 = t_{in2}^1 + \Delta t_2$$

30

【0284】

に他のinputニューロン122によって放出されたときに( $t_2 > t_1$ の場合)、largerニューロン125の電位は、シナプス127を介してゼロにリセットされ、outputニューロン123は、時刻

【0285】

【数72】

$$t_{out}^2 = t_{in2}^2 + T_{syn} + T_{neu}$$

40

【0286】

にシナプス129を介してトリガされる。

【0287】

最後に、outputニューロン123は、それが送出するイベントの間で、inputニューロン121、122によって生成される2つの対のイベントの間の最大時間間隔

【0288】

【数73】

$$t_{out}^2 - t_{out}^1 = t_{in2}^2 - t_{in2}^1 = \Delta t_2$$

【0289】

を再現する。この最大値は、入力においてそれを表す対の第2のイベントの受信後に回路120の出力のところで利用可能である。

【0290】

図13の最大値を計算するための回路120は、 $t=f(x)$ となるような関数fが増加関数であるときに機能する。

10

【0291】

C.線形演算

C.1.減算

図15は、2つの入力ノード141、142上で同期方式で受信された2つの値 $x_1$ 、 $x_2$ の間の差を計算し、結果 $x_1-x_2$ を正の場合に出力ノード143上で、負の場合に別の出力ノード144上で送出する減算回路140を示している。形式(11)の場合と同様に、 $t_1=f(x_1)$ および $t_2=f(x_2)$ となるような関数fが線形関数であることがここで仮定される。

【0292】

inputニューロン141、142およびoutput+ニューロン143およびoutput-ニューロン144に加えて、減算回路140は、2つのsyncニューロン145、146および2つの「inb」ニューロン147、148を備える。励起Vシナプス150は、 $w_e/2$ の重みを有し、inputニューロン141からsyncニューロン145に進む。励起Vシナプス151は、 $w_e/2$ の重みを有し、inputニューロン142からsyncニューロン146に進む。各々 $w_e$ の重みを有する3つの励起Vシナプス152、153、154は、syncニューロン145からoutput+ニューロン143、output-ニューロン144、およびinbニューロン147にそれぞれ進む。各々重み $w_e$ を有する3つの励起Vシナプス155、156、157は、syncニューロン146からoutput-ニューロン144、output+ニューロン143、およびinbニューロン148にそれぞれ進む。抑制Vシナプス158は、重み $w_i$ を有し、syncニューロン145からinbニューロン148に進む。抑制Vシナプス159は、重み $w_i$ を有し、syncニューロン146からinbニューロン147に進む。励起Vシナプス160は、 $w_e/2$ の重みを有し、output+ニューロン143からinbニューロン148に進む。励起Vシナプス161は、 $w_e/2$ の重みを有し、output-ニューロン144からinbニューロン147に進む。抑制Vシナプス162は、 $2w_i$ の重みを有し、inbニューロン147からoutput+ニューロン143に進む。抑制Vシナプス163は、 $2w_i$ の重みを有し、inbニューロン147からoutput-ニューロン144に進む。シナプス150、151、154、および157~163は、 $T_{syn}$ の遅延に関連付けられる。シナプス152および155は、 $T_{min}+3.T_{syn}+2.T_{neu}$ の遅延に関連付けられる。シナプス153および156は、 $3.T_{syn}+2.T_{neu}$ の遅延に関連付けられる。

20

30

【0293】

図15による減算回路140の演算は、結果 $x_1-x_2$ が正である場合について図16によって例示されている。すべて、結果が負の場合も対称的に生じる。

【0294】

inputニューロン141、142によって同期方式(

40

【0295】

【数74】

$$t_{in1}^1 = t_{in2}^1$$

【0296】

)で放出される第1のスパイクは、時刻

【0297】

【数75】

$$t_{in1}^1 + T_{syn}$$

【0298】

にsyncニューロン145、146を電位値 $V_t/2$ に設定する。  $t_2 < t_1$ の場合の図16の例における時刻

【0299】

【数76】

$$t_{in2}^2 = t_{in2}^1 + \Delta t_2$$

10

【0300】

の最小値を与えるinputニューロン、すなわち、ニューロン142上での第2のスパイクの放出は、syncニューロンのうちの1つ、すなわち、この例におけるニューロン146を閾値電圧 $V_t$ に設定し、それにより、このニューロン146の出力のところで時刻

【0301】

【数77】

$$t_{sync2}^1 = t_{in2}^2 + T_{syn} + T_{neu}$$

20

【0302】

にイベントがトリガされる。そこで、以下のようなになる。

シナプス159は、inbニューロン147を抑制し、その電位は時刻

【0303】

【数78】

$$t_{sync2}^1 + T_{syn} = t_{in2}^2 + 2 \cdot T_{syn} + T_{neu}$$

【0304】

に値 $-V_t$ に設定される。

シナプス157は、時刻

【0305】

【数79】

$$t_{inb2}^1 = t_{sync2}^1 + T_{syn} + T_{neu} = t_{in2}^2 + 2 \cdot T_{syn} + 2 \cdot T_{neu}$$

30

【0306】

にイベントを送出するinbニューロン148を励起し、次いで、そのイベントは、シナプス163を介して、output-ニューロン144を抑制し、その電位は時刻

【0307】

【数80】

$$t_{in2}^2 + 3 \cdot T_{syn} + 2 \cdot T_{neu}$$

40

【0308】

に値 $-2V_t$ に設定される。

次いで、シナプス155は、output-ニューロン144を再励起し、その電位は時刻

【0309】

【数 8 1】

$$t_{in2}^2 + T_{min} + 4.T_{syn} + 3.T_{neu}$$

【0 3 1 0】

に値 $-V_t$ に設定される。

シナプス156は、時刻

【0 3 1 1】

【数 8 2】

$$t_{out}^1 = t_{sync2}^1 + 3.T_{syn} + 3.T_{neu} = t_{in2}^2 + 4.T_{syn} + 4.T_{neu}$$

10

【0 3 1 2】

にイベントを送出するoutput+ニューロン143を励起し、次いで、そのイベントは、inbニューロン148を励起し、その電位は、時刻

【0 3 1 3】

【数 8 3】

$$t_{inb2}^1$$

20

【0 3 1 4】

に放出された前のイベントの後にゼロにリセットされ、時刻

【0 3 1 5】

【数 8 4】

$$t_{out}^1 + T_{syn} + T_{neu} = t_{in2}^2 + 5.T_{syn} + 5.T_{neu}$$

【0 3 1 6】

に値 $V_t/2$ に設定される。

【0 3 1 7】

次いで、時刻

【0 3 1 8】

【数 8 5】

$$t_{in1}^3 = t_{in1}^1 + \Delta t_1$$

【0 3 1 9】

の他のinputニューロン141上での第2のスパイクの放出は、他のsyncニューロン145を閾値電圧 $V_t$ に設定し、これはこのニューロン145の出力のところで時刻

【0 3 2 0】

【数 8 6】

40

$$t_{sync1}^1 = t_{in1}^2 + T_{syn} + T_{neu}$$

【0 3 2 1】

にイベントをトリガする。そこで、以下のようなになる。

シナプス158は、inbニューロン148を抑制し、その電位は時刻

【0 3 2 2】

【数 8 7】

$$t_{sync1}^1 + T_{syn} = t_{in1}^2 + 2 \cdot T_{syn} + T_{neu}$$

【0 3 2 3】

に値  $-V_i/2$  に設定される。

シナプス154は、その膜電位をゼロにリセットする inbニューロン147を励起する。

シナプス152は、時刻

【0 3 2 4】

【数 8 8】

10

$$t_{out}^2 = t_{sync1}^1 + T_{min} + 3 \cdot T_{syn} + 3 \cdot T_{neu} = t_{in1}^2 + T_{min} + 4 \cdot T_{syn} + 4 \cdot T_{neu}$$

【0 3 2 5】

にイベントを送出する output+ニューロン143を励起し、次いで、そのイベントは、inbニューロン148を励起し、その電位は時刻

【0 3 2 6】

【数 8 9】

$$t_{out}^2 + T_{syn} + T_{neu} = t_{in1}^2 + T_{min} + 5 \cdot T_{syn} + 5 \cdot T_{neu}$$

20

【0 3 2 7】

にゼロにリセットされる。

シナプス153は、output-ニューロン144を励起し、その電位は時刻

【0 3 2 8】

【数 9 0】

$$t_{sync1}^1 + 3 \cdot T_{syn} + 2 \cdot T_{neu} = t_{in1}^2 + 4 \cdot T_{syn} + 3 \cdot T_{neu}$$

30

【0 3 2 9】

にゼロにリセットされる。

【0 3 3 0】

時刻

【0 3 3 1】

【数 9 1】

$$t_{in2}^2 + T_{min} + 4 \cdot T_{syn} + 3 \cdot T_{neu}$$

40

【0 3 3 2】

および

【0 3 3 3】

【数 9 2】

$$t_{in1}^2 + 4 \cdot T_{syn} + 3 \cdot T_{neu}$$

【0 3 3 4】

に、output-ニューロン144によって受信された2つの励起イベントは、時刻

50

【 0 3 3 5 】

【 数 9 3 】

$$t_{in2}^2 + 3.T_{syn} + 2.T_{neu}$$

【 0 3 3 6 】

に受信された抑制ベントの後である。結果として、このニューロン144は、 $t_2 < t_1$ のときにイベントを放出せず、したがって、結果の符号は、適切に知らされる。

【 0 3 3 7 】

最後に、output+ニューロン143は、間に、inputニューロン141、142によって生成される2つの対のイベントの間の時間間隔  $t_{out}$ 、すなわち、

【 0 3 3 8 】

【 数 9 4 】

$$\begin{aligned} \Delta t_{out} &= (t_{in1}^2 + T_{min} + 4.T_{syn} + 4.T_{neu}) - (t_{in2}^2 + 4.T_{syn} + 4.T_{neu}) \\ &= \Delta t_1 - \Delta t_2 + T_{min} \\ &= T_{min} + (x_1 - x_2).T_{cod} \end{aligned} \quad (15)$$

【 0 3 3 9 】

を有する2つのイベントを送出する。

【 0 3 4 0 】

減算器回路140の出力のところで正しい符号を有するoutputニューロン上で、間に時間間隔  $t_{out} = f(x_1 - x_2)$ を有する2つのイベントが適切に得られる。この結果は、最大の絶対値を有する入力対の第2のイベントの受信後に回路の出力のところで利用可能である。

【 0 3 4 1 】

2つの等しい値が、入力のところと与えられたときに、図15に示されている減算器回路140は、2つの平行な経路をアクティベートし、結果は、output+ニューロン143およびoutput-ニューロン144の両方で送出手され、inbニューロン147、148には勝利の経路を選択する時間がない。これを回避するために、減算器回路に、zeroニューロン171および高速Vシナプス172~178を加えて、図17による減算器回路170を形成することが可能である。

【 0 3 4 2 】

図17において、図15と同じように配置構成されているニューロンおよびシナプスの参照番号は、繰り返されない。zeroニューロン171は、 $w_e/2$ の重みおよび遅延 $T_{neu}$ を有する2つの励起Vシナプス172、173のレシーバノードであり、一方はsyncニューロン145から来て、他方はsyncニューロン146から来る。これは、 $w_i/2$ の重みおよび $2.T_{neu}$ の遅延を有する2つの抑制Vシナプス174、175のレシーバノードでもあり、一方はsyncニューロン145から来て、他方はsyncニューロン146から来る。zeroニューロン171は、重み $w_e$ および遅延 $T_{neu}$ を有するVシナプス176を介して自己励起する。また、これは遅延 $T_{neu}$ を有する2つの抑制Vシナプスのエミッタノードでもあり、一方177はinbニューロン148の方へ向き付けられた重み $w_i$ を有し、他方178はoutput-ニューロン144の方へ向き付けられた $2w_i$ の重みを有する。

【 0 3 4 3 】

zeroニューロン171は、syncニューロン145、146によって送出手されるイベントの間の一致の検出器として働く。これら2つのニューロンが関連付けられている入力の第2の符号化スパイクの時刻にのみイベントを送出手するとした場合、この時間的一致を検出することは、後者が正しく同期化されている場合に、2つの入力値が等しいことを検出することと同

10

20

30

40

50

等である。zeroニューロン171は、これがsyncニューロン145、146から $T_{neu}$ 未満の時間間隔だけ隔てられている2つのイベントを受信する場合にのみイベントを生成する。この場合、これは、シナプス178を介してoutput-ニューロン144を直接抑制し、シナプス177を介してinbニューロン148をデアクティベートする。

【0344】

その結果、図17の減算器回路に与えられる2つの等しい入力値により、2つのイベントがoutput+ニューロン143の出力のところで $T_{min}$ に等しい時間間隔で隔てられる、すなわち、zeroの差を符号化し、output-ニューロン144上でイベントを引き起こさない。入力値が等しくない場合、zeroニューロン171は、アクティベートされず、減算器は、図15と同じ方式で機能する。

【0345】

## C.2. 累算

図18は、重み付けとともに正の入力値の累算を行うための回路180を示している。目標は、accニューロン184内に、加重和

【0346】

【数95】

$$s = \sum_{k=0}^{N-1} \alpha_k \cdot x_k \quad (16)$$

【0347】

に關係する電位値をロードすることであり、

ここで、 $\alpha_0, \alpha_1, \dots, \alpha_{N-1}$ は正またはzeroの重み付け係数であり、入力値 $x_0, x_1, \dots, x_{N-1}$ は正またはゼロである。

【0348】

各入力値 $x_k$  ( $0 \leq k < N$ )について、回路180は、inputニューロン181<sub>k</sub>およびinput-ニューロン182<sub>k</sub>を備え、ニューロンのそれぞれのグループ20の各部分は図2を参照しつつ上で説明されているグループ20の場合と同じように配置構成される。

【0349】

ニューロン20のこれらのN個のグループのfirstおよびlastニューロンの出接続は、計算されるべき加重和の係数 $\alpha_k$ の関数として構成される。

【0350】

inputニューロン181<sub>k</sub> ( $0 \leq k < N$ )に接続されたfirstニューロンは、 $\alpha_k \cdot w_{acc}$ の重みおよび $T_{min} + T_{syn}$ の遅延を有する励起 $g_e$ シナプス182<sub>k</sub>のエミッタノードである。inputニューロン181<sub>k</sub>に接続されたlastニューロンは、 $-\alpha_k \cdot w_{acc}$ の重みおよび遅延 $T_{syn}$ を有する抑制 $g_i$ シナプス183<sub>k</sub>のエミッタノードである。

【0351】

accニューロン184は、項 $\alpha_k \cdot x_k$ を累算する。したがって、各入力kについて、accニューロン184は、励起 $g_e$ シナプス182<sub>k</sub>および抑制 $g_i$ シナプス183<sub>k</sub>のレシーバノードである。

【0352】

回路180は、N個のVシナプスのレシーバノードであるsyncニューロン185をさらに備え、各々 $w_e/N$ の重みおよび遅延 $T_{syn}$ を有し、それぞれN個のニューロン入力181<sub>k</sub> ( $0 \leq k < N$ )に接続されたlastニューロンから来る。syncニューロン185は、重み $w_{acc}$ および遅延 $T_{syn}$ を有する励起 $g_e$ シナプス186のエミッタノードであり、そのレシーバノードは、accニューロン184である。

【0353】

inputニューロン181<sub>k</sub>上で $t_k = T_{min} + x_k \cdot T_{cod}$ によって隔てられている2つのスパイクを有する各入力について、accニューロン184は、持続時間 $t_k - T_{min} = x_k \cdot T_{cod}$ にわたって量 $\alpha_k \cdot V_t / T_{max}$ を積分する。

【0354】

10

20

30

40

50

k個の入力信号のすべての第2のスパイクが受信された後、syncニューロン185はトリガされ、 $g_e$ シナプス186を介してaccニューロン184を励起する。accニューロン184の電位は、

【 0 3 5 5 】

【 数 9 6 】

$$T_{max} - \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod}$$

【 0 3 5 6 】

に等しい残留時間について増加し続ける。このときに、イベントをトリガするaccニューロン184が閾値 $V_t$ に達する。

【 0 3 5 7 】

syncニューロン185によって送み出されるものに関するこのイベントの遅延は

【 0 3 5 8 】

【 数 9 7 】

$$T_{max} - \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod} = f\left(1 - \sum_{k=0}^{N-1} \alpha_k \cdot x_k\right) = f(1-s)$$

10

20

【 0 3 5 9 】

である。加重和sは、反転形式(1-s)の回路180によってのみアクセス可能にされる。

【 0 3 6 0 】

回路180は、

【 0 3 6 1 】

【 数 9 8 】

$$T_{cod} \cdot \sum_{k=0}^{N-1} \alpha_k \cdot x_k < T_{max}$$

30

【 0 3 6 2 】

という条件の下で説明されたばかりの仕方で機能する。係数 $\alpha_k$ は、 $x_k$ の可能なすべての値についてこの条件が満たされるように、すなわち、

【 0 3 6 3 】

【 数 9 9 】

$$\sum_{k=0}^{N-1} \alpha_k < \frac{T_{max}}{T_{cod}}$$

40

【 0 3 6 4 】

が成り立つように正規化され得る。

【 0 3 6 5 】

### C.3. 加重和

重み付き加算回路190は、図19に示されている構造を有することができる。

【 0 3 6 6 】

(16)に従って加重和sの表現を得るために、図18を参照しつつ説明されているもののタ

50

イブの加重累算のための回路180が、別のaccニューロン188およびoutputニューロン189に関連付けられる。

【0367】

accニューロン188は、重み $w_{acc}$ および遅延 $T_{syn}$ を有する励起 $g_e$ シナプス191のレシーバノードであり、励起Vシナプス192のエミッタノードは重み $w_e$ および $T_{min}+T_{syn}$ の遅延を有する。outputニューロン189は、また、重み $w_e$ および遅延 $T_{syn}$ を有する励起Vシナプス193のレシーバノードでもある。

【0368】

直線的に変化する累算は、回路180のaccニューロン184において再開すると同時にaccニューロン188において開始し、2つのaccニューロン184、188はsyncニューロン185から来る同じイベントによって $g_e$ シナプス186、191上で励起される。それらの残留累算時間は、閾値 $V_t$ に達するまで、それぞれ、

【0369】

【数100】

$$T_{max} = \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod}$$

【0370】

および $T_{max}$ である。シナプス192は、 $T_{min}$ の相対的遅延を有するので、outputニューロン189上でトリガされる2つのイベントは、間に時間間隔

【0371】

【数101】

$$T_{min} + \sum_{k=0}^{N-1} \alpha_k \cdot x_k \cdot T_{cod} = f(s)$$

【0372】

を有する。

【0373】

予想される加重和は、回路190の出力のところに表される。 $N=2$ および $\alpha_0 = \alpha_1 = 1/2$ であるときに、この回路190は、単純な加算器回路になり、スケール係数 $1/2$ を有し、これによりaccニューロン184におけるオーバーフローを回避する。

【0374】

#### C.4. 一次結合

一次結合のより一般的な場合も、上記の式(16)で表されるが、係数 $\alpha_k$ は、入力値 $x_k$ と全く同様に、正または負であってよい。一般性を失うことなく、係数および入力値は、係数 $\alpha_0, \alpha_1, \dots, \alpha_{M-1}$ が正またはゼロであり、係数 $\alpha_{M+1}, \alpha_{M+2}, \dots, \alpha_{N-1}$ が負( $N \geq 2, M \geq 0, N-M \geq 0$ )になるように順序付けられる。

【0375】

正または負の値を考慮するために、図20に示されている一次結合計算するための回路200は、図18を参照しつつ説明されているもののタイプの2つの累算回路180A、180Bを備える。

【0376】

累算回路180Aのinputニューロン $181_k$ は、それぞれ、 $0 \leq k < M$ に対する係数 $\alpha_k$ 、および $M \leq k < N$ に対する反転係数 $-\alpha_k$ に関連付けられる。 $0 \leq k < M$ に対するこれらのinputニューロン $181_k$ は、 $x_k \geq 0$ のときに $x_k$ を表す一対のスパイクを受信し、したがって、これらの値 $x_0, \dots$

10

20

30

40

50

...、 $x_{M-1}$ に対するinput+タイプのニューロンを形成する。M  $k < N$ に対する回路180Aのinputニューロン181<sub>k</sub>は、 $x_k < 0$ のときに $x_k$ を表す一対のスパイクを受信し、したがって、これらの値 $x_M$ 、...、 $x_{N-1}$ に対するinput-タイプのニューロンを形成する。

【0377】

加重累算に対する回路180Bのinputニューロン181<sub>k</sub>は、それぞれ、0  $k < M$ に対する係数 $\alpha_k$ 、およびM  $k < N$ に対する係数 $\alpha_k$ に関連付けられる。0  $k < M$ に対するこれらのinputニューロン181<sub>k</sub>は、 $x_k < 0$ のときに $x_k$ を表す一対のスパイクを受信し、したがって、これらの値 $x_0$ 、...、 $x_{M-1}$ に対するinput-タイプのニューロンを形成する。M  $k < N$ に対する回路180Bのinputニューロン181<sub>k</sub>は、 $x_k \geq 0$ のときに $x_k$ を表す一対のスパイクを受信し、したがって、これらの値 $x_M$ 、...、 $x_{N-1}$ に対するinput+タイプのニューロンを形成する。

10

【0378】

2つの累算回路180A、180Bは、これにより2N個のVシナプスのレシーバノードであるsyncニューロン185を共有し、各々 $w_e/N$ の重みおよび遅延 $T_{syn}$ を有し、2N個のinputニューロン181<sub>k</sub>に結合されたlastニューロンから来る。一次結合計算回路200のsyncニューロン185は、したがって、正または負のN個の入力値 $x_0$ 、...、 $x_{N-1}$ がニューロン181<sub>k</sub>上で受信された後にトリガされる。

【0379】

回路180Aのsyncニューロン185およびaccニューロン184によって送出されるそれぞれのイベントからイベントの間に時間

【0380】

【数102】

20

$$\Delta T_A = T_{max} - \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| \cdot T_{cod} = f \left( 1 - \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| \right)$$

【0381】

が経過する。

【0382】

回路180Bのsyncニューロン185およびaccニューロン184によって送出されるそれぞれのイベントからイベントの間に時間

30

【0383】

【数103】

$$\Delta T_B = T_{max} - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k| \cdot T_{cod} = f \left( 1 - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k| \right)$$

40

【0384】

が経過する。

【0385】

次いで、図17に示されているもののタイプであってよい減算器回路170は、sの符号を示す出力上で

【0386】

【数104】

$$|s| = \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k|$$

【0387】

の表現を生成するために、時間間隔  $T_A$  と  $T_B$  とを組み合わせる。このために、図20の一次結合計算回路200は、減算器回路170のinputニューロン141、142の方へ向き付けられた、重み  $w_e$  および  $T_{min} + T_{syn}$  の遅延を有する2つの励起Vシナプス198、199を備える。さらに、重み  $w_e$  および遅延  $T_{syn}$  を有する励起Vシナプス201が回路180Aのaccニューロン184から減算器回路170のinputニューロン141に進む。重み  $w_e$  および遅延  $T_{syn}$  を有する励起Vシナプス202が回路180Bのaccニューロン184から減算器回路170の他のinputニューロン142に進む。

10

【0388】

減算器回路170のoutput-ニューロン144およびoutput+ニューロン143は、それぞれ、重み  $w_e$  および遅延  $T_{syn}$  を有する励起Vシナプス205、206を介して、一次結合を計算するための回路200の出力を形成する2つの他のoutput+ニューロン203およびoutput-ニューロン204に接続される。

【0389】

トリガされるこれら2つのニューロンのうちの一方は、一次結合の結果  $s$  の符号を指示する。これは、時間間隔

20

【0390】

【数105】

$$\Delta t_{out} = T_{min} + \Delta T_A - \Delta T_B = f \left( \left| \sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| - \sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k| \right| \right) = f(|s|)$$

【0391】

で隔てられた一対のイベントを送出する。

30

【0392】

この結果が利用可能であることは、減算器回路170のoutput+ニューロン143およびoutput-ニューロン144から来る、重み  $w_e$  および遅延  $T_{syn}$  を有する、2つの励起Vシナプス208、209を受信する「start」ニューロン207によって外部で指示される。startニューロン207は、重み  $w_i$  および遅延  $T_{syn}$  を有する、Vシナプス210を介して自己抑制する。startニューロン207は、スパイクを、アクティベートされるoutput+ニューロン203またはoutput-ニューロン204の第1のスパイクと同時に送化する。

【0393】

係数  $k$  は、条件

40

【0394】

【数106】

$$\sum_{\alpha_k \cdot x_k \geq 0} |\alpha_k \cdot x_k| \cdot T_{cod} < T_{max}$$

【0395】

および

【0396】

50

【数 1 0 7】

$$\sum_{\alpha_k \cdot x_k < 0} |\alpha_k \cdot x_k| \cdot T_{cod} < T_{max}$$

【0 3 9 7】

が  $x_k$  の可能なすべての値について満たされるように、すなわち、

【0 3 9 8】

【数 1 0 8】

10

$$\sum_{k=0}^{N-1} |\alpha_k| < \frac{T_{max}}{T_{cod}}$$

【0 3 9 9】

となるように、正規化することができ、一次結合を計算するための回路200が上で説明されているように機能するようにできる。したがって、結果において正規化係数が考慮されなければならない。

【0 4 0 0】

20

D. 非線形演算

D1. 対数

図21は、数  $x \in ]0, 1]$  の自然対数を計算するための回路210を示しており、その符号化された表現は、 $t = f(x) = T_{min} + x \cdot T_{cod}$  として時刻

【0 4 0 1】

【数 1 0 9】

$$t_{in}^1$$

【0 4 0 2】

30

および

【0 4 0 3】

【数 1 1 0】

$$t_{in}^3 = t_{in}^1 + \Delta t$$

【0 4 0 4】

(図22)に2つのイベントが生じるという形でinputニューロン211によって生成される。

【0 4 0 5】

inputニューロン211は、図2を参照しつつ説明されているものに類似するノード20のグループに属す。このグループ20のfirstニューロン213は、重み

40

【0 4 0 6】

【数 1 1 1】

$$\bar{w}_{acc}$$

【0 4 0 7】

および  $T_{min} + T_{syn}$  の遅延を有する励起  $g_e$  シナプス212のエミッタノードであり、lastニューロン215は、

【0 4 0 8】

50

【数 1 1 2】

$$-\bar{w}_{acc}$$

【0 4 0 9】

の重みおよび遅延 $T_{syn}$ を有する抑制 $g_e$ シナプス214のエミッタノードである。2つの $g_e$ シナプス212、214は、レシーバノードと同じaccニューロン216を有する。lastニューロン215からaccニューロン216まで、重み

【0 4 1 0】

【数 1 1 3】

10

$$g_{mult} = V_t \cdot \frac{V_m}{T_f}$$

【0 4 1 1】

および遅延 $T_{syn}$ を有する $g_f$ シナプス217、ならびに1の重みおよび遅延 $T_{syn}$ を有するgateシナプス218もある。

【0 4 1 2】

回路210は、lastニューロン215から来る重み $w_e$ および $2 \cdot T_{syn}$ の遅延を有する励起Vシナプス221、ならびにaccニューロン216から来る重み $w_e$ および $T_{min} + T_{syn}$ の遅延を有する励起Vシナプス222のレシーバノードであるoutputニューロン220をさらに備える。

20

【0 4 1 3】

図21による対数計算回路210の演算は、図22に例示されている。

【0 4 1 4】

inputニューロン211で時刻

【0 4 1 5】

【数 1 1 4】

$$t_{in}^1$$

30

【0 4 1 6】

に第1のスパイクを放出すると、時刻

【0 4 1 7】

【数 1 1 5】

$$t_{first}^1 = t_{in}^1 + T_{syn} + T_{neu}$$

【0 4 1 8】

にfirstニューロン213の出力でイベントがトリガされる。firstニューロン213は、 $g_e$ シナプス212を介して時刻

40

【0 4 1 9】

【数 1 1 6】

$$t_{first}^1 = t_{in}^1 + T_{syn} + T_{neu}$$

【0 4 2 0】

にaccニューロン216による累算を開始する。

【0 4 2 1】

inputニューロン211で時刻

【0 4 2 2】

50

【数 1 1 7】

$$t_{in}^2 = t_{in}^1 + T_{min} + x \cdot T_{cod}$$

【0 4 2 3】

に第2のスパイクを放出すると、lastニューロン215は時刻

【0 4 2 4】

【数 1 1 8】

$$t_{last}^1 = t_{in}^2 + T_{syn} + T_{neu}$$

10

【0 4 2 5】

にイベントを送出させられる。g<sub>e</sub>シナプス214によってトランスポートされるこのイベントは、時刻

【0 4 2 6】

【数 1 1 9】

$$t_{end}^1 = t_{last}^1 + T_{syn} = t_{st}^1 + x \cdot T_{cod}$$

【0 4 2 7】

にaccニューロン216によって実行された累算を停止する。このときに、電位値V<sub>t</sub>.xは、accニューロン216に記憶される。

【0 4 2 8】

シナプス217および218を介して、lastニューロン215は、g<sub>f</sub>シナプス217およびgateシナプス218を介して同じ時刻

【0 4 2 9】

【数 1 2 0】

$$t_{end}^1$$

30

【0 4 3 0】

にaccニューロン216上で指数関数的変化をさらにアクティベートする。代替的に、g<sub>f</sub>シナプス217によってトランスポートされるイベントは、また、他の演算がデバイス内で実行されている間に、後者において、電位値V<sub>t</sub>.xを記憶することが望ましい場合にその後accニューロン216に届く可能性もあることに留意されたい。

【0 4 3 1】

シナプス217および218によるアクティベーションの後に、accニューロン216の構成要素g<sub>f</sub>は

【0 4 3 2】

【数 1 2 1】

40

$$g_f(t) = V_t \cdot \frac{\tau_m}{\tau_f} \cdot e^{-\frac{t-t_{end}^1}{\tau_f}} \quad (17)$$

【0 4 3 3】

に従って変化し、その膜電位は

【0 4 3 4】

【数 1 2 2】

$$V(t) = V_c \cdot \left( 1 + x - e^{-\frac{t-t_{end}^1}{\tau_f}} \right) \quad (18)$$

【0 4 3 5】

に従って変化する。

【0 4 3 6】

この電位 $V(t)$ は、閾値 $V_c$ に達し、時刻

10

【0 4 3 7】

【数 1 2 3】

$$t_{acc}^1 = t_{end}^1 - \tau_f \cdot \log(x)$$

【0 4 3 8】

にVシナプス222上でイベントをトリガする。

【0 4 3 9】

時刻

20

【0 4 4 0】

【数 1 2 4】

$$t_{out}^1 = t_{last}^1 + 2T_{syn} + T_{neu} = t_{end}^1 + T_{syn} + T_{neu}$$

【0 4 4 1】

におけるVシナプス221により、第1のイベントがoutputニューロン220上でトリガされる。シナプス222によってトリガされる第2のイベントは、時刻

【0 4 4 2】

30

【数 1 2 5】

$$t_{out}^2 = t_{acc}^1 + T_{min} + T_{syn} + T_{neu} = t_{out}^1 + T_{min} - \tau_f \cdot \log(x)$$

【0 4 4 3】

に生じる。

【0 4 4 4】

最後に、outputニューロン220によって送出される2つのイベントは、時間間隔

【0 4 4 5】

40

【数 1 2 6】

$$\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} - \tau_f \cdot \log(x) = f \left( -\frac{\tau_f}{T_{cod}} \cdot \log(x) \right)$$

【0 4 4 6】

で隔てられる。

【0 4 4 7】

入力値 $x$ の自然対数 $\log(x)$ に比例する数の表現は、出力で適切に得られる。 $0 < x < 1$ なので、対数 $\log(x)$ は負の値である。

50

【 0 4 4 8 】

Aを値

【 0 4 4 9 】

【 数 1 2 7 】

$$A = e^{\frac{T_{\text{end}}}{T_f}}$$

【 0 4 5 0 】

と呼ぶとすれば、図21の回路210は、 $A < x < 1$ となるような実数 $x$ の表現を受信したときに $\log_A(x)$ の表現を送出するが、ただし、 $\log_A(\cdot)$ は $A$ を底とする対数の演算を表す。われわれが、形式(11)において、outputニューロン220によって送出的される2つのイベントの間の時間間隔が $T_{\text{max}}$ を超え得ると考えた場合に、回路210は、 $0 < x < 1$ である任意の数 $x$ に対する $\log_A(x)$ の表現を送出する。

10

【 0 4 5 1 】

D.2. 累乗

図23は、数 $x \in [0, 1]$ に対する累乗回路230を示しており、その符号化された表現は、 $t = f(x) = T_{\text{min}} + x \cdot T_{\text{cod}}$ として時刻

【 0 4 5 2 】

【 数 1 2 8 】

20

$$t_{\text{in}}^1$$

【 0 4 5 3 】

および

【 0 4 5 4 】

【 数 1 2 9 】

$$t_{\text{in}}^2 = t_{\text{in}}^1 + \Delta t$$

30

【 0 4 5 5 】

(図24)に2つのイベントが生じるという形でinputニューロン231によって生成される。

【 0 4 5 6 】

inputニューロン231は、図2を参照しつつ説明されているものに類似するノード20のグループに属す。このグループ20のfirstニューロン233は、重み $g_{\text{mult}}$ および $T_{\text{min}} + T_{\text{syn}}$ の遅延を有する $g_f$ シナプス232、さらには1の重みおよび $T_{\text{min}} + T_{\text{syn}}$ の遅延を有する励起gateシナプス234のエミッタノードである。グループ20のlastニューロン235は、-1の重みおよび遅延 $T_{\text{syn}}$ を有する抑制gateシナプス236、さらには重み

【 0 4 5 7 】

【 数 1 3 0 】

40

$$\bar{w}_{\text{acc}}$$

【 0 4 5 8 】

および遅延 $T_{\text{syn}}$ を有する励起 $g_e$ シナプス237のエミッタノードである。これらのシナプスは、レシーバノードと同じaccニューロン238を有する。

【 0 4 5 9 】

回路230は、lastニューロン235から来る重み $w_e$ および $2 \cdot T_{\text{syn}}$ の遅延を有する励起Vシナプス241、ならびにaccニューロン238から来る重み $w_e$ および $T_{\text{min}} + T_{\text{syn}}$ の遅延を有する励起Vシナプス242のレシーバノードであるoutputニューロン240をさらに備える。

50

【 0 4 6 0 】

図23による累乗回路230の演算は、図24に例示されている。

【 0 4 6 1 】

inputニューロン231で時刻

【 0 4 6 2 】

【 数 1 3 1 】

$$t_{in}^1$$

【 0 4 6 3 】

に第1のスパイクを放出すると、時刻

【 0 4 6 4 】

【 数 1 3 2 】

$$t_{first}^1 = t_{in}^1 + T_{syn} + T_{neu}$$

【 0 4 6 5 】

にfirstニューロン233の出力でイベントがトリガされる。firstニューロン233は、 $g_f$ シナプス232およびgateシナプス234を介して時刻

【 0 4 6 6 】

【 数 1 3 3 】

$$t_{st}^1 = t_{in}^1 + T_{min} + 2 \cdot T_{syn} + T_{neu}$$

【 0 4 6 7 】

にaccニューロン238での指数関数的に増大する累算を開始する。

【 0 4 6 8 】

accニューロン238の構成要素 $g_f$ は、

【 0 4 6 9 】

【 数 1 3 4 】

$$g_f(t) = V_t \cdot \frac{\tau_m}{\tau_f} \cdot e^{-\frac{t-t_{st}^1}{\tau_f}} \quad (19)$$

【 0 4 7 0 】

に従って変化し、その膜電位は、

【 0 4 7 1 】

【 数 1 3 5 】

$$V(t) = V_t \cdot \left( 1 - e^{-\frac{t-t_{st}^1}{\tau_f}} \right) \quad (20)$$

【 0 4 7 2 】

に従って変化する。

【 0 4 7 3 】

inputニューロン231で時刻

10

20

30

40

50

【 0 4 7 4 】

【 数 1 3 6 】

$$t_{in}^2 = t_{in}^1 + T_{min} + x \cdot T_{cod}$$

【 0 4 7 5 】

に第2のスパイクを放出すると、lastニューロン235は時刻

【 0 4 7 6 】

【 数 1 3 7 】

10

$$t_{last}^1 = t_{in}^2 + T_{syn} + T_{neu}$$

【 0 4 7 7 】

にイベントを送出させられる。gateシナプス236によってトランスポートされるこのイベントは、時刻

【 0 4 7 8 】

【 数 1 3 8 】

20

$$t_{end}^1 = t_{last}^1 + T_{syn} = t_{st}^1 + x \cdot T_{cod}$$

【 0 4 7 9 】

にaccニューロン238によって実行された指数関数的に変化する累算を停止する。このときに、電位値 $V_t \cdot (1-A^x)$ は、accニューロン238に記憶され、上記のように、

【 0 4 8 0 】

【 数 1 3 9 】

30

$$A = e^{-\frac{T_{cod}}{\tau_f}}$$

【 0 4 8 1 】

である。 $g_e$ シナプス237を介して、lastニューロン235は、accニューロン238上で重み

【 0 4 8 2 】

【 数 1 4 0 】

$$\bar{W}_{acc}$$

【 0 4 8 3 】

を有する線形力学を、同じ時刻

【 0 4 8 4 】

【 数 1 4 1 】

40

$$t_{end}^1$$

【 0 4 8 5 】

にさらにアクティベートする。

【 0 4 8 6 】

したがって、ニューロン238の膜電位は、

50

【 0 4 8 7 】

【 数 1 4 2 】

$$V(t) = V_t \cdot \left( 1 - A^x + \frac{t - t_{end}^1}{T_{cod}} \right) \quad (21)$$

【 0 4 8 8 】

に従って変化する。

【 0 4 8 9 】

この電位 $V(t)$ は、閾値 $V_t$ に達し、時刻

10

【 0 4 9 0 】

【 数 1 4 3 】

$$t_{acc}^1 = t_{end}^1 + A^x \cdot T_{cod}$$

【 0 4 9 1 】

にVシナプス222上でイベントをトリガする。

【 0 4 9 2 】

時刻

20

【 0 4 9 3 】

【 数 1 4 4 】

$$t_{out}^1 = t_{last}^1 + 2T_{syn} + T_{neu} = t_{end}^1 + T_{syn} + T_{neu}$$

【 0 4 9 4 】

におけるVシナプス241により、第1のイベントがoutputニューロン240上でトリガされる。シナプス242によってトリガされる第2のイベントは、時刻

【 0 4 9 5 】

30

【 数 1 4 5 】

$$t_{out}^2 = t_{acc}^1 + T_{min} + T_{syn} + T_{neu} = t_{out}^1 + T_{min} + A^x \cdot T_{cod}$$

【 0 4 9 6 】

に生じる。

【 0 4 9 7 】

最後に、outputニューロン240によって送出される2つのイベントは、時間間隔

【 0 4 9 8 】

40

【 数 1 4 6 】

$$\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} + A^x \cdot T_{cod} = f(A^x)$$

【 0 4 9 9 】

で隔てられる。

【 0 5 0 0 】

そこで、図23の回路230は、0から1の範囲内の数 $x$ の表現を受信したときに $A^x$ の表現を送出する。この回路は、1よりも大きい入力値 $x$ を受け付け(  $t > T_{max}$  )、また、そのoutput二

50

ニューロン240上で $A^x$ の表現を送出する。

【0501】

図23の回路230は、図21の回路210によって実行される演算の逆演算を実行する。

【0502】

これは、対数計算回路と累乗回路との間に単純な演算を使用して様々な非線形計算を実装するために使用され得る。たとえば、2つの対数の和で乗算を実行させることができ、2つの対数の減算で除算を実行させることができ、対数を $n$ 回足した和で数 $x$ を $n$ 乗することができる。

【0503】

### D.3. 乗算

10

図25は、2つの値 $x_1$ 、 $x_2$ の積を計算する乗算器回路250を示しており、その符号化された表現は、それぞれ、 $t_1=f(x_1)=T_{\min}+x_1 \cdot T_{\text{cod}}$ および $t_2=f(x_2)=T_{\min}+x_2 \cdot T_{\text{cod}}$ として、値 $x_1$ については時刻

【0504】

【数147】

$$t_{in1}^1$$

【0505】

20

および

【0506】

【数148】

$$t_{in1}^2 = t_{in1}^1 + \Delta t_1$$

【0507】

に、値 $x_2$ (図25)については時刻

【0508】

【数149】

30

$$t_{in2}^1$$

【0509】

および

【0510】

【数150】

$$t_{in2}^2 = t_{in2}^1 + \Delta t_2$$

40

【0511】

に生じるイベントの2つの対の形態で2つのinputニューロン251<sub>1</sub>、251<sub>2</sub>によって生成される。

【0512】

各inputニューロン251<sub>k</sub>( $k=1$ または $2$ )は、図2を参照しつつ説明されているものに類似するノード20<sub>k</sub>のグループに属す。このグループ20<sub>k</sub>のfirstニューロン253<sub>k</sub>は、重み

【0513】

【数 1 5 1】

 $\bar{w}_{acc}$ 

【0 5 1 4】

および $T_{min}+T_{syn}$ の遅延を有する励起 $g_e$ シナプス $252_k$ のエミッタノードであり、lastニューロン $255_k$ は、

【0 5 1 5】

【数 1 5 2】

10

 $-\bar{w}_{acc}$ 

【0 5 1 6】

の重みおよび遅延 $T_{syn}$ を有する抑制 $g_e$ シナプス $254_k$ のエミッタノードである。ノード $20_k$ のグループからの2つの $g_e$ シナプス $252_k$ 、 $254_k$ は、レシーバノードとして、図21のaccニューロン216と同様の役割を果たす、同じaccニューロン $256_k$ を有する。

【0 5 1 7】

回路250は、それぞれlastニューロン $255_1$ 、 $255_2$ から来る $w_e/2$ の重みおよび遅延 $T_{syn}$ を有する2つの励起Vシナプス $261_1$ 、 $261_2$ のレシーバノードであるsyncニューロン260をさらに備える。重み $g_{mult}$ および遅延 $T_{syn}$ を有する $g_f$ シナプス262、ならびに1の重みおよび遅延 $T_{syn}$ を有する励起gateシナプス264は、syncニューロン260からaccニューロン $256_1$ に進む。

20

【0 5 1 8】

重み $g_{mult}$ および遅延 $T_{syn}$ を有する $g_f$ シナプス265、ならびに1の重みおよび遅延 $T_{syn}$ を有する励起gateシナプス266は、accニューロン $256_1$ からaccニューロン $256_2$ に進む。

【0 5 1 9】

回路250は、図23のaccニューロン238と同様の役割を果たす別のaccニューロン268を備える。accニューロン268は、重み $g_{mult}$ および $3T_{syn}$ の遅延を有する $g_f$ シナプス269、ならびに1の重みおよび $3T_{syn}$ の遅延を有する励起gateシナプス270のレシーバノードであり、両方ともsyncニューロン260から来る。さらに、accニューロン268は、-1の重みおよび遅延 $T_{syn}$ を有する抑制gateシナプス271、ならびに重み

30

【0 5 2 0】

【数 1 5 3】

 $\bar{w}_{acc}$ 

【0 5 2 1】

および遅延 $T_{syn}$ を有する励起 $g_e$ シナプス272のレシーバノードであり、両方ともaccニューロン $256_2$ から来る。

40

【0 5 2 2】

最後に、回路250は、accニューロン $256_2$ から来る、重み $w_e$ および $2T_{syn}$ の遅延を有する励起Vシナプス275、ならびにaccニューロン268から来る、重み $w_e$ および $T_{syn}+T_{syn}$ の遅延を有する励起Vシナプス276のレシーバノードであるoutputニューロン274を有する。

【0 5 2 3】

図25による乗算器回路250の演算は、図26に例示されている。

【0 5 2 4】

2つのaccニューロン $256_1$ 、 $256_2$ の各々は、それぞれ、最初に図21のaccニューロン216に似た挙動を示し、線形数列 $278_1$ 、 $278_2$ は $x_1 \cdot T_{cod}$ 、 $x_2 \cdot T_{cod}$ のそれぞれの持続時間を有する

50

第1の期間に重み

【 0 5 2 5 】

【 数 1 5 4 】

$\bar{w}_{acc}$

【 0 5 2 6 】

を有し、それにより、電位値 $V_t \cdot x_1$ および $V_t \cdot x_2$ はaccニューロン256<sub>1</sub>、256<sub>2</sub>内に記憶される。

【 0 5 2 7 】

最小値を有するinputニューロン( $x_1 > x_2$ である図26に示されている例におけるinputニューロン251<sub>2</sub>)で時刻

【 0 5 2 8 】

【 数 1 5 5 】

$$t_{in2}^2 = t_{in2}^1 + T_{min} + x_2 \cdot T_{cod}$$

【 0 5 2 9 】

に第2のスパイクを放出することにより、時刻

【 0 5 3 0 】

【 数 1 5 6 】

$$t_{last2}^1 + T_{syn} = t_{in2}^2 + 2T_{syn} + T_{neu}$$

【 0 5 3 1 】

に $g_e$ シナプス254<sub>2</sub>を介して対応するaccニューロン256<sub>2</sub>における直線的に変化する累算を停止する。したがって、このaccニューロン256<sub>2</sub>の膜電位は、シナプス265、266を介してその再アクティベーションまで持続するプラト-279を有する。時刻

【 0 5 3 2 】

【 数 1 5 7 】

$$t_{last2}^1 + T_{syn} = t_{in2}^2 + 2T_{syn} + T_{neu}$$

【 0 5 3 3 】

に、syncニューロン260の電位は、Vシナプス261<sub>2</sub>を介してlastニューロン255<sub>2</sub>からイベントが受信されたことで、値 $V_t/2$ になる。

【 0 5 3 4 】

最大値を有するinputニューロン(図26の場合のinputニューロン251<sub>1</sub>)で時刻

【 0 5 3 5 】

【 数 1 5 8 】

$$t_{in1}^2 = t_{in1}^1 + T_{min} + x_1 \cdot T_{cod}$$

【 0 5 3 6 】

に第2のスパイクを放出することにより、時刻

【 0 5 3 7 】

【 数 1 5 9 】

$$t_{last1}^1 + T_{syn} = t_{in1}^2 + 2T_{syn} + T_{neu}$$

10

20

30

40

50

【 0 5 3 8 】

に $g_e$ シナプス254<sub>1</sub>を介して対応するaccニューロン256<sub>1</sub>における直線的に変化する累算を停止する。それと同時に、このsyncニューロン260の電位は、Vシナプス261<sub>1</sub>上でイベントが受信されたことにより、値 $V_t$ に達する。この結果、シナプス262および264上で時刻

【 0 5 3 9 】

【 数 1 6 0 】

$$t_{sync}^1 = t_{in1}^2 + 2T_{syn} + 2T_{neu}$$

【 0 5 4 0 】

10

にイベントを放出する。次いで、指数関数的変化280<sub>1</sub>は、時刻

【 0 5 4 1 】

【 数 1 6 1 】

$$t_{st1}^1 = t_{sync}^1 + T_{syn}$$

【 0 5 4 2 】

に直線的な変化278<sub>1</sub>の代わりにaccニューロン256<sub>1</sub>においてアクティベートされる。並行して、シナプス269、270は、時刻

【 0 5 4 3 】

20

【 数 1 6 2 】

$$t_{st2}^1 = t_{sync}^1 + 3T_{syn}$$

【 0 5 4 4 】

にaccニューロン268において指数関数的変化281をアクティベートする。

【 0 5 4 5 】

accニューロン256<sub>1</sub>の電位は、値 $V_t$ に達し、時刻

【 0 5 4 6 】

【 数 1 6 3 】

30

$$t_{log1}^1 = t_{st1}^1 - \tau_f \cdot \log(x_1)$$

【 0 5 4 7 】

にシナプス265、266上でイベントをトリガする。

【 0 5 4 8 】

指数関数的変化280<sub>1</sub>は、時刻

【 0 5 4 9 】

【 数 1 6 4 】

$$t_{st3}^1 = t_{log1}^1 + T_{syn}$$

40

【 0 5 5 0 】

にaccニューロン256<sub>2</sub>でアクティベートされる。このaccニューロン256<sub>2</sub>の電位は、閾値 $V_t$ に達し、時刻

【 0 5 5 1 】

【数 1 6 5】

$$t_{log2}^1 = t_{st2}^1 - \tau_f \cdot \log(x_2) = t_{sync}^1 - \tau_f \cdot \log(x_1 \cdot x_2) + 2T_{syn}$$

【0 5 5 2】

にシナプス271、272、275上でイベントをトリガする。gateシナプス271は、時刻

【0 5 5 3】

【数 1 6 6】

$$t_{ends}^1 = t_{log2}^1 + T_{syn}$$

10

【0 5 5 4】

にaccニューロン268における指数関数的変化281をデアクティベートし、同時に、accニューロン268における直線的な変化282は、値

【0 5 5 5】

【数 1 6 7】

$$V_t \cdot \left( 1 - e^{-\frac{t_{ends}^1 - t_{st2}^1}{\tau_f}} \right) = V_t \cdot (1 - x_1 \cdot x_2) \quad (22)$$

20

【0 5 5 6】

から開始して、 $g_e$ シナプス272を介してアクティベートされる。

【0 5 5 7】

Vシナプス275は、時刻

【0 5 5 8】

【数 1 6 8】

$$t_{out}^1 = t_{log2}^1 + 2T_{syn} + T_{neu}$$

30

【0 5 5 9】

にoutputニューロン274上で第1のスパイクの放出をトリガする。

【0 5 6 0】

accニューロン268は、閾値 $V_t$ に達し、時刻

【0 5 6 1】

【数 1 6 9】

$$t_{exp}^1 = t_{ends}^1 + x_1 \cdot x_2 \cdot T_{cod}$$

40

【0 5 6 2】

にVシナプス276上でイベントをトリガする。この結果、時刻

【0 5 6 3】

【数 1 7 0】

$$t_{out}^2 = t_{exp}^1 + T_{min} + T_{syn} + T_{neu}$$

【0 5 6 4】

50

にoutputニューロン274で第2のスパイクを放出する。

【 0 5 6 5 】

最後に、outputニューロン268によって送出される2つのイベントは、時間間隔

【 0 5 6 6 】

【 数 1 7 1 】

$$\Delta T_{out} = t_{out}^2 - t_{out}^1 = T_{min} + x_1 \cdot x_2 \cdot T_{cod} = f(x_1 \cdot x_2)$$

【 0 5 6 7 】

で隔てられる。

【 0 5 6 8 】

そこで、図25の回路250は、outputニューロン268上で、Aと1との間の2つの数 $x_1$ 、 $x_2$ の積 $x_1 \cdot x_2$ の表現を送出し、そのそれぞれの表現を、inputニューロン251<sub>1</sub>、251<sub>2</sub>上で受信する。

【 0 5 6 9 】

このために、イベントの対は、syncニューロン260が同期を処理するので、inputニューロン251<sub>1</sub>、251<sub>2</sub>上で同期方式で受信されなければならないということにはなかった。

【 0 5 7 0 】

#### D.4. 符号付き乗算

図27は、2つの符号付き値 $x_1$ 、 $x_2$ の積を計算する乗算器回路290を示している。図27に示されているすべてのシナプスは、遅延 $T_{syn}$ を有する。

【 0 5 7 1 】

各入力値 $x_k$  (1 k 2) について、乗算器回路290は、重み $w_e$ を有する2つのそれぞれのVシナプス293<sub>k</sub>および294<sub>k</sub>のエミッタノードであるinput+ニューロン291<sub>k</sub>およびinput-ニューロン292<sub>k</sub>を備える。Vシナプス293<sub>1</sub>および294<sub>1</sub>は、図25に示されているタイプの乗算器回路250のinputニューロン251<sub>1</sub>の方へ向き付けられるが、Vシナプス293<sub>1</sub>および294<sub>1</sub>は、回路250の他のinputニューロン251<sub>2</sub>の方へ向き付けられる。

【 0 5 7 2 】

乗算器回路290は、回路250のoutputニューロン274から来る重み $w_e$ を有する2つのそれぞれの励起Vシナプス297および298のレシーバノードであるoutput+ニューロン295およびoutput-ニューロン296を有する。

【 0 5 7 3 】

乗算器回路290は、乗算の結果の符号を選択するための論理を形成するように接続されている4つのsignニューロン300~303も備える。各signニューロン300~303は、4つのinputニューロン291<sub>k</sub>、292<sub>k</sub>のうちの2つから来る $w_e/4$ の重みを有する2つのそれぞれの励起Vシナプスのレシーバノードである。input+ニューロン291<sub>1</sub>、291<sub>2</sub>に接続されているsignニューロン300は、2つの正の入力 $x_1$ 、 $x_2$ の受信を検出する。これは、output-ニューロン296に進む $2w_i$ の重みを有する抑制Vシナプス305のエミッタノードを形成する。input-ニューロン292<sub>1</sub>、292<sub>2</sub>に接続されているsignニューロン303は、2つの負の入力 $x_1$ 、 $x_2$ の受信を検出する。これは、output-ニューロン296に進む $2w_i$ の重みを有する抑制Vシナプス308のエミッタノードを形成する。input-ニューロン292<sub>1</sub>およびinput+ニューロン292<sub>1</sub>に接続されているsignニューロン301は、負の入力 $x_1$ および正の入力 $x_2$ の受信を検出する。これは、output+ニューロン295に進む $2w_i$ の重みを有する抑制Vシナプス306のエミッタノードを形成する。input+ニューロン291<sub>1</sub>およびinput-ニューロン292<sub>2</sub>に接続されているsignニューロン302は、正の入力 $x_1$ および負の入力 $x_2$ の受信を検出する。これは、output+ニューロン295に進む $2w_i$ の重みを有する抑制Vシナプス307のエミッタノードを形成する。

【 0 5 7 4 】

抑制Vシナプスは、signニューロン300~303の間に配置構成され、これにより、それらのうちの1つのみが、output+ニューロン295およびoutput-ニューロン296のうち的一方を

10

20

30

40

50

抑制するように働くことを確実にする。したがって、積の符号(+または-)に対応する各signニューロン300~303は、反対符号に対応する2つのsignニューロンにそれぞれ進む $w_e/2$ の重みを有する2つの抑制Vシナプスのエミッタノードである。

【0575】

こうして配置構成されている図27の回路290は、2つの数 $x_1$ 、 $x_2$ が入力291<sub>k</sub>、292<sub>k</sub>上でそれぞれの符号とともに提示されたときに、 $x_1$ 、 $x_2$ の符号に従って、その出力295、296のうち的一方の上で時間間隔 $f(|x_1 \cdot x_2|)$ で隔てられた2つのイベントを送出する。

【0576】

図17の場合のように、入力の1つでゼロを検出するための論理回路が追加されてよく、これにより、ゼロの入力がoutput+ニューロン295上で生成されるがoutput-ニューロン296上では生成されない2つのイベントの間の時間間隔 $T_{min}$ をもたらすことを確実にする。

【0577】

## E. 微分方程式の解法

### E.1. 積分

図28は、input+ニューロン311およびinput-ニューロン312の対のニューロン上で符号付き形式で与えられる微分係数から信号を再構成する回路310を示している。積分された信号は、その符号に従って、output+ニューロン313およびoutput-ニューロン314の対のニューロンによって与えられる。図28に示されているシナプス321~332は、すべて重み $w_e$ を有する励起Vシナプスである。これらはすべて、遅延が $T_{min}+T_{syn}$ であるシナプス329を除いて、遅延 $T_{syn}$ を有する。

【0578】

積分を実行するために、回路310は、図20に示されているタイプの一次結合回路200を使用し、ここで、 $N=2$ 、係数 $\alpha_0=1$ および $\alpha_1=dt$ 、 $dt$ は選択された積分ステップサイズとする。

【0579】

input+ニューロン311およびinput-ニューロン312は、それぞれ、2つのVシナプス321、322によって係数 $\alpha_1=dt$ に関連付けられている回路200のinput+およびinput-ニューロン181<sub>1</sub>に接続される。

【0580】

係数 $\alpha_0=1$ に関連付けられている、回路200の他のinput+およびinput-ニューロン181<sub>1</sub>は、それぞれ、回路217の2つのoutput+ニューロン315およびoutput-ニューロン316に2つのVシナプス323、324によって接続され、その役割は積分プロセスに対する初期化値 $x_0$ を与えることである。回路317は、実質的に、図1に示されている方式で同じrecallニューロン15に接続されているoutput+ニューロン315およびoutput-ニューロン316の対からなる。

【0581】

積分回路310の別のinitニューロン318は、シナプス325のエミッタノードであり、そのレシーバノードは、回路317のrecallニューロン15である。initニューロン318は、積分器に、回路317に記憶されている初期値 $x_0$ をロードする。

【0582】

シナプス326、327は、一次結合回路200のoutput+ニューロン143からそのinput+ニューロン181<sub>0</sub>に、積分回路200のoutput-ニューロン144からそのinput-ニューロン181<sub>0</sub>にフィードバックを送るように配置構成される。

【0583】

startニューロン319は、積分回路180のinput+ニューロン181<sub>1</sub>上で時間間隔 $T_{min}$ で隔てられた2つのイベントの形でゼロ値を供給する2つのシナプス328、329のエミッタノードである。

【0584】

一次結合回路200のoutput+ニューロン143およびoutput-ニューロン144は、2つのシナプス330、331のそれぞれのエミッタノードであり、そのレシーバノードは、それぞれ、積分回路310のoutput+ニューロン313およびoutput-ニューロン314である。

10

20

30

40

50

【0585】

最後に、積分回路310は、一次結合回路200のstartニューロン207から来るシナプス332のレシーバノードであるnew inputニューロン320を有する。

【0586】

初期値 $x_0$ は、その符号に従って、initニューロン318、次いでstartニューロン319がアクティベートされた後に、output+ニューロン313またはoutput-ニューロン314上で送られる。それと同時に、new inputニューロン320によってイベントが送出される。このイベントは、回路310の環境に、 $k=0$ の場合の微分値 $g'(k.dt)$ を与えることができることを知らせるものである。微分値 $g'(k.dt)$ がinput+ニューロン311またはinput-ニューロン312上で与えられるとすぐに、新しい積分値がoutput+ニューロン313またはoutput-ニューロン314によって送られ、new inputニューロン320によって送出された新しいイベントが、回路310の環境に、次の微分値 $g'((k+1).dt)$ が与えられ得ることを知らせる。このプロセスは、微分値 $g'(k.dt)$ が与えられる( $k=0, 1, 2, \dots$ )限り繰り返される。

10

【0587】

( $k+1$ )次微分値 $g'(k.dt)$ が積分器回路310に与えられた後、値の表現

【0588】

【数172】

$$x_0 + \sum_{i=0}^k g'(i.dt).dt \quad (23)$$

20

【0589】

が出力のところ得られ、これは、付加定数まで、 $T=(k+1).dt$ である場合に

【0590】

【数173】

$$g(T) = \int_0^T g'(t).dt$$

【0591】

の近似となっている。

30

【0592】

図1~図28を参照しつつ上で説明されている回路は、入力および/または出力のところ、操作される値が、ニューロンによって受信されるかまたは送出されるイベントの間の時間間隔によって表される多数のタイプの計算を実行するように組み立てられ、構成され得る。

【0593】

特に、図29、図31、および図33は、微分方程式を解くために使用される本発明による処理デバイスの例を示している。計算は、これらの図のように製作された回路により、純粋に一例として、すなわち、 $\tau_m=100s$ 、 $\tau_f=20ms$ 、 $V_t=10mV$ 、 $T_{min}=10ms$ 、および $T_{cod}=100ms$ のように選択したパラメータを用いて実行された。

40

【0594】

E.2. 一階微分方程式

図29は、微分方程式

【0595】

【数174】

$$\tau \frac{dx}{dt} + X(t) = X_{\infty} \quad (24)$$

50

## 【0596】

の解を求める処理デバイスを示しており、

ここで、 $\alpha$  および  $X$  は様々な値を取り得るパラメータである。図29に示されているシナプスは、すべて重み  $w_e$  および遅延  $T_{syn}$  を有する励起Vシナプスである。

## 【0597】

方程式(24)を解くために、図29のデバイスでは、

$N=2$  および係数  $\alpha_0 = -1/$  および  $\alpha_1 = +1/$  とした、図20に示されているような一次結合回路200と、

積分ステップサイズを  $dt$  とした、図28に示されているような積分器回路310と、

図28を参照しつつ説明されている回路317のように、定数  $X$  を、 $X$  の符号に従って、 $output+$ ニューロン315または $output-$ ニューロン316のいずれかによって送出される2つのスパイクの間の時間間隔  $f(|X|)$  の形で与えるための回路317とを使用する。

10

## 【0598】

定数  $X$  は、積分器回路310のnew inputニューロン320から来るシナプス340のレシーバノードである recallニューロン15の各アクティベーションの後に一次結合回路200内の係数  $\alpha_1 = 1/$  に関連付けられているinput+およびinput-ニューロン181<sub>1</sub>のうちの1つで与えられる。2つのシナプス341、342は、積分器回路310の出力ノードoutput+313から一次結合回路200の他の入力ノードinput+181<sub>0</sub>に、および回路310の出力ノードoutput-314から回路200の他の入力ノードinput-181<sub>0</sub>にフィードバックを送る。2つのシナプス343、344は、一次結合回路200の出力ノードoutput+203から積分器回路310の入力ノードinput+311へ進み、それぞれ、回路200の出力ノードoutput+204から回路310の入力ノードinput-312に進む。

20

## 【0599】

図29のデバイスは、積分器回路310のoutput+ニューロン313およびoutput-ニューロン314から来る2つのシナプスのレシーバノードであるoutput+ニューロン346とoutput-ニューロン347の対を有する。

## 【0600】

initニューロン348およびstartニューロン349は、積分のプロセスを初期化し、開始することを可能にする。initニューロン348は、初期値を積分器回路310にロードするために積分プロセスの前にトリガされなければならない。startニューロン349は、回路310から第1の値を送出するようにトリガされる。

30

## 【0601】

図29のデバイスは、前の図を参照しつつ説明されているような構成要素が使用される場合に118個のニューロンを使用して作られる。ニューロンのこの数は、最適化を介して減らすことができる。

## 【0602】

パラメータ  $\alpha$ 、 $X$  の様々なセットを使用し、積分ステップサイズ  $dt=0.5$  とした場合のこのデバイスのシミュレーションの結果が、 $\alpha$  の様々な値について図30Aに、また  $X$  の様々な値について図30Bに、提示されている ( $X = -0.2$ 、 $X = 0.1$ 、 $X = -0.4$ )。図30Aおよび図30Bに示されている曲線C1-C3、C'1-C'3の各点は、output+ニューロン346またはoutput-ニューロン347によって送出される一対のスパイクによって符号化されたそれぞれの出力値に対応する。微分方程式(24)の解  $X(t)$  についてこうして得られた曲線は、(解析解を介して)予想されているものに対応することが観察される。

40

## 【0603】

E.3. 二階微分方程式

図31は、微分方程式

## 【0604】

【数 175】

$$\frac{1}{\omega_0^2} \frac{d^2 X}{dt^2} + \frac{\xi}{\omega_0} \frac{dX}{dt} + X(t) = X_\infty \quad (25)$$

【0605】

の解を求める処理デバイスを示しており、

ここで、 $\omega_0$  および  $\xi$  は様々な値を取り得るパラメータである。図31に示されているシナプスは、すべて重み  $w_e$  および遅延  $T_{syn}$  を有する励起Vシナプスである。この例で操作される値はすべて正であるので、正の値に対する経路と負の値に対する経路とについて異なる2つの経路を用意する必要はない。したがって、正の値に関係する経路のみが含まれる。

10

【0606】

方程式(25)を解くために、図31のデバイスでは、

$N=3$  および係数  $\omega_0 = \omega_2 = \omega_0^2$  および  $\xi = -\xi_0$  とした、図20に示されているような一次結合回路200と、

積分ステップサイズを  $dt$  とした、図28に示されているものに似た2つの積分器回路310A、310Bと、

図1を参照しつつ説明されている回路のように、定数  $X_\infty$  を、outputニューロン16によって送出される2つのスパイクの間の時間間隔  $f(X_\infty)$  の形で与えるための回路317 ( $X_\infty > 0$ ) とを使用する。

20

【0607】

定数  $X_\infty$  は、第2の積分器回路310Bのnew inputニューロン320から来るシナプス350のレシーバノードであるrecallニューロン15の各アクティベーションの後に一次結合回路200内の係数  $\omega_2 = \omega_0^2$  に関連付けられているinputニューロン181<sub>2</sub>のところで与えられる。2つのシナプス351、352は、第2の積分器回路310Bの出力ノードoutput313から係数  $\xi_1 = -\xi_0$  に関連付けられている一次結合回路200の入力ノードinput181<sub>1</sub>へ、それぞれ、第1の積分器回路310Aの出力ノードoutput313から係数  $\omega_0 = \omega_0^2$  に関連付けられている、回路200の他の入力ノードinput181<sub>0</sub>へフィードバックを送る。シナプス353は、一次結合回路200の出力ノードoutput203から第1の積分器回路310Aの入力ノードinput311に進む。シナプス354は、第1の積分器回路310Aの出力ノードoutput313から第2の積分器回路310Bの入力ノードinput311に進む。

30

【0608】

図31のデバイスは、第2の積分器回路310Bのoutputニューロン313から来るシナプスのレシーバノードであるoutputニューロン356を有する。

【0609】

initニューロン358およびstartニューロン359は、積分のプロセスを初期化し、開始することを可能にする。initニューロン358は、初期値を積分器回路310A、310Bにロードするために積分プロセスの前にトリガされなければならない。startニューロン359は、第2の積分器回路310Bから第1の値を送出するようにトリガされる。

40

【0610】

図31のデバイスは、前の図を参照しつつ説明されているような構成要素が使用される場合に187個のニューロンを使用して作られる。ニューロンのこの数は、最適化を介して減らすことができる。

【0611】

パラメータ  $\omega_0$ 、 $\xi_0$  の様々なセットを使用し、積分ステップサイズ  $dt=0.2$  および  $X_\infty = -0.5$  とした場合のこのデバイスのシミュレーションの結果が、 $\omega_0$  の様々な値について図32Aに、また  $\xi_0$  の様々な値について図32Bに、提示されている。図32Aおよび図32Bに示されている曲線D1-D3、D'1-D'3の各点は、outputニューロン356によって送出される一対のスパ

50

イクによって符号化されたそれぞれの出力値に対応する。微分方程式(25)の解 $X(t)$ についてこうして得られた曲線はここでもまた予想されているものに対応することは明らかである。

【0612】

#### E.4. 非線形微分方程式系の解法

図33は、決定論的非周期性フローのモデリングのためにE. Lorenzによって提案された非線形微分方程式系

【0613】

【数176】

$$\begin{cases} \frac{dx}{dt} = \sigma(Y(t) - X(t)) \\ \frac{dy}{dt} = \rho \cdot X(t) - Y(t) - X(t) \cdot Z(t) \\ \frac{dz}{dt} = X(t) \cdot Y(t) - \beta \cdot Z(t) \end{cases} \quad (26)$$

10

【0614】

の解を求める処理デバイスを示している(「Deterministic Nonperiodic Flow」、Journal of the Atmospheric Sciences、第20巻、第2号、130~141頁、1963年3月)。

【0615】

モデル化されたシステムがカオスの挙動を示すことを確実にするために、図33のデバイスは、パラメータ  $\sigma=10$ 、 $\rho=8/3$ 、および  $\beta=28$  の選択でシミュレートされた。変数は、状態変数 $X$ 、 $Y$ 、および $Z$ を得るためにスケールされ、上記の形式(11)で表すことが可能であるように各々区間 $[0,1]$ 内で変化する。システムの初期状態は、 $X=-0.15$ 、 $Y=-0.20$ 、および $Z=0.20$ に設定された。使用される積分ステップサイズは $dt=0.01$ であった。

20

【0616】

図33に示されているシナプスは、すべて重み $w_e$ および遅延 $T_{syn}$ を有する励起 $V$ シナプスである。図面を簡素化するために、1つの経路のみが図示されているが、毎回、変数の正の値に1つの経路、それに並行して、負の値に1つの経路があることは理解されるべきである。

30

【0617】

方程式系(26)を解くために、図33のデバイスでは、

$X$ 、 $Y$ 、および $Z$ の微分に含まれる非線形性を計算するために図27に示されているものに似た2つの符号付き乗算器回路290A、290Bと、

$X$ 、 $Y$ 、および $Z$ の微分を計算するために図20に示されているものに似た3つの一次結合回路200A、200B、200Cと、

システムの状態を変化させる前に3つの微分が計算されるのを待つために $N=3$ とした場合の図8に示されているもののタイプの符号付きシンクロナイザ回路90と、

微分係数 $X$ 、 $Y$ 、および $Z$ から新しい状態を計算するために図28に示されているものに似たステップサイズ $dt$ を有する3つの積分器回路310A、310B、310Cとを使用する。

40

【0618】

一次結合回路200Aは、 $N=2$ および係数  $\theta_0=$  および  $\theta_1=-$  となるように構成される。inputニューロン181A<sub>0</sub>は、積分器回路310Aのoutputニューロン313Aから励起され、inputニューロン181A<sub>1</sub>は、積分器回路310Bのoutputニューロン313Bから励起される。outputニューロン203Aは、inputニューロン91<sub>0</sub>からシンクロナイザ回路90まで及ぶシナプスのエミッタノードである。

【0619】

一次結合回路200Bは、 $N=3$ および係数  $\theta_0=$  および  $\theta_1= \theta_2=-1$ となるように構成される。inputニューロン181B<sub>0</sub>は、積分器回路310Bのoutputニューロン313Bから励起され、inputニューロン181B<sub>1</sub>は、積分器回路310Aのoutputニューロン313Aから励起され、inputニュー

50

ーロン181B<sub>2</sub>は、乗算器回路290Aのoutputニューロン295Aから励起される。outputニューロン203Bは、inputニューロン91<sub>1</sub>からシンクロナイザ回路90に至るシナプスのエミッタノードである。

【0620】

一次結合回路200Cは、 $N=2$ および係数  $w_0=1$ および  $w_1=-$  となるように構成される。inputニューロン181C<sub>0</sub>は、乗算器回路290Bのoutputニューロン295Bから励起され、inputニューロン181C<sub>1</sub>は、積分器回路310Cのoutputニューロン313Cから励起される。outputニューロン203Cは、inputニューロン91<sub>2</sub>からシンクロナイザ回路90まで及ぶシナプスのエミッタノードである。

【0621】

3つのシナプスは、それぞれ、シンクロナイザ回路90のoutputニューロン92<sub>0</sub>から積分器回路310Aのinputニューロン311Aに進み、回路90のoutputニューロン92<sub>1</sub>から積分器回路310Bのinputニューロン311Bに進み、回路90のoutputニューロン92<sub>2</sub>から積分器回路310Cのinputニューロン311Cに進む。

【0622】

乗算器回路290Aのinputニューロン291A<sub>1</sub>は、積分器回路310Aのoutputニューロン313Aから励起され、inputニューロン291A<sub>2</sub>は、積分器回路310Cのoutputニューロン313Cから励起される。乗算器回路290Bのinputニューロン291B<sub>1</sub>は、積分器回路310Aのoutputニューロン313Aから励起され、inputニューロン291B<sub>2</sub>は、積分器回路310Bのoutputニューロン313Bから励起される。

【0623】

図33のデバイスは、積分器回路310A、310B、310Cのoutputニューロン313A、313B、および313Cから来る3つのそれぞれの励起Vシナプスのレシーバノードである3つのoutputニューロン361、362、および363を有する。これら3つのoutputニューロン361~363は、一対のイベントを送出し、その間隔は、方程式系(26)について計算された解 $\{X(t), Y(t), Z(t)\}$ の値を表す。

【0624】

図33のデバイスは、前の図を参照しつつ説明されているような構成要素が使用される場合に549個のニューロンを使用して作られる。ニューロンのこの数は、最適化を介して著しく減らすことができる。

【0625】

図34内の点は、各々、それぞれ図33に示されているデバイスのシミュレーションを例示する三次元グラフ内の3つのoutputニューロン361~363によって送出される3対のスパイクによって符号化された出力値の三つ組み $\{X(t), Y(t), Z(t)\}$ に対応する。点Pは、シミュレーションの初期化値 $X(0)$ 、 $Y(0)$ 、および $Z(0)$ を表す。他の点は、図33のデバイスによって計算された三つ組みを表す。

【0626】

この系は、Lorenzによって説明されているストレンジアトラクターに従って予想通りの挙動を示す。

【0627】

#### F. 議論

一組の処理ノードにおけるイベントの間の時間間隔の形態でデータを表現する提案されている計算アーキテクチャは、非常に効率よく高速に初等関数を実行する比較的単純な回路を設計することを可能にすることが示された。一般に、計算の結果は、様々な入力データが提供されるとすぐに利用可能である(わずかなシナプス遅延で可能)。

【0628】

これらの回路は、より高度な計算を実行するように組み立てられ得る。これらは、強力な計算構造が構築できる一種の基本構造を形成する。この例は、微分方程式の解に関して示されている。

【0629】

10

20

30

40

50

基本回路が組み立てられるときに、使用されるニューロンの数を最適化することが可能である。たとえば、回路のいくつかは、inputニューロン、および/またはoutputニューロンおよび/またはfirst、lastニューロンとともに説明された。実際、基本回路間のインターフェースにおけるこれらのニューロンは、実行される機能を変更することなく排除され得る。

【0630】

処理ノードは、典型的には、行列として構成される。これは、FPGAを使用する実装に特に十分役立つ。

【0631】

処理デバイスの例示的な実装における、一組の処理ノード、またはこの一組のノードの一部を形成するプログラム可能なアレイ400は、図35に概略が示されている。アレイ400は複数のニューロンからなり、これらはすべてその接続で受信されたイベントに従って同じ挙動モデルを有する。たとえば、挙動は、上で示されている方程式(1)によってモデル化することができ、この場合、アレイの様々なノードに対してパラメータ  $m$  および  $r$  は同一である。

【0632】

プログラミングまたは構成論理回路420は、アレイ400のノードの間の接続のシナプス重みおよび遅延パラメータを調整するためにアレイ400に関連付けられる。この構成は、人工ニューラルネットワークの分野における決まり切った慣例である方式に類似する方式で実行される。この文脈において、接続のパラメータの構成は、実行される計算プログラムに従って、時間間隔とそれらが表す値との間で使用される関係、たとえば、関係式(11)を考慮しながら実行される。プログラムが基本演算に細分される場合、その構成は、上で説明されたもののタイプの回路の組み立ての結果行うことができる。この構成は、マンマシンインターフェースを備える制御ユニット410の制御の下で行われる。

【0633】

制御ユニット410の別の役割は、好適な時間間隔で隔てられたイベントの形態で、プログラム可能なアレイ400に入力値を渡し、アレイ400の処理ノードが計算を実行し、結果を送出することである。これらの結果は、ユーザに、またはそれらを使用するアプリケーションに提示されるように制御ユニット410によって素早く復元される。

【0634】

この計算アーキテクチャは、超並列計算を高速に実行するのに最適である。

【0635】

さらに、このタイプの構成に最適であるアルゴリズムの実行のために、計算のパイプライン構成をとることは比較的容易である。

【0636】

上で説明されている実施形態は、本発明を例示したものである。付属の請求項に示されている本発明の範囲から逸脱することなく様々な修正を加えることができる。

【符号の説明】

【0637】

- 10 回路
- 11、12 Vシナプス
- 15 recallニューロン
- 16 outputニューロン
- 18 処理回路
- 18 反転メモリデバイス
- 20 ノード
- 20 グループ
- 21 inputニューロン
- 21<sub>0</sub>、...、21<sub>N-1</sub> inputニューロン
- 21<sub>k</sub> inputニューロン

10

20

30

40

50

22、24	励起Vシナプス	
23	「first」ニューロン	
24	Vシナプス	
25	「last」ニューロン	
26、27	$g_e$ シナプス	
28	Vシナプス	
30	accニューロン	
31	recallニューロン	
32	励起Vシナプス	
33	outputニューロン	10
34	励起Vシナプス	
35	励起Vシナプス	
40	処理回路	
40	メモリ回路	
40 <sub>0</sub> 、...	40 <sub>N-1</sub> メモリ回路	
40 <sub>k</sub>	メモリ回路	
41	$g_e$ シナプス	
42	第1のaccニューロン	
43	$g_e$ シナプス	
44	第2のaccニューロン	20
45	$g_e$ シナプス	
46	Vシナプス	
47	readyニューロン	
47 <sub>0</sub> 、...	47 <sub>N-1</sub> readyニューロン	
48	recallニューロン	
48 <sub>0</sub> 、...	48 <sub>N-1</sub> recallニューロン	
49	Vシナプス	
50	outputニューロン	
50 <sub>0</sub> 、...	50 <sub>N-1</sub> outputニューロン	
50 <sub>k</sub>	outputニューロン	30
51	$g_e$ シナプス	
52	Vシナプス	
60	処理回路	
60	符号付きメモリ回路	
61	input+ニューロン	
62	input-ニューロン	
63、64	励起Vシナプス	
65	ready+ニューロン	
66	ready-ニューロン	
67、68	励起Vシナプス	40
70	recallニューロン	
71、72	励起Vシナプス	
73、74	励起Vシナプス	
75	抑制Vシナプス	
76	抑制Vシナプス	
77	抑制Vシナプス	
78	抑制Vシナプス	
79、80	励起Vシナプス	
81	output+ニューロン	
82	output-ニューロン	50

84	readyニューロン	
85	励起Vシナプス	
90	処理回路	
90	符号付きシンクロナイザ回路	
91 <sub>0</sub> 、...	91 <sub>N-1</sub> ニューロン入力	
91 <sub>0</sub>	inputニューロン	
91 <sub>1</sub>	inputニューロン	
91 <sub>2</sub>	inputニューロン	
92 <sub>0</sub> 、...	92 <sub>N-1</sub> ニューロン出力	
92 <sub>0</sub>	outputニューロン	10
92 <sub>1</sub>	outputニューロン	
92 <sub>2</sub>	outputニューロン	
91 <sub>k</sub>	inputニューロン	
92 <sub>k</sub>	outputニューロン	
93 <sub>k</sub>	Vシナプス	
94 <sub>k</sub>	Vシナプス	
95	syncニューロン	
96 <sub>0</sub> 、...	96 <sub>N-1</sub> 励起Vシナプス	
97 <sub>0</sub> 、...	97 <sub>N-1</sub> 励起Vシナプス	
97	Vシナプス	20
98	シンクロナイザ回路	
99	ニューロン	
99	output refニューロン	
100	処理回路	
101、102	入力ノード	
101	inputニューロン	
102	inputニューロン	
103	出力ノード	
103	outputニューロン	
104	smallerニューロン	30
105	smallerニューロン	
106~115	シナプス	
106	励起Vシナプス	
107	励起Vシナプス	
108	励起Vシナプス	
109	励起Vシナプス	
110	励起Vシナプス	
111	励起Vシナプス	
112	抑制Vシナプス	
113	抑制Vシナプス	40
114	抑制Vシナプス	
115	抑制Vシナプス	
120	処理回路	
121、122	入力ノード	
123	出力ノード	
124	largerニューロン	
125	largerニューロン	
126	励起Vシナプス	
127	励起Vシナプス	
128	励起Vシナプス	50

129	励起Vシナプス	
132	抑制Vシナプス	
133	抑制Vシナプス	
140	減算回路	
141、142	入力ノード	
141	inputニューロン	
142	inputニューロン	
143	出力ノード	
143	output+ニューロン	
144	output-ニューロン	10
145	syncニューロン	
146	syncニューロン	
147	inbニューロン	
148	inbニューロン	
150、151、154、157~163	シナプス	
150	励起Vシナプス	
151	励起Vシナプス	
152、153、154	励起Vシナプス	
155、156、157	励起Vシナプス	
159	抑制Vシナプス	20
160	励起Vシナプス	
161	励起Vシナプス	
162	抑制Vシナプス	
163	inbニューロン	
163	抑制Vシナプス	
170	減算器回路	
171	zeroニューロン	
172~178	高速Vシナプス	
172、173	励起Vシナプス	
174、175	抑制Vシナプス	30
176	Vシナプス	
177、178	シナプス	
180	回路	
180A、180B	累算回路	
181 <sub>0</sub>	入力ノードinput+	
181 <sub>0</sub>	入力ノードinput-	
181A <sub>0</sub>	inputニューロン	
181A <sub>1</sub>	inputニューロン	
181B <sub>0</sub>	inputニューロン	
181B <sub>1</sub>	inputニューロン	40
181B <sub>2</sub>	inputニューロン	
181C <sub>0</sub>	inputニューロン	
181C <sub>1</sub>	inputニューロン	
181 <sub>k</sub>	inputニューロン	
182 <sub>k</sub>	input-ニューロン	
182k	励起g <sub>e</sub> シナプス	
183k	抑制g <sub>e</sub> シナプス	
184	accニューロン	
185	syncニューロン	
186	励起g <sub>e</sub> シナプス	50

188	accニューロン	
189	outputニューロン	
190	重み付き加算回路	
191	励起 $g_e$ シナプス	
192	励起Vシナプス	
193	励起Vシナプス	
198、199	励起Vシナプス	
200	一次結合回路	
200A、200B、200C	一次結合回路	
201	励起Vシナプス	10
202	励起Vシナプス	
203	output+ニューロン	
203A	outputニューロン	
204	output-ニューロン	
205、206	励起Vシナプス	
207	「start」ニューロン	
208、209	励起Vシナプス	
210	Vシナプス	
210	回路	
210	対数計算回路	20
211	inputニューロン	
212	励起 $g_e$ シナプス	
213	firstニューロン	
214	抑制 $g_e$ シナプス	
215	lastニューロン	
216	accニューロン	
217	$g_f$ シナプス	
218	gateシナプス	
220	outputニューロン	
221	励起Vシナプス	30
222	励起Vシナプス	
230	累乗回路	
231	inputニューロン	
232	$g_f$ シナプス	
233	firstニューロン	
234	励起gateシナプス	
235	lastニューロン	
236	抑制gateシナプス	
237	励起 $g_e$ シナプス	
238	accニューロン	40
240	outputニューロン	
241	励起Vシナプス	
242	励起Vシナプス	
250	乗算器回路	
251 <sub>1</sub> 、251 <sub>2</sub>	inputニューロン	
252 <sub>k</sub>	励起 $g_e$ シナプス	
253 <sub>k</sub>	firstニューロン	
254 <sub>k</sub>	抑制 $g_e$ シナプス	
254 <sub>2</sub>	$g_e$ シナプス	
255 <sub>k</sub>	lastニューロン	50

255 <sub>1</sub> 、255 <sub>2</sub>	lastニューロン	
256 <sub>k</sub>	accニューロン	
256 <sub>1</sub>	accニューロン	
256 <sub>2</sub>	accニューロン	
260	syncニューロン	
261 <sub>1</sub> 、261 <sub>2</sub>	励起Vシナプス	
262	g <sub>f</sub> シナプス	
264	励起gateシナプス	
265	g <sub>f</sub> シナプス	
266	励起gateシナプス	10
268	accニューロン	
269	g <sub>f</sub> シナプス	
270	励起gateシナプス	
271	抑制gateシナプス	
272	励起g <sub>e</sub> シナプス	
274	outputニューロン	
275	励起Vシナプス	
276	励起Vシナプス	
278 <sub>1</sub> 、278 <sub>2</sub>	線形数列	
279	プラトー	20
280 <sub>1</sub>	指数関数的変化	
281	指数関数的変化	
290	乗算器回路	
290A、290B	符号付き乗算器回路	
291 <sub>k</sub>	input+ニューロン	
292 <sub>k</sub>	input-ニューロン	
292 <sub>1</sub> 、292 <sub>2</sub>	input-ニューロン	
291A <sub>1</sub>	inputニューロン	
291A <sub>2</sub>	inputニューロン	
291B <sub>1</sub>	inputニューロン	30
291B <sub>2</sub>	inputニューロン	
293 <sub>k</sub> 、294 <sub>k</sub>	Vシナプス	
293 <sub>1</sub> 、294 <sub>1</sub>	Vシナプス	
295	output+ニューロン	
295A	outputニューロン	
295B	outputニューロン	
296	output-ニューロン	
297、298	励起Vシナプス	
300 ~ 303	signニューロン	
302	signニューロン	40
305	抑制Vシナプス	
306	抑制Vシナプス	
307	抑制Vシナプス	
308	抑制Vシナプス	
310	積分回路	
310A、310B、310C	積分器回路	
311	input+ニューロン	
311A、311B、311C	inputニューロン	
312	input-ニューロン	
313	output+ニューロン	50

313A、313B、313C	outputニューロン	
314	output-ニューロン	
315	output+ニューロン	
316	output-ニューロン	
317	回路	
318	initニューロン	
319	startニューロン	
320	new inputニューロン	
321 ~ 332	Vシナプス	
323、324	Vシナプス	10
325	シナプス	
326、327	シナプス	
328、329	シナプス	
330、331	シナプス	
341、342	シナプス	
346	output+ニューロン	
347	output-ニューロン	
348	initニューロン	
349	startニューロン	
350	シナプス	20
351、352	シナプス	
353	シナプス	
354	シナプス	
356	outputニューロン	
358	initニューロン	
359	startニューロン	
361、362、363	outputニューロン	
400	アレイ	
410	制御ユニット	
420	プログラミングまたは構成論理回路	30

【 図 1 】

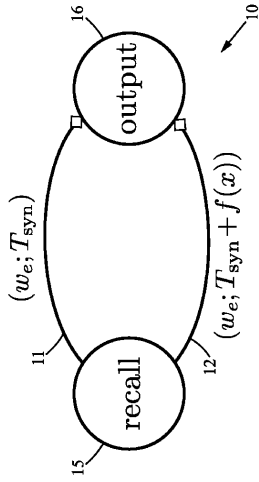


FIG. 1

【 図 2 】

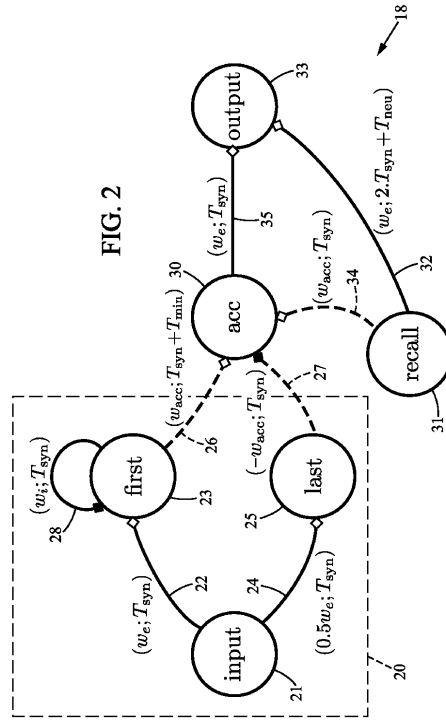


FIG. 2

【 図 3 】

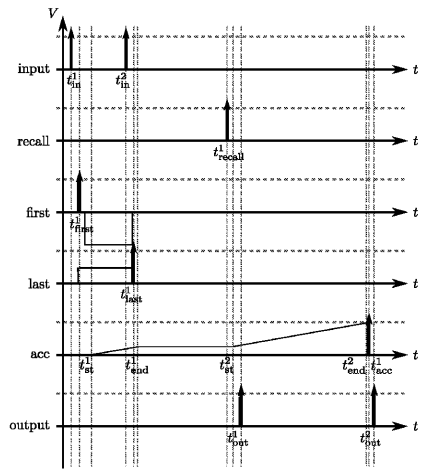


FIG. 3

【 図 4 】

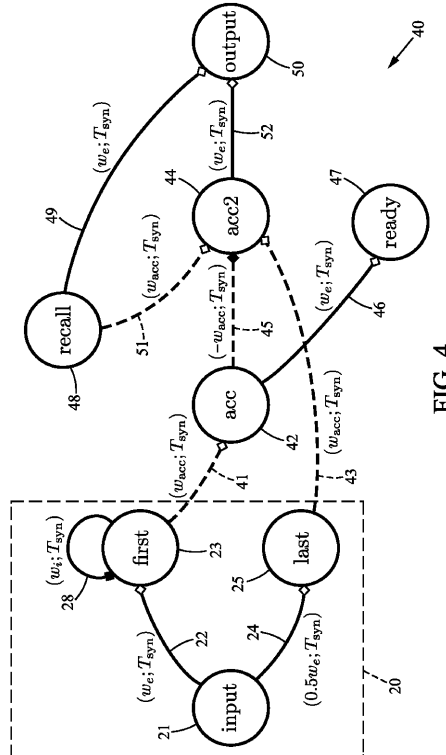


FIG. 4



【 図 9 】

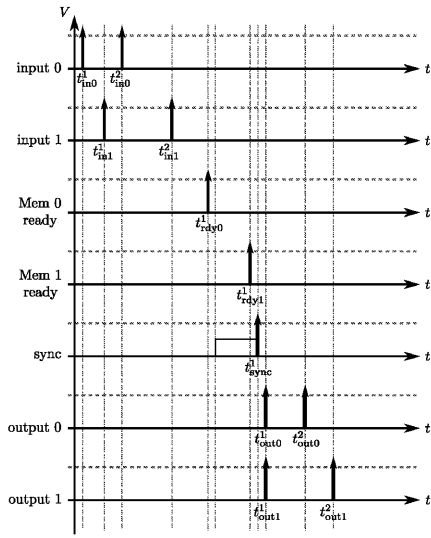


FIG. 9

【 図 10 】

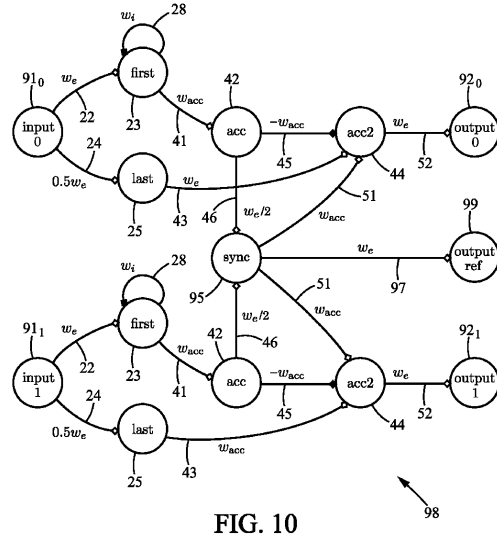


FIG. 10

【 図 11 】

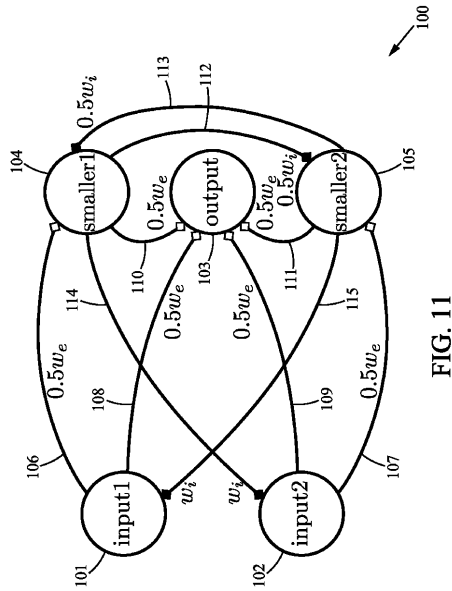


FIG. 11

【 図 12 】

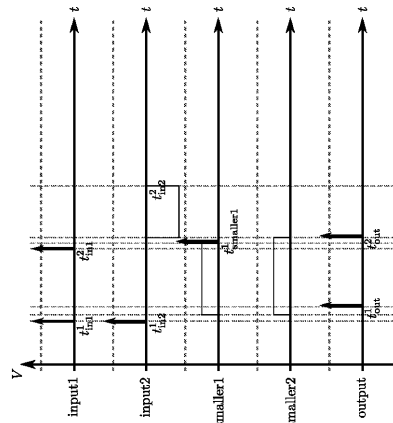


FIG. 12

【 図 13 】

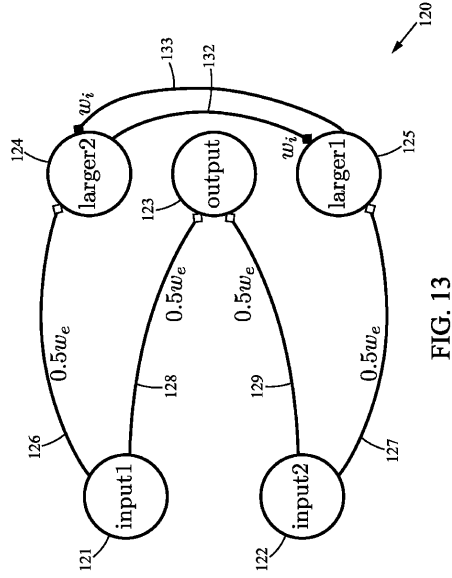


FIG. 13

【 図 14 】

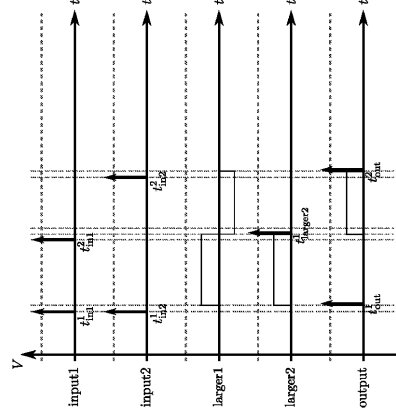


FIG. 14

【 図 15 】

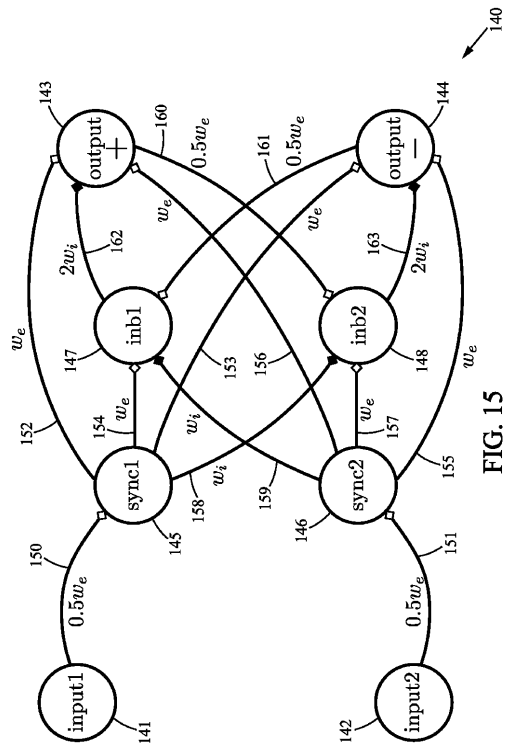


FIG. 15

【 図 16 】

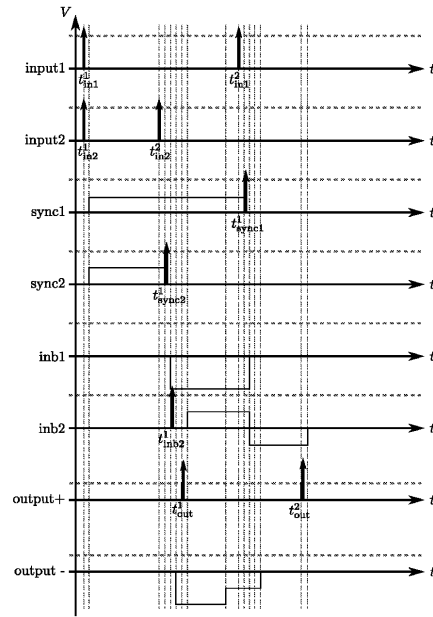


FIG. 16

【 図 17 】

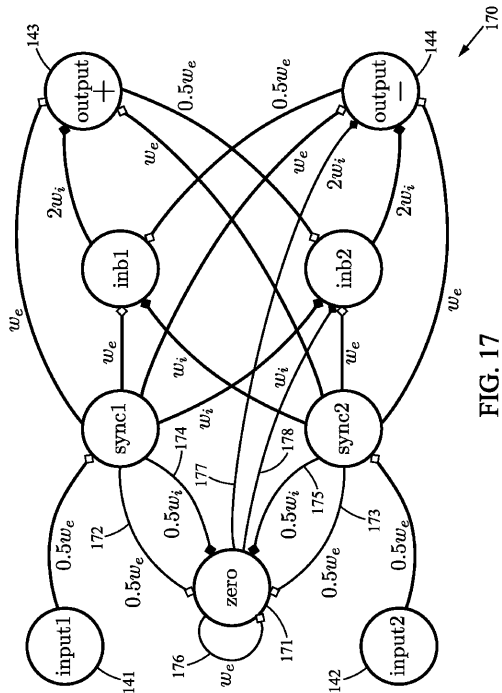


FIG. 17

【 図 18 】

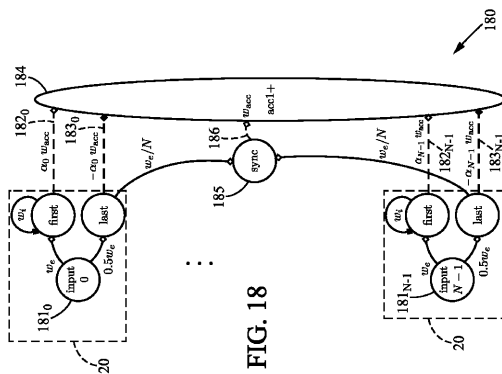


FIG. 18

【 図 19 】

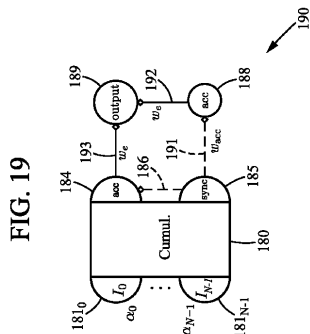


FIG. 19

【 図 20 】

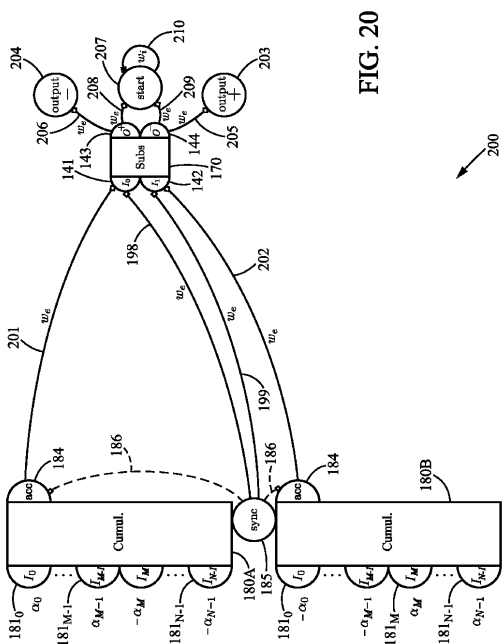


FIG. 20

【 図 21 】

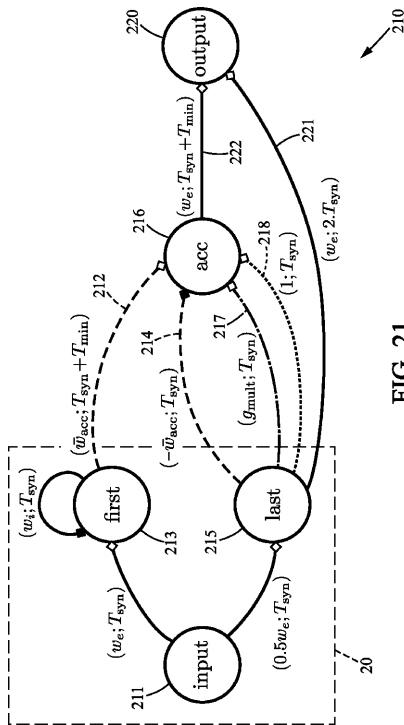


FIG. 21

【 2 2 】

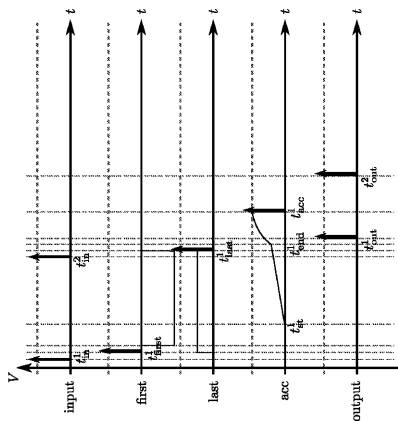


FIG. 22

【 2 3 】

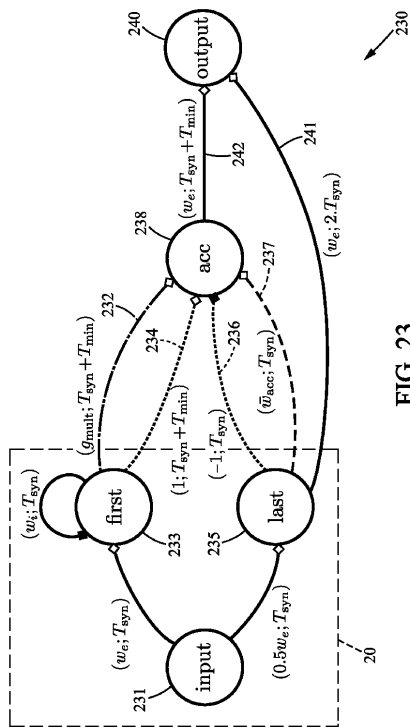


FIG. 23

【 2 4 】

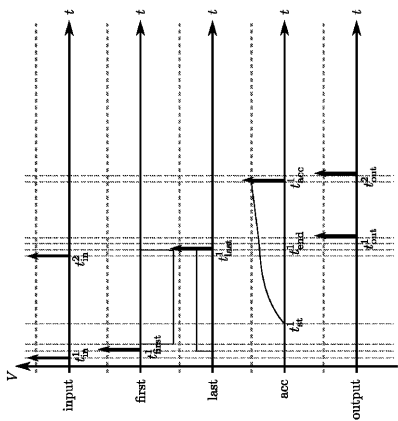


FIG. 24

【 2 5 】

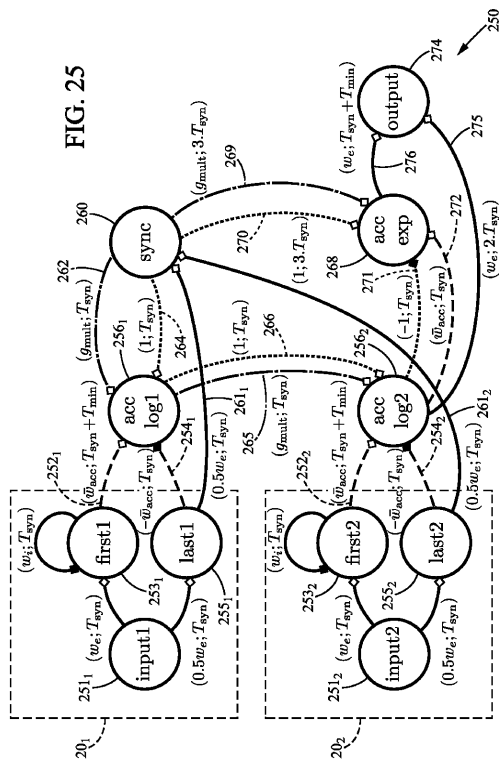


FIG. 25

【図26】

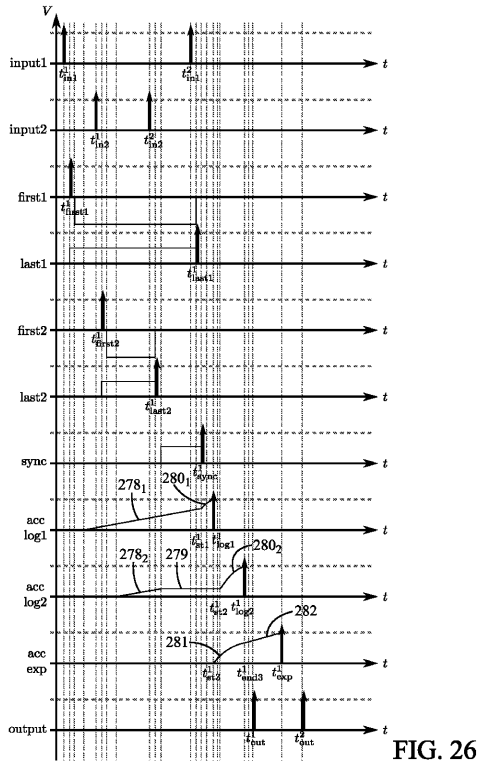


FIG. 26

【図27】

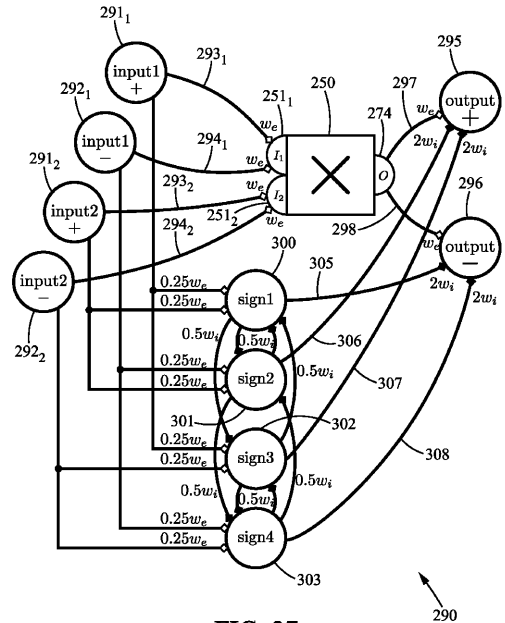
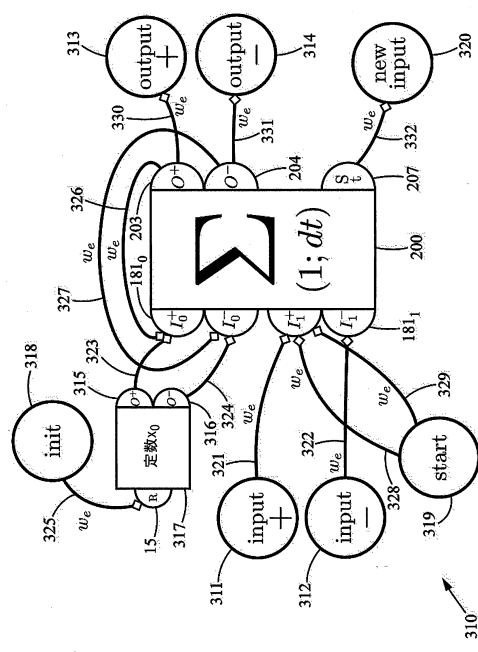


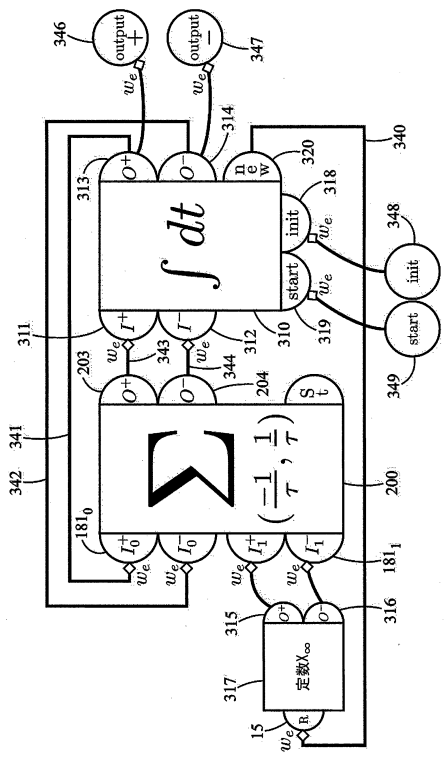
FIG. 27

【図28】

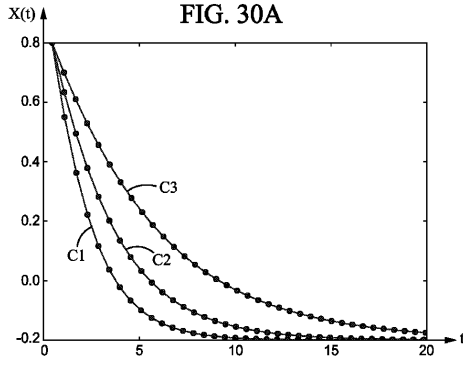


310

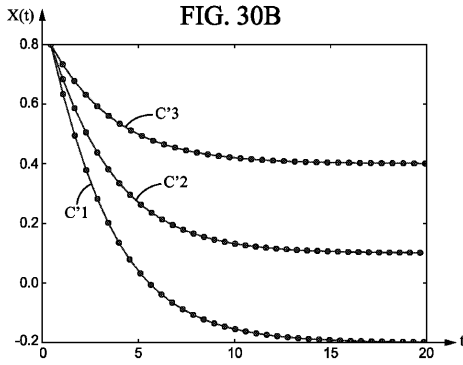
【図29】



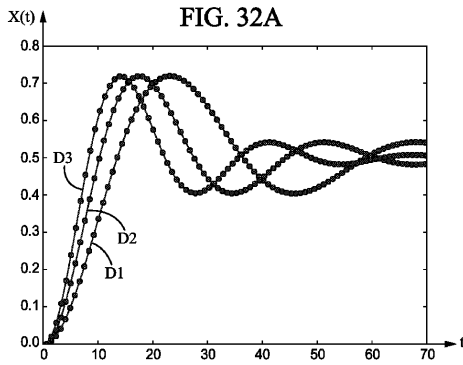
【 30 A 】



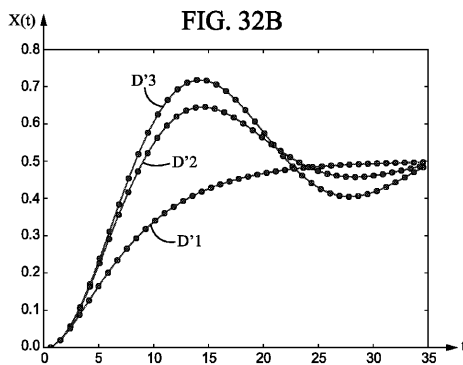
【 30 B 】



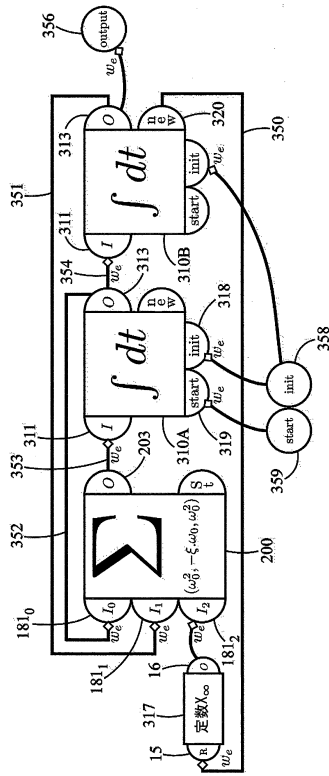
【 32 A 】



【 32 B 】



【 31 】



【 33 】

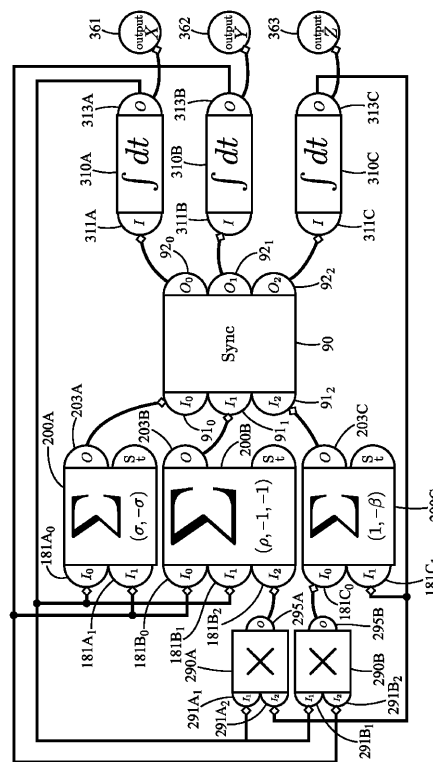


FIG. 33

【 3 4 】

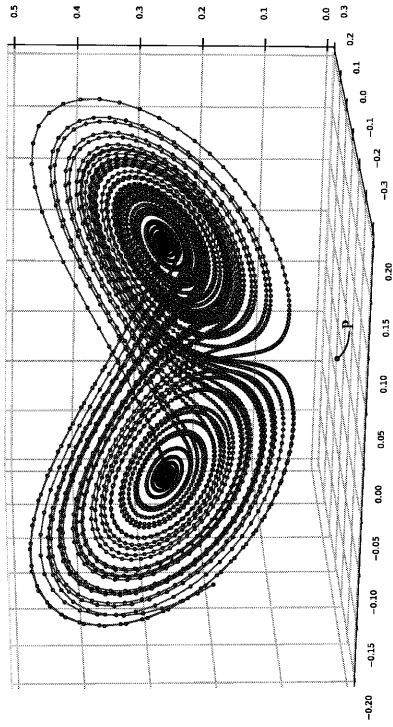
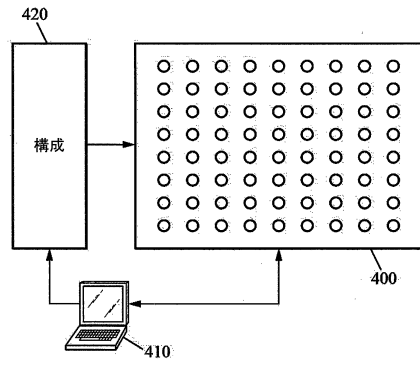


FIG. 34

【 3 5 】



## フロントページの続き

(73)特許権者 507002516

アンセルム (アンスティチュート・ナシオナル・ドゥ・ラ・サンテ・エ・ドゥ・ラ・ルシェルシュ  
・メディカル)

フランス・75013・パリ・リュ・ドゥ・トルビアク・101

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者 リャド・ベノスマン

フランス・93500・パンタン・シテ・デ・フォワイエ・8

(72)発明者 グザヴィエ・ラゴルス

フランス・94000・クレティユ・リュ・ドゥ・メリー・65

審査官 今城 朋彬

(56)参考文献 BELHADJ, Bilel et al., Continuous Real-World Inputs Can Open Up Alternative Accelerator Designs, Proceedings of the 40th Annual International Symposium on Computer Architecture, [online], 2013年6月, pp.1-12, [検索日 2020年5月26日], URL, <https://dl.acm.org/doi/10.1145/2485922.2485923>

(58)調査した分野(Int.Cl., DB名)

G06N 3/063

G06G 7/12