

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/10

(11) 공개번호 특2001-0021337
(43) 공개일자 2001년03월 15일

(21) 출원번호	10-2000-0047490
(22) 출원일자	2000년08월 17일
(30) 우선권주장	1999-231031 1999년08월 18일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무 일본 도쿄도 치요다쿠 간다스루가다이 4쵸메 6반치가부시기가이샤 히타치초엘에스아이시스템즈 스즈키 진이치로 일본국 도쿄도 고다이라시 죠스이혼쵸5-22-1
(72) 발명자	도요카와시게야 일본도쿄도고다이라시죠스이혼쵸5쵸메22-1가부시기가이샤히타치초엘에스아이시스템즈내 하시모또다카시 일본도쿄도지요다꾸마루노우쵸1쵸메5-1신마루빌딩가부시기가이샤히타치세이사쿠쇼지적소유권본부내 구로다겐이찌 일본도쿄도지요다꾸마루노우쵸1쵸메5-1신마루빌딩가부시기가이샤히타치세이사쿠쇼지적소유권본부내 요시다쇼우지 일본도쿄도고다이라시죠스이혼쵸5쵸메22-1가부시기가이샤히타치초엘에스아이시스템즈내 이와끼도시유키 일본도쿄도고다이라시죠스이혼쵸5쵸메22-1가부시기가이샤히타치초엘에스아이시스템즈내 마쯔오까마사미찌 일본도쿄도지요다꾸마루노우쵸1쵸메5-1신마루빌딩가부시기가이샤히타치세이사쿠쇼지적소유권본부내
(74) 대리인	장수길, 구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치 및 그 제조 방법

요약

비트선 BL이 접속되는 콘택트홀(19)의 내부에 다결정 실리콘막으로 구성된 플러그(21)를 형성할 때, 플러그(21)의 상면을 콘택트홀(19)의 상단부보다 아래쪽으로 후퇴시키고, 플러그(21)의 상부에 TiN막(26)과 W막(27)과의 적층막으로 구성된 플러그(22)를 형성한다. 그 후, 콘택트홀(19)의 상부에 피착한 W막을 패터닝하여 콘택트홀(19)의 직경보다 좁은 폭의 비트선 BL을 형성한다. 이 때, 콘택트홀(19)의 내부에서는 플러그(22)의 일부를 구성하는 W막(27)도 에칭되지만, 플러그(22)의 다른 일부를 구성하는 TiN막(26)이 깎이는 일은 거의 없다.

대표도

도20

색인어

반도체 기판, 소자 분리층, p형 웰, 산화 실리콘막, 게이트 산화막, 게이트 전극, 질화 실리콘막, 측벽 스페이서, 실리사이드층, 콘택트홀, 관통홀, 비트선, 정보 축적용 용량 소자, MISFET

명세서

도면의 간단한 설명

[illegible]

도 45는 본 발명의 실시예 3의 변형예인 반도체 집적 회로 장치의 제조 방법을 나타내는 기판의 주요부 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 반도체 기판
 2 : 소자 분리홈
 3 : p형 웰
 5 : 산화 실리콘막
 6 : 게이트 산화막
 7A, 7B, 7C : 게이트 전극
 8 : 질화 실리콘막
 9 : n⁻형 반도체 영역
 10 : p⁻형 반도체 영역
 11 : 측벽 스페이서
 12 : 산화 실리콘막
 13 : n⁺형 반도체 영역 (소스, 드레인)
 14 : p⁺형 반도체 영역 (소스, 드레인)
 16 : 실리사이드층
 17 : 질화 실리콘막
 18 : 산화 실리콘막
 19 : 콘택트홀
 26 : TiN막
 27 : W막
 42 : 홈
 43 : 산화 탄탈막
 51, 52 : 관통홀
 BL : 비트선
 C : 정보 축적용 용량 소자
 Qn : n채널형 MISFET
 Qp : p채널형 MISFET
 Qs : 메모리셀 선택용 MISFET
 WL : 워드선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치 및 그 제조 기술에 관한 것으로, 특히 DRAM(Dynamic Random Access Memory)을 갖는 반도체 집적 회로 장치에 적용하기에 유효한 기술에 관한 것이다.

DRAM의 메모리셀은 반도체 기판의 주요면에 매트릭스형으로 배치된 복수의 워드선과 복수의 비트선과의 교점에 배치되고, 1개의 메모리셀 선택용 MISFET과 이것에 직렬 접속된 1개의 정보 축적용 용량 소자(캐패시터)에 의해 구성된다.

상기 메모리셀의 일부를 구성하는 메모리셀 선택용 MISFET은 주로 게이트 산화막, 워드선과 일체로 구성된 게이트 전극, 소스 및 드레인을 구성하는 한쌍의 반도체 영역으로 구성된다. 또한, 메모리셀의 다른 일부를 구성하는 정보 축적용 용량 소자는 메모리셀 선택용 MISFET의 상부에 배치되어 소스, 드레인의 한쪽과 전기적으로 접속된다.

상기 메모리셀 선택용 MISFET의 소스, 드레인의 다른쪽과 전기적으로 접속되는 비트선은 통상, 메모리셀 선택용 MISFET과 정보 축적용 용량 소자 사이에 배치된다. 이것은 정보 축적용 용량 소자의 축적 전하

량을 늘리고자 할 때 그 구조를 입체화하여 표면적을 늘릴 필요가 있지만, 입체화된 정보 축적용 용량 소자의 상부에 비트선을 배치한 경우에는, 비트선과 메모리셀 선택용 MISFET를 접속하는 컨택트홀의 어스펙트비(aspect ratio)가 극단적으로 커져, 그 개공(opening a hole)이 곤란해지기 때문이다.

국제 공개 공보 W098/59372호(U.S.Serial No.09/446,302)는 메모리셀 선택용 MISFET과 정보 축적용 용량 소자 사이에 비트선을 배치한 DRAM 및 그 제조 방법을 개시하고 있다.

상기 공보에 기재된 DRAM의 비트선은 메모리셀 사이를 미세화했을 때에 현재화하는 비트선 사이의 기생 용량을 저감시키기 위해서, 비트선의 폭을 인접하는 비트선과의 간격보다도 좁게 하고 있다.

또한, 상기 비트선은 W(텅스텐)를 주체로 하는 메탈막으로 구성되어 있다. 비트선을 저저항의 메탈막으로 구성함으로써, 그 시트 저항(sheet resistance)을 저감할 수 있어서 정보 판독 및 기입 속도가 향상된다. 또한, 비트선을 형성하는 공정에서 DRAM의 주변 회로의 메탈 배선을 동시에 형성할 수 있으므로, DRAM의 제조 공정을 간략화할 수 있다. 또한, W는 Al(알루미늄)에 비해 일렉트로 마이그레이션(electromigration) 내성이 크기 때문에, 비트선의 폭을 미세화했을 때의 단선 불량율을 저감할 수 있다.

상기 비트선은 산화 실리콘막(제2 산화 실리콘막)에 형성된 관통홀(through hole) 및 그 하층의 산화 실리콘막(제1 산화 실리콘막)에 형성된 컨택트홀을 통하여 메모리셀 선택용 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된다. 제1 산화 실리콘막에 형성된 상기 컨택트홀의 내부에는 저저항의 다결정 실리콘막으로 이루어지는 플러그가 매립되어 있다.

상기 비트선은 개략적으로 다음과 같은 프로세스에 의해 형성된다. 우선, 반도체 기판 상에 메모리셀을 구성하는 MISFET (메모리셀 선택용 MISFET) 및 주변 회로를 구성하는 MISFET(n채널형 MISFET 및 p채널형 MISFET)을 형성하고, 계속해서 이들 MISFET의 상부에 제1 산화 실리콘막을 형성한 후, 메모리셀 선택용 MISFET의 소스, 드레인의 상부의 제1 산화 실리콘막에 컨택트홀을 형성한다. 이들 컨택트홀의 한쪽은 상기 소스, 드레인의 한쪽과 비트선의 접속에 사용되며, 다른쪽은 소스, 드레인의 다른쪽과 정보 축적용 용량 소자와의 접속에 사용된다.

다음에, 상기 제1 산화 실리콘막의 상부에 n형 불순물 [예를 들면 P(인)]을 도핑한 다결정 실리콘막을 피착시킨 후, 산화 실리콘막 상부의 불필요한 다결정 실리콘막을 제거함으로써, 상기 컨택트홀의 내부에 플러그를 형성한다.

다음에, 상기 제1 산화 실리콘막의 상부에 제2 산화 실리콘막을 형성한 후, 상기 컨택트홀의 한쪽(비트선이 접속되는 컨택트홀)의 상부의 제2 산화 실리콘막에 관통홀을 형성한다. 상기 제2 산화 실리콘막은 상기 컨택트홀의 다른쪽(정보 축적용 용량 소자가 접속되는 컨택트홀)내의 플러그와 비트선과의 전기적 절연을 확보하기 위해 형성된다.

다음에, 상기 관통홀의 상부 영역을 포함하는 제2 산화 실리콘막의 상부에 W막을 형성한 후, 이 W막을 패터닝하여 비트선을 형성한다. 그러나 이 때, W막으로 구성된 비트선과 컨택트홀 내의 플러그(다결정 실리콘막)와 직접 접촉하면 양자의 계면에 전기 저항이 높은 실리사이드층이 형성된다. 그 때문에, 비트선(W막)과 플러그(다결정 실리콘막)사이에는 TiN (질화 티탄)과 같은 배리어층을 설치하여서, 양자의 계면 반응(interfacial reaction)을 막을 수 있다. 즉, 실제 비트선의 형성 공정에서는 상기 관통홀의 상부 영역을 포함하는 제2 산화 실리콘막 상부에 우선 TiN막을 형성하고, 계속해서 이 TiN막 상부에 W막을 형성한 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 W막과 TiN막을 패터닝함으로써 비트선을 형성한다.

발명이 이루고자하는 기술적 과제

TiN막은 W막에 비교하여 전기 저항이 높으므로, 기생 저항을 저감시키는 목적에서 TiN막의 막 두께는 얇은 쪽이 바람직하다. 또한, TiN막과 다결정 실리콘 막과의 접촉 저항은 예를 들면, TiN막과 W막과의 접촉 저항에 비해 크기 때문에 역시 기생 저항 저감의 목적에서 TiN막과 다결정 실리콘막과의 접촉 면적은 크게 확보하는 쪽이 바람직하다.

또한, TiN은 커다란 응력을 갖기 때문에 막 두께를 크게 하는 TiN막이 갖는 응력에 따라 TiN막과 다결정 실리콘막 사이에 보이드(void)가 발생하거나, 또한 TiN막과 다결정 실리콘막과의 계면이 완전히 박리되는 문제가 발생된다. TiN막의 응력을 저감하는 목적으로는 TiN막의 막두께는 얇은 쪽이 바람직하며, 또한 다소 보이드가 발생되었다고 해도 TiN막과 다결정 실리콘막과의 접속 신뢰성을 확보할 수 있는 구조를 취할 필요가 있다.

그러나, 집적도의 향상에 따라 메모리셀 선택용 MISFET의 소스, 드레인의 상부에 형성할 수 있는 컨택트홀의 직경은 점점 작아져 있고, 또한 컨택트홀의 어스펙트비도 점점 커진다.

또한, 상기 종래 기술의 DRAM은 메모리셀 사이를 축소하기 위해 비트선의 폭을 미세화한 결과, 비트선과 메모리셀 선택용 MISFET를 접속하는 컨택트홀이나 관통홀의 직경보다 비트선의 폭 부분이 좁아져 있다.

TiN막과 W막의 적층막으로 구성되는 비트선의 폭을 미세화한 경우, 컨택트홀에 매립된 플러그와 그 상부에 형성되는 비트선과의 접촉 면적도 그것에 비례하여 작아진다. 이 때, 플러그를 구성하는 다결정 실리콘막은 비트선의 하층막을 구성하는 TiN막과 계면을 접하게 되지만, 비트선과 플러그와의 접촉 면적이 작아지면 비트선과 플러그와의 컨택트 저항이 현저하게 증가하게 된다. 또한, 제조 공정의 도중에 행해지는 열처리에 기인하여 TiN막의 체적 수축으로 인해 양자의 계면에 보이드가 발생하고, 양자의 컨택트 저항이 더욱 증가하거나, 극단적인 경우에는 비트선이 플러그의 표면으로부터 박리되는 불량이 발생된다.

또한, TiN막과 W막과의 적층막을 드라이 에칭하여 비트선을 형성하는 상기 종래 기술에서는, 플러그를 구성하는 다결정 실리콘막과 TiN막과의 에칭 선택비를 확보하는 것이 곤란하기 때문에, 비트선을 패터닝할 때에 플러그(다결정 실리콘막)의 표면이 깊게 깎이게 된다.

또한, 상기 종래 기술의 DRAM은 제1 산화 실리콘막에 콘택트홀을 형성하여 그 내부에 플러그 매립한 후, 제1 산화 실리콘막의 상부에 제2 산화 실리콘막을 형성하고, 상기 콘택트홀의 한쪽(비트선이 접속되는 콘택트홀) 상부의 제2 산화 실리콘막에 관통홀을 형성하기 때문에, 공정이 번잡하다는 문제가 있다. 이러한 공정 증가는, 비트선을 형성하는 공정에서 주변 회로의 메탈 배선을 동시에 형성하는 DRAM이나, 비트선을 형성하는 공정에서 논리 회로의 메탈 배선을 동시에 형성하는 DRAM 논리 혼재 LSI 등에 있어서 특히 문제가 된다.

본 발명의 목적은 다결정 실리콘막으로 구성된 플러그의 상부에 배리어층을 통해 비트선을 형성하는 DRAM에 있어서, 플러그와 배리어층과의 접촉 면적의 감소를 방지하여 콘택트 저항의 저감 및 접속 신뢰성의 향상을 도모할 수 있는 기술을 제공하는 것이다.

또한, 본 발명의 다른 목적은 다결정 실리콘막으로 구성된 플러그의 상부에 배리어층을 통해 비트선을 형성하는 DRAM, 또는 이 DRAM을 포함하는 혼재 LSI의 제조 공정을 단축하는 것이 가능한 기술을 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은 본 명세서의 기술 및 첨부도면으로부터 명백하게 될 것이다.

본원에 있어서 개시되는 발명 중 대표적인 개요를 간단히 설명하면 다음과 같다.

(1) 본 발명의 반도체 집적 회로 장치는 반도체 기판의 주요면의 제1 영역에 형성된 제1 MISFET 및 제2 영역에 형성된 제2 MISFET의 각각의 상부에 제1 절연막이 형성되고,

상기 제1 영역의 상기 제1 절연막에 형성된 제1 콘택트홀의 내부에는 상기 제1 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된 제1 플러그 및 상기 제1 플러그의 상부에 형성된 제2 플러그가 매립되고,

상기 제2 영역의 상기 제1 절연막에 형성된 제2 콘택트홀의 내부에는 상기 제2 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된 제3 플러그가 매립되고,

상기 제1 영역의 상기 제1 절연막의 상부에는 상기 제1 콘택트홀의 내부의 상기 제1 플러그 및 그 상부의 상기 제2 플러그를 통해 상기 제1 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된 제1 배선이 형성되고,

상기 제1 콘택트홀의 내부의 상기 제2 플러그는 제1 금속 재료로 이루어지는 제1 금속막 및 그 상부에 형성된 제2 금속 재료로 이루어지는 제2 금속막으로 구성되고,

상기 제2 콘택트홀의 내부의 상기 제3 플러그는 상기 제1 금속 재료로 이루어지는 제3 금속막 및 그 상부에 형성된 상기 제2 금속 재료로 이루어지는 제4 금속막으로 구성된다.

(2) 본 발명의 반도체 집적 회로 장치의 제조 방법은 이하의 공정을 포함한다.

(a) 반도체 기판의 주요면의 제1 영역에 제1 MISFET을 형성하고, 제2 영역에 제2 MISFET을 형성한 후, 상기 반도체 기판의 주요면 상의 상기 제1 MISFET 및 상기 제2 MISFET의 상부에 제1 절연막을 형성하는 단계,

(b) 상기 제1 영역의 상기 제1 절연막에 제1 콘택트홀을 형성한 후, 상기 제1 콘택트홀의 내부에 제1 플러그를 매립함으로써, 상기 제1 MISFET의 소스, 드레인의 한쪽과 상기 제1 플러그를 전기적으로 접속하는 단계,

(c) 상기 제2 영역의 상기 제1 절연막에 제2 콘택트홀을 형성한 후, 상기 제1 콘택트홀의 내부의 상기 제1 플러그의 상부에 제2 플러그를 매립함으로써, 상기 제1 플러그와 상기 제2 플러그를 전기적으로 접속하고, 상기 제2 콘택트홀의 내부에 제3 플러그를 매립함으로써, 상기 제2 MISFET의 소스, 드레인의 한쪽과 상기 제3 플러그를 전기적으로 접속하는 단계, 및

(d) 상기 제1 영역의 상기 제1 절연막의 상부에 제1 배선을 형성하고, 상기 제1 콘택트홀의 내부의 상기 제1 플러그 및 상기 제2 플러그를 통해, 상기 제1 MISFET의 소스, 드레인의 한쪽과 상기 제1 배선을 전기적으로 접속하는 단계.

발명의 구성 및 작용

이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또, 실시예를 설명하기 위한 전 도면에 있어서 동일 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

본 발명의 실시예 1에 대해 도 1 내지 도 27 및 도 44에 따라 설명한다.

본 실시예의 반도체 집적 회로 장치는 DRAM과 논리 LSI를 혼재한 시스템 LSI이며, 예를 들면 도 1에 도시한 바와 같은 시스템 구성을 구비하고 있다. 즉, 반도체 기판(이하, 단순히 기판이라고 함: 1)의 주요면 상에는 메인 메모리인 DRAM, 연산 장치인 CPU, CPU의 제어 회로 CNTL, 인터페이스 회로 IF 및 전원 회로 PW 등이 형성되어 있다. DRAM이 형성된 영역에는 메모리셀을 어레이형으로 배치한 메모리셀 어레이 MARY, 감지 증폭기 SA, 워드선 드라이버 WD, DRAM의 제어 회로, 입출력 회로 등이 포함되어 있다. 감지 증폭기 SA, 워드선 드라이버 WD 등은 직접 주변 회로로서 메모리셀 어레이 MARY의 주변에 형성되고, 제어 회로, 입출력 회로 등은 간접 주변 회로 영역에 형성되어 있다.

다음에, 본 실시예의 시스템 LSI의 제조 방법을 도 2 내지 도 27을 이용하여 단계순으로 설명한다. 또,

특히 언급하지 않는 한, 기판의 단면을 도시한 각 도면의 좌측 부분은 메모리 영역(DRAM의 메모리 셀 어레이)을 나타내고, 우측 부분은 논리 영역을 나타낸다.

우선, 도 2에 도시한 바와 같이 예를 들면, 1~10 Ω cm 정도의 비저항을 갖는 p형의 단결정 실리콘으로 이루어지는 반도체 기판(이하, 단순히 기판이라고 함: 1)에 소자 분리홈(2), p형 웰(3) 및 n형 웰(4)을 형성하고, 계속해서 p형 웰(3) 및 n형 웰(4) 각각의 표면에 막 두께 6nm 내지 7nm 정도의 게이트 산화막(6)을 형성한 후, 메모리 영역의 게이트 산화막(6)의 상부에 게이트 전극(7A: 워드선 WL)을 형성하고, 논리 영역의 게이트 산화막(6) 상부에 게이트 전극(7B, 7C)을 형성한다.

상기 소자 분리홈(2)을 형성하기 위해서는 우선 소자 분리 영역의 기판(1)을 에칭하여 깊이 300nm~400nm 정도의 홈을 형성하고, 계속해서 홈의 내부를 포함하는 기판(1) 상에 CVD(Chemical Vapor Deposition)법으로 산화 실리콘막(5)을 피착한 후, 홈의 외부의 불필요한 산화 실리콘막(5)을 화학 기계 연마(Chemical Mechanical Polishing: CMP)법에 의해 제거한다.

또한, p형 웰(3) 및 n형 웰(4)을 형성하기 위해서는 기판(1)의 p형 웰 형성 영역에 p형 불순물(붕소)을 이온 주입하고, n형 웰 형성 영역에 n형 불순물(예를 들면 인)을 이온 주입한 후, 약 1000℃의 열처리를 행하여 이들 불순물을 확산시킨다. 또한, 게이트 산화막(6)을 형성하기 위해서는, p형 웰(3) 및 n형 웰(4)의 표면을 불산계의 세정액으로 세정한 후, 기판(1)을 약 800℃에서 스팀 산화한다.

게이트 전극(7A: 워드선 WL) 및 게이트 전극(7B, 7C)은 예를 들면, 다음과 같은 방법으로 형성한다. 우선, 기판(1) 상에 CVD법으로 막 두께 200nm 정도의 다결정 실리콘막(도시하지 않음)을 피착한 후, p형 웰(3)의 상부의 다결정 실리콘막에 n형 불순물(예를 들면 인)을 이온 주입하고, n형 웰(4)의 상부의 다결정 실리콘막에 p형 불순물(붕소)을 이온 주입한다. 다음에, 상기 다결정 실리콘막의 상부에 CVD법으로 질화 실리콘막(8)을 피착한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 질화 실리콘막(8)과 다결정 실리콘막을 드라이 에칭한다. 이에 따라, 메모리 영역의 p형 웰(3)의 상부에 n형의 다결정 실리콘으로 이루어지는 게이트 전극(7A: 워드선 WL)이 형성되고, 논리 영역의 p형 웰(3)의 상부에 동일하게 n형의 다결정 실리콘으로 이루어지는 게이트 전극(7B)이 형성된다. 또한, 논리 영역의 n형 웰(4)의 상부에는 p형의 다결정 실리콘으로 이루어지는 게이트 전극(7C)이 형성된다.

메모리 영역의 게이트 전극(7A)은 후술하는 메모리셀 선택용 MISFETQs의 게이트 전극을 구성하고, 논리 영역의 게이트 전극(7B, 7C)은 각각 후술하는 n채널형 MISFETQn, P채널형 MISFETQp의 게이트 전극을 구성한다.

도 3은, 상기 게이트 전극(7A)이 형성된 메모리 영역의 일부를 나타내는 평면도이다. 또, 상기 도 2는 도 3의 A-A' 선을 따라 절취한 단면도이다.

주위를 소자 분리홈(2)에 의해 둘러싸인 활성 영역 L은 도면의 좌우 방향으로 연장되는 가늘고 긴 성형상의 패턴으로 구성된다. 후술하는 바와 같이, 이들 활성 영역 L의 각각에는 소스, 드레인의 한쪽을 상호 공유하는 2개의 메모리셀 선택용 MISFETQs가 형성된다. 메모리셀 선택용 MISFETQs의 게이트 전극(7A)은 동일 폭 및 동일 스페이스에서 도면의 상하 방향에 따라서 직선적으로 연장되고, 활성 영역 L 이외의 영역에서는 워드선 WL로서 기능한다. 게이트 전극(7A: 워드선 WL)의 폭(게이트 길이)은 0.13 μ m 내지 0.14 μ m 정도이며, 상호 인접하는 게이트 전극(7A: 워드선 WL)끼리의 스페이스는 0.13 μ m 내지 0.14 μ m 정도이다.

다음에, 도 4에 도시한 바와 같이 p형 웰(3)에 n형 불순물(예를 들면 인)을 이온 주입하여 n⁻형 반도체 영역(9)을 형성하고, n형 웰(4)에 p형 불순물(붕소)을 이온 주입하여 p⁻형 반도체 영역(10)을 형성한 후, 도 5에 도시한 바와 같이 기판(1) 상에 CVD법으로 피착한 막 두께 50nm 내지 100nm 정도의 산화 실리콘막(도시하지 않음)을 이방적으로 에칭함으로써, 게이트 전극[7A(워드선 WL), 7B, 7C]의 측벽에 측벽 스페이스(11)를 형성한다.

다음에, 도 6에 도시한 바와 같이, 기판(1)을 열 산화함으로써 n⁻형 반도체 영역(9)의 표면 및 p⁻형 반도체 영역(10)의 표면에 산화 실리콘막(12)을 형성한 후, 이 산화 실리콘막(12)을 통하여 논리 영역의 p형 웰(3)에 n형 불순물(예를 들면 인)을 이온 주입하여 n⁺형 반도체 영역(13)을 형성하고, n형 웰(4)에 p⁺형 불순물(붕소)을 이온 주입하여 p⁺형 반도체 영역(14)을 형성한다. n⁺형 반도체 영역(13)은 n채널형 MISFETQn의 소스, 드레인을 구성하고, p⁺형 반도체 영역(14)은 p채널형 MISFETQp의 소스, 드레인을 구성한다.

다음에, 도 7에 도시한 바와 같이, 논리 영역의 n⁺형 반도체 영역(13)의 표면 및 p⁺형 반도체 영역(14)의 표면의 산화 실리콘막(12)을 웨트 에칭(wet etching)으로 제거한다. 이 때, 메모리 영역을 포토레지스트막(도시하지 않음)으로 덮어서, n⁻형 반도체 영역(9) 표면의 산화 실리콘막(12)이 제거되지 않도록 한다.

다음에, 도 8에 도시한 바와 같이, 메모리 영역의 게이트 전극(7A: 워드선 WL), 논리 영역의 게이트 전극(7B, 7C), n⁺형 반도체 영역(13: 소스, 드레인) 및 p⁺형 반도체 영역(14: 소스, 드레인) 각각의 표면에 실리사이드층(16)을 형성한다.

상기 실리사이드층(16)을 형성하기 위해서는 우선 게이트 전극[7A(워드선 WL), 7B, 7C]의 상면을 덮고 있는 질화 실리콘막(8)을 에칭으로 제거한 후, 스퍼터링법 등을 이용하여 기판(1) 상에 Co(코발트)막(도시하지 않음)을 피착하고, 계속해서 기판(1)을 열 처리하여 Co막과 실리콘[기판(1) 및 게이트 전극(7A, 7B, 7C)]을 반응시킨 후, 미반응의 Co막을 에칭으로 제거한다. 이 때, 메모리 영역의 n⁻형 반도체 영역(9)은 산화 실리콘막(12)으로 덮여져 있기 때문에, 그 표면에는 실리사이드층(16)이 형성되지

않는다. 이에 따라, 메모리셀의 누설 전류를 저감하여 리프레시(refresh) 특성을 향상시킬 수 있다. 또한, 여기까지의 공정에서, 논리 영역의 CMOS 회로를 구성하는 n채널형 MISFETQn 및 p채널형 MISFETQp가 대략 완성된다.

다음에, 도 9에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막 두께 50nm 내지 100nm 정도의 질화 실리콘막(17) 및 막 두께 400nm 내지 500nm 정도의 산화 실리콘막(18)을 순차 피착하고, 계속해서 산화 실리콘막(18)의 표면을 화학 기계 연마법으로 평탄화한 후, 도 10에 도시한 바와 같이, 메모리영역의 산화 실리콘막(18), 질화 실리콘막(17) 및 산화 실리콘막(12)을 드라이 에칭함으로써, 후의 공정에서 비트선이 접속되는 n형 반도체 영역(9)의 상부에 콘택트홀(19)을 형성한다.

상기 산화 실리콘막(18)의 에칭은 질화 실리콘에 비교하여 산화 실리콘의 에칭 속도가 커지는 조건으로 행하고, 질화 실리콘막(17)이 완전하게는 제거되지 않도록 한다. 또한, 질화 실리콘막(17)의 에칭은 질화 실리콘막(17)이 이방적으로 에칭되는 조건으로 행하고, 게이트 전극(7A: 워드선 WL)의 측벽에 질화 실리콘막(17)을 남기도록 한다. 이에 따라, 미세한 직경을 갖는 콘택트홀(19)은 게이트 전극(7: 워드선 WL)에 대하여 자기 정합(self alignment)으로 형성된다.

도 11은 상기 콘택트홀(19)의 평면 패턴을 도시한 메모리 영역의 평면도이며, 도 12는 도 11의 B-B'선을 따라 절취한 단면도이다. 도시한 바와 같이, 콘택트홀(19)은 그 일부가 소자 분리홀(2)의 상부에 연장되는 가늘고 긴 평면 패턴으로 구성된다. 콘택트홀(19)의 직경은 긴 변 방향이 540nm 정도이며, 짧은 변 방향이 140nm 정도이다.

다음에, 도 13에 도시한 바와 같이, 콘택트홀(19)의 내부에 플러그(21)를 매립한다. 플러그(21)를 매립하기 위해서는 우선 불산을 포함한 세정액을 사용하여 콘택트홀(19)의 내부를 웨트 세정하고, 계속해서 콘택트홀(19)의 내부 및 산화 실리콘막(18)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막(도시하지 않음)을 CVD법으로 피착한 후, 콘택트홀(19) 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다. 이 때, 본 실시예에서는 다결정 실리콘막을 오버 에칭함으로써, 플러그(21)의 상면을 콘택트홀(19)의 상단부보다 150 nm 정도 아래쪽으로 후퇴(retract)시킨다. 이 후퇴량은 적어도 후의 공정에서 플러그(21)의 상부에 피착하는 TiN막(26)의 막 두께보다 큰 것을 조건으로 한다.

다음에, 도 14에 도시한 바와 같이, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 논리 영역의 산화 실리콘막(18) 및 그 하층의 질화 실리콘막(17)을 드라이 에칭함으로써, n채널형 MISFETQn의 n⁺형 반도체 영역(13: 소스, 드레인) 상부에 콘택트홀(23)을 형성하고, p채널형 MISFETQp의 p⁺형 반도체 영역(14: 소스, 드레인) 상부에 콘택트홀(24)을 형성한다. 또한, 이 때 동시에, p 채널형 MISFETQp의 게이트 전극(7C)의 상부에 콘택트홀(25)을 형성한다.

다음에, 도 15 및 도 16 [콘택트홀(19)의 긴 변 방향에 따른 메모리 영역의 단면도]에 도시한 바와 같이, 논리 영역의 콘택트홀(23, 24, 25)의 내부 및 메모리 영역의 콘택트홀(19)의 내부 [플러그(21)의 상부]에 플러그(22)를 매립한다. 플러그(22)를 매립하기 위해서는, 콘택트홀(19, 23~25)의 내부 및 산화 실리콘막(18)의 상부에 CVD법으로 막 두께 30nm 내지 40nm 정도의 TiN막(26) 및 막 두께 300nm 정도의 W막(27)을 순차 피착한 후, 콘택트홀(19, 23~25)의 외부의 불필요한 TiN막(26) 및 W막(27)을 화학 기계 연마법에 의해 제거한다. 이와 같이, 논리 영역의 콘택트홀(23, 24, 25)의 내부 및 메모리 영역의 콘택트홀(19)의 내부에 플러그(22)를 동시에 매립함으로써, DRAM과 논리 LSI를 혼재한 시스템 LSI의 제조 공정을 단축할 수가 있다.

메모리 영역의 콘택트홀(19)의 내부에는 이미 다결정 실리콘으로 이루어지는 플러그(21)가 매립되어 있지만, 상술한 바와 같이, 이 플러그(21)의 상면은 콘택트홀(19)의 상단부보다도 아래쪽으로 후퇴하고 있고, 그 후퇴량은 TiN막(26)의 막 두께보다 크다. 따라서, 콘택트홀(19)의 내부 [플러그(21)의 상부]에 형성되는 플러그(22)는 논리 영역의 콘택트홀(23~25)의 내부에 형성되는 플러그(22)와 마찬가지로, TiN막(26)과 W막(27)과의 적층막으로 구성된다. 한편, 플러그(21)의 후퇴량을 TiN막(26)의 막 두께와 같거나 또는 그 이하로 한 경우에는 콘택트홀(19, 23~25) 외부의 불필요한 W막(27)을 화학 기계 연마법에 의해 제거할 때에 콘택트홀(19) 상부의 W막(27)도 제거되기 때문에, 콘택트홀(19)의 내부에 형성되는 플러그(22)는 TiN막(26)으로만 구성된다.

상기 플러그(22)는 고용점 금속인 W막(27)을 주체로 하여 구성되어 있기 때문에 저항이 낮으며 내열성이 높다. W막(27)의 하층의 TiN막(26)은 W막(27)을 CVD법으로 피착할 때에 사용하는 6불화 텅스텐(WF₆)과 Si이 반응하여 결함(표면 잠식이나 구멍)이 발생하는 것을 방지하는 배리어층으로서 기능함과 함께, 후의 열 처리 공정에서 W막(27)과 기판(1)이 반응(실리사이드화 반응)하는 것을 방지하는 배리어층으로서 기능한다. 또한, 이 TiN막(26)은 다음의 공정에서 플러그(22)의 상부에 형성하는 비트선을 구성하는 금속막(W막)과 플러그(21)를 구성하는 다결정 실리콘막이 반응하여 양자의 계면에 고저항의 실리사이드층이 형성되는 것을 방지하는 배리어층으로서도 기능한다.

도 17a는 상기 플러그(22)가 매립된 메모리 영역의 콘택트홀(19)의 상단부 근방을 나타내는 확대 단면도이다. 통상, 콘택트홀(19)의 내부에 피착한 다결정 실리콘막을 오버 에칭하여 그 상면을 후퇴시킨 경우, 그 후퇴량은 콘택트홀(19)의 중앙부에서 최대가 된다. 그 때문에, 도시한 바와 같이, 플러그(21)와 그 상부의 TiN막(26)은 TiN막(26)의 저면뿐만 아니라, 그 측면의 일부에서도 상호 접촉하게 된다. 또한, 다결정 실리콘막의 에칭 조건에 따라서는 도 17b에 도시한 바와 같이, 콘택트홀(19)의 측벽 근방에서 다결정 실리콘막[플러그(21)]의 표면이 콘택트홀(19)의 상단부까지 도달하는 것이 있다. 이 경우에는, 비트선을 구성하는 금속막과 플러그(21)를 구성하는 다결정 실리콘막이 접촉하게 되지만, 양자의 접촉 면적은 매우 작기 때문에 특별한 지장은 없다.

다음으로, 도 18, 도 19(메모리 영역의 평면도) 및 도 20(도 19의 B-B' 선을 따라 절취한 단면도)에 도시한 바와 같이, 메모리 영역의 산화 실리콘막(18)의 상부에 비트선 BL을 형성하고, 논리 영역의 산화

실리콘막(18)의 상부에 제1층패의 배선(30, 31, 32, 33)을 형성한다.

비트선 BL 및 배선(30~33)을 형성하기 위해서는 산화 실리콘막(18)의 상부에 스퍼터링법으로 막 두께 100nm 정도의 W막(도시하지 않음)을 피착한 후, 포토레지스트막(29)을 마스크로 한 드라이 에칭으로 이 W막을 패터닝한다.

또한, 본 실시예에서는 메모리셀 사이즈를 미세화했을 때에 현재화하는 비트선 BL 사이의 기생 용량을 저감시키기 위해서, 비트선 BL의 폭을 인접하는 비트선 BL과의 간격보다 좁게 한다. 즉, 도 19 및 도 20에 도시한 바와 같이, 비트선 BL의 폭은 비트선 BL의 폭 방향(B-B'선 방향)을 따르는 컨택트홀(19)의 직경보다 좁다.

이 결과, 상기 W막을 드라이 에칭하여 비트선 BL을 형성할 때, 도 20에 도시한 바와 같이, 컨택트홀(19)의 내부에서는 플러그(22)의 일부를 구성하는 W막(27)도 에칭된다. 그러나, 플러그(22)의 다른 일부를 구성하는 TiN막(26)은 W막을 에칭할 때에 사용하는 가스(예를 들면 $\text{SF}_6 + \text{Cl}_2$)에 의해서는 에칭되기 어렵기 때문에, 거의 깎이는 일은 없다. 이에 따라, 플러그(21)를 구성하는 다결정 실리콘막과 그 상부의 TiN막(26)[플러그(22)의 일부를 구성함]은 비트선 BL의 형성후에 있어서도, 그 형성 전과 동일한 넓은 면적에서 접촉하게 된다.

이와 같이, 본 실시예의 비트선 형성 방법에 따르면, TiN막(26)과 플러그(21 : 다결정 실리콘막)와의 접촉 면적을 충분히 확보할 수가 있기 때문에, 비트선 BL-플러그(22)-플러그(21) 사이의 컨택트 저항 증가를 방지할 수가 있다. 또한, 제조 공정의 도중에서 행해지는 열 처리에 기인하는 TiN막의 체적 수축에 의해서 TiN막(26)과 플러그(21: 다결정 실리콘막)와의 계면에 보이드가 발생한 경우에도, 양자의 컨택트 저항이 대폭 증가하거나, 비트선 BL이 플러그(21)의 표면으로부터 박리한다고 하는 불량이 발생되지 않기 때문에, 비트선 BL-플러그(22)-플러그(21) 사이의 접촉 신뢰성을 확보할 수가 있다.

또한, 본 실시예에 따르면, W(텅스텐)을 주체로 하는 저저항의 메탈막으로 비트선 BL을 구성함으로써, 비트선 BL을 형성하는 공정에서 논리 영역의 제1층패의 배선(30, 31, 32, 33)을 동시에 형성할 수가 있기 때문에, DRAM-논리 혼재 LSI의 제조 공정을 간략화할 수가 있다.

또한, 산화 실리콘막(18)에 형성한 컨택트홀(19)의 내부에 2층의 플러그(21, 22)를 매립하여 그 상부에 비트선 BL을 형성하는 본 실시예에 따르면, 종래 프로세스에 비교하여 비트선 형성 공정을 단축할 수가 있다.

다음에, 도 21 및 도 22 (메모리 영역의 평면도)에 도시한 바와 같이, 비트선 BL 및 제1층패의 배선(30~33)의 상부에 막 두께 300nm 정도의 산화 실리콘막(34)을 형성한 후, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 메모리 영역의 산화 실리콘막(34), 그 하층의 산화 실리콘막(18), 질화 실리콘막(17) 및 산화 실리콘막(12)을 순차 에칭함으로써, 비트선 BL이 접속되어 있지 않은 n⁻형 반도체 영역(9)의 상부에 컨택트홀(20)을 형성한다. 이 컨택트홀(20)의 직경은 140nm 정도이다.

다음에, 도 23에 도시한 바와 같이, 컨택트홀(20)의 내부에 플러그(35)를 매립한다. 플러그(35)를 매립하기 위해서는 우선 불산을 포함한 세정액을 사용하여 컨택트홀(20)의 내부를 웨트 세정하고, 계속해서 컨택트홀(20)의 내부 및 산화 실리콘막(34)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막(도시하지 않음)을 CVD법으로 피착한 후, 컨택트홀(20)의 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다.

다음에, 기판(1)을 열 처리하고, 컨택트홀(19) 내부의 플러그(21) 및 컨택트홀(20)의 내부의 플러그(35)를 구성하는 다결정 실리콘막 중의 n형 불순물을 기판[1: p형 웰(3)]에 확산시킴으로써, n⁺형 반도체 영역(15: 소스, 드레인)을 형성한다. 여기까지의 공정에서, 메모리 영역에 메모리셀 선택용 MISFETs가 형성된다.

다음에, 도 24 및 도 44에 도시한 바와 같이, 산화 실리콘막(34)의 상부에 CVD법으로 막 두께 100nm 정도의 질화 실리콘막(40)을 피착하고, 계속해서 질화 실리콘막(40)의 상부에 CVD법으로 산화 실리콘막(41)을 피착한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 메모리 영역의 산화 실리콘막(41) 및 그 하층의 질화실리콘막(40)을 드라이 에칭함으로써, 컨택트홀(20) 상부에 홀(42)을 형성한다. 정보 축적용 용량 소자의 하부 전극은 이 홀(42) 내벽을 따라서 형성되기 때문에, 하부 전극의 표면적을 크게 하여 축적 전하량을 늘리기 위해서는, 홀(42)을 형성하는 산화 실리콘막(41)을 두꺼운 막 두께(예를 들면 1.3 μm 정도)로 피착할 필요가 있다.

다음에, 도 25에 도시한 바와 같이, 상기 홀(42) 내부에 정보 축적용 용량 소자의 하부 전극으로서 사용되는 다결정 실리콘막(43)을 형성한다. 다결정 실리콘막(43)을 형성하기 위해서는 우선 홀(42)의 내부 및 산화 실리콘막(41)의 상부에 n형 불순물(인)을 도핑한 막 두께 50nm 정도의 비정질 실리콘막(도시하지 않음)을 CVD법으로 피착하고, 계속해서 홀(42)의 외부의 불필요한 비정질 실리콘막을 드라이 에칭으로 제거한다.

다음에, 홀(42)의 내부에 남은 상기 비정질 실리콘막의 표면을 불산계의 세정액으로 웨트 세정한 후, 감압 분위기 중에서 비정질 실리콘막의 표면에 모노실란(SiH_4)을 공급하면서 기판(1)을 열 처리함으로써, 비정질 실리콘막을 다결정화함과 함께 그 표면에 실리콘 입자를 성장시킨다. 이에 따라, 표면이 조면화된 다결정 실리콘막(43)이 홀(42)의 내벽을 따라서 형성된다.

다음에, 도 26에 도시한 바와 같이, 홀(42)의 내부 및 산화 실리콘막(41)의 상부에 CVD법으로 막 두께 15nm 정도의 산화 탄탈(Ta_2O_5)막(44)을 피착하고, 계속해서 홀(42)의 내부 및 산화 탄탈막(44)의 상부에 CVD법과 스퍼터링법을 병용하여 막 두께 150nm 정도의 TiN막(45)을 피착한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 TiN막(45)과 산화 탄탈막(44)을 드라이 에칭한다. 이에 따라, TiN막(45)으로 이루어지는 상부 전극, 산화 탄탈막(44)으로 이루어지는 용량 절연막 및 다결정 실리콘막(43)으로 이루어

지는 하부 전극으로 구성되는 정보 축적용 용량 소자 C가 형성된다. 또한, 여기까지의 공정에 의해, 메모리셀 선택용 MISFETQs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 이루어지는 DRAM의 메모리셀이 대략 완성된다.

정보 축적용 용량 소자 C의 용량 절연막은 상기 산화 탄탈막(44) 외에, 예를 들면 PZT, PLT, PLZT, PbTiO₃, SrTiO₃, BaTiO₃, BST, 또는 SBT 등, 페로브스카이트형 또는 복합 페로브스카이트형의 결정 구조를 갖는 고유전체 또는 강유전체를 주성분으로 하는 절연막에 의해 구성하여도 좋다.

다음에, 도 27에 도시한 바와 같이, 정보 축적용 용량 소자 C의 상부에 CVD법으로 막 두께 100nm 정도의 산화 실리콘막(50)을 피착하고, 계속해서 논리 영역의 배선(30, 33) 상부의 산화 실리콘막(50, 41), 질화 실리콘막(40) 및 산화 실리콘막(34)을 드라이 에칭함으로써 관통홀(51, 52)을 형성한 후, 관통홀(51, 52)의 내부에 플러그(53)를 형성한다. 플러그(53)를 형성하기 위해서는, 예를 들면 산화 실리콘막(50)의 상부에 스퍼터링법으로 막 두께 100nm 정도의 TiN막을 피착하고, 또한 그 상부에 CVD법으로 막 두께 500nm 정도의 W막을 피착한 후, 관통홀(51, 52) 외부의 불필요한 W막 및 TiN막을 드라이 에칭으로 제거한다.

다음에, 산화 실리콘막(50) 상부에 제2층재의 배선(54~56)을 형성한다. 배선(54~56)을 형성하기 위해서는 예를 들면, 산화 실리콘막(50)의 상부에 스퍼터링법으로 막 두께 50nm 정도의 TiN막, 막 두께 500nm 정도의 Si(알루미늄) 합금막 및 막 두께 50nm 정도의 Ti막을 피착한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 이들 막을 드라이 에칭한다.

그 후, 배선(54~56)의 상층에 층간 절연막을 끼워 복수층의 배선을 형성하지만, 이들의 도시는 생략한다. 이상의 공정에 의해, 본 실시예의 시스템 LSI가 대략 완성된다.

본 발명의 실시예 2에 대해 도 28 내지 도 35에 따라 설명한다.

비트선 BL은 다음과 같은 방법에 의해 형성하는 것도 가능하다. 우선, 도 28에 도시한 바와 같이, 게이트 전극(7A: 워드선 WL), 논리 영역의 게이트 전극(7B, 7C)의 상부에 질화 실리콘막(17) 및 산화 실리콘막(18)을 순차 피착한 후, 산화 실리콘막(18)의 표면을 화학 기계 연마법으로 평탄화한다. 여기까지의 공정은, 상기 실시예 1의 도 2 내지 도 9에 도시한 공정과 동일하다.

다음에, 도 29에 도시한 바와 같이, 메모리 영역의 산화 실리콘막(18), 질화 실리콘막(17) 및 산화 실리콘막(12)을 드라이 에칭함으로써, 후의 공정에서 정보 축적용 용량 소자 C가 접속되는 n형 반도체 영역(9)의 상부에 콘택트홀(36)을 형성한 후, 콘택트홀(36)의 내부에 다결정 실리콘막으로 이루어지는 플러그(37)를 매립한다. 플러그(37)를 매립하기 위해서는 콘택트홀(36)의 내부 및 산화 실리콘막(18)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막(도시하지 않음)을 피착한 후, 콘택트홀(36)의 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다.

다음에, 도 30에 도시한 바와 같이, 산화 실리콘막(18)의 상부에 막 두께 200 nm 정도의 산화 실리콘막(28)을 CVD법으로 피착한 후, 메모리 영역의 산화 실리콘막(28, 18), 질화 실리콘막(17) 및 산화 실리콘막(12)을 드라이 에칭함으로써, 후의 공정에서 비트선이 접속되는 n형 반도체 영역(9)의 상부에 콘택트홀(19)을 형성한다. 이 콘택트홀(19)은 상기 실시예 1의 콘택트홀(19)과 마찬가지로, 그 일부가 소자 분리홀(2)의 상부로 연장되는 가늘고 긴 평면 패턴으로 구성된다(도 11, 도 12 참조).

다음에, 상기 콘택트홀(19)의 내부에 플러그(21)를 매립한다. 플러그(21)를 매립하기 위해서는, 콘택트홀(19)의 내부 및 산화 실리콘막(28)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막(도시하지 않음)을 피착한 후, 콘택트홀(19)의 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다. 이 때, 상기 실시예 1과 마찬가지로, 다결정 실리콘막을 오버 에칭함으로써, 플러그(21)의 상면을 콘택트홀(19)의 상단부보다 아래쪽으로 후퇴시킨다. 이 후퇴량은 적어도 후의 공정에서 플러그(21)의 상부에 피착하는 TiN막(26)의 막 두께보다도 큰 것을 조건으로 한다.

다음에, 기판(1)을 열 처리하고, 콘택트홀(19)의 내부의 플러그(21) 및 콘택트홀(36)의 내부의 플러그(37)를 구성하는 다결정 실리콘막 중의 n형 불순물을 기판(1)[p형 웰(3)]으로 확산시킴으로써, n⁺형 반도체 영역(15: 소스, 드레인)을 형성한다. 여기까지의 공정에서, 메모리 영역에 메모리셀 선택용 MISFETQs가 형성된다.

다음에, 도 31에 도시한 바와 같이, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 논리 영역의 산화 실리콘막(28, 18) 및 그 하층의 질화 실리콘막(17)을 드라이 에칭함으로써, n채널형 MISFETQn의 n⁺형 반도체 영역(13: 소스, 드레인)의 상부에 콘택트홀(23)을 형성하고, p 채널형 MISFETQp의 p⁺형 반도체 영역(14: 소스, 드레인)의 상부에 콘택트홀(24)을 형성한다. 또한, 이 때 동시에, p채널형 MISFETQp의 게이트 전극(7C)의 상부에 콘택트홀(25)을 형성한다.

다음에, 상기 실시예 1과 마찬가지로 방법으로 논리 영역의 콘택트홀(23, 24, 25)의 내부 및 메모리 영역의 콘택트홀(19)의 내부[플러그(21)의 상부]에 TiN막(26)과 W막(27)과의 적층막으로 구성된 플러그(22)를 매립한다.

다음에, 도 32 및 도 33[콘택트홀(19)의 긴 변 방향을 따르는 메모리 영역의 단면도]에 도시한 바와 같이, 상기 실시예 1과 마찬가지로 방법으로 메모리 영역의 산화 실리콘막(28)의 상부에 비트선 BL을 형성하고, 논리 영역의 산화 실리콘막(28)의 상부에 제1층재의 배선(30, 31, 32, 33)을 형성한다.

상기 비트선 BL을 형성할 때에는 도 33에 도시한 바와 같이, 콘택트홀(19) 내부에서 플러그(22)의 일부를 구성하는 W막(27)이 에칭된다. 그러나, 플러그(22)의 다른 일부를 구성하는 TiN막(26)은, W막을 에칭할 때에 사용하는 가스에 의해서는 에칭되기 어렵기 때문에, 거의 깎이는 일은 없다. 이에 따라, 플러그(21)를 구성하는 다결정 실리콘막과 그 상부의 TiN막(26)[플러그(22)의 일부를 구성함]은 비트선 BL

의 형성 후에 있어서도, 그 형성 전과 동일한 넓은 면적에서 접촉하게 된다.

다음에, 도 34에 도시한 바와 같이, 제1층패의 배선(30~33) 및 상기 도면에는 도시하지 않은 비트선 BL의 상부에 산화 실리콘막(34)을 형성하고, 계속해서 메모리 영역의 콘택트홀(36)의 상부의 산화 실리콘막(34, 28)에 콘택트홀(38)을 형성한 후, 콘택트홀(38)의 내부에 플러그(39)를 매립한다. 플러그(39)를 매립하기 위해서는, 콘택트홀(38)의 내부 및 산화 실리콘막(34)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막(도시하지 않음)을 피착한 후, 콘택트홀(38)의 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다.

다음에, 도 35에 도시한 바와 같이, 산화 실리콘막(34)의 상부에 질화 실리콘막(42) 및 산화 실리콘막(41)을 순차 피착하고, 계속해서 메모리 영역의 산화 실리콘막(41) 및 질화 실리콘막(40)에 홀(42)을 형성한다.

다음에, 상기 실시예 1과 마찬가지로 방법으로 상기 홀(42)의 내부에 다결정 실리콘막(43)으로 이루어지는 하부 전극 및 산화 탄탈막(44)으로 이루어지는 용량 절연막을 형성하고, 또한 그 상부에 TiN막(45)으로 이루어지는 상부 전극을 형성함으로써, 메모리셀 선택용 MISFETs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 이루어지는 DRAM의 메모리셀이 대략 완성된다. 그 후의 공정은 상기 실시예 1과 동일하다.

상기한 본 실시예의 제조 방법은 콘택트홀(19) 내부의 플러그(21)와 콘택트홀(36) 내부의 플러그(37)를 동시에 형성하기 때문에, 콘택트홀(19)의 상부에 형성되는 비트선 BL과 콘택트홀(36) 내부의 플러그(37)와의 전기적 절연을 도모하기 위한 산화 실리콘막(28)이 필요해져서, 그 만큼 상기 실시예 1에 비해 공정이 증가한다.

그러나, 상기 실시예 1과 마찬가지로, 콘택트홀(19)의 내부의 TiN막(26)과 플러그(21: 다결정 실리콘막)와의 접촉 면적을 충분히 확보할 수가 있기 때문에, 비트선 BL-플러그(22)-플러그(21) 사이의 콘택트 저항의 증가를 방지할 수 있다. 또한, 제조 공정의 도중에서 행해지는 열 처리에 기인하는 TiN막의 체적 수축에 의해서 TiN막(26)과 플러그(21: 다결정 실리콘막)와의 계면에 보이드가 발생한 경우에서도, 양자의 콘택트 저항이 대폭 증가하거나, 비트선 BL이 플러그(21)의 표면에서 박리하는 불량이 발생되지 않기 때문에, 비트선 BL-플러그(22)-플러그(21) 사이의 접속 신뢰성을 확보할 수 있다.

또한, 정보 축적용 용량 소자의 하부 전극과, 메모리셀 선택용 MISFET를 전기적으로 접속하는 플러그를 복수의 단으로 나누어 형성함으로써 콘택트홀의 어스펙트비를 내려서, 저저항 다결정 실리콘막의 커버리지(coverage)를 향상시킬 수 있다.

본 발명의 실시예 3에 대해 도 36 내지 도 43 및 도 45에 따라 설명한다.

비트선 BL은 다음과 같은 방법에 의해 형성하는 것도 가능하다. 우선, 도 36에 도시한 바와 같이, 게이트 전극(7A: 워드선 WL), 논리 영역의 게이트 전극(7B, 7C)의 상부에 질화 실리콘막(17) 및 산화 실리콘막(18)을 순차 피착한 후, 산화 실리콘막(18)의 표면을 화학 기계 연마법으로 평탄화한다. 여기까지의 공정은 상기 실시예 1의 도 2 내지 도 9에 도시한 공정과 동일하다.

다음에, 도 37에 도시한 바와 같이, 메모리 영역의 산화 실리콘막(18), 질화 실리콘막(17) 및 산화 실리콘막(12)을 드라이 에칭함으로써, 후의 공정에서 비트선 BL이 접속되는 n형 반도체 영역(9) 상부에 콘택트홀(19)을 형성하고, 후의 공정에서 정보 축적용 용량 소자 C가 접속되는 n형 반도체 영역(9)의 상부에 콘택트홀(45)을 형성한 후, 콘택트홀(19, 45)의 내부에 다결정 실리콘막으로 이루어지는 플러그(21, 46)를 매립한다.

상기 플러그(21, 46)를 매립하기 위해서는 콘택트홀(19, 45)의 내부 및 산화 실리콘막(18)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘 막(도시하지 않음)을 피착한 후, 콘택트홀(19, 45)의 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다. 이 때, 다결정 실리콘막을 오버 에칭함으로써, 플러그(21, 46)의 상면을 콘택트홀(19, 45)의 상단부보다도 아래쪽으로 후퇴시킨다. 이 후퇴량은 적어도 후의 공정에서 플러그(21, 46)의 상부에 피착하는 TiN막(26)의 막 두께보다도 큰 것을 조건으로 한다.

상기 콘택트홀(19, 45) 중, 콘택트홀(19: 비트선 BL이 접속되는 콘택트홀)은 상기 실시예 1의 콘택트홀(19)과 마찬가지로, 그 일부가 소자 분리홀(2)의 상부로 연장되는 가늘고 긴 평면 패턴으로 구성된다(도 11, 도 12 참조).

다음에, 기판(1)을 열 처리하고, 콘택트홀(19)의 내부의 플러그(21) 및 콘택트홀(45)의 내부의 플러그(46)를 구성하는 다결정 실리콘막 중의 n형 불순물을 기판(1)[p형 웰(3)]으로 확산시킴으로써, n⁺형 반도체 영역(15: 소스, 드레인)을 형성한다. 여기까지의 공정에서, 메모리 영역에 메모리셀 선택용 MISFETs가 형성된다.

다음에, 도 38에 도시한 바와 같이, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 논리 영역의 산화 실리콘막(18) 및 그 하층의 질화 실리콘막(17)을 드라이 에칭함으로써, n채널형 MISFETQn의 n⁺형 반도체 영역(13: 소스, 드레인) 상부에 콘택트홀(23)을 형성하고, p채널형 MISFETQp의 p⁺형 반도체 영역(14: 소스, 드레인) 상부에 콘택트홀(24)을 형성한다. 또한, 이 때 동시에, p채널형 MISFETQp의 게이트 전극(7C)의 상부에 콘택트홀(25)을 형성한다.

다음에, 도 39에 도시한 바와 같이, 논리 영역의 콘택트홀(23, 24, 25)의 내부 및 메모리 영역의 콘택트홀(19, 45)의 내부[플러그(21, 46)의 상부]에 TiN막(26)과 W막(27)과의 적층막으로 구성된 플러그(22)를 매립한다.

다음에, 도 40 및 도 41 [컨택트홀(19)의 긴 변 방향에 따른 메모리 영역의 단면도]에 도시한 바와 같이, 상기 실시예 1과 마찬가지로 방법으로 메모리 영역의 산화 실리콘막(18) 상부에 비트선 BL을 형성하고, 논리 영역의 산화 실리콘막(28) 상부에 제1층재의 배선(30, 31, 32, 33)을 형성한다.

상기 비트선 BL을 형성할 때는 도 41에 도시한 바와 같이, 컨택트홀(19)의 내부에서 플러그(22)의 일부를 구성하는 W막(27)이 에칭된다. 그러나, 플러그(22)의 다른 일부를 구성하는 TiN막(26)은 W막을 에칭할 때에 사용하는 가스에 의해서 에칭되기 어렵기 때문에 깎이는 일은 거의 없다. 이에 따라, 플러그(21)를 구성하는 다결정 실리콘막과 그 상부의 TiN막(26)[플러그(22)의 일부를 구성함]은 비트선 BL의 형성 후에 있어서도, 그 형성 전과 동일한 넓은 면적에서 접촉하게 된다.

다음에, 도 42에 도시한 바와 같이, 제1층재의 배선(30~33) 및 상기 도면에는 도시하지 않은 비트선 BL의 상부에 산화 실리콘막(34)을 형성하고, 계속해서 메모리 영역의 컨택트홀(45)의 상부의 산화 실리콘막(34)에 컨택트홀(47)을 형성한 후, 컨택트홀(47)의 내부에 플러그(48)를 매립한다. 플러그(48)를 매립하기 위해서는 컨택트홀(47)의 내부 및 산화 실리콘막(34)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막(도시하지 않음)을 피착한 후, 컨택트홀(47)의 외부의 불필요한 다결정 실리콘막을 드라이 에칭에 의해 제거한다.

다음에, 도 43에 도시한 바와 같이, 산화 실리콘막(34)의 상부에 질화 실리콘막(40) 및 산화 실리콘막(41)을 순차 피착하고, 계속해서 메모리 영역의 산화 실리콘막(41) 및 질화 실리콘막(40)에 홀(42)을 형성한다.

다음에, 상기 실시예 1과 마찬가지로 방법으로 상기 홀(42)의 내부에 다결정 실리콘막(43)으로 이루어지는 하부 전극 및 산화 탄탈막(44)으로 이루어지는 용량 절연막을 형성하고, 또한 그 상부에 TiN막(45)으로 이루어지는 상부 전극을 형성함으로써, 메모리셀 선택용 MISFETs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 이루어지는 DRAM의 메모리셀이 대략 완성된다. 그 후의 공정은 상기 실시예 1과 동일하다.

상기한 본 실시예의 제조 방법에 따르면, 상기 실시예 1과 마찬가지로, 컨택트홀(19) 내부의 TiN막(26)과 플러그(21: 다결정 실리콘막)와의 접촉 면적을 충분히 확보할 수가 있기 때문에, 비트선 BL-플러그(22)-플러그(21) 사이의 컨택트 저항의 증가를 방지할 수가 있다. 또한, 비트선 BL-플러그(22)-플러그(21) 사이의 접속 신뢰성을 확보할 수가 있다.

또한, 상기한 본 실시예의 제조 방법에 따르면, 상기 실시예 1과 마찬가지로, 종래 프로세스에 비해 비트선 형성 공정을 단축할 수 있다.

또한, 제3 실시예의 변형으로서, 도 45에 도시한 바와 같이 정보 축적용 용량 소자 C의 하부 전극(59), 상부 전극(61), 및 플러그(58)의 각각을 금속을 주성분으로 하는 도전체에 의해 형성하는 것도 가능하다. 다결정 실리콘막에 비해 저항이 작은 금속막을 채용함으로써, 메모리셀 전체로서의 저항을 내릴 수 있다.

또한, 예를 들면, 용량 절연막(60)으로서, 산화 탄탈이나 PZT, PLT, PLZT, PbTiO₃, SrTiO₃, BaTiO₃, BST, SBT 등의 산화물 유전체막을 채용한 경우, 특히 유전체막 형성 공정에 있어서 산소 분위기에서의 고온 처리를 필요로 하는 유전체막을 용량 절연막(60)으로서 채용한 경우에는 용량 소자 C의 하부 전극(59)의 재료로서, 백금이나 루테튬 등의 백금족 금속, 백금족 합금 등, 내산화성이 높은 금속 재료를 채용함으로써, 하부 전극(59)의 산화에 의한 저항 증가를 방지할 수 있다.

또한, 백금이나 루테튬 등의 백금족 금속, 또는 백금족 합금 등의 내산화성이 높은 금속 재료를 플러그(58)에도 채용함으로써, 하부 전극(59)을 통해 확산되는 산소에 의한 플러그(58)의 산화도 방지할 수 있다.

하부 전극과 플러그 모두 내산화성이 높은 금속막을 채용한 경우에는 또한 플러그(22)에 형성된 TiN막(26)과 같은 배리어막이 존재함으로써, 다결정 실리콘에 의해 형성되는 플러그(46)의 산화를 방지할 수 있다.

배리어막의 재료로서는 TiN에 한하지 않고 TaN, WN, TiAlN 등 질화 금속이나 질화 금속 합금 등을 채용하는 것도 가능하다.

이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않은 범위에서 여러가지로 변경 가능한 것은 물론이다.

상기 실시예 1 내지 3에 있어서, 다결정 실리콘 플러그와 배리어층과의 접촉 저항을 저감하기 위해, 예를 들면 티탄실리사이드 등의 금속 실리사이드층을 다결정 실리콘 플러그와 배리어층 사이에 형성하도록 하여도 좋다. 금속 실리사이드층을 다결정 실리콘 플러그와 배리어층 사이에 형성한 경우에서도 본 발명을 적용함으로써, 배리어층과 금속 실리사이드층과의 접촉 면적의 감소를 방지하여 컨택트 저항의 저감 및 접속 신뢰성의 향상을 도모할 수 있다.

상기 실시예 1 내지 3에서는 비트선 BL의 폭을 컨택트홀(19)의 직경보다도 좁게 하는 경우에 대해 설명하였지만, 본 발명은 비트선 BL의 폭을 컨택트홀(19)의 직경과 동일하거나 또는 그 이상으로 하는 경우에서도 비트선 BL과 컨택트홀(19)과의 위치 어긋남에 의한 플러그(21: 다결정 실리콘막)의 깎임을 방지하는 대책으로서 유용하다.

또한, 상기 실시예 1 내지 3에서는 DRAM-논리 혼재 LSI에 적용한 경우에 대해 설명하였지만, 본 발명은 DRAM에 적용하는 것도 가능하다. 이 경우에는, 상기 실시예 1 내지 3에서 설명한 논리 영역의 MISFET를 DRAM의 주변 회로의 MISFET로 치환하여 해석하면 좋다.

발명의 효과

본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

(1) 본 발명에 따르면, 다결정 실리콘막으로 구성된 플러그의 상부에 배리어층을 통해 비트선을 형성하는 DRAM에 있어서, 플러그와 배리어층과의 접촉 면적의 감소를 방지하여 콘택트 저항의 저감 및 접속 신뢰성의 향상을 도모할 수 있으므로, DRAM이나 DRAM-논리 혼재 LSI의 신뢰성, 제조 수율을 향상시킬 수 있다.

(2) 본 발명에 따르면, 다결정 실리콘막으로 구성된 플러그의 상부에 배리어층을 통해 비트선을 형성하는 DRAM, 또는 이 DRAM을 포함하는 혼재 LSI의 제조 공정을 단축할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판의 주요면의 제1 영역에 형성된 제1 MISFET 및 제2 영역에 형성된 제2 MISFET의 각각의 상부에 제1 절연막이 형성되고,

상기 제1 영역의 상기 제1 절연막에 형성된 제1 콘택트홀의 내부에는 상기 제1 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된 제1 플러그 및 상기 제1 플러그의 상부에 형성된 제2 플러그가 매립되고,

상기 제2 영역의 상기 제1 절연막에 형성된 제2 콘택트홀의 내부에는 상기 제2 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된 제3 플러그가 매립되고,

상기 제1 영역의 상기 제1 절연막의 상부에는 상기 제1 콘택트홀의 내부의 상기 제1 플러그 및 그 상부의 상기 제2 플러그를 통해 상기 제1 MISFET의 소스, 드레인의 한쪽에 전기적으로 접속된 제1 배선이 형성된 반도체 집적 회로 장치에 있어서,

상기 제1 콘택트홀의 내부의 상기 제2 플러그는 제1 금속 재료로 이루어지는 제1 금속막 및 그 상부에 형성된 제2 금속 재료로 이루어지는 제2 금속막으로 구성되고,

상기 제2 콘택트홀의 내부의 상기 제3 플러그는 상기 제1 금속 재료로 이루어지는 제3 금속막 및 그 상부에 형성된 상기 제2 금속 재료로 이루어지는 제4 금속막으로 구성되는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 2

제1항에 있어서, 상기 제1 콘택트홀의 내부에 있어서의 상기 제1 플러그와 그 상부의 상기 제1 금속막과의 접촉 면적은 상기 제1 금속막과 그 상부의 상기 제2 금속막과의 접촉 면적보다 큰 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 3

제1항에 있어서, 상기 제1 콘택트홀의 내부에 있어서의 상기 제1 플러그와 그 상부의 상기 제1 금속막과의 접촉 면적은 상기 제1 콘택트홀의 평면 레이아웃 면적과 동일하거나, 또는 그 이상인 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 4

제1항에 있어서, 상기 제1 플러그와 그 상부의 상기 제1 금속막은 상기 제1 금속막의 저면 및 측면에 있어서 상호 접촉하고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 5

제1항에 있어서, 상기 제2 콘택트홀의 내부에 있어서의 상기 제4 금속막의 막 두께는, 그 하부의 상기 제3 금속막의 막 두께보다 큰 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 6

제1항에 있어서, 상기 제1 콘택트홀의 내부에 있어서의 상기 제1 금속막의 막 두께는 상기 제1 콘택트홀의 상단부로부터 상기 제1 금속막의 하면까지의 깊이보다 작은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 7

제1항에 있어서, 상기 제1 금속 재료의 전기 저항은 상기 제2 금속 재료의 전기 저항보다 큰 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 8

제1항에 있어서, 상기 제1 금속 재료는 금속 질화물을 주성분으로 하는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 9

제1항에 있어서, 상기 제1 배선은 상기 제2 금속 재료로 이루어지는 제5 금속막에 의해 구성되어 있는

것을 특징으로 하는 반도체 집적 회로 장치.

청구항 10

제1항에 있어서, 상기 제1 플러그는 실리콘을 주성분으로 하는 제1 도전막에 의해 구성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 11

제10항에 있어서, 상기 제2 플러그는 그 하부의 상기 제1 도전막을 에칭하여 아래쪽으로 후퇴시킨 영역에 형성되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 12

제10항에 있어서, 상기 제2 콘택트홀의 내부에는 상기 제3 플러그만이 매립되어 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 13

제1항에 있어서, 상기 제1 콘택트홀의 상부의 상기 제1 배선은 상기 제2 플러그의 상면의 일부의 영역만을 덮고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 14

제1항에 있어서, 상기 제1 콘택트홀의 상부의 상기 제1 배선의 폭은 상기 제1 배선의 폭 방향을 따르는 상기 제1 콘택트홀의 직경보다 작은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 15

제1항에 있어서, 상기 제2 MISFET의 소스, 드레인의 표면에는 실리사이드층이 형성되고, 상기 제1 MISFET의 소스, 드레인의 표면에는 상기 실리사이드층이 형성되어 있지 않은 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 16

제1항에 있어서, 상기 제2 콘택트홀의 내부에 매립된 상기 제3 플러그의 어스펙트비는 상기 제1 콘택트홀의 내부에 매립된 상기 제2 플러그의 어스펙트비보다 큰 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 17

제1항에 있어서, 상기 제1 MISFET의 소스, 드레인의 다른쪽에는 용량 소자가 전기적으로 접속되어있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 18

제17항에 있어서, 상기 제1 MISFET 및 상기 용량 소자는 DRAM의 메모리셀을 구성하며, 상기 제1 배선은 비트선을 구성하고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 19

제18항에 있어서, 상기 제2 MISFET는 논리 LSI의 일부를 구성하고 있는 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 20

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 반도체 기판의 주요면의 제1 영역에 제1 MISFET를 형성하고, 제2 영역에 제2 MISFET를 형성한 후, 상기 반도체 기판의 주요면 상의 상기 제1 MISFET 및 상기 제2 MISFET의 상부에 제1 절연막을 형성하는 단계,

(b) 상기 제1 영역의 상기 제1 절연막에 제1 콘택트홀을 형성한 후, 상기 제1 콘택트홀의 내부에 제1 플러그를 매립함으로써, 상기 제1 MISFET의 소스, 드레인의 한쪽과 상기 제1 플러그를 전기적으로 접속하는 단계,

(c) 상기 제2 영역의 상기 제1 절연막에 제2 콘택트홀을 형성한 후, 상기 제1 콘택트홀의 내부의 상기 제1 플러그의 상부에 제2 플러그를 매립함으로써, 상기 제1 플러그와 상기 제2 플러그를 전기적으로 접속하고, 상기 제2 콘택트홀의 내부에 제3 플러그를 매립함으로써, 상기 제2 MISFET의 소스, 드레인의 한쪽과 상기 제3 플러그를 전기적으로 접속하는 단계, 및

(d) 상기 제1 영역의 상기 제1 절연막의 상부에 제1 배선을 형성하고, 상기 제1 콘택트홀의 내부의 상기 제1 플러그 및 상기 제2 플러그를 통해, 상기 제1 MISFET의 소스, 드레인의 한쪽과 상기 제1 배선을 전기적으로 접속하는 단계

를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 21

제20항에 있어서, 상기 제1 콘택트홀의 내부에 상기 제1 플러그를 매립하는 단계는

(b-1) 상기 제1 절연막의 상부 및 상기 제1 컨택트홀의 내부에, 상기 제1 플러그를 구성하는 제1 도전막을 형성하는 단계, 및

(b-2) 상기 제1 도전막을 에칭함으로써, 상기 제1 절연막 상부의 상기 제1 도전막을 제거하고, 상기 제1 컨택트홀 내부의 상기 제1 도전막의 상면을 상기 제1 컨택트홀의 상단부보다 아래쪽으로 후퇴시키는 단계

를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 22

제21항에 있어서, 상기 제1 도전막은 실리콘을 주성분으로 하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 23

제21항에 있어서, 상기 제1 컨택트홀의 내부에 상기 제2 플러그를 매립하고, 상기 제2 컨택트홀의 내부에 상기 제3 플러그를 매립하는 단계는

(c-1) 상기 제1 절연막의 상부, 상기 제1 컨택트홀의 내부 및 상기 제2 컨택트홀의 내부에, 상기 제2 플러그 및 상기 제3 플러그 각각의 일부를 구성하는 제1 금속 재료로 이루어지는 금속막을 형성하는 단계,

(c-2) 상기 제1 금속 재료로 이루어지는 금속막의 상부에, 상기 제2 플러그 및 상기 제3 플러그 각각의 다른 일부를 구성하는 제2 금속 재료로 이루어지는 금속막을 형성하는 단계, 및

(c-3) 상기 제1 절연막 상부의 상기 제2 금속 재료로 이루어지는 금속막 및 상기 제1 금속 재료로 이루어지는 금속막을 제거하고, 상기 제1 컨택트홀의 내부 및 상기 제2 컨택트홀의 내부에 상기 제1 금속 재료로 이루어지는 금속막 및 상기 제2 금속 재료로 이루어지는 금속막을 남기는 단계

를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 24

제23항에 있어서, 상기 제1 절연막의 상부에 상기 제1 배선을 형성하는 단계는

(d-1) 상기 제1 컨택트홀의 상부 및 상기 제1 절연막의 상부에 상기 제1 배선을 구성하는 상기 제2 금속 재료로 이루어지는 금속막을 형성하는 단계, 및

(d-2) 상기 제2 금속 재료의 에칭 속도가 상기 제1 금속 재료의 에칭 속도보다 큰 에칭 조건으로, 상기 제2 금속 재료로 이루어지는 금속막을 에칭하는 단계

를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 25

제1항에 있어서, 상기 제1 플러그를 구성하는 도전체 재료와, 상기 제1 금속 재료와의 접촉 저항은 상기 제1 금속 재료와 상기 제2 금속 재료와의 접촉 저항보다 큰 것을 특징으로 하는 반도체 집적 회로 장치.

청구항 26

제22항에 있어서, 상기 제1 컨택트홀의 내부에 상기 제2 플러그를 매립하고, 상기 제2 컨택트홀의 내부에 상기 제3 플러그를 매립하는 단계는

(C-1) 상기 제1 절연막의 상부, 상기 제1 컨택트홀의 내부에 있어서의 제1 도전막의 상면 상, 및 상기 제2 컨택트홀의 내부에, 상기 제2 플러그 및 상기 제3 플러그 각각의 일부를 구성하는 배리어막을 형성하는 단계,

(C-2) 상기 배리어막 상에 제1 금속막을 형성하는 단계, 및

(C-3) 상기 배리어막 및 제1 금속막의 일부를 제거하고, 상기 제1 컨택트홀의 내부에 제2 플러그를 형성하고, 상기 제2 컨택트홀의 내부에 제3 플러그를 형성정하는 단계

를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 27

제26항에 있어서, 상기 배리어막은 금속 또는 합금의 질화물에 의해 형성하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 28

제26항에 있어서, 상기 제1 금속막의 막 두께는 상기 배리어막의 막 두께보다 큰 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 29

제26항에 있어서, 상기 제1 절연막의 상부에 상기 제1 배선을 형성하는 단계는

(d-1) 상기 제2 플러그, 상기 제3 플러그, 및 상기 제1 절연막의 상부에 제2 금속막을 형성하는 단계, 및

(d-2) 상기 제2 금속막의 에칭 속도가 상기 배리어막의 에칭 속도보다 큰 에칭 조건으로 상기 제2 금속막을 에칭하고, 상기 제1 배선을 형성하는 단계

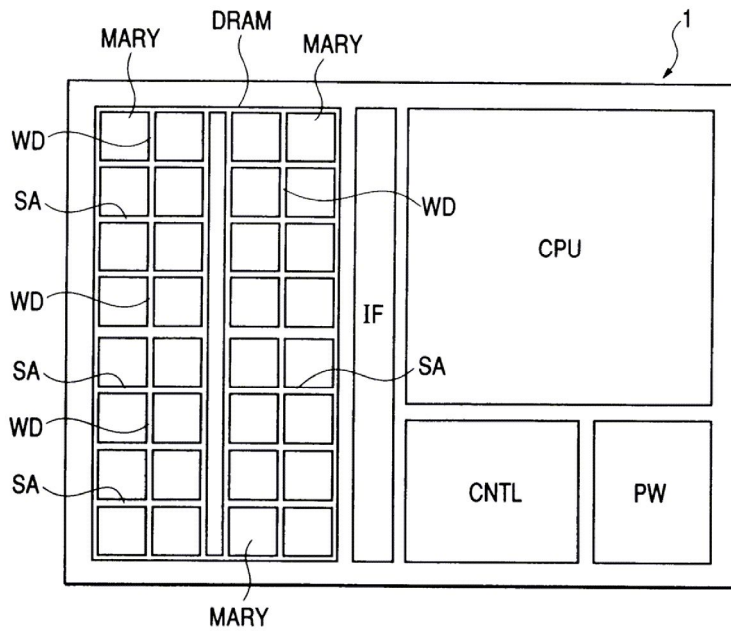
를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 30

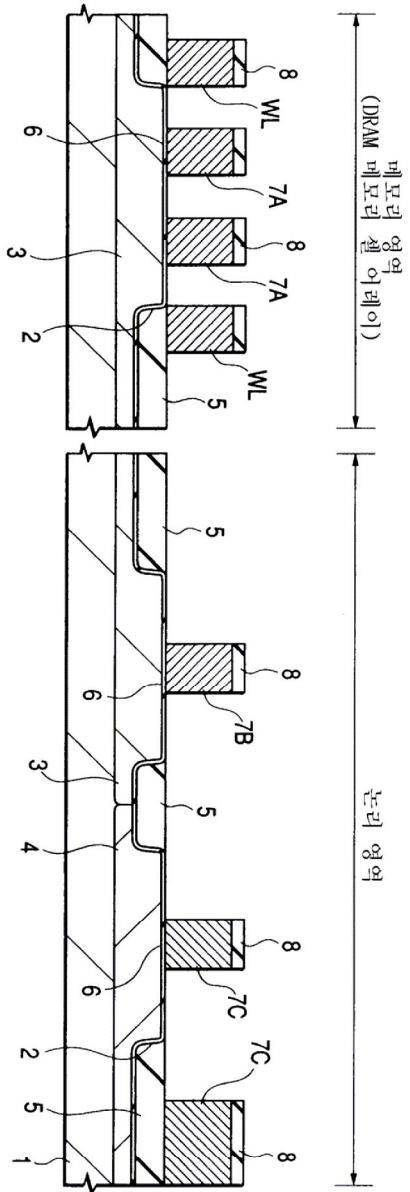
제20항에 있어서, 상기 제2 MISFET를 형성하는 단계는 상기 제2 MISFET의 소스, 드레인의 표면에 실리사이드층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

도면

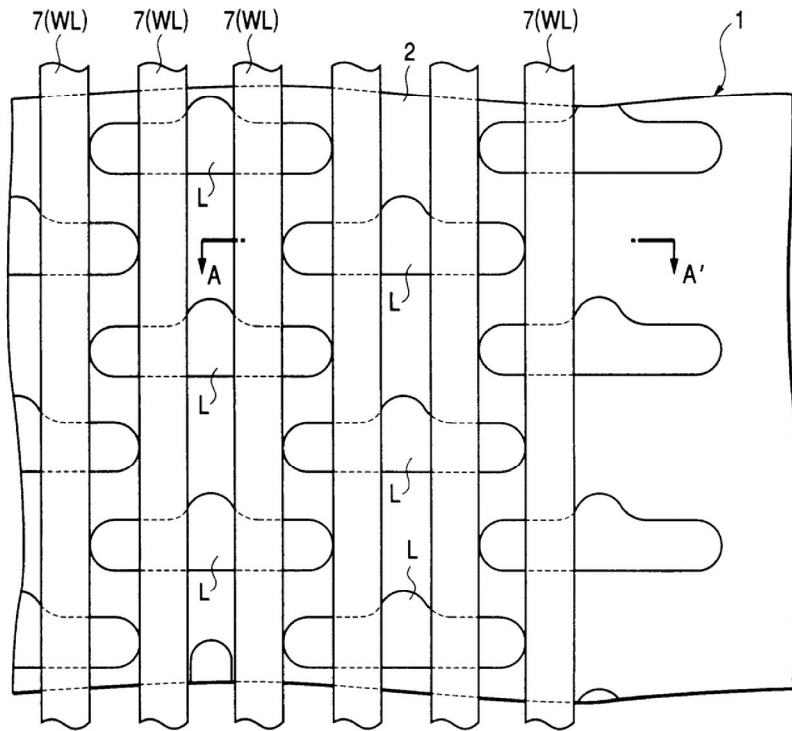
도면1



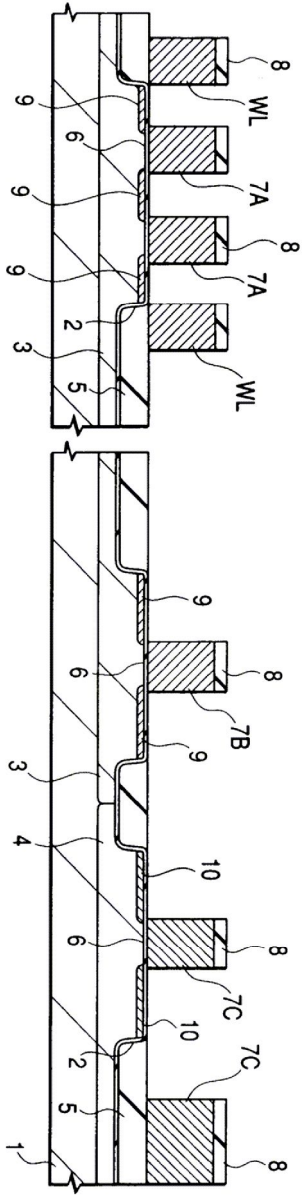
도면2



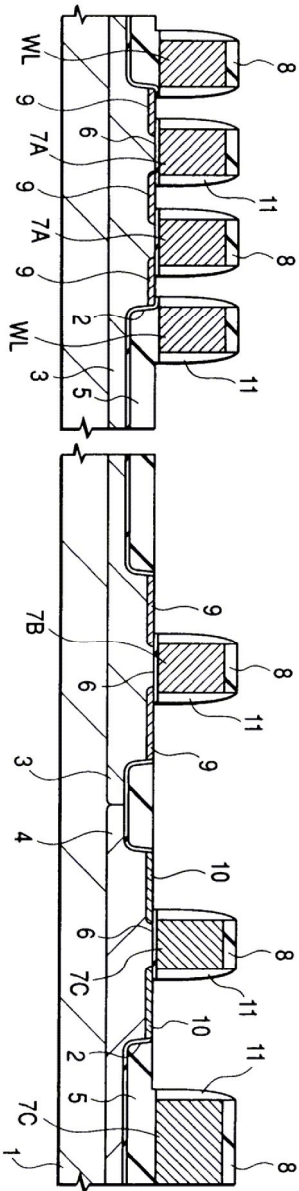
도면3



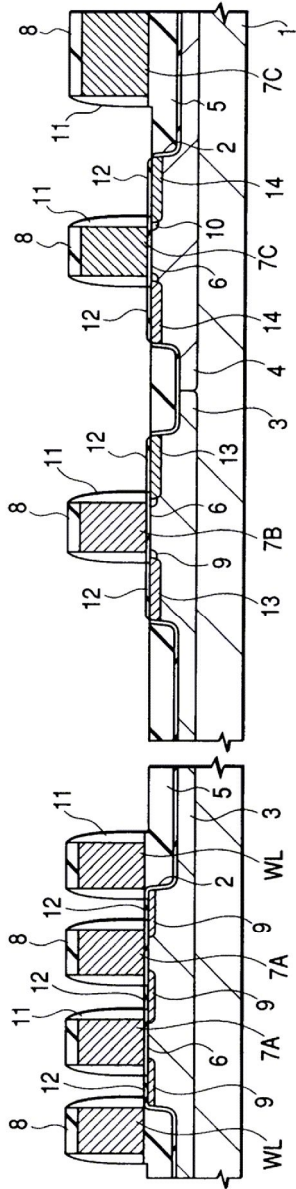
도면4



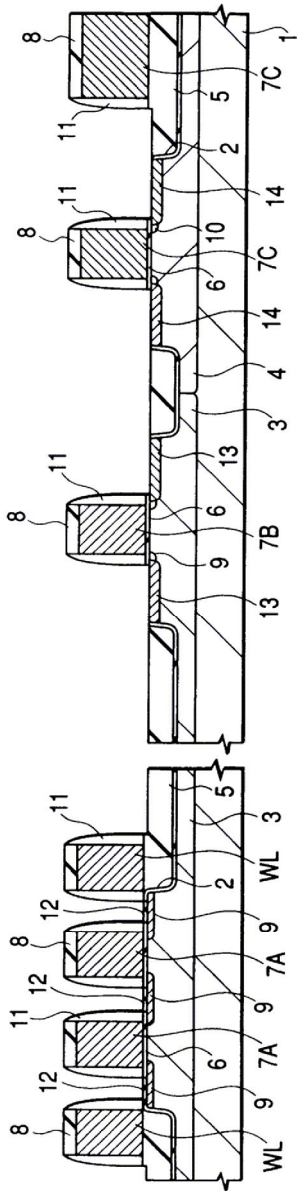
도면5



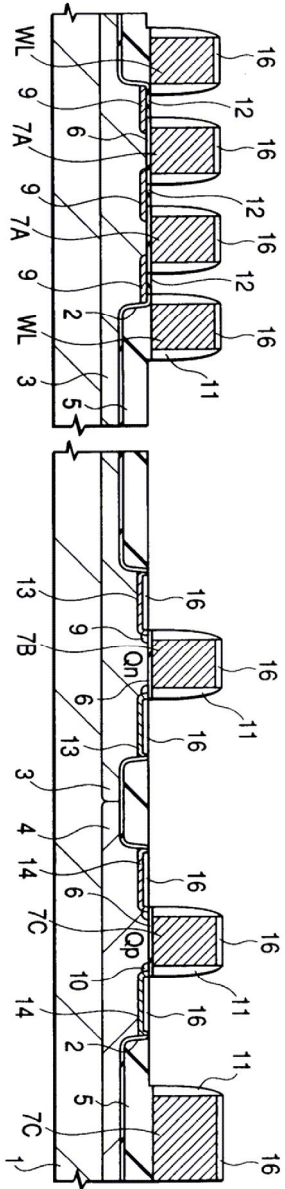
도면6



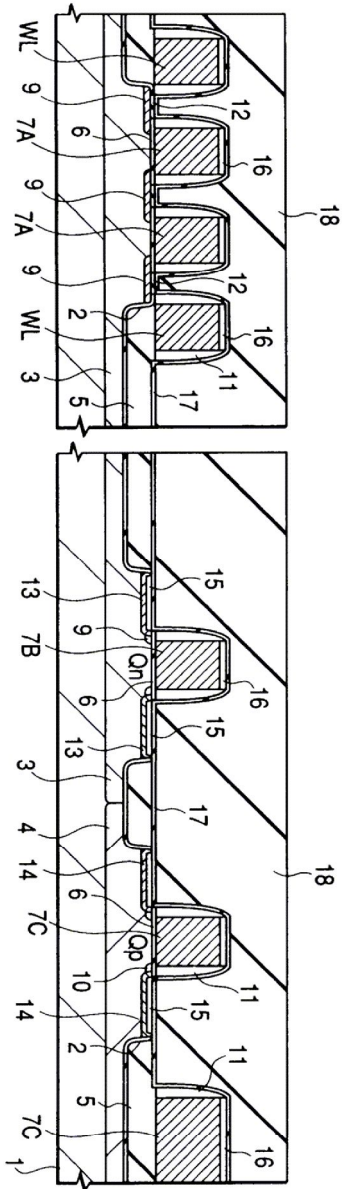
도면7



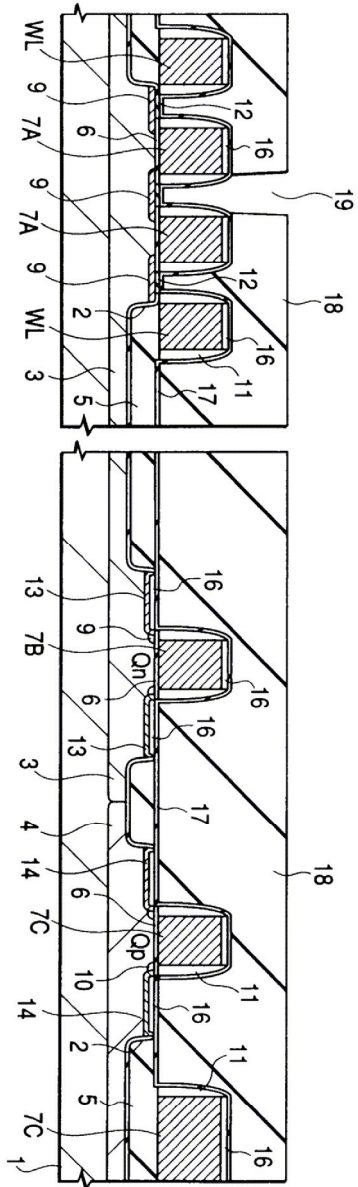
도면8



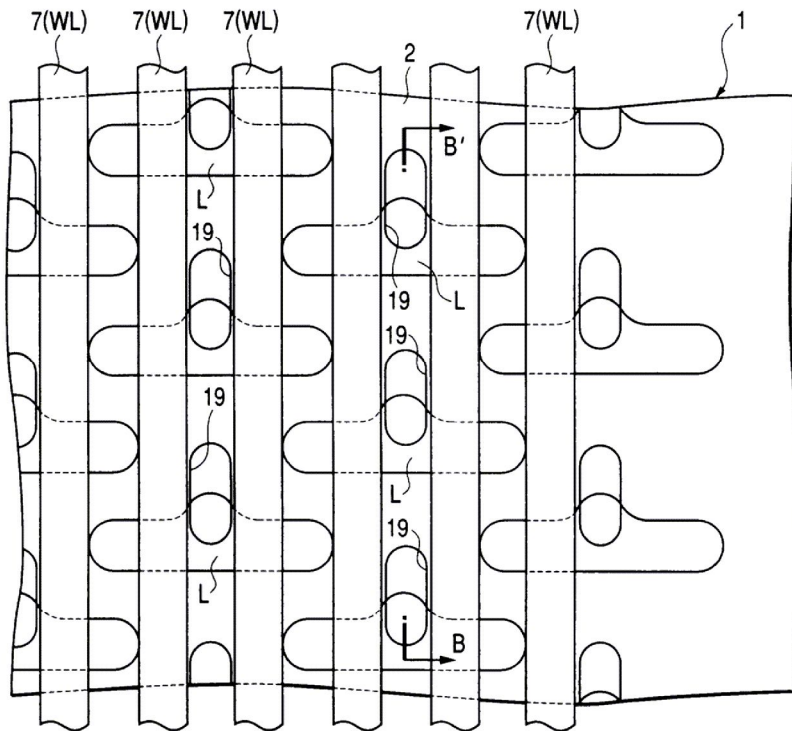
도면9



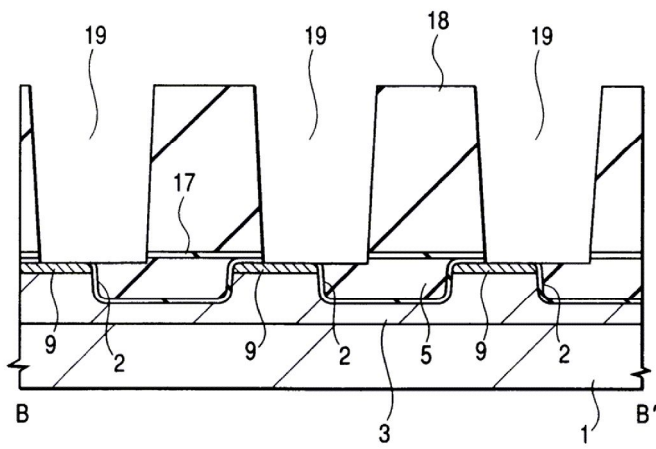
도면10



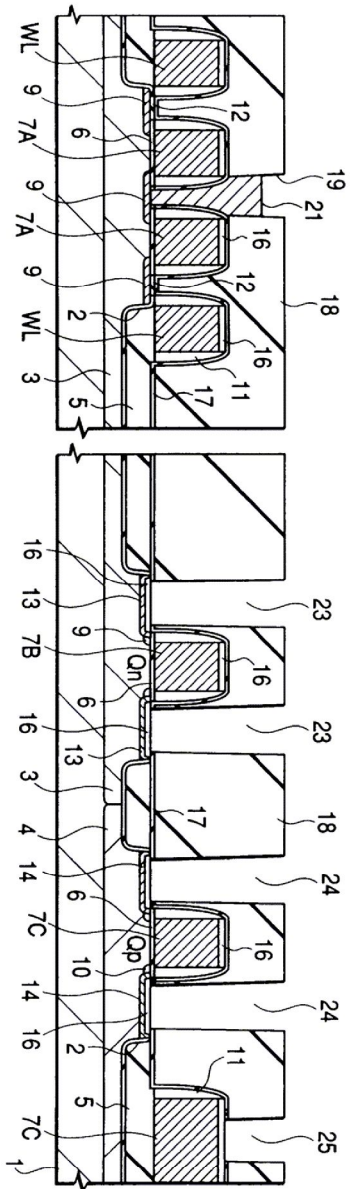
도면11



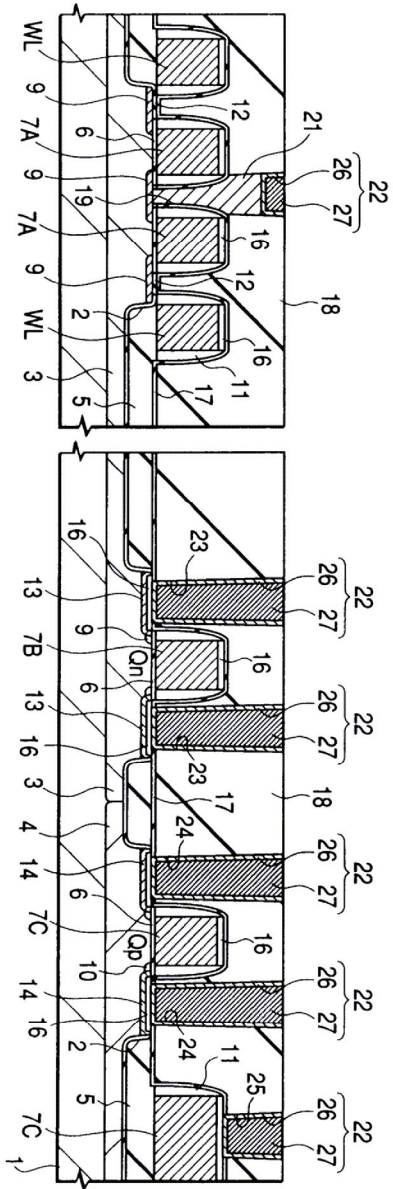
도면12



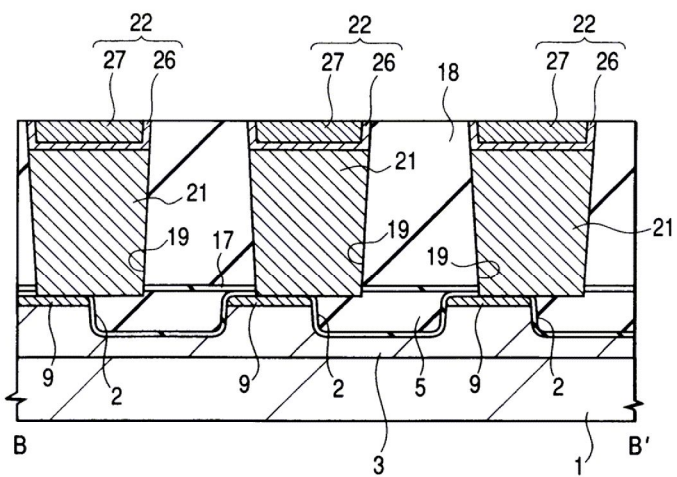
도면14



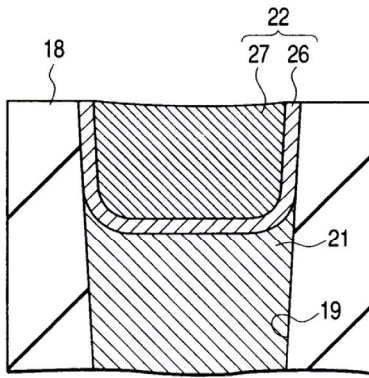
도면15



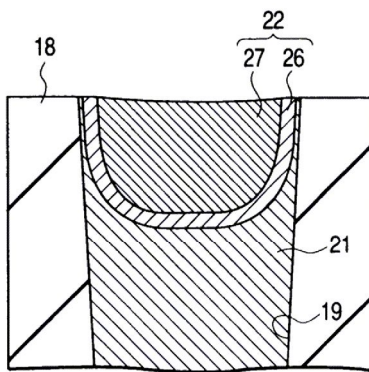
도면16



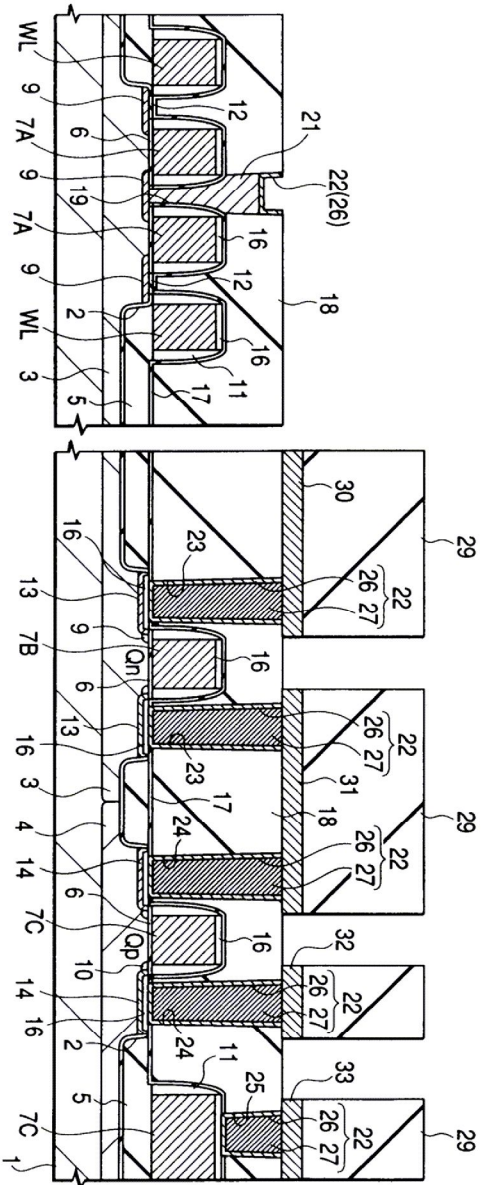
도면 17a



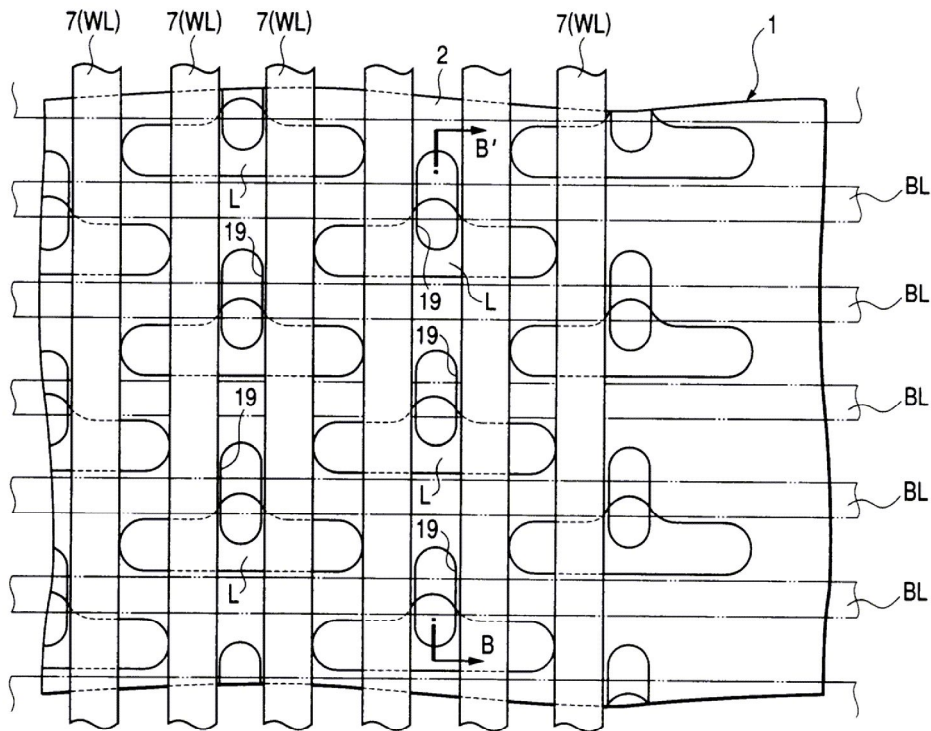
도면 17b



도면18



도면19



도면20

