

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97138344

※ 申請日期： 97.10.3

※IPC 分類：H01L 29/58(2006.01)
H01L 21/336(2006.01)

一、發明名稱：(中文/英文)

浮體場效電晶體及形成浮體場效電晶體之方法

FLOATING BODY FIELD-EFFECT TRANSISTORS, AND METHODS
OF FORMING FLOATING BODY FIELD-EFFECT TRANSISTORS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素 史利佛

SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 劉峻
LIU, JUN
2. 李迪
LI, DI
3. 麥可 P 凡歐里特
VIOLETTE, MICHAEL P.
4. 錢德拉 毛利
MOULI, CHANDRA
5. 霍德 克許
KIRSCH, HOWARD

國 籍：(中文/英文)

1. 中華人民共和國 P.R.C.
2. 中華人民共和國 P.R.C.
3. 美國 U.S.A.
4. 美國 U.S.A.
5. 美國 U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年10月26日；11/925,573

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

在一實施例中，一種浮體場效電晶體包括一對源極/汲極區域，一浮體通道區域收納於其之間。該等源極/汲極區域及該浮體通道區域係收納於一絕緣體上。一閘電極接近於該浮體通道區域。一閘極介電質收納於該閘電極與該浮體通道區域之間。該浮體通道區域具有一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域。該浮體通道區域具有一收納於該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域與該閘極介電質之間的半導體含矽區域。該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有大於該半導體含矽區域內之任何Ge量之Ge量。預期其他實施例，包括形成浮體場效電晶體之方法。

六、英文發明摘要：

In one embodiment, a floating body field-effect transistor includes a pair of source/drain regions having a floating body channel region received therebetween. The source/drain regions and the floating body channel region are received over an insulator. A gate electrode is proximate the floating body channel region. A gate dielectric is received between the gate electrode and the floating body channel region. The floating body channel region has a semiconductor $\text{Si}_x\text{Ge}_{(1-x)}$ -comprising region. The floating body channel region has a semiconductor silicon-comprising region received between the semiconductor $\text{Si}_x\text{Ge}_{(1-x)}$ -comprising region and the gate dielectric. The semiconductor $\text{Si}_x\text{Ge}_{(1-x)}$ -comprising region has greater quantity of Ge than any quantity of Ge within the semiconductor silicon-comprising region. Other embodiments are contemplated, including methods of forming floating body field-effect transistors.

七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

10	半導體基板
12	半導體區域
14	絕緣體
16	半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層
18	半導體含矽層
20	閘極構造
22	閘極介電質
24	閘電極
26	側壁間隔物
28	源極/汲極區域
30	浮體通道區域
32	浮體場效電晶體
34	最大寬度
36	最大寬度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本文中所揭示之實施例係關於浮體場效電晶體，且係關於形成浮體場效電晶體之方法。

【先前技術】

一類型之動態隨機存取記憶體(DRAM)包括個別記憶體單元，該等個別記憶體單元包括一場效電晶體及一儲存電容器。隨著積體電路之大小縮小，電容器之大小亦縮小。通常，隨著該儲存電容器縮小，電荷量及留存電荷之時間亦減少。因此，維持此類型之DRAM結構之可接受之效能水準隨著電容器大小減小而變得較困難。使用具有高介電常數之電容器介電質及經由表面粗糙化來增加電容器極板表面積、較大垂直尺寸及其他各種電容器形狀係維持足夠高之電容的習知做法。

另一類型之DRAM單元使用一無離散儲存電容器之結構。無電容器式DRAM之實例基本上僅由一單電晶體(1T)記憶體單元構成。此等DRAM單元使用一用於儲存呈"電洞"形式之正電荷之絕緣體上半導體(SOI)結構。所儲存之正電荷降低電晶體臨限電壓(V_t)，該臨限電壓(V_t)為施加至閘極而使得該對源極/汲極區域之間的通道區域變得導電的電壓。因此，基於該電晶體回應於在記憶體讀取操作期間施加至其閘極之電壓而被"接通"或是保持"關斷"而在1T記憶體單元中表示二元資料狀態。

已基於使用浮動SOI通道本體(電洞在其中聚積)之金屬

氧化物半導體(MOS)場效電晶體(FET)裝置而開發各種SOI 1T DRAM單元結構。因此，該等源極/汲極區域為n型，且該通道區域為輕微摻雜之p型。此等類型之1T DRAM單元歸因於使用浮動SOI本體而通常被稱為浮體單元(FBC)。因為所聚積之電洞降低通道變得導電之電壓條件，所以在對FET裝置之閘極施加適當電壓時，導電通道形成於同一浮動SOI本體中(在其中電洞聚積)。資料"1"係藉由產生電洞(例如，藉由衝擊離子化)而寫入且將本體電位上推至高位準。相反，資料"0"係藉由自本體提取電洞而寫入，其將本體電位下拉至低位準。藉由將位元線接地且藉由將負電壓施加至字線，在特定時間中保持或高或低之本體電位位準。可使用由本體電位調變之MOSFET電流來區別資料。

該浮動SOI通道本體可經設計以用作部分空乏絕緣體上半導體(PDSOI)或全空乏絕緣體上半導體(FDSOI)，其涉及在浮動SOI本體之厚度內之導電通道之形成的程度。在FDSOI操作之狀況下，施加負基板(極板)偏壓，以使得半導體薄膜之背表面聚積電洞。在部分空乏浮體單元(PDFBC)之狀況下，存在中性體積區域。因此，在PDFBC之狀況下使用中性體積區域，且在全空乏浮體單元(FDFBC)之狀況下使用底"平面"以用於藉由電位位準來表示資料狀態的各別電洞儲存區域。

無論如何，將"1"寫入至浮體單元係藉由電壓施加來達成，其中過量電洞儲存於該FET之浮體通道區域中。相反，對各種FET組件之不同電壓電位之施加移除該浮體通

道區域之電洞，藉此寫入"0"。FET之通常非破壞性讀取或資料判定狀態通常係藉由利用一組不同電壓參數來進行，特定言之，其中充當汲極之該等源極/汲極區域中之一者之電壓係低於在寫入"1"操作或寫入"0"操作期間彼區域處之電壓。歸因於電洞因正向偏壓接面而注入至源極/汲極中所導致之電洞損失，存在再新所寫入之"1"之需要。因此，藉由任何機構來促進電洞儲存量且最小化電洞損失之任何結構將為在浮體場效電晶體之情形下的改良。

浮體場效電晶體亦可用於除DRAM之外或除記憶體電路之外的裝置中。

【實施方式】

實施例涵蓋形成(例如)用作記憶體單元或用於其他電路中之浮體場效電晶體之方法，及獨立於製造方法之亦(例如)用作記憶體單元或用於其他電路中之浮體場效電晶體。參看圖1至5來描述初始實施例。

參看圖1，大體上以參考數字10指示半導體基板。在此文件之上下文中，術語"半導體基板"或"半導體基板"經定義以意謂包含半導體材料之任何構造，包括(但不限於)諸如半導體晶圓之塊狀半導體材料(在上面單獨地或組合地包含其他材料)及半導體材料層(單獨地或組合地包含其他材料)。術語"基板"指任何支撐結構，包括(但不限於)上文描述之半導體基板。基板10被描繪為包含一半導體區域12，絕緣體14形成於該半導體區域12上。實例半導體材料12為經摻雜或未經摻雜之單晶矽(例如包括塊狀單晶矽)，

且實例絕緣體14為二氧化矽。僅以實例方式，絕緣體14之厚度範圍為自約30埃至約5,000埃。

參看圖2，一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16已形成在絕緣體14上。此可藉由任何現有或尚在開發之方式提供。僅以實例方式，現有實例可包括物理氣相沈積、化學氣相沈積、原子層沈積及/或磊晶沈積或側向覆生。沈積含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16之一特定方式包括磊晶生長，其中在絕緣體14上提供適當晶種層，其中藉由使用矽烷及鍺烷作為饋料氣體而自該晶種層磊晶生長含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16，矽烷及鍺烷之相對部分判定含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16內之矽及鍺濃度。僅以實例方式，本發明之實施例包括其中 x 為至少0.5、至少0.7、不大於0.85、不大於0.8及自0.7至0.85的情況。無論如何，圖2描繪半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16經形成而被收納為直接實體接觸絕緣體14之實施例。預期額外實施例，其中半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16未收納成直接實體接觸絕緣體14，且包括其中半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16之基底中的一些接觸絕緣體14且一些未接觸的情況。進一步僅以實例方式，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16可經形成以至少關於Ge濃度而均質，或經形成以並非至少關於Ge濃度而均質。進一步僅以實例方式，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16可經形成以關於其所有組份而完全均質。

參看圖3，半導體含矽層18已形成在半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16上並與半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16直接實體接觸。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16具有大於半導體含矽層18內之任何Ge量之Ge量。因此，半導體含矽層18可含有某一Ge量或可無

Ge。在此文件之上下文中，"無 Ge"定義無可偵測到之 Ge 存在於諸如層 18 之含矽層內。在一實施例中，半導體含矽層 18 無 Ge。在一實施例中，半導體含矽層 18 包含 Ge，但理想地其濃度顯著低於含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 16 中存在之 Ge 之濃度。實例實施例包括半導體含矽層 18 中之 Ge 量為小於約 10 原子%，小於約 1 原子%、小於 0.1 原子%及無 Ge。

參看圖 4，一閘極構造 20 已形成在半導體含矽層 18 上。此被描繪為包含一閘極介電質 22，導電閘電極 24 形成在其上。閘電極 24 可包含導電摻雜之半導體材料、元素金屬、元素金屬之合金及/或導電金屬化合物中之一者或組合。進一步僅以實例方式，閘電極 24 上之絕緣罩蓋(未圖示)可與閘極構造 20 相關聯。閘極構造 20 亦被描繪為包含各向異性蝕刻之絕緣側壁間隔物 26，其係圍繞閘電極 24 及閘極介電質 22 之側壁形成。僅以實例方式，可在形成實例各向異性蝕刻之絕緣側壁間隔物 26 之前或之後進行對半導體含矽層 18 及含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 16 中之一者或兩者的 LDD、鹵素及/或其他植入。

參看圖 5，已將閘極介電質 22 及閘電極 24 至少部分地用作一遮罩而形成一對源極/汲極區域 28 及其之間的一浮體通道區域 30。在此文件之上下文中，源極/汲極區域為將在經由場效電晶體之通道區域之電流期間充當源極及汲極中之一者或兩者的 FET 之任何源極區域及/或汲極區域。因此，源極/汲極區域在操作中可始終充當場效電晶體之源極或汲極，或可提供電路構造或操作，其中在一些操作方

式下，源極變為汲極且汲極變為源極。在此文件之上下文中，浮體通道區域為能夠在閘極電壓之適當施加後作為導電通道操作且包括其可操作以用於電洞儲存區域中之電洞儲存(無論在全空乏還是部分空乏模式下操作)的某部分的FET之彼部分。

圖5描繪一實施例，其中已對半導體含矽層18及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16之未遮罩部分進行n型導電性增強雜質植入以在此離子植入期間將閘極介電質22及閘電極24至少部分地用作一遮罩而形成一對最高摻雜物濃度n型源極/汲極區域28。在所描繪之實施例中，絕緣側壁間隔物26亦已在此植入期間有效地至少部分地用作一遮罩。亦可使用額外遮罩。無論如何，在圖1至5實施例中，一對最高摻雜物濃度n型源極/汲極區域28包含已被適當高導電摻雜以能夠充當源極/汲極區域之半導體含矽層18及含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16兩者。浮體通道區域30包含半導體含矽層18及含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16。

因此且僅以實例方式，圖5描繪一實施例浮體場效電晶體32。此包含一對源極/汲極區域28，浮體通道區域30收納於其之間。源極/汲極區域28及浮體通道區域30係收納於一絕緣體14上。一閘電極24被收納成接近於浮體通道區域30，其中"接近於"在此文件之上下文中要求可操作地接近於浮體通道區域以使場效電晶體之操作能夠選擇性地導致經由通道區域之某一部分之電流。一閘極介電質22係收納於閘電極24與浮體通道區域30之間。

浮體通道區域30包含一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16及一收納於半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16與閘極介電質22之間的半導體含矽區域18。如上文全面解釋，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有大於半導體含矽區域18內之任何Ge量的Ge量。

在一實施例中，含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有至少20埃之厚度，且在一實施例中，具有自約100埃至約600埃之厚度。在電晶體在操作中部分空乏的一實施例中，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有自約300埃至約600埃之厚度。在電晶體在操作中全空乏的一實施例中，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有自約100埃至約300埃之厚度。在半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有自約20埃至約50埃之厚度的一實施例中， x 為自0.5至0.6。

在一實施例中，含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有一自浮體通道區域30之總厚度之約25%至約75%的厚度。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16可具有約等於、小於或大於(如圖示)半導體含矽區域18之厚度的厚度。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16及半導體含矽區域18可經提供以具有相同最大寬度或不同最大寬度。舉例而言且僅以實例方式，圖5描繪半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16具有大於半導體含矽區域18之最大寬度36的最大寬度34。此大小關係當然可倒置，或使該等最大寬度相等。

在不限於任何優勢或操作理論之情況下，如上文及下文特定實施例中所提供之構造可增強浮體場效電晶體操作。舉例而言， $\text{Si}_x\text{Ge}_{(1-x)}$ 與矽(具有低或無Ge含量)之間的能帶隙偏移位於具有類型II對準之價能帶中，藉此形成用

於過量電洞之SiGe電位井，過量電洞因通道熱電子衝擊離子化而儲存於底部 $\text{Si}_x\text{Ge}_{(1-x)}$ 電位井中。此外，可提供薄的含 $\text{Si}_x\text{Ge}_{(1-x)}$ 浮體通道中之較小源極/汲極接面，其且與整體均質且主要包含矽之浮體通道區域或均質且主要包含 $\text{Si}_x\text{Ge}_{(1-x)}$ 之浮體通道區域中之接面相比導致較少電洞耗散及較長再新時間。此外，上述屬性適用於部分空乏SOI及全空乏SOI浮體單元兩者。

接著參看圖6及7來描述其他實施例。適當時利用來自上文首次描述實施例之類似數字，其中差別用字尾"a"或用不同數字指示。圖6描繪由圖4描繪之處理步驟之後且與由圖5描繪之處理步驟替換之處理步驟處的半導體基板10a。圖6描繪將閘極介電質22及閘電極24至少部分地用作一用於此蝕刻之遮罩而蝕刻至半導體含矽層18及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16之未遮罩之部分中。此亦描繪將各向異性蝕刻之絕緣側壁間隔物26用作用於此蝕刻之遮罩及形成浮體通道區域30a，該浮體通道區域30a包含半導體含矽層18及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16。在圖6中且出於繼續論述之目的，此可被視為包含各別側向最外側側壁37。

在該蝕刻後，自至少該含矽層之側向最外側側壁磊晶生長半導體含矽材料以形成一對源極/汲極區域。圖7描繪半導體含矽材料39已自含矽層18及含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16兩者之側向最外側側壁37磊晶生長以形成一對源極/汲極區域38之一實例。半導體含矽材料39可包含上文關於層18及16而描述之材料中之任一者，且理想地包括低Ge量或無Ge，如

上文所描述。無論如何且進一步在所描繪之實例圖7實施例中，源極/汲極區域38對可被視為分別包含一升高之源極/汲極部分40及一非升高之源極/汲極部分42。

接著關於一半導體基板10b參看圖8至10來描述其他實施例。適當時利用來自上文首次描述實施例之類似數字，其中差別用字尾"b"或用不同數字指示。圖8描繪與至少圖4中所描述之處理替換之處理。在圖8中，已提供另一半導體含矽層44以收納於半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16與絕緣體14之間。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16經提供以具有大於此另一半導體含矽層44內之任何Ge量之Ge量。因此，關於層44中之Ge量之實例屬性與上文關於半導體含矽層18而描述之實例屬性相同，雖然層18及44可具有不同的各別Ge量(若存在)。僅以實例方式，層44之厚度範圍為自約20埃至約100埃。此外且無論如何，圖8描繪半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域16未收納成直接實體接觸絕緣體14之實例實施例。

在圖8之後，可根據圖5及/或圖6至7或另外在製造一浮體通道區域之過程中發生處理。僅以實例方式，圖9描繪在形成一浮體通道區域30b之過程中的對應於圖6之處理之處理。圖10描繪在製造一對源極/汲極區域38之過程中的對應於圖7之處理之處理。

接著參看圖11至16來描述本發明之其他實施例。圖11結合半導體基板10c描繪產生與由圖6描繪之構造替換之構造的圖4基板之處理。適當時利用來自首次描述實施例之類似數字，其中差別用字尾"c"或用不同數字指示。在圖11

之上下文中，各向異性蝕刻之側壁間隔物26可被視為形成在閘電極24之側壁上的第一側壁間隔物。圖11至16描繪將閘極介電質及閘電極至少部分地用作一遮罩而在半導體含矽層及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之未遮罩之部分中進行蝕刻以形成一包含此等層之浮體通道區域的實施例。圖11說明第一蝕刻已在此蝕刻期間將閘極介電質22、閘電極24及第一側壁間隔物26至少部分地用作遮罩而穿過半導體含矽層18至少進行至半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16。此可(僅以實例方式)作為定時蝕刻或經選擇以選擇性地相對於含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16選擇性地蝕刻含矽層18之蝕刻化學物來進行。用於如此進行之實例選擇性蝕刻化學物包括使用 SF_6 、 H_2 及 CF_4 混合物或 CF_4 、 CH_2F_2 、 N_2 及 O_2 混合物之電漿。

參看圖12，第二側壁間隔物48已形成在第一側壁間隔物26上且形成在蝕刻穿過之半導體含矽層18之側壁上。用於如此進行之實例技術包括沈積及無遮罩式各向異性蝕刻。在一實施例中，第二側壁間隔物48理想地為可相對於第一側壁間隔物26而選擇性地加以蝕刻。

參看圖13，已進行第二蝕刻，此次在此蝕刻期間將閘極介電質22、閘電極24、第一側壁間隔物26及第二側壁間隔物48至少部分地用作遮罩穿過半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16中之至少一些來進行。圖13描繪一實例實施例，其中含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16被完全蝕刻穿過直至絕緣體14且形成浮體通道區域30c。

參看圖14，絕緣材料50已形成在半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16

之側壁上。用於如此進行之實例技術包括曝露至有效地熱氧化此等側壁之氧化條件，藉此形成絕緣矽-鍍氧化物材料。絕緣材料50之實例側向厚度範圍為自約30埃至約300埃。

參看圖15，第二側壁間隔物48(未圖示)已經蝕刻以曝露半導體含矽層18之側壁。在(例如)絕緣材料50包含矽-鍍氧化物、第一間隔物26包含二氧化矽且第二間隔物48包含氮化矽時，用以產生圖15構造之實例蝕刻包括加熱至自約150°C至約180°C之 H_3PO_4 與 H_2O 之混合物。

參看圖16，半導體含矽材料39已僅自含矽層18之側向最外側側壁磊晶生長(因為半導體含 $Si_xGe_{(1-x)}$ 層16之側壁由絕緣體50覆蓋)以形成一對源極/汲極區域38c。

因此且僅以實例方式，圖5、7及10描繪實例實施例，其中各別浮體通道區域之半導體含 $Si_xGe_{(1-x)}$ 區域16包含直接實體接觸各別源極/汲極區域之側向最外側側壁。另一方面，圖16描繪實例實施例，其中浮體通道區域之半導體含 $Si_xGe_{(1-x)}$ 區域16包含並不直接實體接觸源極/汲極區域之側向最外側側壁。舉例而言且僅以實例方式，圖16實施例描繪絕緣材料50收納於半導體含 $Si_xGe_{(1-x)}$ 區域16之側向最外側側壁中之至少一些與該等源極/汲極區域38c之間，其中圖16更具體言之說明絕緣材料50收納於半導體含 $Si_xGe_{(1-x)}$ 區域16之所有側向最外側側壁與該等源極/汲極區域38c之間。

接著關於一半導體基板10d參看圖17來描述其他實例實

施例。適當時利用來自上述實施例之類似數字，其中差別用字尾"d"或用不同數字指示。僅以實例方式，圖17描繪在由圖5描繪之處理之後的處理，雖然此圖17處理可在由圖7、10或16描繪之處理中之任一者之後進行。在圖17中，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料54已自最高摻雜物濃度n型源極/汲極區域28之含矽對向外磊晶生長以形成包含半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料之升高之源極/汲極部分55。含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料54之組成可與上述含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16之組成相同或不同。在一實施例中，升高之源極/汲極部分55中之Ge量大於非升高之源極/汲極部分28內之任何Ge量。在一實施例中，非升高之源極/汲極部分28無Ge。無論如何，在一實施例中，非升高之源極/汲極部分28包含矽。

在不受任何發明或操作理論限制之情況下，包含所述含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料作為該等源極/汲極區域之部分的升高之源極/汲極部分可藉由在浮體通道區域之含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域中之過量電洞聚積中的衝擊離子化來幫助增加程式化之機率。能帶彎曲可在重疊區域中增加以便經由閘極誘發汲極漏電而增加自價能帶之穿隧且亦可能幫助在程式化期間的過量電洞產生。

接著結合圖18至20來描述本發明之其他實施例。適當時利用來自上述實施例之類似數字，其中差別用字尾"e"或用不同數字指示。圖18主要根據實例圖17處理來描繪半導體基板10e。然而，如同圖17一樣，在圖18之上下文中亦預期關於圖7、10及/或16或另外之實施例之生產中的源極/

汲極製造之處理。

在圖 18 中，半導體含矽層 60 已形成在絕緣體 14 上。在特定實施例中之層 60 之組成係根據如上文所描述之層 18 之組成。因此，此可包含 Ge 或可無 Ge。無論如何，實例閘極構造 20 被描繪為形成在其上。

參看圖 19，n 型導電性增強雜質已在此離子植入期間透過將閘極介電質 22 及閘電極 24 至少部分地用作一遮罩而離子植入至半導體含矽層 60 之未遮罩之部分中以形成包含半導體含矽層 60 之一對最高摻雜物濃度 n 型源極/汲極區域 28e。浮體通道區域 30e 係形成於源極/汲極區域 28e 的對之間且包含半導體含矽層 60。

參看圖 20，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料 54 已自最高摻雜物濃度 n 型含矽源極/汲極區域 28e 對向外磊晶生長以形成包含半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料之升高之源極/汲極部分 55。因此僅以實例方式且進一步獨立於方法，圖 20 描繪一實例浮體場效電晶體 32e 包含一對源極/汲極區域 28e/55，一浮體通道區域 30e 收納於其之間。源極/汲極區域 28e/55 及浮體通道區域 30e 係收納於一絕緣體 14 上。一閘電極 24 被收納成接近於浮體通道區域 30e，其中一閘極介電質 22 收納於閘電極 24 與浮體通道區域 30e 之間。該對源極/汲極區域 28e/55 中之每一者包含一升高之源極/汲極部分 55 及一非升高之源極/汲極部分 28e。升高之源極/汲極部分包含 $\text{Si}_x\text{Ge}_{(1-x)}$ 。非升高之源極/汲極部分 28e 包含含矽之最高摻雜物濃度部分。升高之源極/汲極部分 55 中之 Ge 量大於非升高之含矽

源極/汲極部分 28e 之最高摻雜物濃度部分內之任何 Ge 量。

接著結合半導體基板 10f 結合圖 21 至 24 來描述其他實例實施例。適當時利用來自上述實施例之類似數字，其中差別用字尾 "f" 或用不同數字指示。圖 21 類似於圖 3 之處理中實施例，然而含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 16f 並非至少關於 Ge 濃度而均質。舉例而言，圖 21 描繪一部分 62，其用以指定與含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 16f 之另一部分 64 之 Ge 濃度不同的 Ge 濃度。舉例而言，部分 62 可具有高於部分 64 之 Ge 濃度，或部分 64 可具有高於部分 62 之 Ge 濃度。此外，可使用跨越含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 16f 之厚度的 Ge 濃度之漸進或其他不同梯度。

圖 22 及 23 說明分別對應於圖 4 及 5 處理的發生的後續處理。或者僅以實例方式，亦可進行根據其他上述實施例中之任一者之處理。圖 24 描繪對應於由圖 17 描繪之處理的在圖 23 之處理之後的處理。或者僅以實例方式，亦可進行根據其他上述實施例中之任一者之處理。

在不受任何發明或操作理論限制之情況下，在一實例實施例中，部分 64 中之銻濃度經設為高於部分 62 中之銻濃度。此可促進將電洞量輕微移置遠離絕緣體 14 以將此等電洞與在諸如矽之半導體材料與絕緣體 14 之界面處固有地發生之缺陷分離。此外，銻濃度梯度可幫助控制浮體通道內之載流子壽命以用於留存改良。

接著結合半導體基板 10g 參看圖 25 至 28 來描述其他實例實施例。適當時利用來自上述實施例之類似數字，其中差別用字尾 "g" 或用不同數字指示。圖 25 描繪與由圖 23 描繪

之處理替換的圖 22 基板之處理。舉例而言且僅以實例方式，圖 25 描繪半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 先前形成在收納於絕緣體 14 上之半導體含矽材料 62 上並與之直接實體接觸。半導體含矽材料 62 在一實施例中包含 Ge 且可被視為第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層。在一實施例中，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 中之 Ge 濃度為大於含矽層 62 中之任何 Ge 濃度之濃度，且在一實施例中，半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 可被視為第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64。半導體含矽層 18 已形成在半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 上並與之直接實體接觸。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 具有大於半導體含矽層 18 內之任何 Ge 量之 Ge 量。實例閘極構造 20 已形成在半導體含矽層 18 上。

圖 25 亦描繪蝕刻已進行至半導體含矽層 18、第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 及第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 62 之未遮罩之部分中以形成至少包含半導體含矽層 18 及第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 62 之浮體通道區域 30g。

參看圖 26，已選擇性地相對於第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 62 蝕刻第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 中之至少一些，藉此留下所描繪之間隙。所描繪之結構將在相反端支撐在收納在圖 26 存在之頁面平面內且收納在該頁面平面之外之部分上。相對於較低鍍或無鍍濃度含矽材料來蝕刻較高濃度含 Ge 矽-鍍材料的實例包括使用 HF、 HNO_3 、 H_2O 溶液或 CH_3COOH 、 H_2O_2 、HF、 H_2O 溶液或使用 CF_4 、 CF_2Cl_2 及 HBr 電漿。

參看圖 27，已提供絕緣材料 68 以替換經移除之第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層 64 中之至少一些(未圖示)。用於如此進行之實

例技術包含對材料18及62中之一者或兩者之熱氧化。絕緣材料68之實例厚度範圍為自約20埃至約250埃。無論如何，材料18及62之外部側壁如圖27中所示最終向外曝露，圖28描繪半導體含矽材料70自至少該含矽層18及該第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層62之側向最外側側壁之後續磊晶生長以形成一對源極/汲極區域71。在不受任何發明或操作理論限制之情況下，如圖28實施例中所描述而提供之薄絕緣層68可進一步隔離儲存在底部含矽-鍍內埋式通道區域中之過量電洞並減少耗散且藉此可能增強電荷留存。

接著關於半導體基板10h結合圖29至36描述其他實施例。適當時利用來自上述實施例之類似數字，其中差別用字尾"h"或用不同數字指示。參看圖29，半導體第一含矽層72已形成在絕緣體14上。僅以實例方式，第一含矽層72之組成及尺寸參數可與上文關於第一所描述實施例之層18描述之組成及尺寸參數相同。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74已形成在第一含矽層72上。僅以實例方式，組成可與上文結合含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層16而描述之組成相同。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74之實例厚度範圍為自約20埃至約250埃。半導體第二含矽層76形成在半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74上。僅以實例方式，第二含矽層76之組成可與上文關於層18而描述之組成相同，雖然層72及76當然不需要(但可能)為相同組成。層76之實例厚度範圍為自20埃至250埃。

參看圖30，實例閘極構造20已形成在第二含矽層76上。

參看圖31，已在第二含矽層76及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74

之未遮罩之部分中進行蝕刻，至少至第一含矽層72之外表面。此可由定時蝕刻或大體上對半導體第一含矽層72具有選擇性之至少穿過半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74之蝕刻進行。

參看圖32，第二間隔物48h已形成在第一間隔物26及第一含矽層76與含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74之側向最外側側壁上。

參看圖33，繼續蝕刻，此次為在此蝕刻期間至少將半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74、第二含矽層76、第二側壁間隔物48h、第一側壁間隔物26、閘極介電質22及閘電極24用作一遮罩而進行至第一含矽層72中。如所描繪，此蝕刻在一實施例中完全穿過第一含矽層72至絕緣體14。在一實施例中，此藉此形成浮體通道區域30h。

參看圖34，絕緣材料50h已形成在第一含矽層72之最外側側向側壁上。

參看圖35，已移除第二側壁間隔物48h(未圖示)以曝露浮體通道區域30h之第二含矽層76及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74之外部側向側壁。

參看圖36，半導體含矽材料39已自浮體通道區域30h之第二含矽層76及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層74之最外側側向側壁磊晶生長以形成一對源極/汲極區域38h。

在不受任何發明或操作理論限制之情況下，此可促進在該浮體通道區域內之過量電洞儲存，並減少過量電洞耗散至源極/汲極，藉此延長所需之再新時間。

無論如何且僅以實例方式，圖36描繪一實例實施例浮體場效電晶體32h包含一對源極/汲極區域38h，浮體通道區

域30h收納於其之間。該等源極/汲極區域38h及該浮體通道區域30h係收納於一絕緣體14上。一閘電極24被提供成接近於浮體通道區域30h，其中一閘極介電質22收納於閘電極24與浮體通道區域30h之間。浮體通道區域30h包含一半導體第一含矽區域72、一半導體第二含矽區域76及一收納於區域76與72之間的半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域74。半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域74具有大於分別的半導體第一矽區域72及半導體第二含矽區域76中之每一者內之任何Ge量的Ge量。

半導體第一含矽區域72被收納成直接實體接觸絕緣體14且包含側向最外側側壁。絕緣材料50h係收納於此等側向最外側側壁中之至少一些與源極/汲極區域38h之間。在一實施例中，第一矽區域72及第二含矽區域76分別無Ge。在一實施例中，半導體第一矽區域72及半導體第二含矽區域76基本上分別由p摻雜之矽構成。在一實施例中，第二含矽區域76及半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域74包含直接實體接觸源極/汲極區域38h之側向最外側側壁。

在一實施例中，一種形成浮體場效電晶體之方法包括在絕緣體上形成半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及半導體含矽層。任一者均可在另一者之前形成。無論如何，一閘極介電質及一閘電極形成在半導體含矽層上。將閘極介電質及閘電極至少部分地用作一遮罩，蝕刻進行至半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及半導體含矽層之未遮罩之部分中，以形成一包含該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該半導體含矽層之浮體通道區域。僅以實

例方式，圖13及32/33描繪例示性之此等處理。

絕緣材料形成在該浮體通道區域之半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及半導體含矽層中之僅一者之最外側側向側壁上且未形成在該浮體通道區域之半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及半導體含矽層中之另一者上。僅以實例方式，圖14及34描繪此處理。在絕緣材料之此形成後，半導體含矽材料係自該浮體通道區域之半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及半導體含矽層中之另一者之最外側側向側壁磊晶生長以形成一對源極/汲極區域。再次僅以實例方式，圖16及36描繪例示性之此處理。

接著關於半導體基板10m結合圖37至43描述其他實施例。適當時利用來自上述實施例之類似數字，其中差別用字尾"m"或用不同數字指示。參看圖37，半導體材料第一區域80已形成在絕緣體14上。僅以實例方式，半導體材料第一區域80之組成可與上文結合第一所描述實施例中之層16及18而描述之組成中的任一者相同。因此且僅在一實施例中，第一區域80包含一含矽材料，其已沈積在絕緣體14上方且在一實施例中與之直接實體接觸。

參看圖38，已在含矽材料80中蝕刻渠溝81及82直至絕緣體14。

參看圖39，渠溝81及82已用絕緣材料84填充。實例材料84包括經摻雜或未經摻雜之二氧化矽及/或氮化矽。形成圖39之構造之實例方式係藉由沈積有效過度填充渠溝81及82之材料84，繼之以對其進行化學機械拋光，至少至半導體材料第一區域80之外表面。出於繼續論述之目的，第一

區域80可被視為包含側向最外側側壁85，其收納有與之直接實體接觸的絕緣材料84。此僅提供在絕緣體14上形成半導體材料第一區域80之一實例方法，其中絕緣材料84係收納成直接實體接觸第一區域80之側向最外側側壁85。亦可利用形成半導體材料第一區域80之任何替代實例方式，無論是現有的還是尚在開發之方式。

參看圖40，半導體材料第二區域86已形成在半導體材料第一區域80上並與之直接實體接觸且形成在絕緣材料84上。又，半導體第二材料第二區域86之實例材料為如上文結合第一描述實施例之層16及18而描述之材料中之任一者。當然，預期替代材料。無論如何，材料80及86可為相同組成或不同組成。此外，各別材料80及86可為均質或非均質的。形成半導體材料第二區域86之一方式為藉由磊晶生長。舉例而言，一晶種層可至少沈積在絕緣材料84上，其中材料86自其並自半導體材料第一區域80磊晶生長。在一實施例中且在此生長後，半導體材料第二區域86可(例如)藉由化學機械拋光來拋光。無論如何，圖40將一閘極介電質88描繪為已形成在半導體材料第二區域86上。實例材料為熱生長之二氧化矽。

參看圖41，已形成閘極構造89。此被描繪為包含一閘電極90，閘電極90包含導電層91及92。僅以實例方式，導電層92可包含導電摻雜之多晶矽，而導電層91可包含耐火金屬及/或耐火金屬矽化物中之一者或組合。閘極構造89亦被描繪為包含各向異性蝕刻之絕緣側壁間隔物93，其已形

成在閘電極90之側向最外側側壁上。當然，亦可形成絕緣罩蓋(未圖示)。

參看圖42，蝕刻已進行至半導體材料第二區域86之未遮罩之部分中直至絕緣材料84以形成一包含半導體材料第一區域80及半導體材料第二區域86之浮體通道區域30m。此蝕刻已將閘極介電質88及閘電極90至少部分地用作一用於此蝕刻之遮罩而進行。在所描繪之實施例中，各向異性蝕刻之側壁間隔物93亦已在此蝕刻期間用作一遮罩，其中半導體材料第二區域86起初由閘極介電質88之蝕刻除去遮罩。出於繼續論述之目的，半導體材料第二區域86可被視為包含側向最外側側壁94。

參看圖43，半導體材料已自至少半導體材料第二區域86之側向最外側側壁94磊晶生長以形成一對源極/汲極區域96。在一實施例中且如圖示，源極/汲極區域96對磊晶生長在絕緣材料84上且在一實施例中與之直接實體接觸。在一實施例中且如圖示，每一源極/汲極區域96經形成以包含一升高之源極/汲極部分97及一非升高之源極/汲極部分98。在一實施例中，源極/汲極區域包含矽，其中實例材料係如上文結合實例圖7實施例之源極/汲極區域38所描述。

圖43亦描繪獨立於製造方法之實例浮體場效電晶體100。在一此實施例中，此包含一對源極/汲極區域96，浮體通道區域30m收納於其之間。源極/汲極區域96及浮體通道區域30m係收納於一絕緣體14上。一閘電極90被收納成

接近於浮體通道區域30m，其中一閘極介電質88收納於閘電極90與浮體通道區域30m之間。此浮體通道區域包含分別的第一區域80及第二區域86，其中第二區域86在高程上收納於閘極介電質88與第一區域80之間。第一區域80包含側向最外側側壁85，其中絕緣材料84被收納成直接實體接觸第一區域80之側向最外側側壁85。在一實施例中，第一區域80具有大於第二區域86之厚度的厚度。在一實施例中，第一區域80及第二區域86中之每一者無Ge。仍在一實施例中，分別的第一區域及第二區域80及86中之至少一者包含Ge。區域80及86中之一者或兩者可形成電洞儲存體積。在一實施例中，區域80包含電洞儲存體積且在一實施例中包含其在高程上向內之部分。區域80可以(例如)如上文所描述之定向、位置及/或濃度中之任一者且在具有或不具有亦如上文所描述之其他含矽材料之情況下包含 $\text{Si}_x\text{Ge}_{(1-x)}$ 。

根據法令，本文中所揭示之標的物已用語言或多或少地關於結構特徵及方法特徵予以描述。然而，應理解，申請專利範圍不限制於所展示並描述之特定特徵，因為本文中所揭示之構件包含實例實施例。申請專利範圍因此將被提供如字面上措詞之完整範疇且將根據均等物之準則來適當地加以解釋。

【圖式簡單說明】

圖1為根據本發明之實施例之製程中的半導體基板之圖解剖視圖。

圖 2 為圖 1 中所示之處理步驟之後之處理步驟處的圖 1 基板之視圖。

圖 3 為圖 2 中所示之處理步驟之後之處理步驟處的圖 2 基板之視圖。

圖 4 為圖 3 中所示之處理步驟之後之處理步驟處的圖 3 基板之視圖。

圖 5 為圖 4 中所示之處理步驟之後之處理步驟處的圖 4 基板之視圖。

圖 6 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 7 為圖 6 中所示之處理步驟之後之處理步驟處的圖 6 基板之視圖。

圖 8 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 9 為圖 8 中所示之處理步驟之後之處理步驟處的圖 8 基板之視圖。

圖 10 為圖 9 中所示之處理步驟之後之處理步驟處的圖 9 基板之視圖。

圖 11 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 12 為圖 11 中所示之處理步驟之後之處理步驟處的圖 11 基板之視圖。

圖 13 為圖 12 中所示之處理步驟之後之處理步驟處的圖 12 基板之視圖。

圖 14 為圖 13 中所示之處理步驟之後之處理步驟處的圖 13 基板之視圖。

圖 15 為圖 14 中所示之處理步驟之後之處理步驟處的圖 14 基板之視圖。

圖 16 為圖 15 中所示之處理步驟之後之處理步驟處的圖 15 基板之視圖。

圖 17 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 18 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 19 為圖 18 中所示之處理步驟之後之處理步驟處的圖 18 基板之視圖。

圖 20 為圖 19 中所示之處理步驟之後之處理步驟處的圖 19 基板之視圖。

圖 21 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 22 為圖 21 中所示之處理步驟之後之處理步驟處的圖 21 基板之視圖。

圖 23 為圖 22 中所示之處理步驟之後之處理步驟處的圖 22 基板之視圖。

圖 24 為圖 23 中所示之處理步驟之後之處理步驟處的圖 23 基板之視圖。

圖 25 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 26 為圖 25 中所示之處理步驟之後之處理步驟處的圖 25 基板之視圖。

圖 27 為圖 26 中所示之處理步驟之後之處理步驟處的圖 26 基板之視圖。

圖 28 為圖 27 中所示之處理步驟之後之處理步驟處的圖 27 基板之視圖。

圖 29 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 30 為圖 29 中所示之處理步驟之後之處理步驟處的圖 29 基板之視圖。

圖 31 為圖 30 中所示之處理步驟之後之處理步驟處的圖 30 基板之視圖。

圖 32 為圖 31 中所示之處理步驟之後之處理步驟處的圖 31 基板之視圖。

圖 33 為圖 32 中所示之處理步驟之後之處理步驟處的圖 32 基板之視圖。

圖 34 為圖 33 中所示之處理步驟之後之處理步驟處的圖 33 基板之視圖。

圖 35 為圖 34 中所示之處理步驟之後之處理步驟處的圖 34 基板之視圖。

圖 36 為圖 35 中所示之處理步驟之後之處理步驟處的圖 35 基板之視圖。

圖 37 為根據本發明之實施例之製程中的另一半導體基板之圖解剖視圖。

圖 38 為圖 37 中所示之處理步驟之後之處理步驟處的圖 37 基板之視圖。

圖 39 為圖 38 中所示之處理步驟之後之處理步驟處的圖 38 基板之視圖。

圖 40 為圖 39 中所示之處理步驟之後之處理步驟處的圖 39 基板之視圖。

圖 41 為圖 40 中所示之處理步驟之後之處理步驟處的圖 40 基板之視圖。

圖 42 為圖 41 中所示之處理步驟之後之處理步驟處的圖 41 基板之視圖。

圖 43 為圖 42 中所示之處理步驟之後之處理步驟處的圖 42 基板之視圖。

【主要元件符號說明】

10	半導體基板
10a	半導體基板
10b	半導體基板
10c	半導體基板
10d	半導體基板
10e	半導體基板
10f	半導體基板
10g	半導體基板
10h	半導體基板
10m	半導體基板
12	半導體區域

- 14 絕緣體
- 16 半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層
- 16f 含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層
- 18 半導體含矽層
- 20 閘極構造
- 22 閘極介電質
- 24 閘電極
- 26 側壁間隔物
- 28 源極/汲極區域
- 28e 最高摻雜物濃度 n 型源極/汲極區域
- 30 浮體通道區域
- 30a 浮體通道區域
- 30b 浮體通道區域
- 30c 浮體通道區域
- 30e 浮體通道區域
- 30g 浮體通道區域
- 30h 浮體通道區域
- 32 浮體場效電晶體
- 32e 浮體場效電晶體
- 32h 浮體場效電晶體
- 34 最大寬度
- 36 最大寬度
- 37 側向最外側側壁
- 38 源極/汲極區域

38c	源極/汲極區域
38h	源極/汲極區域
39	半導體含矽材料
40	升高之源極/汲極部分
42	非升高之源極/汲極部分
44	半導體含矽層
48	第二側壁間隔物
48h	第二側壁間隔物
50	絕緣材料
50h	絕緣材料
54	半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 材料
55	升高之源極/汲極部分
60	半導體含矽層
62	部分
64	部分
68	半導體含矽材料
71	源極/汲極區域
72	半導體第一含矽層
74	半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層
76	半導體第二含矽層
80	半導體材料第一區域
81	渠溝
82	渠溝
84	絕緣材料

- 85 側向最外側側壁
- 86 半導體材料第二區域
- 88 閘極介電質
- 89 閘極構造
- 90 閘電極
- 91 導電層
- 92 導電層
- 93 絕緣側壁間隔物
- 94 側向最外側側壁
- 96 源極/汲極區域
- 97 升高之源極/汲極部分
- 98 非升高之源極/汲極部分
- 100 浮體場效電晶體

十、申請專利範圍：

1. 一種浮體場效電晶體，其包含：

一對源極/汲極區域，一浮體通道區域收納於其之間，該等源極/汲極區域及該浮體通道區域係收納於一絕緣體上；

一閘電極，其接近於該浮體通道區域；

一閘極介電質，其收納於該閘電極與該浮體通道區域之間；

該浮體通道區域包含一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域，其中 x 小於 1 且大於或等於 0；及

該浮體通道區域包含一半導體含矽區域，其收納於該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域與該閘極介電質之間，該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有大於該半導體含矽區域內之任何 Ge 量之 Ge 量，該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域包含多個側向最外側側壁，該等源極/汲極區域個別升高地重疊且向外側向於該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域之該等側向最外側側壁，絕緣材料係側向地收納於該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域之該等側向最外側側壁中之至少一些與該等個別源極/汲極區域之間。

2. 如請求項 1 之浮體場效電晶體，其中該半導體含矽區域無 Ge。

3. 如請求項 1 之浮體場效電晶體，其中該半導體含矽區域包含 Ge。

4. 如請求項 1 之浮體場效電晶體，其中 x 為至少 0.5。

5. 如請求項1之浮體場效電晶體，其中該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有一約等於該半導體含矽區域之厚度的厚度。
6. 如請求項1之浮體場效電晶體，其中該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有一小於該半導體含矽區域之厚度的厚度。
7. 如請求項1之浮體場效電晶體，其中該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有一大於該半導體含矽區域之厚度的厚度。
8. 如請求項1之浮體場效電晶體，其中該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有一大於該半導體含矽區域之最大寬度之最大寬度。
9. 如請求項1之浮體場效電晶體，其中該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域被收納成直接實體接觸該絕緣體。
10. 如請求項1之浮體場效電晶體，其中該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域未被收納成直接實體接觸該絕緣體。
11. 一種浮體場效電晶體，其包含：
 - 一對源極/汲極區域，一浮體通道區域收納於其之間，該等源極/汲極區域及該浮體通道區域係收納於一絕緣體上；
 - 一閘電極，其接近於該浮體通道區域；
 - 一閘極介電質，其收納於該閘電極與該浮體通道區域之間；且該對源極/汲極區域中之每一者包含一升高之源極/汲極部分及一非升高之源極/汲極部分，該升高之源極/汲極部分包含 $\text{Si}_x\text{Ge}_{(1-x)}$ ，其中 x 小於1且大於或等於0，該非升高之源極/汲極部分包含一包含矽之最高摻雜物濃度部

分，該升高之源極/汲極部分中之Ge量大於該非升高之含矽源極/汲極部分之該最高摻雜物濃度部分內之任何Ge量。

12. 一種浮體場效電晶體，其包含：

一對源極/汲極區域，一浮體通道區域收納於其之間，該等源極/汲極區域及該浮體通道區域係收納於一絕緣體上；

一閘電極，其接近於該浮體通道區域；

一閘極介電質，其收納於該閘電極與該浮體通道區域之間；及

該浮體通道區域，其包含一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域，其中 x 小於1且大於或等於0、一半導體含矽區域及一絕緣材料區域，該絕緣材料區域係位於該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域與該半導體含矽區域之間且分開該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域與該半導體含矽區域，該絕緣材料區域自該等源極/汲極區域之其中一者延伸至該等源極/汲極區域之另一者，該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有大於該半導體含矽區域內之任何Ge量之Ge量。

13. 一種浮體場效電晶體，其包含：

一對源極/汲極區域，一浮體通道區域收納於其之間，該等源極/汲極區域及該浮體通道區域係收納於一絕緣體上；

一閘電極，其接近於該浮體通道區域；

一閘極介電質，其收納於該閘電極與該浮體通道區域

之間；

該浮體通道區域包含一半導體第一含矽區域、一半導體第二含矽區域及一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域，其中 x 小於1且大於或等於0；該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域係收納於該半導體第一含矽區域與該半導體第二含矽區域之間；該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有大於該半導體第一含矽區域及該半導體第二含矽區域中之每一者內之任何Ge量的Ge量；且

該半導體第一含矽區域被收納成直接實體接觸該絕緣體且包含側向最外側側壁，該等源極/汲極區域係側向地在該半導體第一含矽區域之該等側向最外側側壁之上，一絕緣材料收納於該等側向最外側側壁中之至少一些與該等源極/汲極區域之間。

14. 一種浮體場效電晶體，其包含：

一對源極/汲極區域，一浮體通道區域收納於其之間，該等源極/汲極區域及該浮體通道區域係收納於一絕緣體上；

一閘電極，其接近於該浮體通道區域；

一閘極介電質，其收納於該閘電極與該浮體通道區域之間；及

該浮體通道區域包含第一區域及第二區域，該第二區域係在高程上收納於該閘極介電質與該第一區域之間，該第一區域包含側向最外側側壁，該等源極/汲極區域個別升高地重疊且向外側向於該第一區域之該等側向最外

側側壁，側向地收納於該第一區域之該等側向最外側側壁及該等個別源極/汲極區域之間之絕緣材料直接實體接觸該第一區域之該等側向最外側側壁。

15. 一種形成一浮體場效電晶體之方法，其包含：

在一絕緣體上形成一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，其中 x 小於1且大於或等於0；

在該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層上且與該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層直接實體接觸地形成一半導體含矽層，該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層具有大於該半導體含矽層內之任何Ge量之Ge量；

在該半導體含矽層上形成一閘極介電質及一閘電極；

將該閘極介電質及該閘電極至少部分地用作一遮罩，蝕刻至該半導體含矽層及該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之未遮罩之部分中，以形成一包含該半導體含矽層及該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之浮體通道區域；及

在該蝕刻後，僅自該含矽層之側向最外側側壁磊晶生長半導電含矽材料，以形成一對源極/汲極區域。

16. 一種形成一浮體場效電晶體之方法，其包含：

在一絕緣體上形成一半導體第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，其中 x 小於1且大於或等於0；

在該半導體第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層上形成一半導體第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，其中 x 小於1且大於或等於0，該第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層具有大於該第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之Ge量；

在該第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層上形成一半導體含矽層，該第

二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層具有高於該半導體含矽層內之任何 Ge 量之 Ge 量；

在該半導體含矽層上形成一閘極介電質及一閘電極；

將該閘極介電質及該閘電極至少部分地用作一遮罩，蝕刻至該半導體含矽層、該第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之未遮罩之部分中，以形成一包含至少該半導體含矽層及該第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之浮體通道區域；

用絕緣材料替換該第二含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之至少一些；及

在該替換後，自至少該含矽層及該第一含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之側向最外側側壁磊晶生長半導體含矽材料，以形成一對源極/汲極區域。

17. 一種形成一浮體場效電晶體之方法，其包含：

在一絕緣體上形成一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，其中 x 小於 1 且大於或等於 0 及一半導體含矽層；

在該半導體含矽層上形成一閘極介電質及一閘電極；

將該閘極介電質及該閘電極至少部分地用作一遮罩，蝕刻至該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該半導體含矽層之未遮罩之部分中，以形成一包含該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該半導體含矽層之浮體通道區域；

在該蝕刻後，在該浮體通道區域之該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該半導體含矽層中之僅一者之最外側側向側壁上且不在該浮體通道區域之該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該半導體含矽層中之另一者上形成絕緣材料；及

在形成該絕緣材料後，自該浮體通道區域之該半導體

含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層及該半導體含矽層中之該另一者之最外側側向側壁磊晶生長半導體含矽材料，以形成一對源極/汲極區域。

18. 一種形成一浮體場效電晶體之方法，其包含：

在一絕緣體上形成一半導體材料第一區域，絕緣材料被收納成直接實體接觸該第一區域之側向最外側側壁；

在該半導體材料第一區域上且與該半導體材料第一區域直接實體接觸地並在該絕緣材料上形成一半導體材料第二區域；

在該半導體材料第二區域上形成一閘極介電質及一閘電極；

將該閘極介電質及該閘電極至少部分地用作一遮罩，蝕刻至該半導體材料第二區域之未遮罩之部分中直至該絕緣材料，以形成一包含該半導體材料第一區域及該半導體材料第二區域之浮體通道區域；及

在該蝕刻後，自至少該半導體材料第二區域之側向最外側側壁磊晶生長半導體材料，以形成一對源極/汲極區域。

19. 如請求項 18 之方法，其中形成該半導體材料第二區域包含磊晶生長。

20. 如請求項 19 之方法，其包含在形成在該磊晶成長半導體材料第二區域上之該閘極介電質之前拋光該磊晶成長之半導體材料第二區域。

21. 如請求項 18 之方法，其中該對源極/汲極區域係磊晶成長

於該絕緣材料上。

22. 如請求項21之方法，其中該對源極/汲極區域係直接實體接觸該絕緣材料。

23. 一種浮體場效電晶體，其包含：

一對源極/汲極區域，一浮體通道區域位於其之間，該等源極/汲極區域及該浮體通道區域係位於一絕緣體上；

一閘電極，其接近於該浮體通道區域；

一位於該閘電極與該浮體通道區域之間之閘極介電質；且

該浮體通道區域包含一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域，其中 x 小於1且大於或等於0、一半導體含矽區域、及一位於該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域及該半導體含矽區域之間之絕緣材料區域，該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 區域具有大於該半導體含矽區域內之任何Ge量之Ge量，該半導體含矽區域包含Ge。

24. 一種形成一浮體場效電晶體之方法，其包含：

在一絕緣體上形成一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，其中 x 小於1且大於或等於0；

在該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層上且與該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層直接實體接觸地形成一半導體含矽層，該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層具有大於該半導體含矽層內之任何Ge量之Ge量；

在該半導體含矽層上形成一閘極介電質及一閘電極；

將該閘極介電質及該閘電極至少部分地用作一遮罩，

蝕刻至該半導體含矽層之未遮罩之部分及該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層中，以形成一包含該半導體含矽層及該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之浮體通道區域；

在該蝕刻後，自至少該含矽層之側向最外側側壁磊晶生長半導體含矽材料，以形成一對源極/汲極區域；及

在該蝕刻之前在該閘電極之多個側壁上形成多個第一側壁間隔物；

該蝕刻包含第一蝕刻，該第一蝕刻利用該閘極介電質穿過該半導體含矽層至少進行至該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，該閘電極及該等第一側壁間隔物至少部份地用作遮罩；

該蝕刻包含在該第一蝕刻之後，在該等第一側壁間隔物上及多個該蝕刻穿過之半導體含矽層之側壁上形成多個第二側壁間隔物；

該蝕刻包含在形成該等第二側壁間隔物之後，利用該閘極介電質第二蝕刻穿過該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之至少一些，該閘電極、該等第一側壁間隔物及該等第二側壁間隔物至少部份地作為遮罩；

在該第二蝕刻之後，在該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之多個側壁上形成絕緣材料；

在形成該絕緣材料之後，蝕刻該等第二側壁間隔物以暴露該半導體含矽層之多個側壁；及

在蝕刻該等第二側壁間隔物以暴露該半導體含矽層之多個側壁之後進行該磊晶成長。

25. 一種形成一浮體場效電晶體之方法，其包含：

在一絕緣體上形成一半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層，其中 x 小於1且大於或等於0；

在該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層上且與該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層直接實體接觸地形成一半導體含矽層；該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層具有大於該半導體含矽層內之任何Ge量之Ge量；

在該半導體含矽層上形成一閘極介電質及一閘電極；

將該閘極介電質及該閘電極至少部分地用作一遮罩，蝕刻至該半導體含矽層之未遮罩之部分及該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層中，以形成一包含該半導體含矽層及該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之浮體通道區域；

在該蝕刻之後，自至少該含矽層之側向最外側側壁磊晶生長半導體含矽材料，以形成一對源極/汲極區域；及

在該蝕刻之後，相對於該半導體含矽層選擇性蝕刻該半導體含 $\text{Si}_x\text{Ge}_{(1-x)}$ 層之一部份；

形成絕緣材料以代替該被蝕刻部份；及

在形成該絕緣材料之後進行該磊晶成長。

十一、圖式：

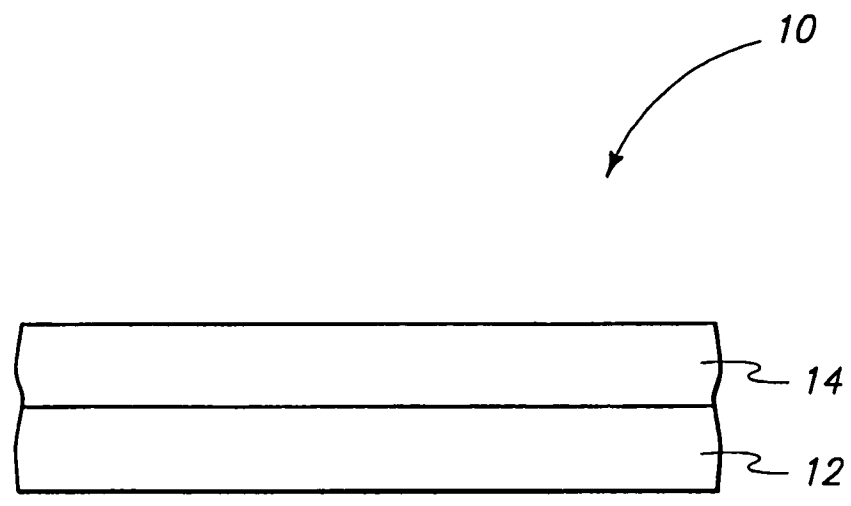


圖1

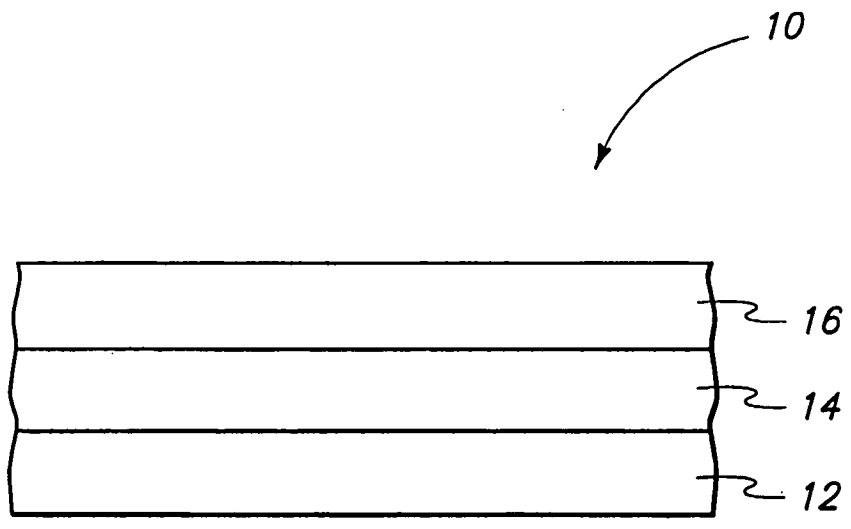


圖2

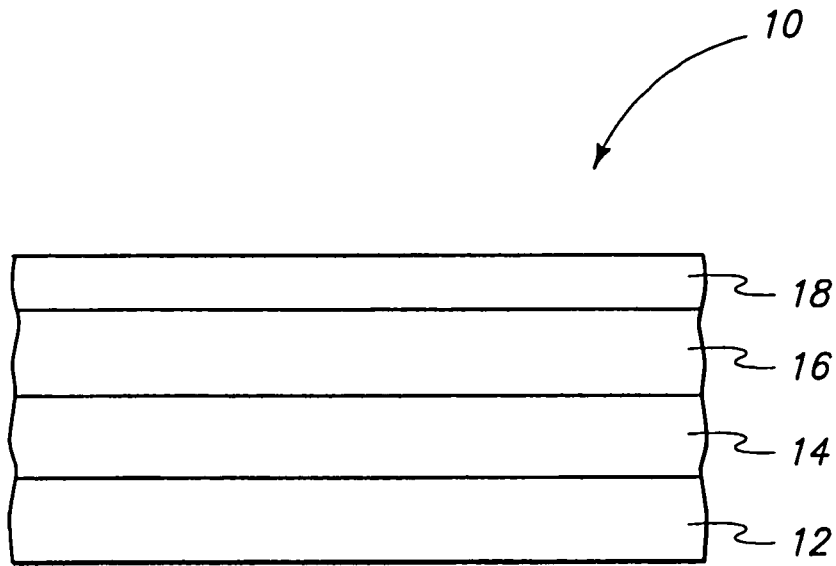


圖3

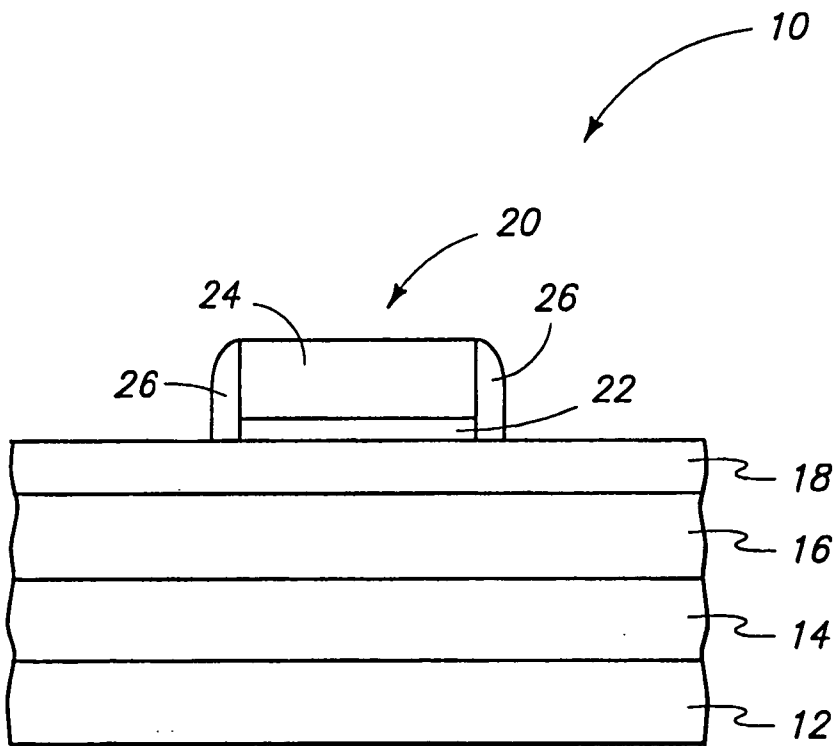


圖4

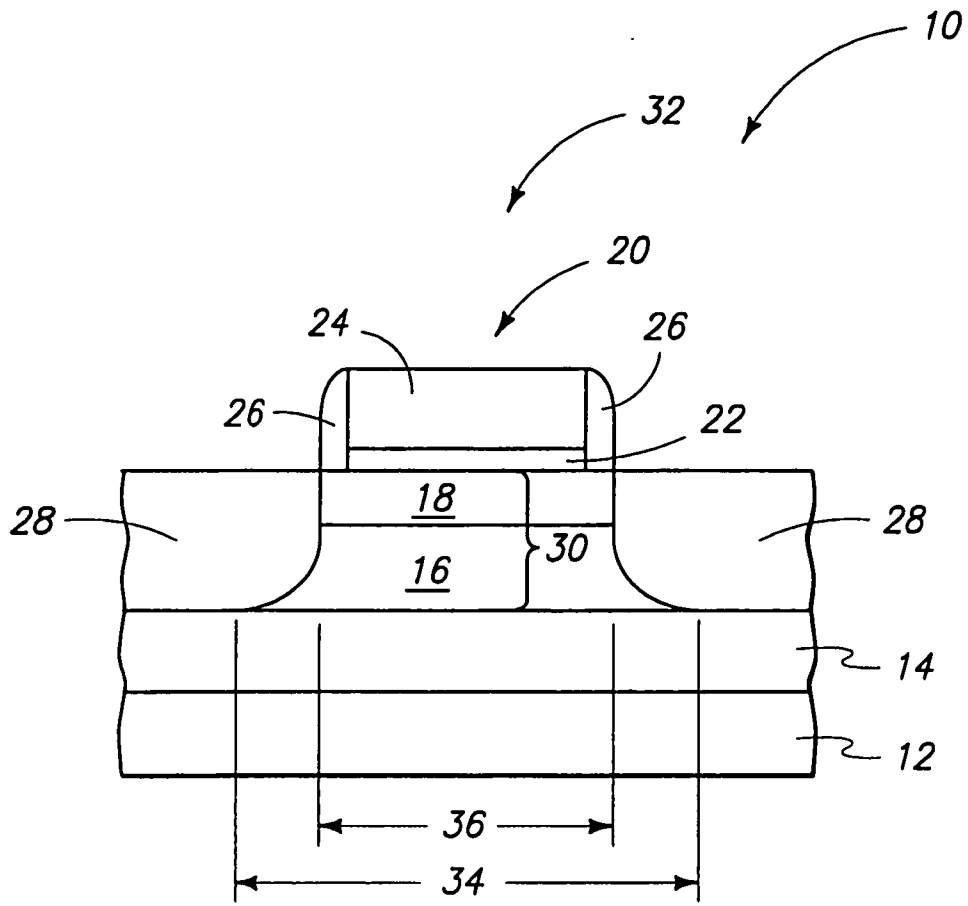


圖5

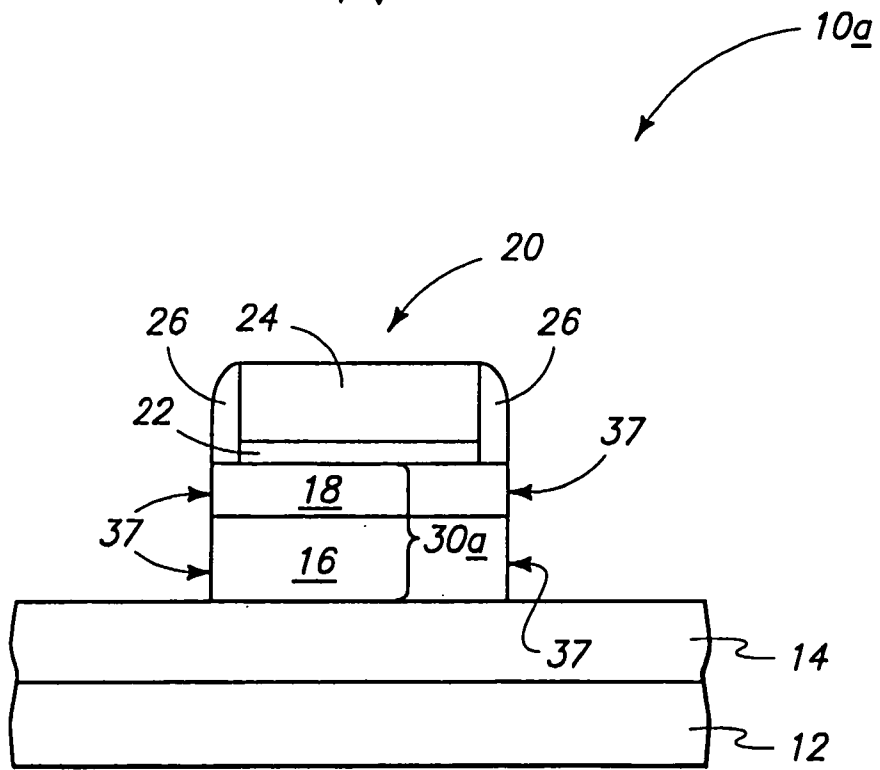


圖6

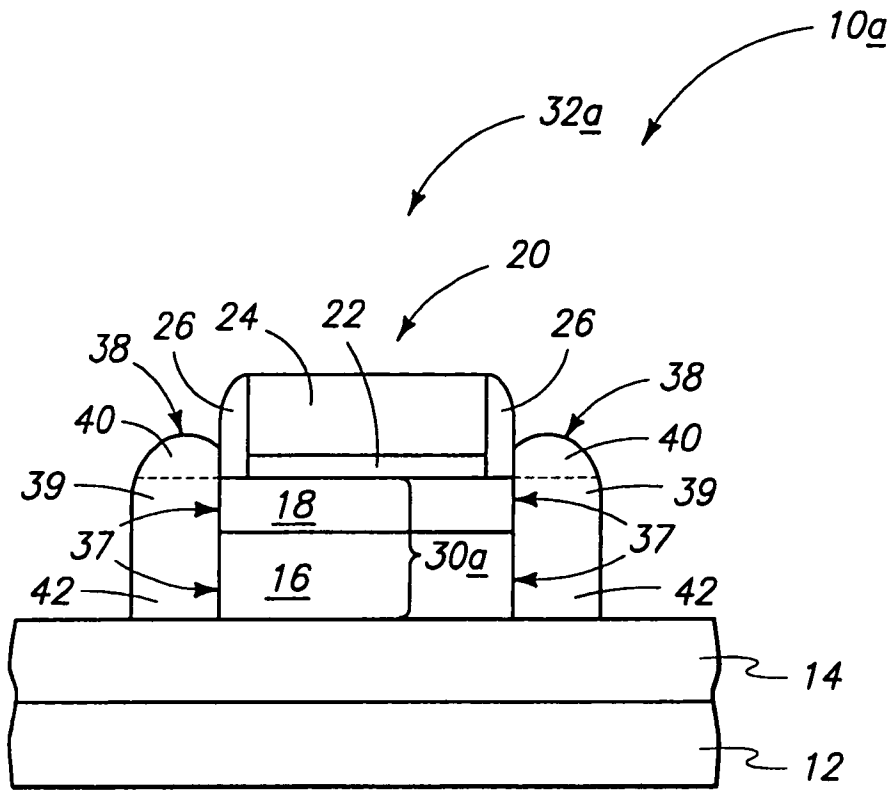


圖7

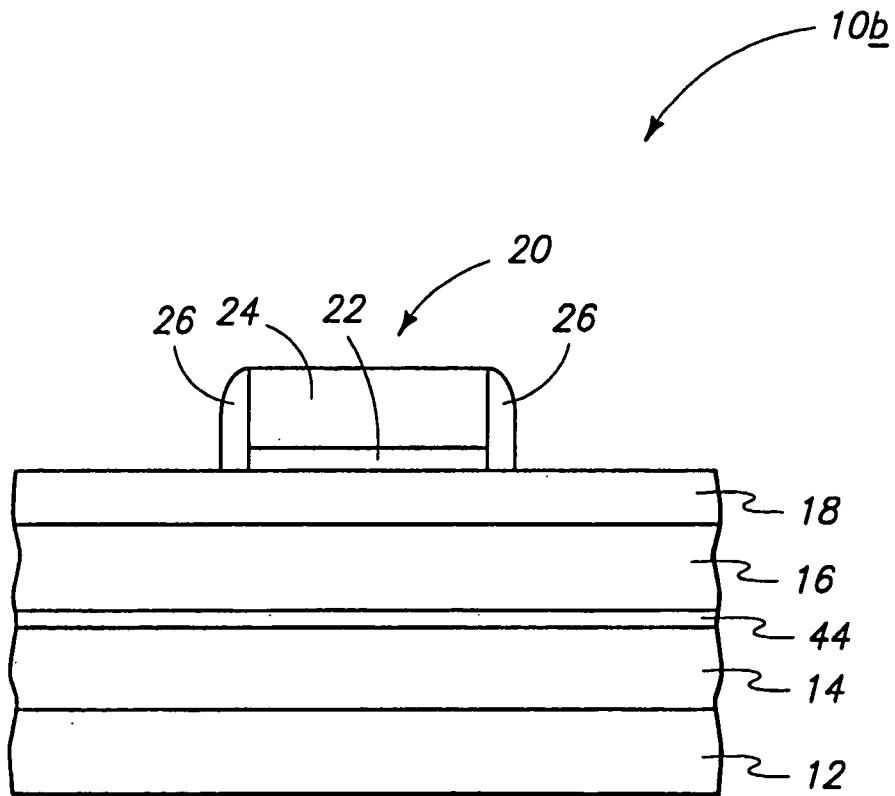


圖8

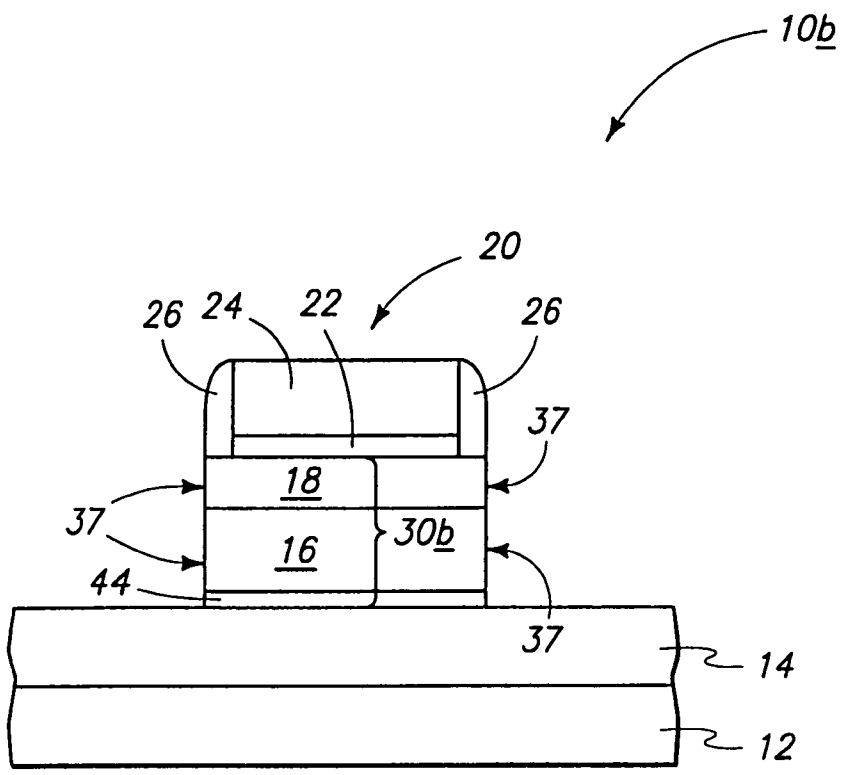


圖 9

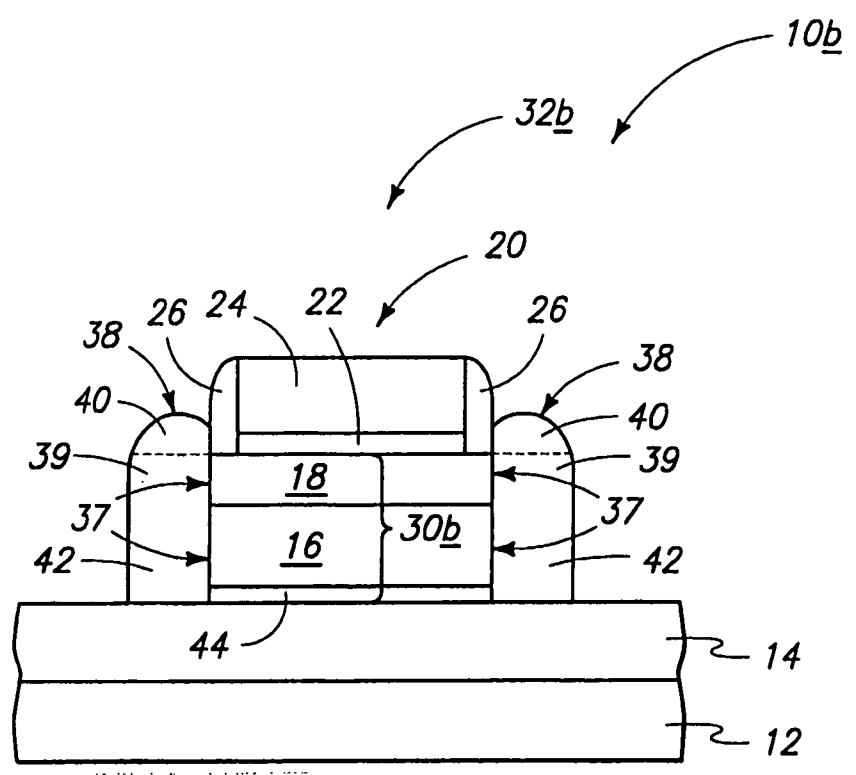


圖 10

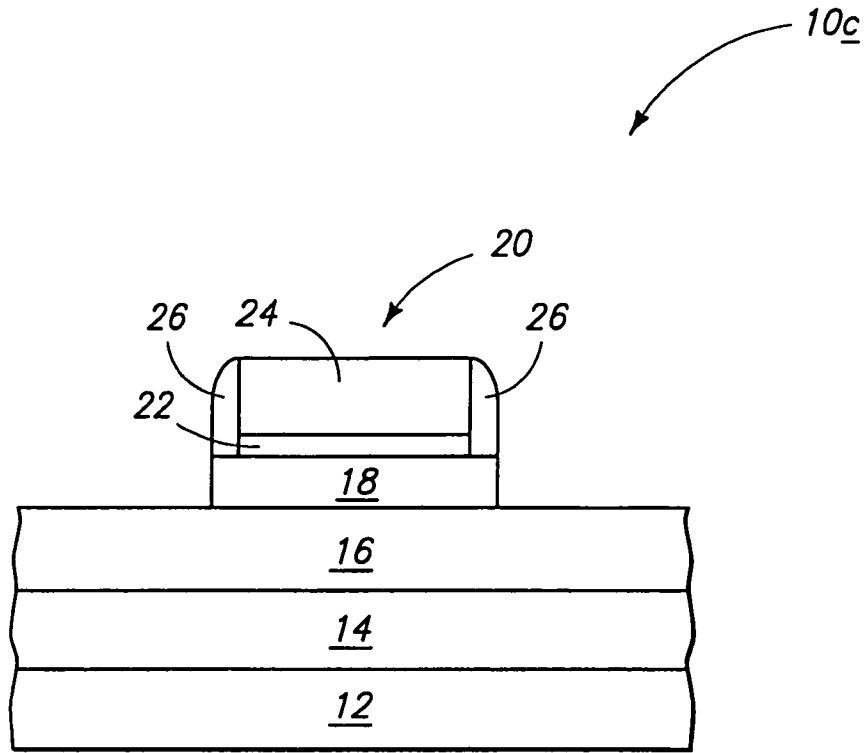


圖 11

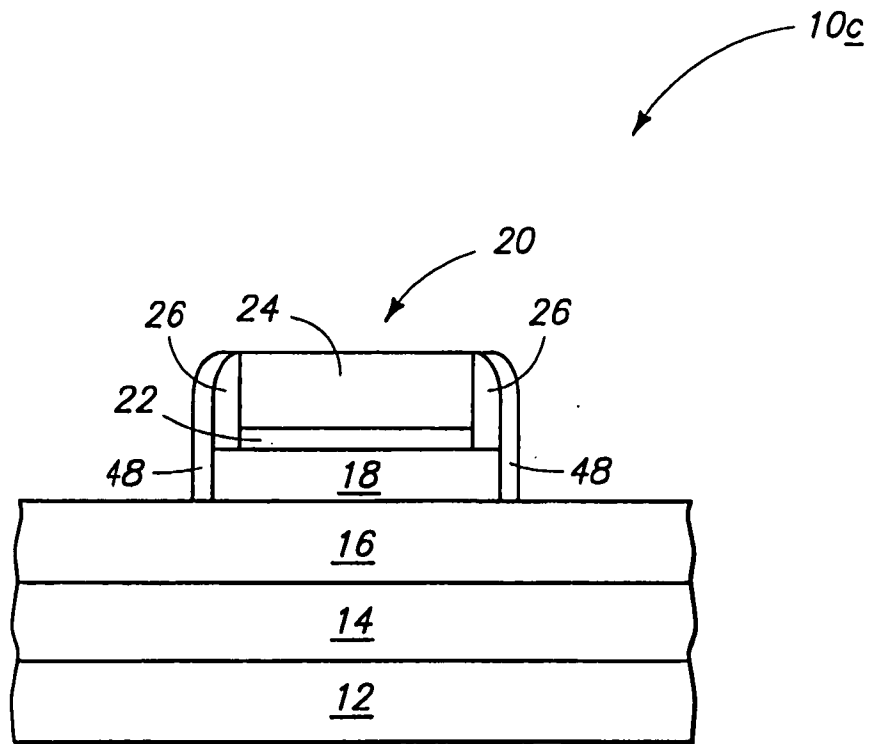


圖 12

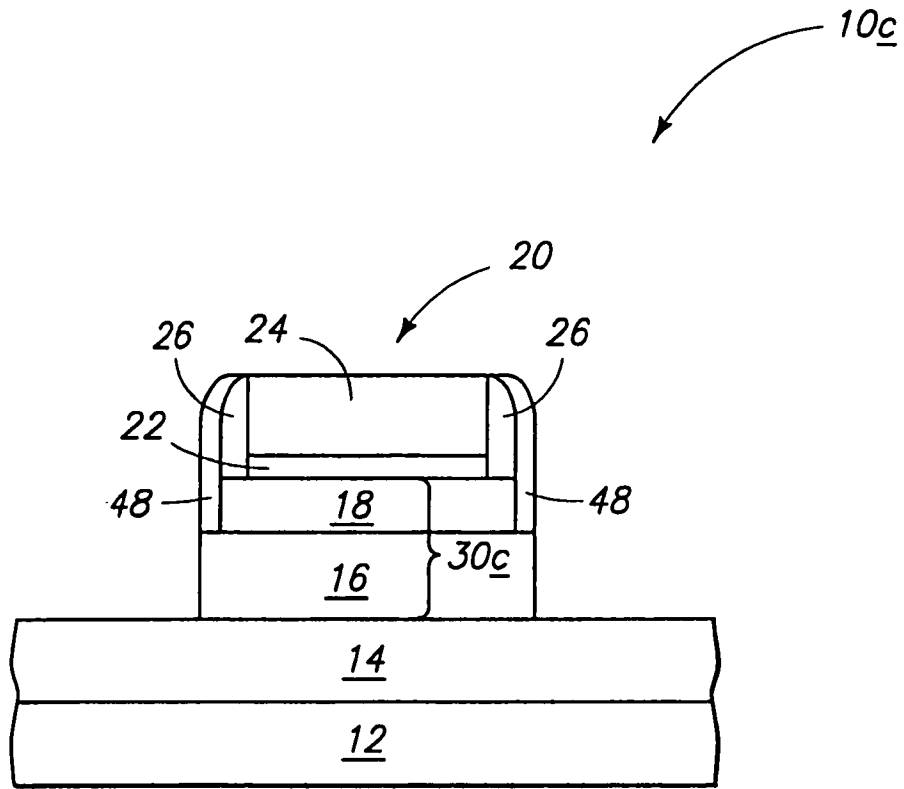


圖 13

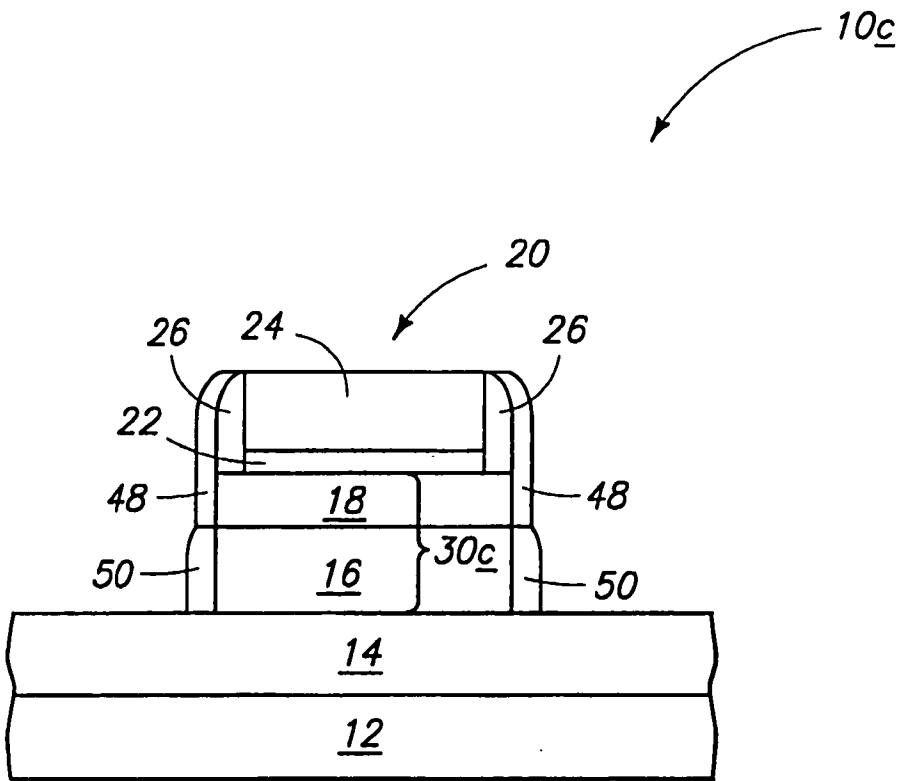


圖 14

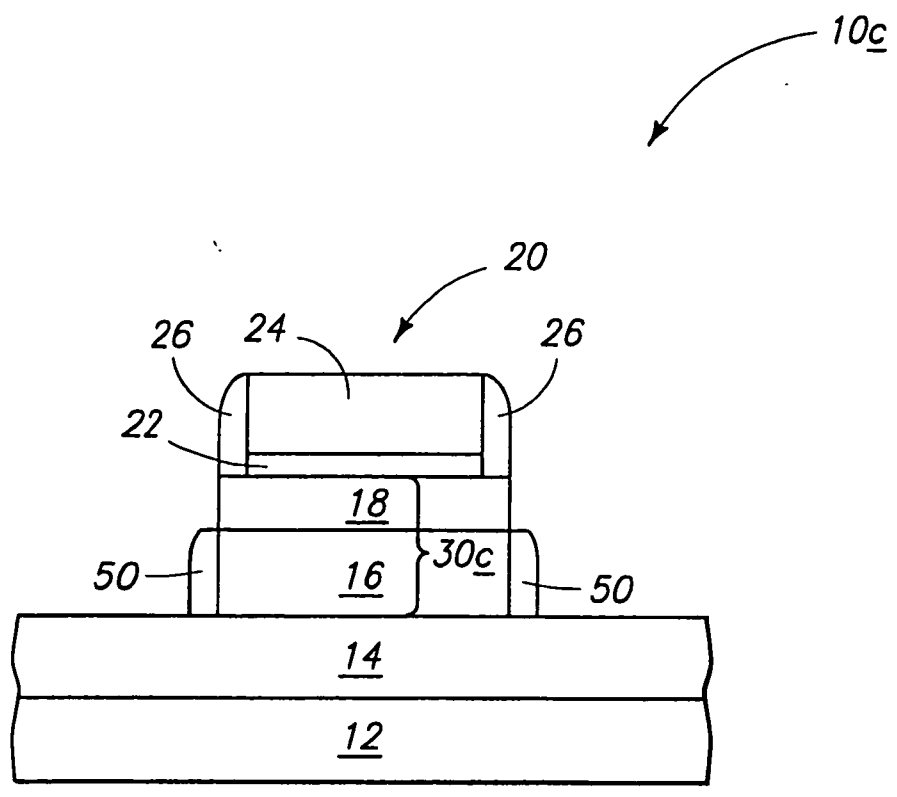


圖15

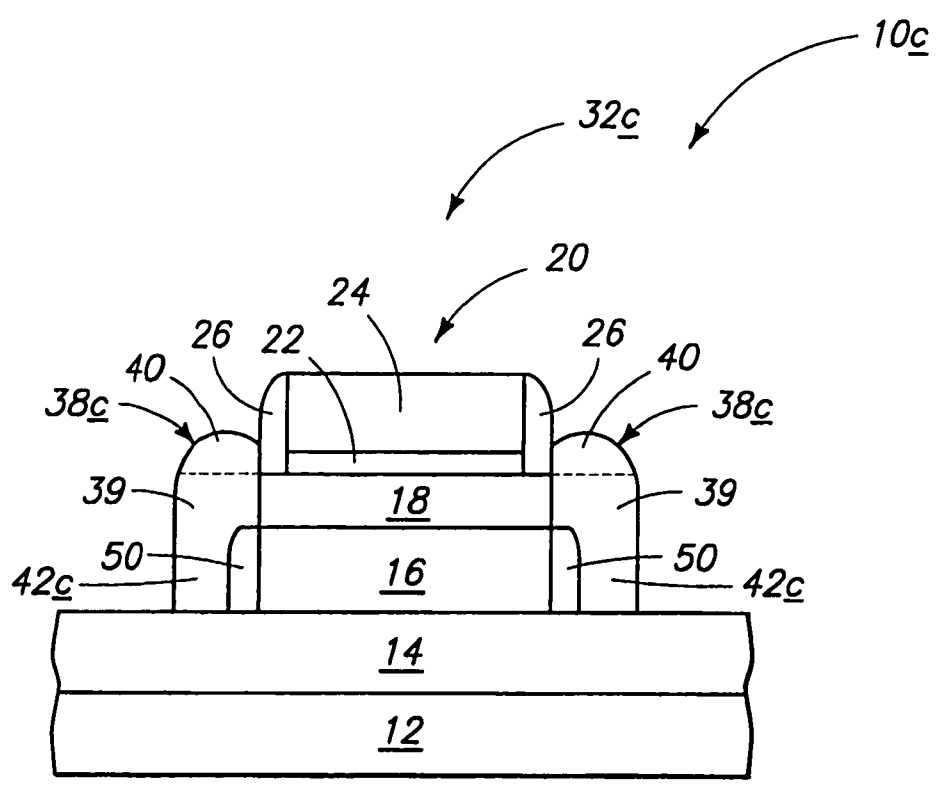


圖16

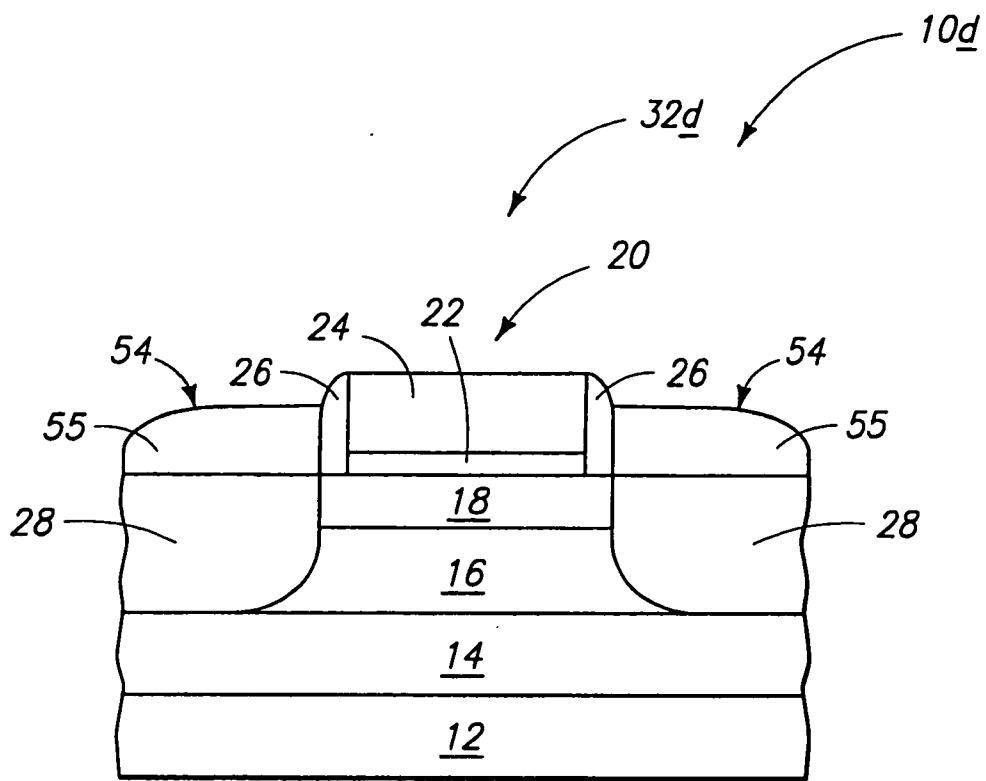


圖17

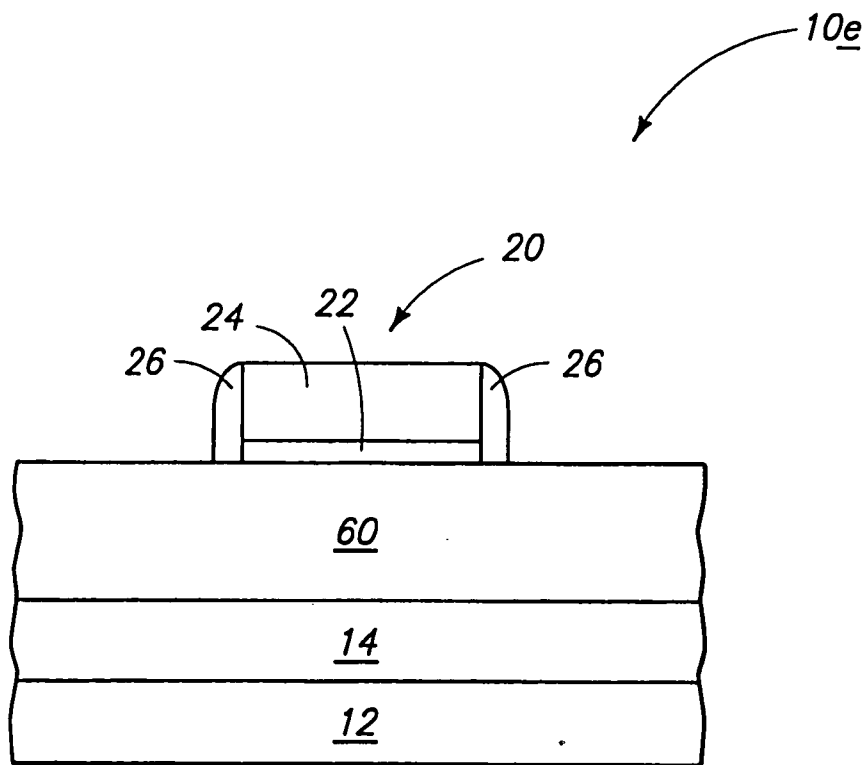


圖18

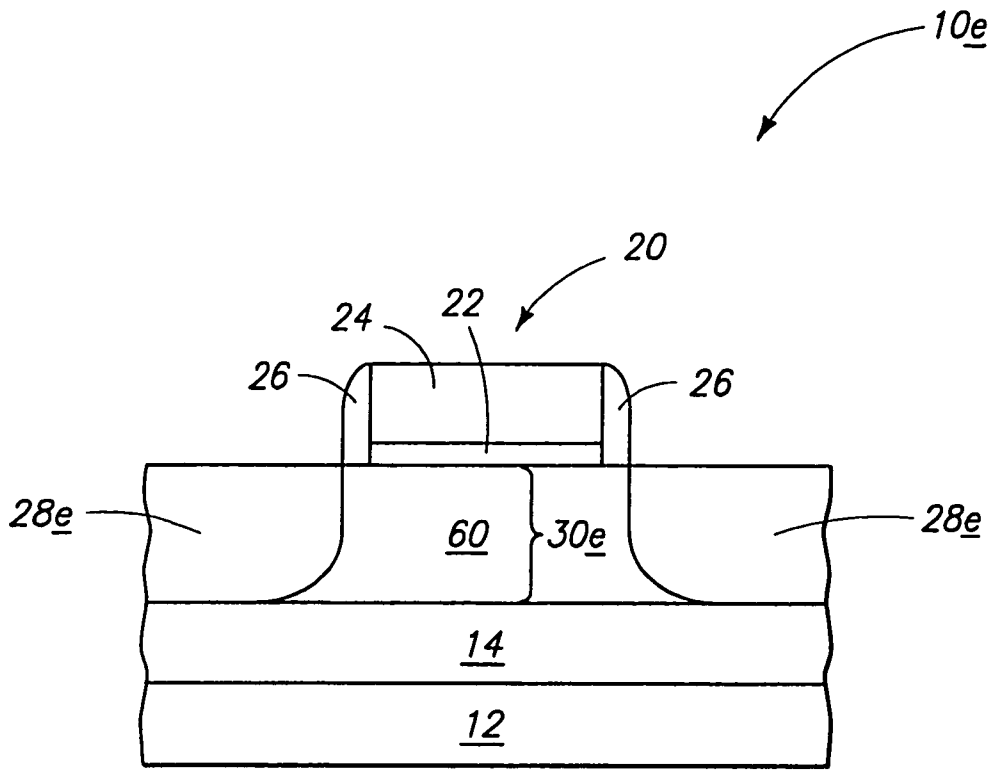


圖 19

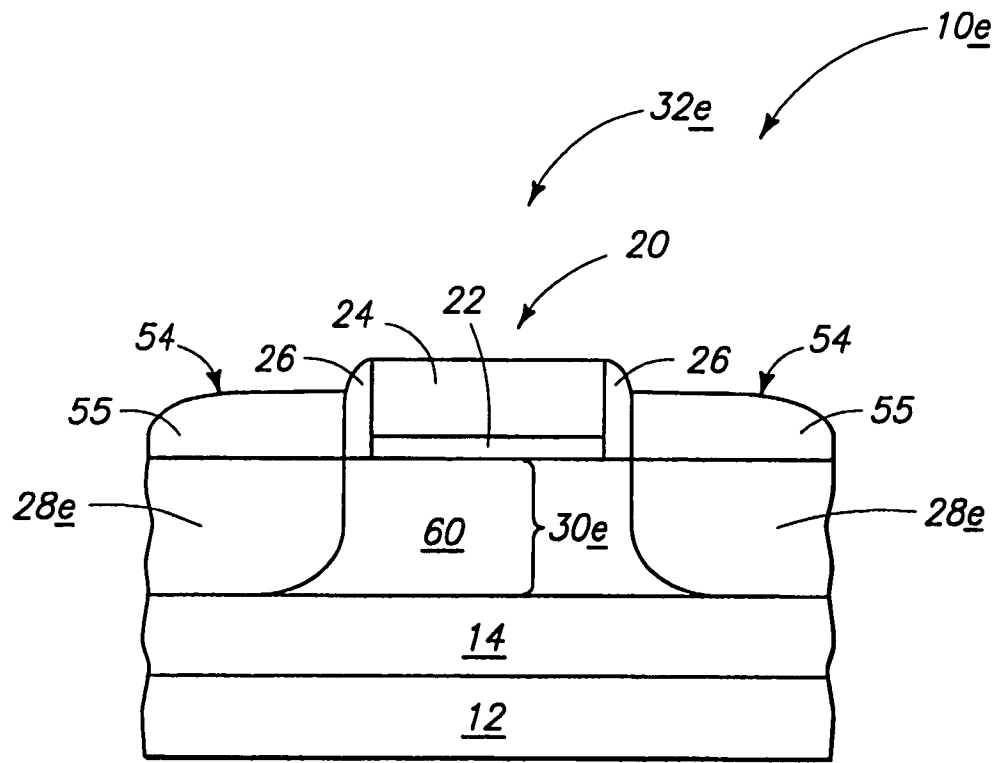


圖 20

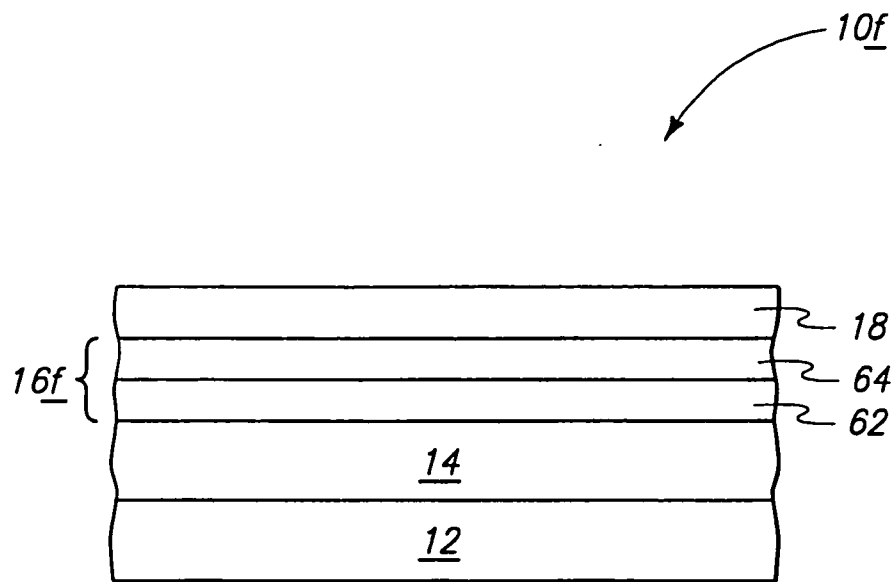


圖 21

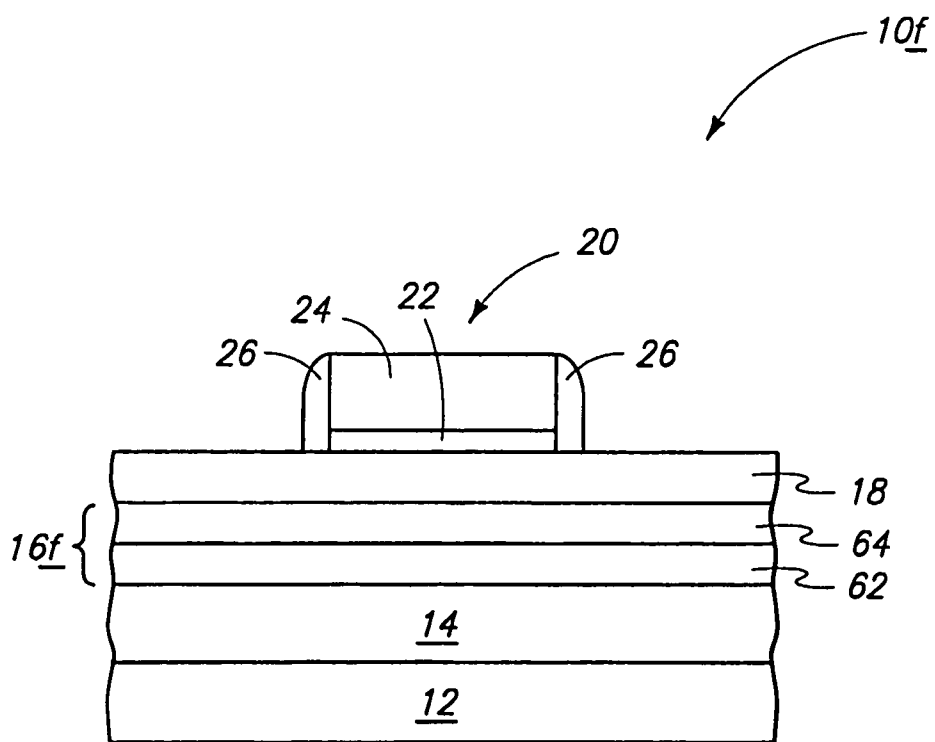


圖 22

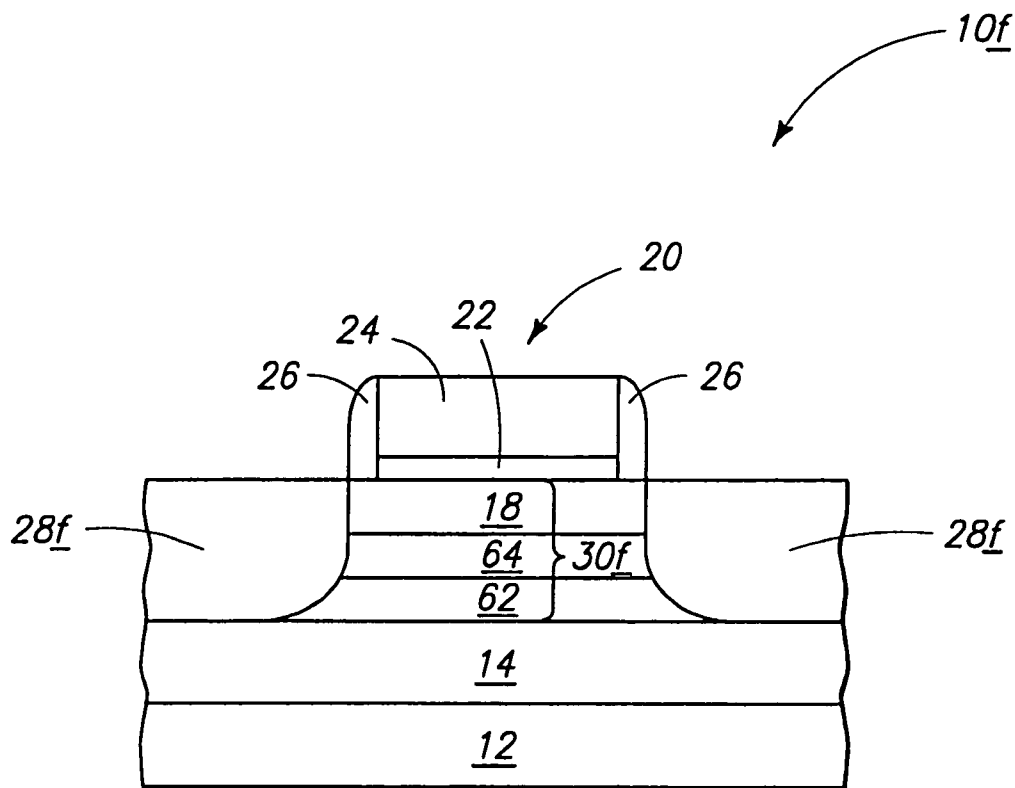


圖 23

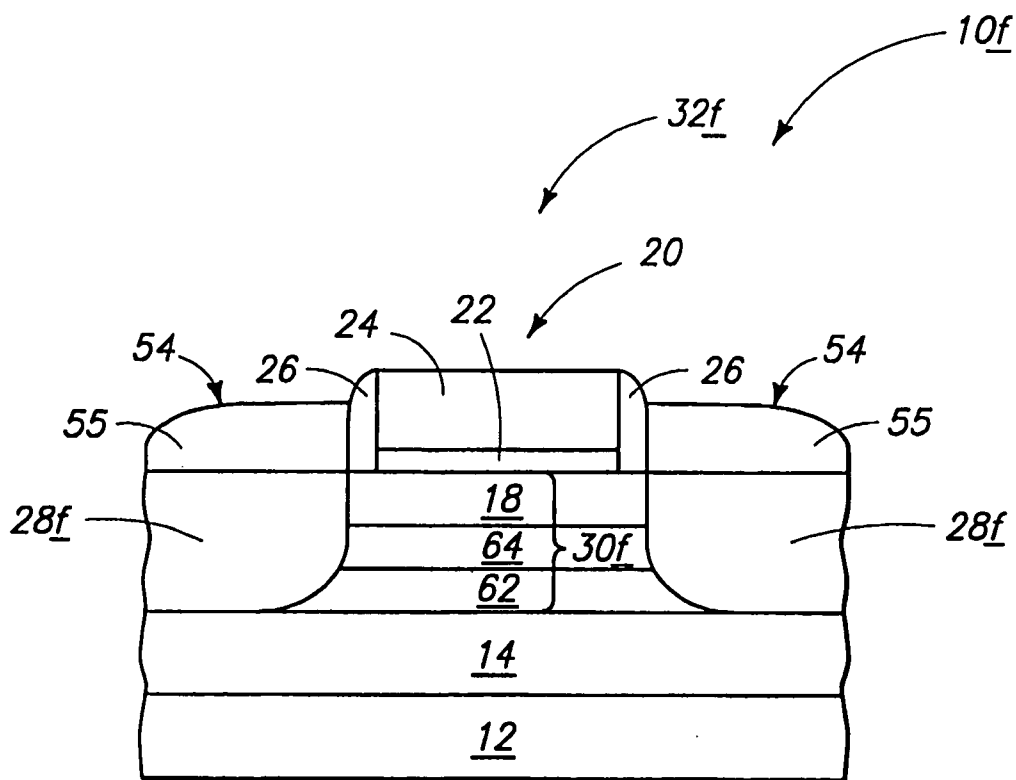


圖 24

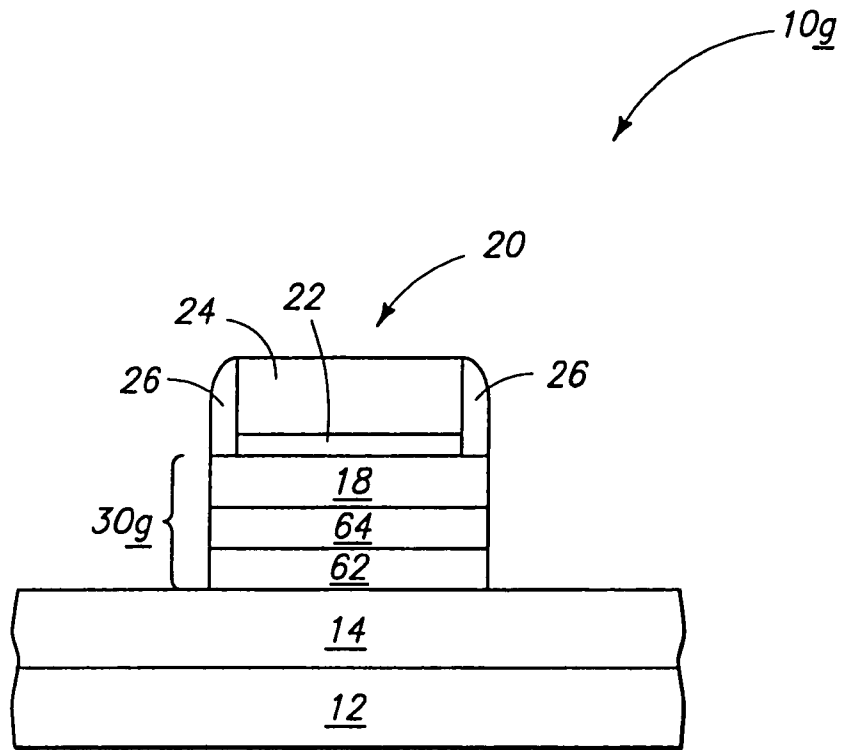


圖 25

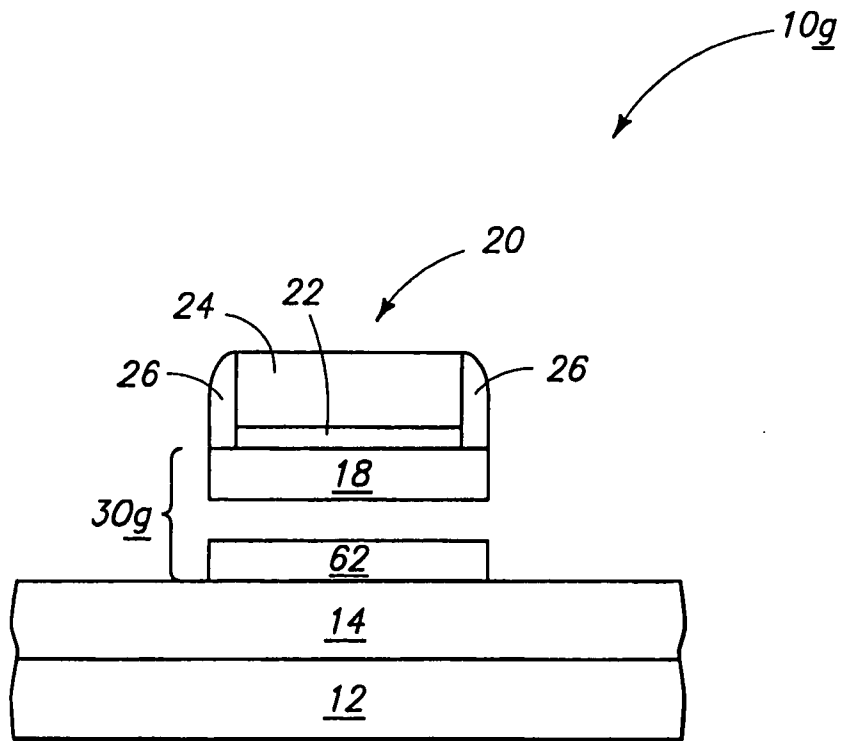


圖 26

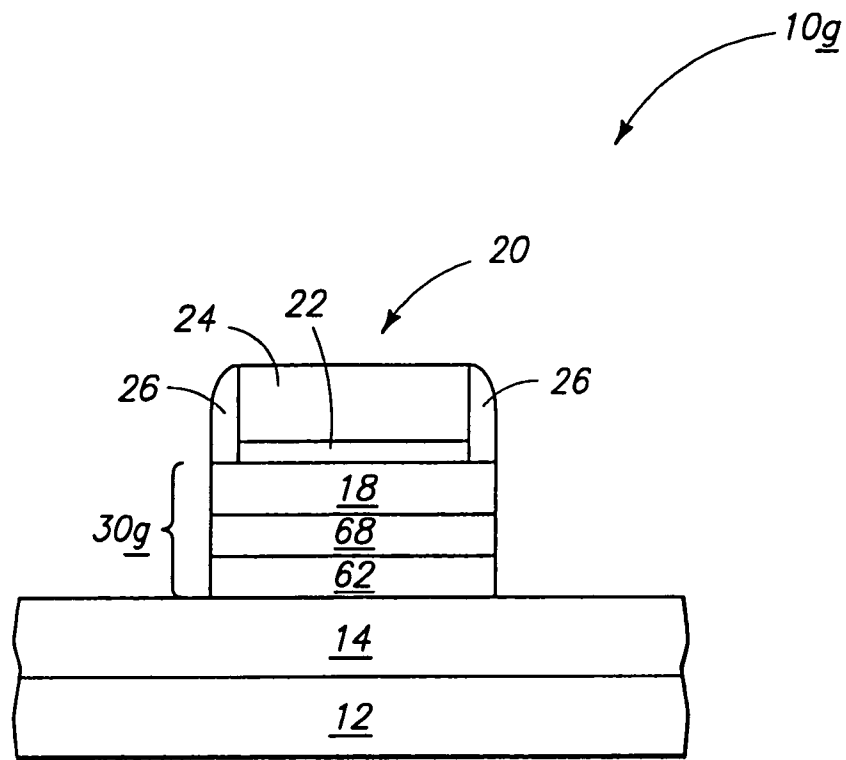


圖 27

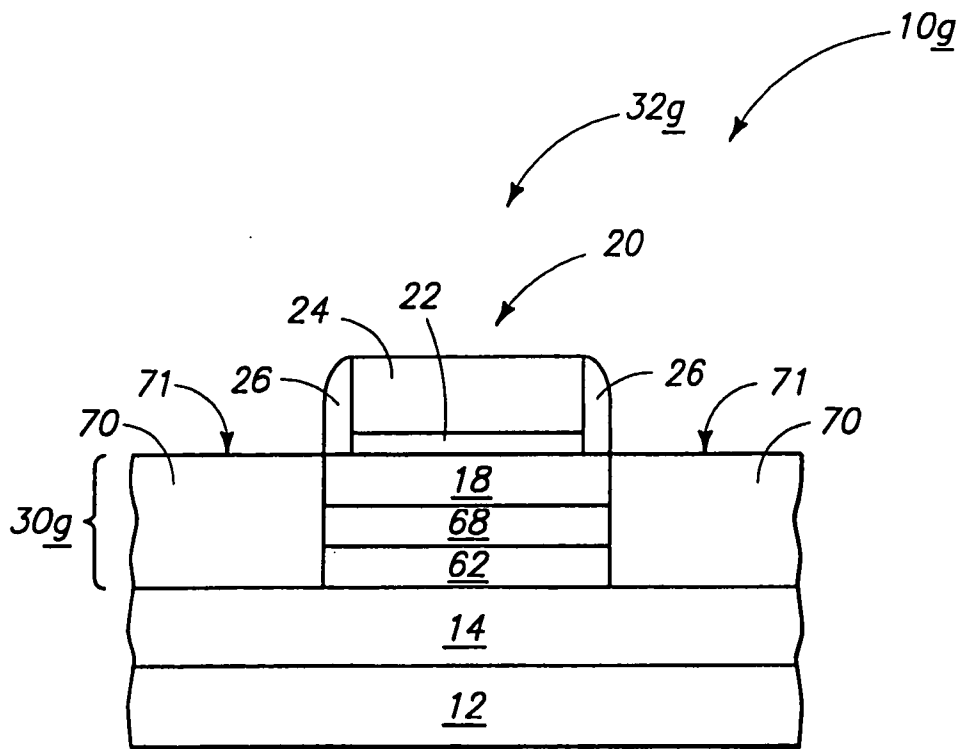


圖 28

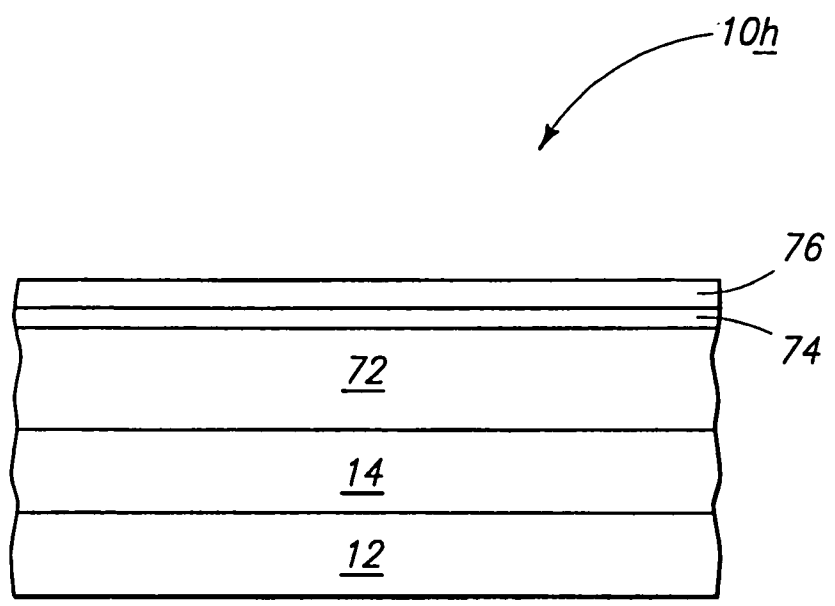


圖 29

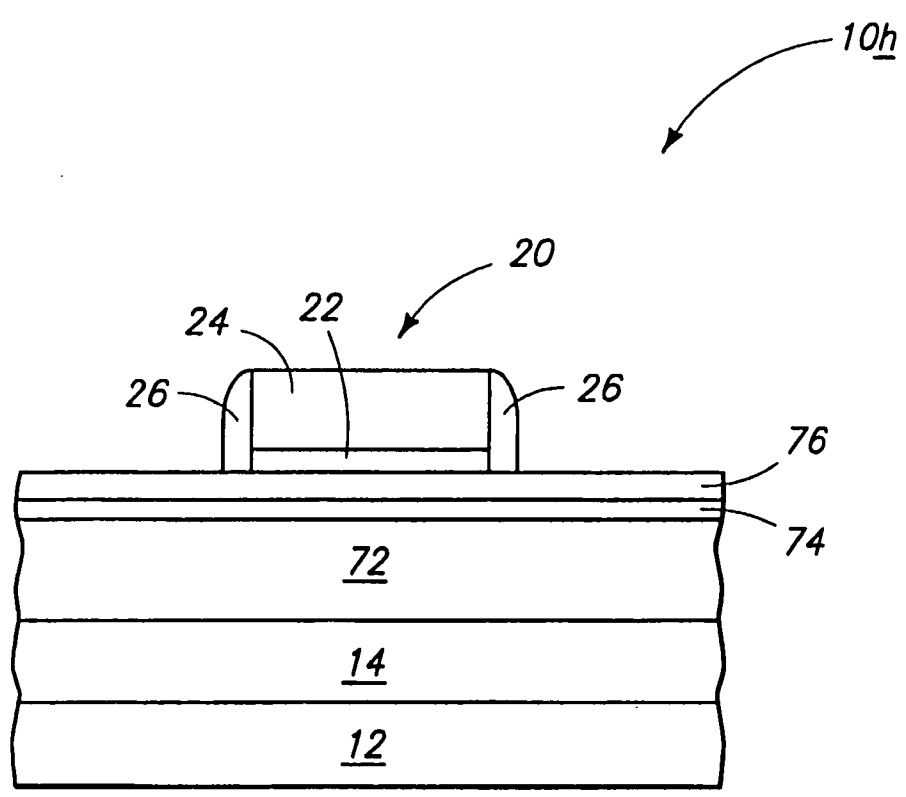


圖 30

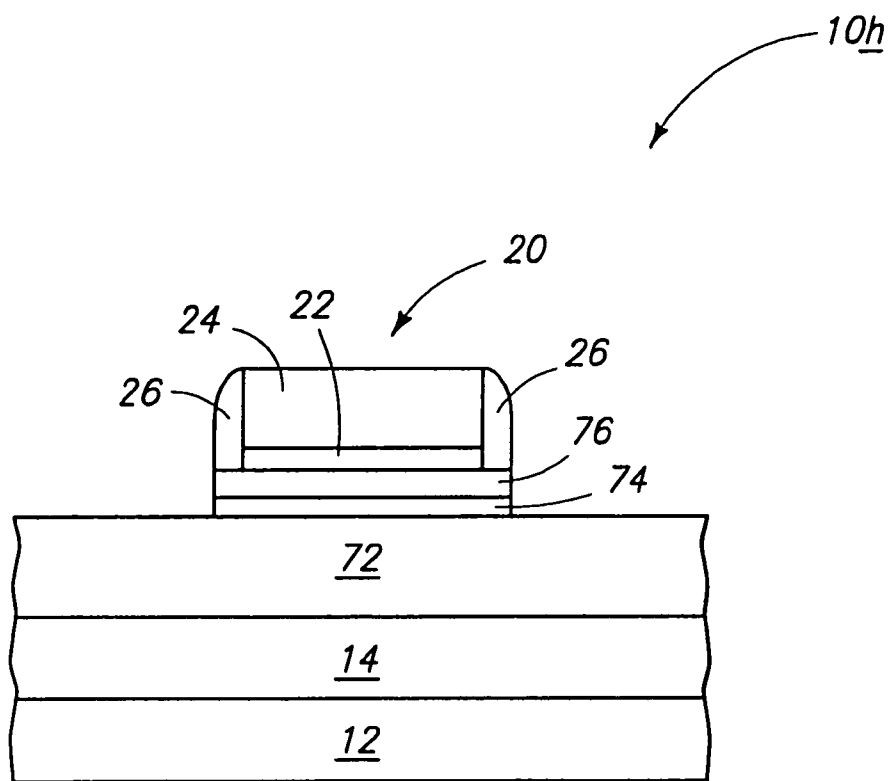


圖 31

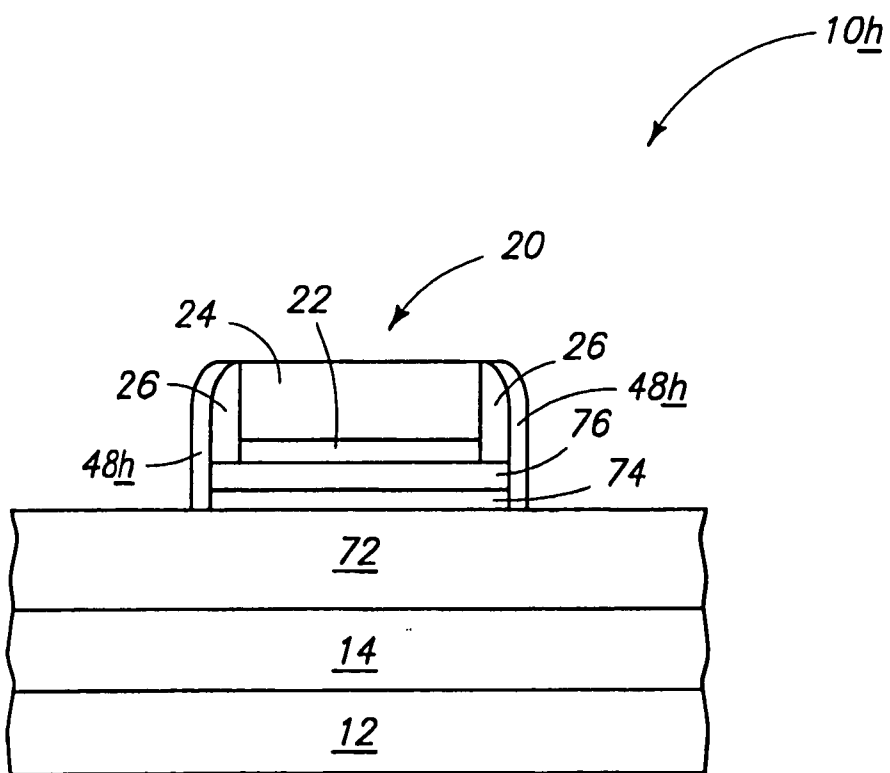


圖 32

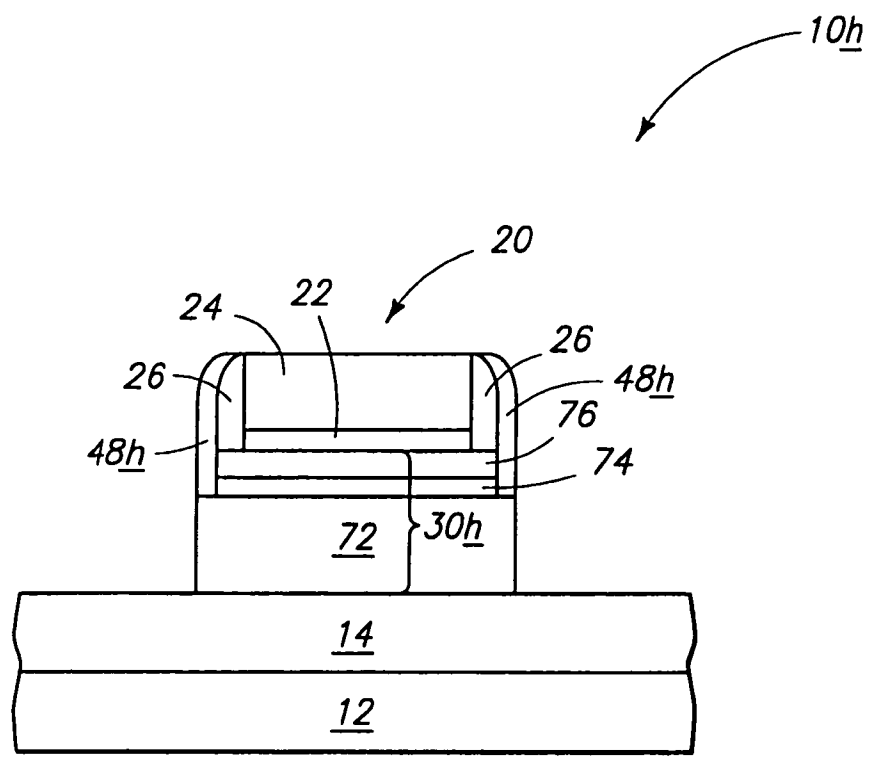


圖 33

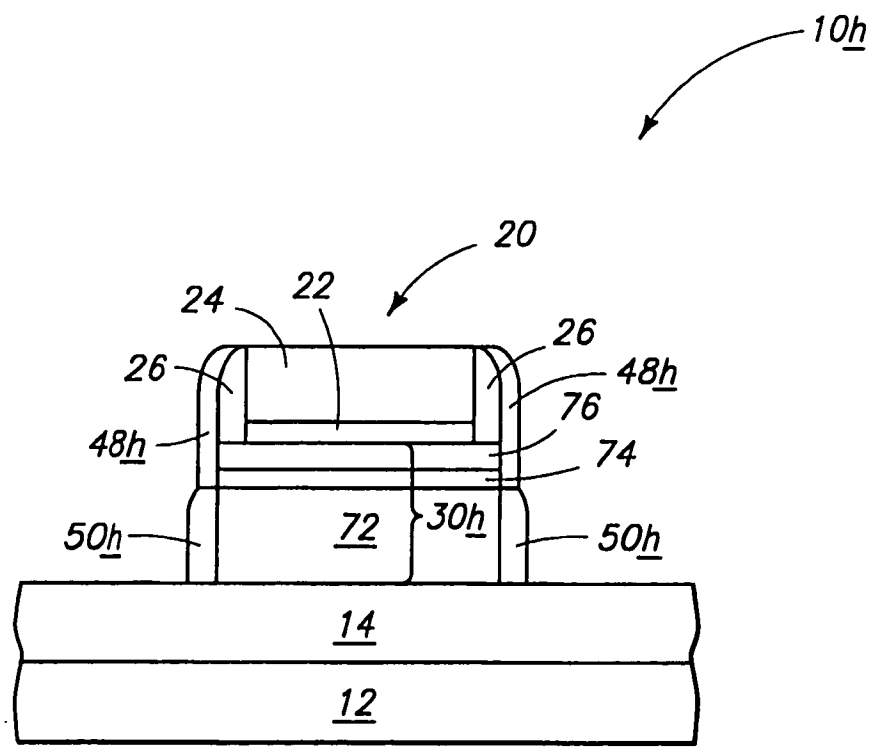


圖 34

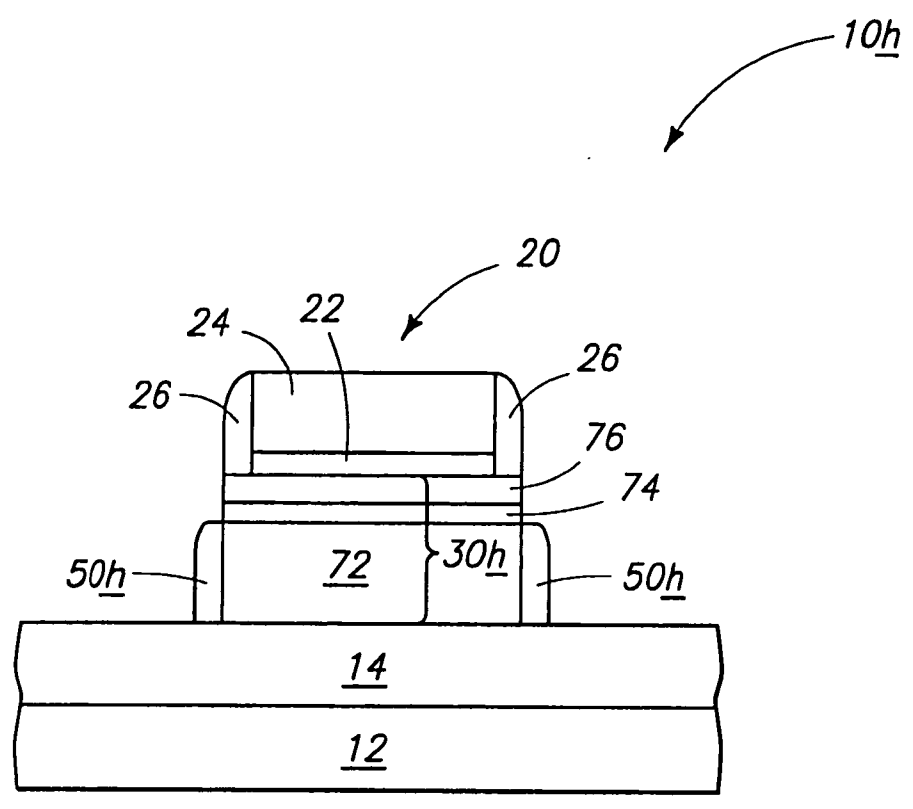


圖 35

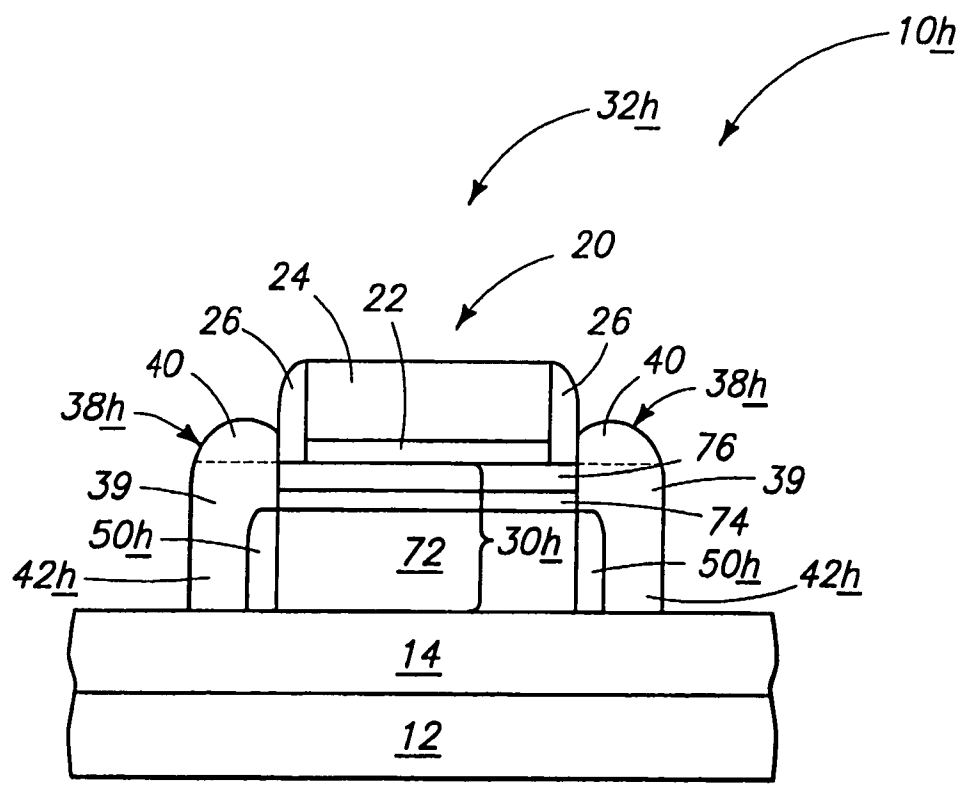


圖 36

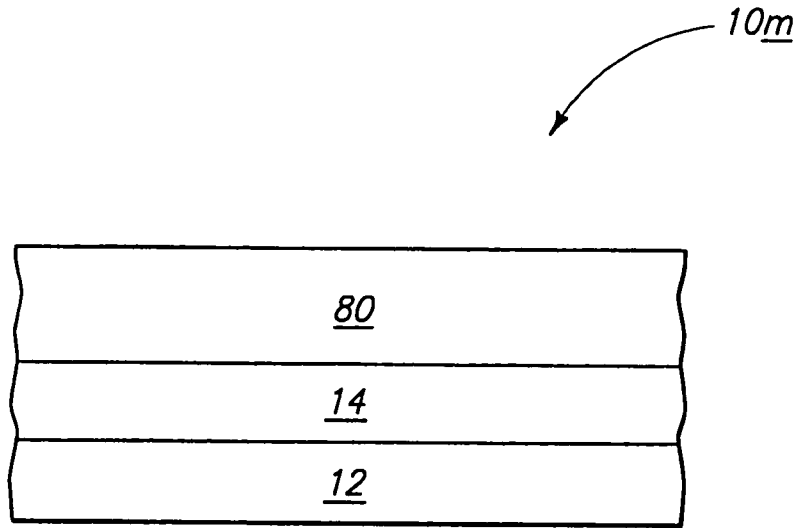


圖 37

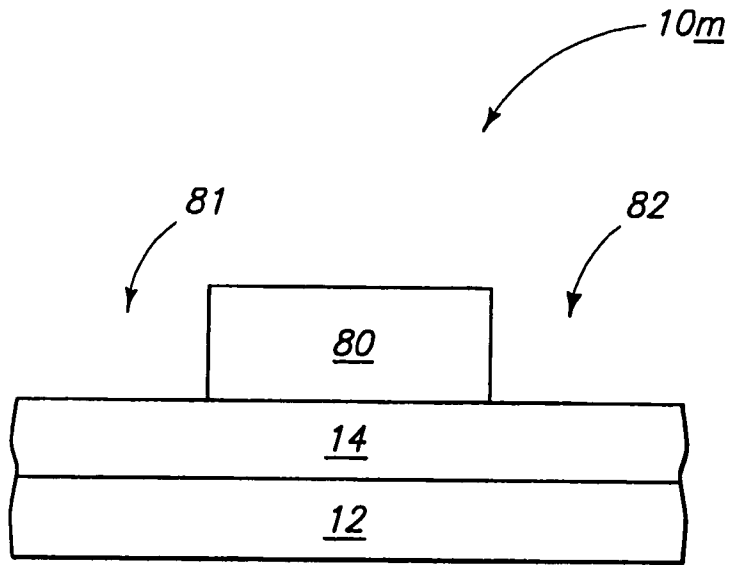


圖 38

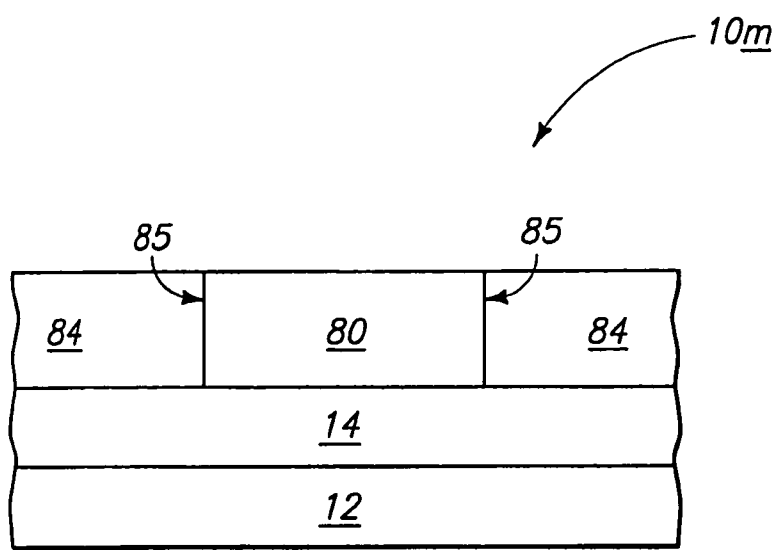


圖 39

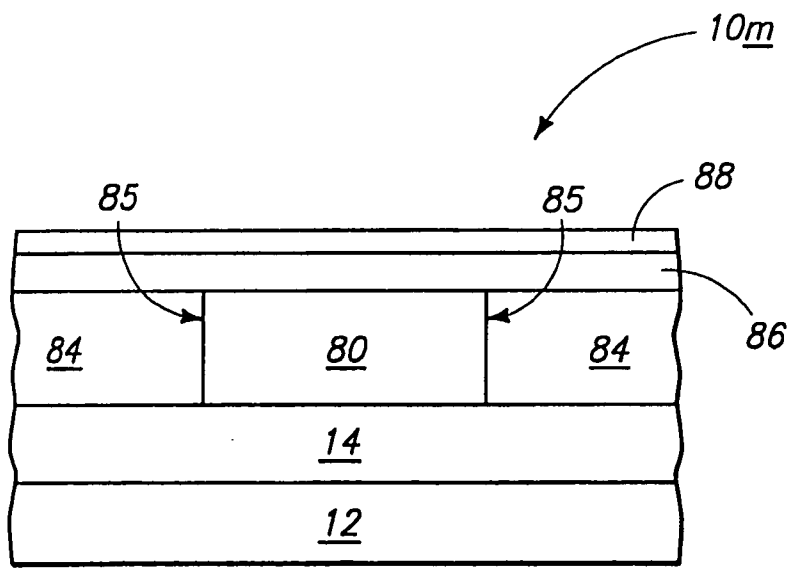


圖 40

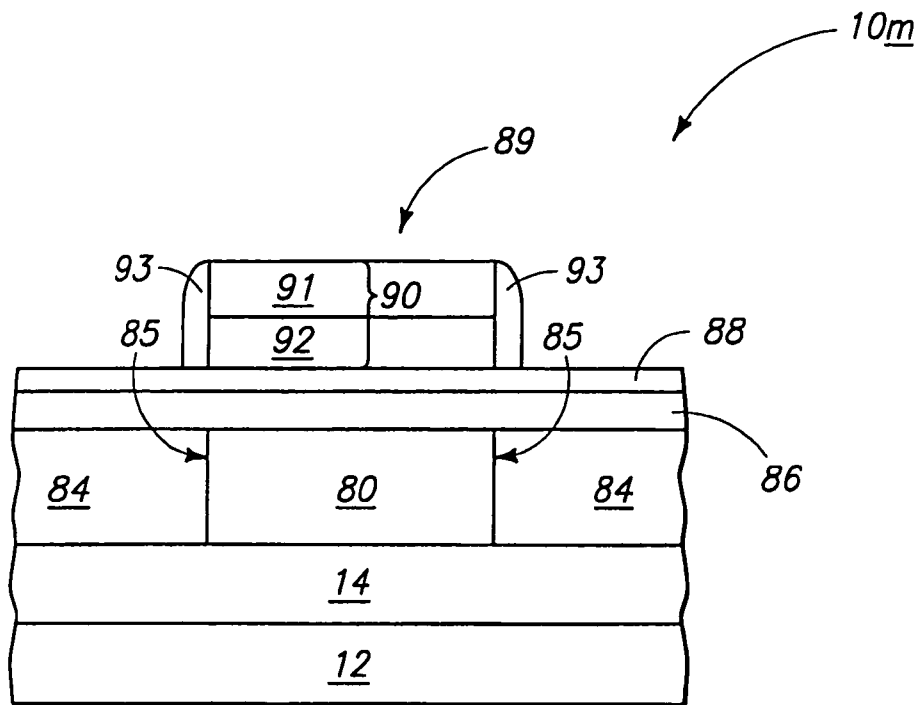


圖 41

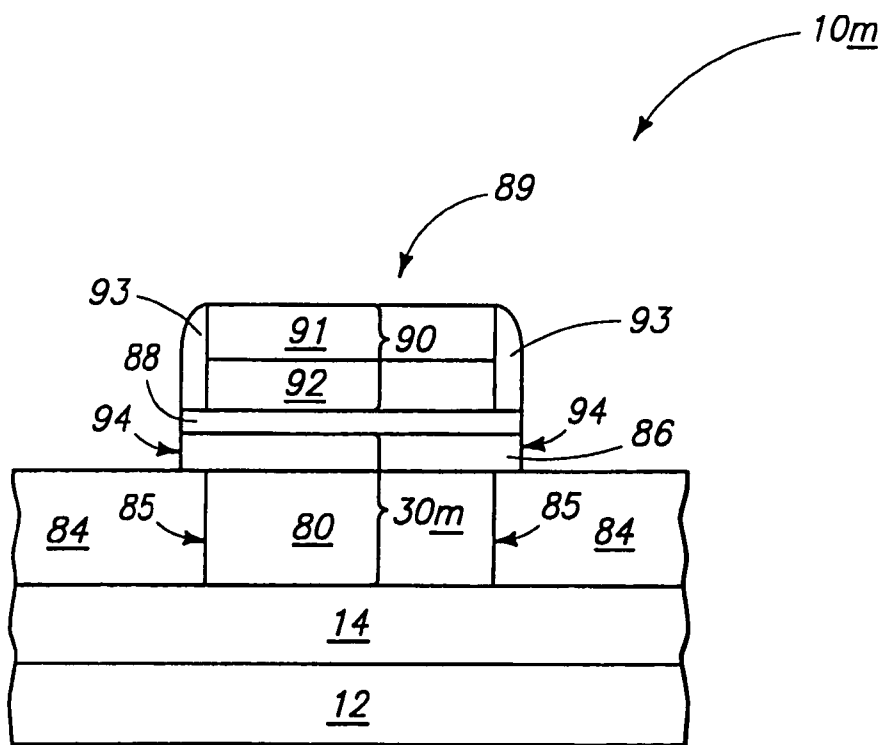


圖 42

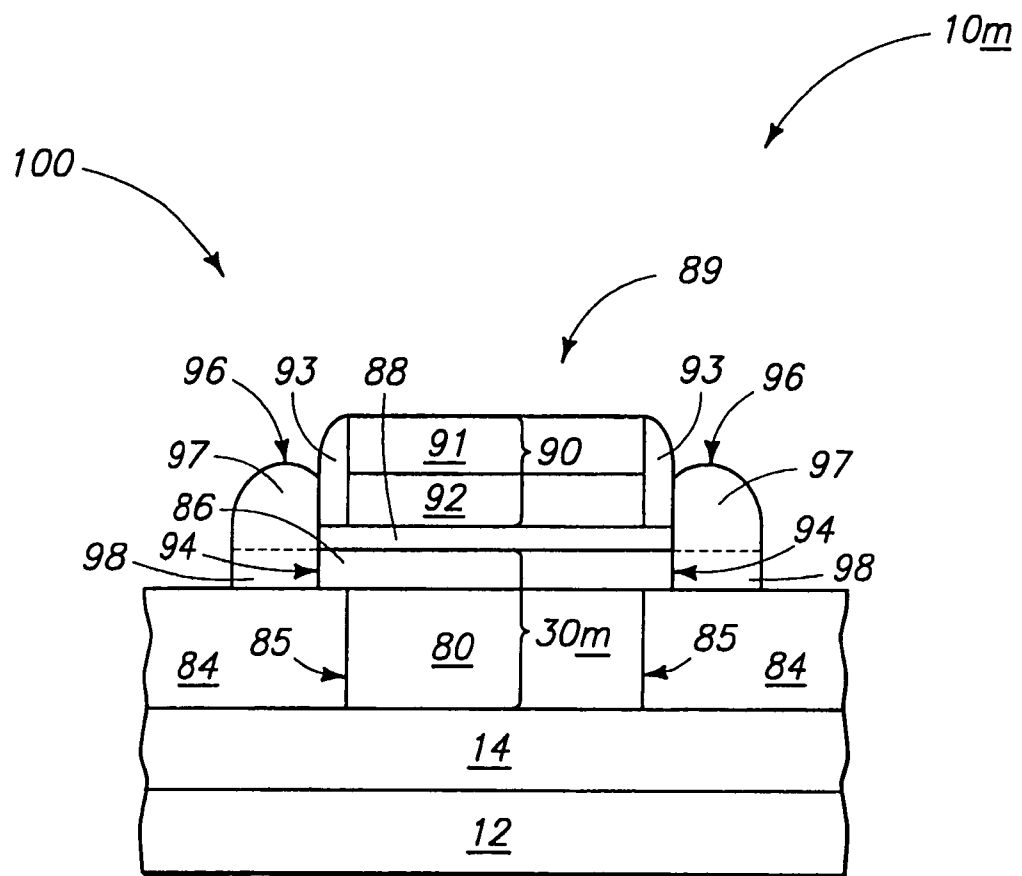


圖43