

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 15 日 (15.10.2020)



(10) 国际公布号
WO 2020/206792 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2019/086230

(22) 国际申请日: 2019 年 5 月 9 日 (09.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910283268.3 2019年4月10日 (10.04.2019) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 张留旗 (ZHANG, Liuqi); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道6021号喜年中心A座1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA电路及显示面板

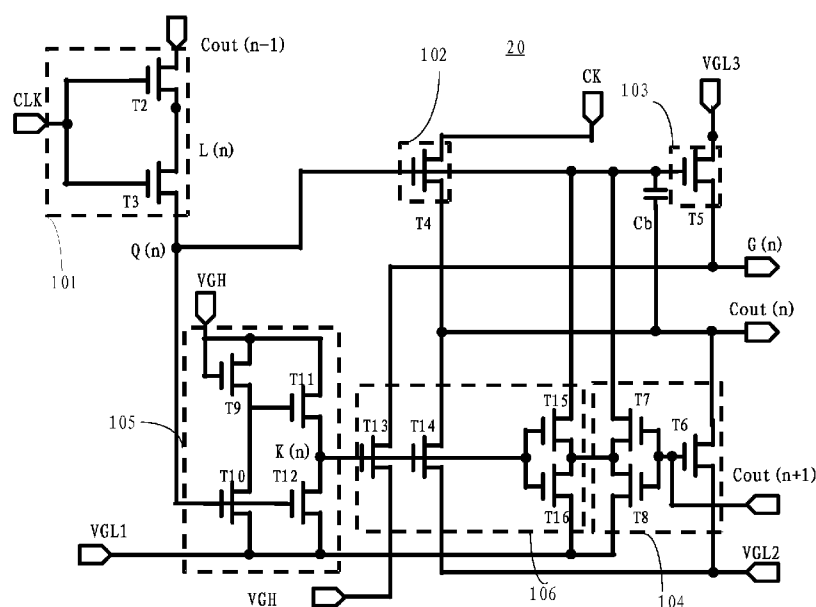


图 2

(57) Abstract: A GOA circuit (10) and a display panel, the GOA circuit (10) comprising: multi-level cascaded GOA units (20), each level of GOA unit (20) comprising: an input module (101), a first output module (102), a second output module (103), a pulldown module (104), a phase inversion module (105), a maintenance module (106), and a bootstrap capacitor (Cb). The GOA circuit (10) and the display panel provided in the present invention use a relatively simple circuit design to simultaneously output a positive pulse waveform signal and a negative pulse waveform signal.



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种GOA电路(10)及显示面板, GOA电路(10)包括: 多级级联的GOA单元(20), 每一级GOA单元(20)均包括: 输入模块(101)、第一输出模块(102)、第二输出模块(103)、下拉模块(104)、反相模块(105)、维持模块(106)以及自举电容(Cb)。本发明提供的GOA电路(10)及显示面板采用较为简单的电路设计可同时输出正脉冲波形信号和负脉冲波形信号。

GOA电路及显示面板

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种GOA电路及显示面板。

背景技术

[0002] GOA(英文全称: Gate Driver on Array, 中文全称: 集成栅极驱动电路)技术将栅极驱动电路集成在显示面板的阵列基板上，从而可以省掉栅极驱动集成电路部分，以从材料成本和制作工艺两方面降低产品成本。

[0003] 在有机发光二极管显示面板中，GOA电路输出的信号需要两种脉冲波形：一种为正脉冲波形，该波形可以使用常规的GOA电路产生；另一种为负脉冲波形。然而，现有的GOA电路为生成负脉冲波形的信号，其电路设计较为复杂。

发明概述

技术问题

[0004] 本申请实施例的目的在于提供一种GOA电路及显示面板，能够解决现有的GOA电路为生成负脉冲波形的信号，其电路设计较为复杂的技术问题。

问题的解决方案

技术解决方案

[0005] 本申请实施例提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、维持模块以及自举电容；

[0006] 所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

[0007] 所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

[0008] 所述第二输出模块接入第三参考低电平信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

- [0009] 所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级级传信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级级传信号的电位下拉至所述第二参考低电平信号的电位；
- [0010] 所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；
- [0011] 所述维持模块接入所述第一参考低电平信号、所述参考高电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述参考高电平信号的电位；
- [0012] 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级级传信号；
- [0013] 其中，所述本级级传信号为正脉冲信号，所述本级扫描信号为负脉冲信号；
- [0014] 所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；
- [0015] 所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号；
- [0016] 所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位，且所述第二参考低电平信号的电位等于所述第三参考低电平信号的电位。
- [0017] 在本申请所述的GOA电路中，所述输入模块包括：第二晶体管以及第三晶体管；
- [0018] 所述第二晶体管的栅极以及所述第三晶体管的栅极均电性连接于所述第一时钟

信号，所述第二晶体管的源极电性连接于所述上一级级传信号，所述第二晶体管的漏极与所述第三晶体管的源极均与所述第二节点电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[0019] 在本申请所述的GOA电路中，所述第一输出模块包括：第四晶体管；

[0020] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[0021] 在本申请所述的GOA电路中，所述第二输出模块包括：第五晶体管；

[0022] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三参考低电平信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[0023] 在本申请所述的GOA电路中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；

[0024] 所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第六晶体管的漏极电性连接于所述本级级传信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极电性连接，所述第八晶体管的源极电性连接于所述第一参考低电平信号。

[0025] 在本申请所述的GOA电路中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

[0026] 所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[0027] 在本申请所述的GOA电路中，所述维持模块包括：第十三晶体管、第十四晶体

管、第十五晶体管以及第十六晶体管；

[0028] 所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述参考高电平信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十六晶体管的漏极与所述第十五晶体管的源极电性连接，所述第十五晶体管的漏极电性连接于所述第一节点，所述第十六晶体管的源极电性连接于所述第一参考低电平信号。

[0029] 本申请实施例还提供一种GOA电路，包括：多级级联的GOA单元，每一级GOA单元均包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、维持模块以及自举电容；

[0030] 所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

[0031] 所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

[0032] 所述第二输出模块接入第三参考低电平信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

[0033] 所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级级传信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级级传信号的电位下拉至所述第二参考低电平信号的电位；

[0034] 所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

[0035] 所述维持模块接入所述第一参考低电平信号、所述参考高电平信号以及所述第

二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述参考高电平信号的电位；

[0036] 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级级传信号；

[0037] 其中，所述本级级传信号为正脉冲信号，所述本级扫描信号为负脉冲信号。

[0038] 在本申请所述的GOA电路中，所述输入模块包括：第二晶体管以及第三晶体管；

[0039] 所述第二晶体管的栅极以及所述第三晶体管的栅极均电性连接于所述第一时钟信号，所述第二晶体管的源极电性连接于所述上一级级传信号，所述第二晶体管的漏极与所述第三晶体管的源极均与所述第二节点电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[0040] 在本申请所述的GOA电路中，所述第一输出模块包括：第四晶体管；

[0041] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[0042] 在本申请所述的GOA电路中，所述第二输出模块包括：第五晶体管；

[0043] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三参考低电平信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[0044] 在本申请所述的GOA电路中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；

[0045] 所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第六晶体管的漏极电性连接于所述本级级传信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极电性连接，所述第八晶体管的源极电性连接于所述第一参考低

电平信号。

[0046] 在本申请所述的GOA电路中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

[0047] 所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[0048] 在本申请所述的GOA电路中，所述维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；

[0049] 所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述参考高电平信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十六晶体管的漏极与所述第十五晶体管的源极电性连接，所述第十五晶体管的漏极电性连接于所述第一节点，所述第十六晶体管的源极电性连接于所述第一参考低电平信号。

[0050] 在本申请所述的GOA电路中，所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；

[0051] 所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号。

[0052] 在本申请所述的GOA电路中，所述第一参考低电平信号的电位小于所述第二参

考低电平信号的电位，且所述第二参考电平信号的电位等于所述第三参考低电平信号的电位。

[0053] 本申请实施例还提供一种显示面板，于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述参考高电平信号的电位；

[0054] 所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级级传信号；

[0055] 其中，所述本级级传信号为正脉冲信号，所述本级扫描信号为负脉冲信号。

[0056] 在本申请所述的显示面板中，所述输入模块包括：第二晶体管以及第三晶体管；

[0057] 所述第二晶体管的栅极以及所述第三晶体管的栅极均电性连接于所述第一时钟信号，所述第二晶体管的源极电性连接于所述上一级级传信号，所述第二晶体管的漏极与所述第三晶体管的源极均与所述第二节点电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[0058] 在本申请所述的显示面板中，所述第一输出模块包括：第四晶体管；

[0059] 所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[0060] 在本申请所述的显示面板中，所述第二输出模块包括：第五晶体管；

[0061] 所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三参考低电平信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

发明的有益效果

有益效果

[0062] 本申请实施例提供的GOA电路及显示面板，采用较为简单的电路设计可同时输出正脉冲波形信号和负脉冲波形信号。

对附图的简要说明

附图说明

[0063] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0064] 图1为本申请实施例提供的GOA电路的结构示意图；

[0065] 图2为本申请实施例提供的GOA电路中一GOA单元的第一种电路示意图；

[0066] 图3为本申请实施例提供的GOA电路中一GOA单元的信号时序图；

[0067] 图4为本申请实施例提供的GOA电路中一GOA单元的第二种电路示意图；以及

[0068] 图5为本申请实施例提供的显示面板的结构示意图。

发明实施例

本发明的实施方式

[0069] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0070] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、输出端为漏极。此外本申请实施例所采用的晶体管均为N型晶体管，其中，N型晶体管为在栅极为高电平时导通，在栅极为低电平时截止。

[0071] 请参阅图1，图1为本申请实施例提供的GOA电路的结构示意图。如图1所示，本申请实施例提供的GOA电路10包括多级级联的GOA单元20。每一级GOA单元20均用于输出一负脉冲波形的扫描信号以及一负脉冲波形的级传信号。其中，当该GOA电路10工作时，第一级GOA单元20接入起始信号STV，随后，第二级G

OA单元20、第三级GOA单元20,, 最后一级GOA单元20依次级传启动。

[0072] 例如, 以级联的第 $n-1$ 级GOA单元、第 n 级GOA单元和第 $n+1$ 级GOA单元为例。当第 $n-1$ 级GOA单元工作时, 第 $n-1$ 级GOA单元输出负脉冲波形的扫描信号以及负脉冲波形的级传信号, 用于在发光二极管显示面板中控制发光二极管发光。随后, 第 $n-1$ 级GOA单元的级传信号启动第 n 级GOA单元, 第 n 级GOA单元输出负脉冲波形的扫描信号以及负脉冲波形的级传信号。最后, 第 n 级GOA单元的级传信号启动第 $n+1$ 级GOA单元, 第 $n+1$ 级GOA单元输出负脉冲波形的扫描信号以及负脉冲波形的级传信号。

[0073] 进一步的, 请参阅图2, 图2为本申请实施例提供的GOA电路中一GOA单元的第一种电路示意图。如图2所示, 该GOA电路包括: 输入模块101、第一输出模块102、第二输出模块103、下拉模块104、反相模块105、维持模块106以及自举电容 C_b 。

[0074] 其中, 输入模块101接入第一时钟信号CLK以及上一级级传信号 $G_{out}(n-1)$, 并电性连接于第一节点Q(n)以及第二节点L(n), 用于在第一时钟信号CLK的控制下将上一级级传信号 $G_{out}(n-1)$ 输出至第一节点Q(n)。

[0075] 其中, 第一输出模块102接入第二时钟信号CK, 并电性连接于第一节点Q(n), 用于在第一节点Q(n)的电位控制下输出本级级传信号 $C_{out}(n)$ 。

[0076] 其中, 第二输出模块103接入第三参考低电平信号VGL3, 并电性连接于第一节点Q(n), 用于在第一节点Q(n)的电位控制下输出本级扫描信号G(n)。

[0077] 其中, 下拉模块104接入下一级级传信号 $C_{out}(n+1)$ 、第一参考低电平信号VGL1以及第二参考低电平信号VGL2, 并电性连接于第一节点Q(n)以及本级级传信号 $C_{out}(n)$, 用于在下一级级传信号 $C_{out}(n+1)$ 的控制下, 将第一节点Q(n)的电位下拉至第一参考低电平信号VGL1的电位, 以及将本级级传信号 $C_{out}(n)$ 的电位下拉至第二参考低电平信号VGL2的电位。

[0078] 其中, 反相模块105接入参考高电平信号VGH以及第一参考低电平信号VGL1, 并电性连接于第三节点K(n)以及第一节点Q(n), 用于根据参考高电平信号VGH、第一参考低电平信号VGL1以及第一节点Q(n)的电位控制第三节点K(n)的电位。

- [0079] 其中，维持模块106接入第一参考低电平信号VGL1、参考高电平信号VGH以及第二参考低电平信号VGL2，并电性连接于第一节点Q (n)、第三节点K (n)、本级级传信号Cout (n) 以及本级扫描信号G (n)，用于在第三节点K (n) 的电位控制下，将第一节点Q (n) 的电位以及本级级传信号Cout (n) 的电位维持在第一参考低电平信号VGL1的电位，以及将本级扫描信号G (n) 的电位维持在参考高电平信号VGH的电位。
- [0080] 其中，自举电容Cb的一端电性连接于第一节点Q (n)，自举电容Cb的另一端电性连接于本级级传信号Cout (n)。
- [0081] 在一些实施例中，输入模块101包括：第二晶体管T2以及第三晶体管T3；第二晶体管T2的栅极以及第三晶体管T3的栅极均电性连接于第一时钟信号CLK，第二晶体管T2的源极电性连接于上一级级传信号Cout (n-1)，第二晶体管T2的漏极与第三晶体管T3的源极均与第二节点L (n) 电性连接，第三晶体管T3的漏极电性连接于第一节点Q (n)。
- [0082] 在一些实施例中，第一输出模块102包括：第四晶体管T4；第四晶体管T4的栅极电性连接于第一节点Q (n)，第四晶体管T4的源极电性连接于第二时钟信号CK，第四晶体管T4的漏极电性连接于本级级传信号Cout (n)。
- [0083] 在一些实施例中，第二输出模块103包括：第五晶体管T5；第五晶体管T5的栅极电性连接于第一节点Q (n)，第五晶体管T5的源极电性连接于第三参考低电平信号VGL3，第五晶体管T5的漏极电性连接于本级扫描信号G (n)。
- [0084] 在一些实施例中，下拉模块104包括：第六晶体管T6、第七晶体管T7以及第八晶体管T8；第六晶体管T6的栅极、第七晶体管T7的栅极以及第八晶体管T8的栅极均电性连接于下一级级传信号Cout (n+1)，第六晶体管T6的源极电性连接于第二参考低电平信号VGL2，第六晶体管T6的漏极电性连接于本级级传信号Cout (n)，第七晶体管T7的漏极电性连接于第一节点Q (n)，第七晶体管T7的源极与第八晶体管T8的漏极电性连接，第八晶体管T8的源极电性连接于第一参考低电平信号VGL1。
- [0085] 在一些实施例中，反相模块105包括：第九晶体管T9、第十晶体管T10、第十一晶体管T11以及第十二晶体管T12；第九晶体管T9的栅极、源极以及第十一晶体

管T11的源极均电性连接于参考高电平信号VGH，第九晶体管T9的漏极、第十一晶体管T11的栅极以及第十晶体管T10的漏极电性连接，第十一晶体管T11的漏极以及第十二晶体管T12的漏极均电性连接于第三节点K(n)，第十晶体管T10的栅极以及第十二晶体管T12的栅极均电性连接于第一节点Q(n)，第十晶体管T10的源极以及第十二晶体管T12的源极均电性连接于第一参考低电平信号VGL1。

[0086] 在一些实施例中，维持模块106包括：第十三晶体管T13、第十四晶体管T14、第十五晶体管T15以及第十六晶体管T16；第十三晶体管T13的栅极、第十四晶体管T14的栅极、第十五晶体管T15的栅极以及第十六晶体管T16的栅极均电性连接于第三节点K(n)，第十三晶体管T13的源极电性连接于参考高电平信号VGH，第十三晶体管T13的漏极电性连接于本级扫描信号G(n)，第十四晶体管T14的源极电性连接于第二参考低电平信号VGL2，第十四晶体管T14的漏极电性连接于本级级传信号Cout(n)，第十六晶体管T16的漏极与第十五晶体管T15的源极电性连接，第十五晶体管T15的漏极电性连接于第一节点Q(n)，第十六晶体管T16的源极电性连接于第一参考低电平信号VGL1。

[0087] 在一些实施例中，第一参考低电平信号VGL1的电位小于第二参考低电平信号VGL2的电位，且第二参考电平信号VGL2的电位等于第三参考低电平信号VGL3的电位。

[0088] 需要说明的是，本申请实施例提供的GOA电路的本级级传信号为正脉冲信号，本级扫描信号为负脉冲信号。也即，本申请实施例提供的GOA可同时输出正脉冲波形信号和负脉冲波形信号。

[0089] 具体的，请结合图2、图3，图3为本申请实施例提供的GOA电路中一GOA电路的信号时序图。其中，第一时钟信号CLK的周期与第二时钟信号CK的周期相同，且第一时钟信号CLK的极性与第二时钟信号CK的极性相反。第一参考低电平信号VGL1的电位小于第二参考低电平信号VGL2的电位。

[0090] 在第一时间段t1，第一时钟信号CLK为高电位，第二晶体管T2以及第三晶体管T3此时打开，由于此时第二晶体管T2的源极输入的上一级级传信号Gout(n-1)此时为高电位，使得第一节点Q(n)的电位被抬高，第四晶体管T4和第五晶体管T5打开；此时由于第二时钟信号CK为低电位，因此本级级传信号Cout(n)为

低电位；本级扫描信号G(n)的电位等于第三参考低电平信号VGL3的电位，也即，本级扫描信号G(n)为低电位。

[0091] 在第二时间段t2，第一时钟信号CLK为低电位，第一晶体管T1、第二晶体管T2以及第三晶体管T3此时关闭，第一节点Q(n)的电位继续保持为高电位，第四晶体管T4和第五晶体管T5依然打开。此时第二时钟信号CK为高电位，因此，本级级传信号Cout(n)为高电位，本级扫描信号G(n)的电位仍等于第三参考低电平信号VGL3的电位，也即，本级扫描信号G(n)为低电位。

[0092] 同时，在本阶段，由于本级级传信号Cout(n)为高电位，在自举电容Cb的作用下，将第一节点Q(n)的电位进一步抬高，保证第四晶体管T4和第五晶体管T5的打开以及本级级传信号Cout(n)为高电位信号、本级扫描信号G(n)为低电位。

[0093] 在第三时间段t3，由于下一级级传信号Cout(n+1)为高电位信号，使得第六晶体管T6、第七晶体管T7和第八晶体管T8开启，直接将第一节点Q(n)与第一参考低电平信号VGL1连通，以及将本级级传信号Cout(n)与第二参考低电平信号VGL2连通。也即，此时，本级级传信号Cout(n)的电位被下拉至第二参考低电平信号VGL2的电位，第一节点Q(n)的电位被下拉至第一参考低电平信号VGL1的电位。

[0094] 在第四时间段t3，第一节点Q(n)的电位为低电位，第十晶体管T10和第十二晶体管T12关闭，参考高电平信号VGH的高电位输出至第二节点L(n)，从而使得第十三晶体管T13、第十四晶体管T14、第十五晶体管T15以及第十六晶体管T16打开，第一节点Q(n)的电位维持在第一参考低电平信号VGL1的电位，本级级传信号Cout(n)的电位维持在第二参考低电平信号VGL2的电位，以及本级扫描信号G(n)的电位维持在参考高电平信号VGH的电位。

[0095] 另外，请参阅图4，图4为本申请实施例提供的GOA电路中一GOA单位的第二种电路示意图。其中，图4所示的电路与图2所示的电路的区别在于：图4所示的GOA电路还包括：第十七晶体管T17、第十八晶体管T18以及第十九晶体管T19。

[0096] 其中，第十七晶体管T17的栅极电性连接于本级级传信号Cout(n)，第十七晶

晶体管T17的漏极电性连接于第二节点L (n)，第十七晶体管T17的源极、第十八晶体管T18的漏极以及第十九晶体管T19的漏极电性连接，第十八晶体管T18的栅极电性连接于第一节点Q (n)，第十八晶体管T18的源极电性连接于第二时钟信号CK，第十九晶体管T19的栅极电性连接于第三节点K (n)，第十九晶体管T19的源极电性连接于第二参考低电平信号VGL2。

[0097] 需要说明的是，本申请实施例通过增加第十七晶体管T17、第十八晶体管T18以及第十九晶体管T19，从而扩展GOA电路的功能，使得GOA电路更加安全、稳定。

[0098] 请参阅图5，图5为本申请实施例提供的显示面板的结构示意图。如图5所示，该显示面板包括显示区域100以及集成设置在显示区域100边缘上的GOA电路200；其中，该GOA电路200与上述的GOA电路的结构和原理类似，这里不再赘述。

[0099] 以上仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、维持模块以及自举电容；

所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第二输出模块接入第三参考低电平信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级级传信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级级传信号的电位下拉至所述第二参考低电平信号的电位；

所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

所述维持模块接入所述第一参考低电平信号、所述参考高电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述参考高电平信号的电位；

所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一

端电性连接于所述本级级传信号；

其中，所述本级级传信号为正脉冲信号，所述本级扫描信号为负脉冲信号；

所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；

所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号；

所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位，且所述第二参考电平信号的电位等于所述第三参考低电平信号的电位。

[权利要求 2] 根据权利要求1所述的GOA电路，其中，所述输入模块包括：第二晶体管以及第三晶体管；

所述第二晶体管的栅极以及所述第三晶体管的栅极均电性连接于所述第一时钟信号，所述第二晶体管的源极电性连接于所述上一级级传信号，所述第二晶体管的漏极与所述第三晶体管的源极均与所述第二节点电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述第一输出模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[权利要求 4] 根据权利要求1所述的GOA电路，其中，所述第二输出模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三参考低电平信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[权利要求 5]

根据权利要求1所述的GOA电路，其中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；

所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第六晶体管的漏极电性连接于所述本级级传信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极电性连接，所述第八晶体管的源极电性连接于所述第一参考低电平信号。

[权利要求 6]

根据权利要求1所述的GOA电路，其中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[权利要求 7]

根据权利要求1所述的GOA电路，其中，所述维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；

所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述参考高电平信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十六晶体管的漏极与所述第

十五晶体管的源极电性连接，所述第十五晶体管的漏极电性连接于所述第一节点，所述第十六晶体管的源极电性连接于所述第一参考低电平信号。

[权利要求 8]

一种GOA电路，其包括：多级级联的GOA单元，每一级GOA单元均包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、维持模块以及自举电容；

所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第二输出模块接入第三参考低电平信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级级传信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级级传信号的电位下拉至所述第二参考低电平信号的电位；

所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

所述维持模块接入所述第一参考低电平信号、所述参考高电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号

的电位维持在所述参考高电平信号的电位；

所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级级传信号；

其中，所述本级级传信号为正脉冲信号，所述本级扫描信号为负脉冲信号。

[权利要求 9]

根据权利要求8所述的GOA电路，其中，所述输入模块包括：第二晶体管以及第三晶体管；

所述第二晶体管的栅极以及所述第三晶体管的栅极均电性连接于所述第一时钟信号，所述第二晶体管的源极电性连接于所述上一级级传信号，所述第二晶体管的漏极与所述第三晶体管的源极均与所述第二节点电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[权利要求 10]

根据权利要求8所述的GOA电路，其中，所述第一输出模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[权利要求 11]

根据权利要求8所述的GOA电路，其中，所述第二输出模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三参考低电平信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

[权利要求 12]

根据权利要求8所述的GOA电路，其中，所述下拉模块包括：第六晶体管、第七晶体管以及第八晶体管；

所述第六晶体管的栅极、所述第七晶体管的栅极以及所述第八晶体管的栅极均电性连接于所述下一级级传信号，所述第六晶体管的源极电性连接于所述第二参考低电平信号，所述第六晶体管的漏极电性连接于所述本级级传信号，所述第七晶体管的漏极电性连接于所述第一节点，所述第七晶体管的源极与所述第八晶体管的漏极电性连接，所述

第八晶体管的源极电性连接于所述第一参考低电平信号。

[权利要求 13]

根据权利要求8所述的GOA电路，其中，所述反相模块包括：第九晶体管、第十晶体管、第十一晶体管以及第十二晶体管；

所述第九晶体管的栅极、源极以及所述第十一晶体管的源极均电性连接于所述参考高电平信号，所述第九晶体管的漏极、所述第十一晶体管的栅极以及所述第十晶体管的漏极电性连接，所述第十一晶体管的漏极以及所述第十二晶体管的漏极均电性连接于所述第三节点，所述第十晶体管的栅极以及所述第十二晶体管的栅极均电性连接于所述第一节点，所述第十晶体管的源极以及所述第十二晶体管的源极均电性连接于所述第一参考低电平信号。

[权利要求 14]

根据权利要求8所述的GOA电路，其中，所述维持模块包括：第十三晶体管、第十四晶体管、第十五晶体管以及第十六晶体管；

所述第十三晶体管的栅极、所述第十四晶体管的栅极、所述第十五晶体管的栅极以及所述第十六晶体管的栅极均电性连接于所述第三节点，所述第十三晶体管的源极电性连接于所述参考高电平信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号，所述第十四晶体管的源极电性连接于所述第二参考低电平信号，所述第十四晶体管的漏极电性连接于所述本级级传信号，所述第十六晶体管的漏极与所述第十五晶体管的源极电性连接，所述第十五晶体管的漏极电性连接于所述第一节点，所述第十六晶体管的源极电性连接于所述第一参考低电平信号。

[权利要求 15]

根据权利要求8所述的GOA电路，其中，所述GOA电路还包括：第十七晶体管、第十八晶体管以及第十九晶体管；

所述第十七晶体管的栅极电性连接于所述本级级传信号，所述第十七晶体管的漏极电性连接于所述第二节点，所述第十七晶体管的源极、所述第十八晶体管的漏极以及所述第十九晶体管的漏极电性连接，所述第十八晶体管的栅极电性连接于所述第一节点，所述第十八晶体管的源极电性连接于所述第二时钟信号，所述第十九晶体管的栅极电性

连接于所述第三节点，所述第十九晶体管的源极电性连接于所述第二参考低电平信号。

[权利要求 16] 根据权利要求8所述的GOA电路，其中，所述第一参考低电平信号的电位小于所述第二参考低电平信号的电位，且所述第二参考低电平信号的电位等于所述第三参考低电平信号的电位。

[权利要求 17] 一种显示面板，其包括GOA电路，所述GOA电路包括：多级级联的GOA单元，每一级GOA单元均包括：多级级联的GOA单元，每一级GOA单元均包括：输入模块、第一输出模块、第二输出模块、下拉模块、反相模块、维持模块以及自举电容；

所述输入模块接入第一时钟信号以及上一级级传信号，并电性连接于第一节点以及第二节点，用于在所述第一时钟信号的控制下将所述上一级级传信号输出至所述第一节点；

所述第一输出模块接入第二时钟信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级级传信号；

所述第二输出模块接入第三参考低电平信号，并电性连接于所述第一节点，用于在所述第一节点的电位控制下输出本级扫描信号；

所述下拉模块接入下一级级传信号、第一参考低电平信号以及第二参考低电平信号，并电性连接于所述第一节点以及所述本级级传信号，用于在所述下一级级传信号的控制下，将所述第一节点的电位下拉至所述第一参考低电平信号的电位，以及将所述本级级传信号的电位下拉至所述第二参考低电平信号的电位；

所述反相模块接入参考高电平信号以及所述第一参考低电平信号，并电性连接于第三节点以及所述第一节点，用于根据所述参考高电平信号、所述第一参考低电平信号以及所述第一节点的电位控制所述第三节点的电位；

所述维持模块接入所述第一参考低电平信号、所述参考高电平信号以及所述第二参考低电平信号，并电性连接于所述第一节点、所述第三节点、所述本级级传信号以及所述本级扫描信号，用于在所述第三节

点的电位控制下，将所述第一节点的电位以及所述本级级传信号的电位维持在所述第一参考低电平信号的电位，以及将所述本级扫描信号的电位维持在所述参考高电平信号的电位；

所述自举电容的一端电性连接于所述第一节点，所述自举电容的另一端电性连接于所述本级级传信号；

其中，所述本级级传信号为正脉冲信号，所述本级扫描信号为负脉冲信号。

[权利要求 18] 根据权利要求17所述的显示面板，其中，所述输入模块包括：第二晶体管以及第三晶体管；

所述第二晶体管的栅极以及所述第三晶体管的栅极均电性连接于所述第一时钟信号，所述第二晶体管的源极电性连接于所述上一级级传信号，所述第二晶体管的漏极与所述第三晶体管的源极均与所述第二节点电性连接，所述第三晶体管的漏极电性连接于所述第一节点。

[权利要求 19] 根据权利要求17所述的显示面板，其中，所述第一输出模块包括：第四晶体管；

所述第四晶体管的栅极电性连接于所述第一节点，所述第四晶体管的源极电性连接于所述第二时钟信号，所述第四晶体管的漏极电性连接于所述本级级传信号。

[权利要求 20] 根据权利要求17所述的显示面板，其中，所述第二输出模块包括：第五晶体管；

所述第五晶体管的栅极电性连接于所述第一节点，所述第五晶体管的源极电性连接于所述第三参考低电平信号，所述第五晶体管的漏极电性连接于所述本级扫描信号。

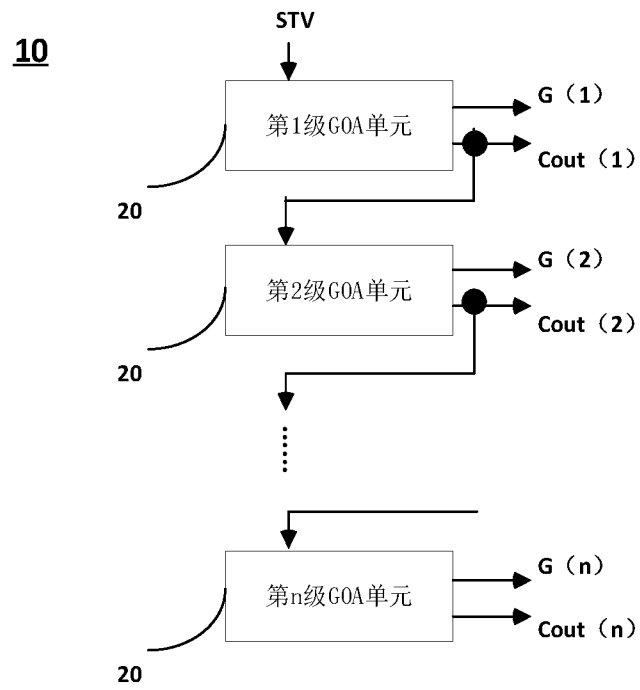


图 1

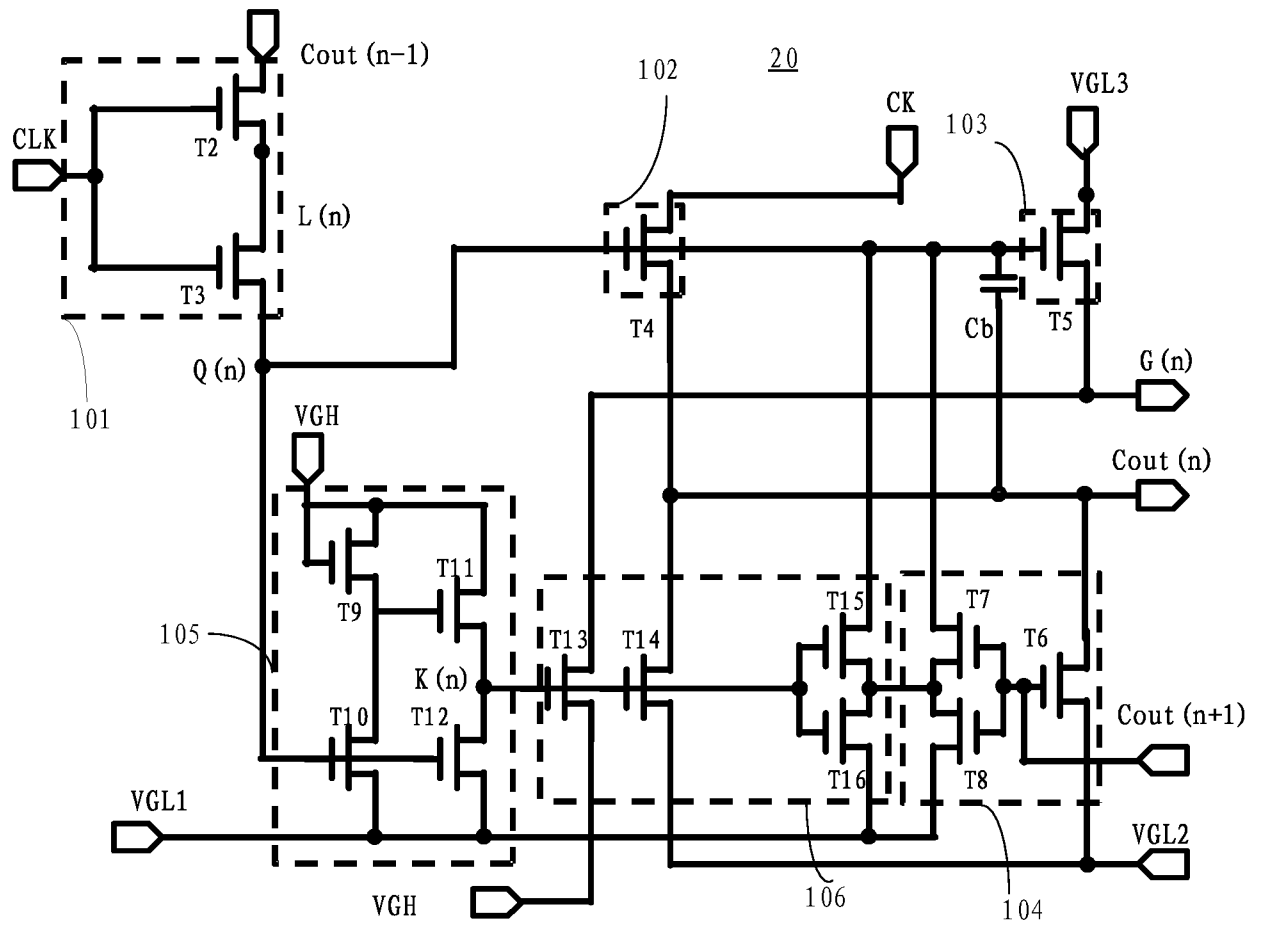


图 2

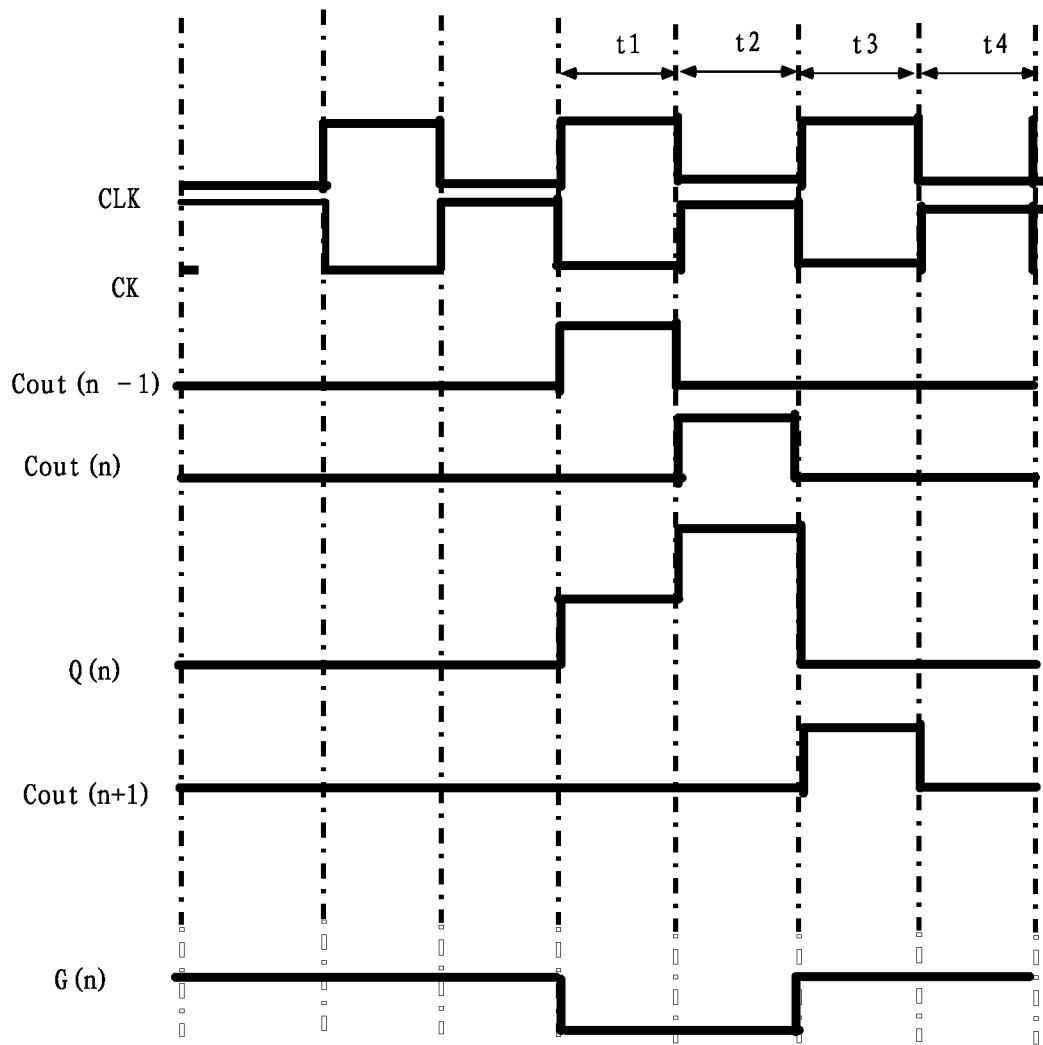


图 3

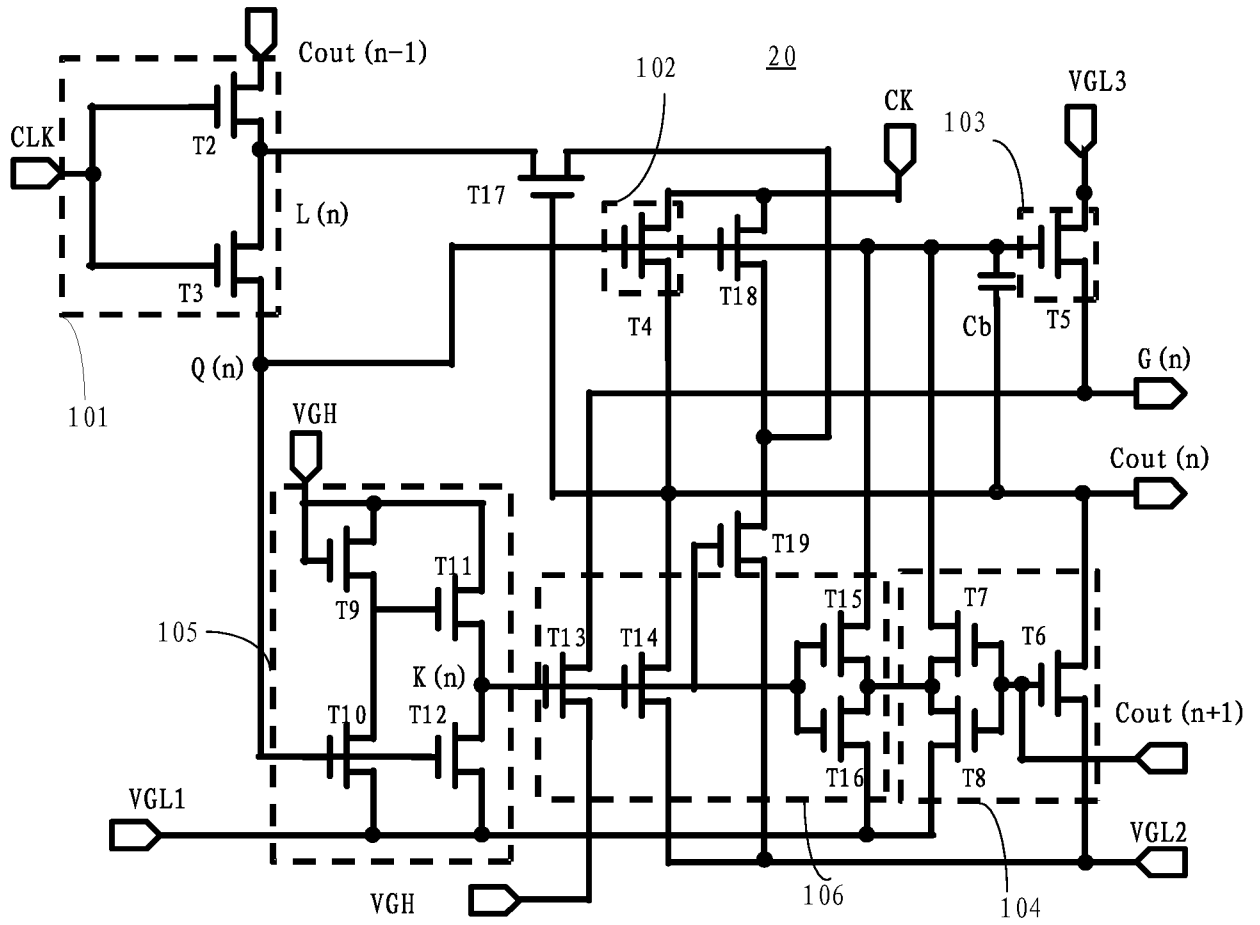


图 4

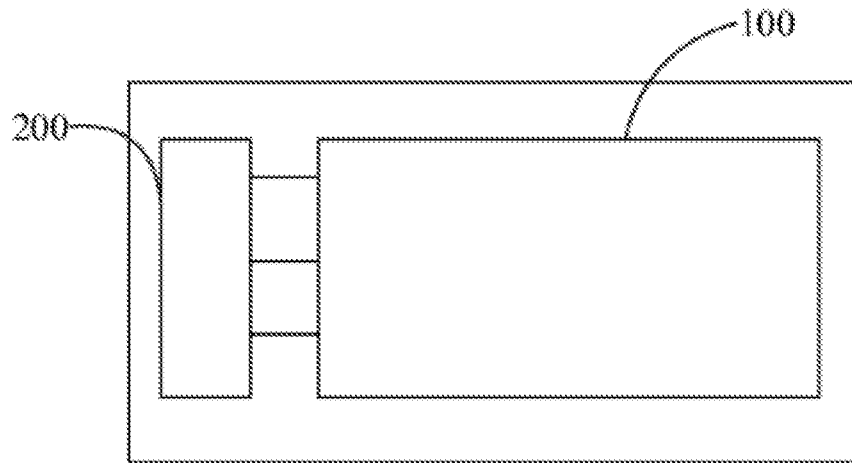


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/086230

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, VEN: GOA, 级联, 下拉, 保持, 反相, 自举, cascad+, pull down, invert+, maintain+, bootstrap+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104409058 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 March 2015 (2015-03-11) entire document	1-20
A	CN 109416902 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 March 2019 (2019-03-01) entire document	1-20
A	CN 104091577 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 October 2014 (2014-10-08) entire document	1-20
A	CN 104537991 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 April 2015 (2015-04-22) entire document	1-20
A	CN 105206237 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 30 December 2015 (2015-12-30) entire document	1-20
A	CN 103680450 A (AU OPTRONICS CORP.) 26 March 2014 (2014-03-26) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 January 2020

Date of mailing of the international search report

15 January 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/086230**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103928005 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 July 2014 (2014-07-16) entire document	1-20
A	CN 105469754 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 April 2016 (2016-04-06) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/086230

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104409058	A	11 March 2015	GB	2548050	A	06 September 2017
				KR	20170084249	A	19 July 2017
				EA	201791062	A1	29 September 2017
				EA	032950	B1	30 August 2019
				KR	101994655	B1	17 October 2019
				JP	6486486	B2	20 March 2019
				US	2016140928	A1	19 May 2016
				WO	2016074264	A1	19 May 2016
				US	9530375	B2	27 December 2016
				GB	201709316	D0	26 July 2017
				DE	112014007173	T5	27 July 2017
				CN	104409058	B	22 February 2017
				JP	2018503137	A	01 February 2018
CN	109416902	A	01 March 2019	WO	2018188020	A1	18 October 2018
CN	104091577	A	08 October 2014	WO	2016008186	A1	21 January 2016
				US	2016284294	A1	29 September 2016
				US	9472150	B1	18 October 2016
				CN	104091577	B	09 March 2016
CN	104537991	A	22 April 2015	KR	20170101967	A	06 September 2017
				GB	201711612	D0	30 August 2017
				JP	2018503130	A	01 February 2018
				CN	104537991	B	19 April 2017
				EA	201791517	A1	30 November 2017
				WO	2016106847	A1	07 July 2016
				GB	2550713	A	29 November 2017
				JP	6599463	B2	30 October 2019
CN	105206237	A	30 December 2015	US	2017102805	A1	13 April 2017
				CN	105206237	B	27 April 2018
				US	9632611	B1	25 April 2017
CN	103680450	A	26 March 2014	None			
CN	103928005	A	16 July 2014	WO	2015109624	A1	30 July 2015
				RU	2628188	C1	15 August 2017
				KR	20160100402	A	23 August 2016
				JP	6325676	B2	16 May 2018
				GB	2535936	A	31 August 2016
				US	2016240158	A1	18 August 2016
				JP	2017504073	A	02 February 2017
				GB	201610478	D0	03 August 2016
				KR	101937403	B1	10 January 2019
				CN	103928005	B	02 December 2015
				US	9767750	B2	19 September 2017
CN	105469754	A	06 April 2016	US	9875706	B1	23 January 2018
				WO	2017092116	A1	08 June 2017
				CN	105469754	B	01 December 2017
				US	2018033388	A1	01 February 2018

国际检索报告

国际申请号

PCT/CN2019/086230

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, CNKI, VEN: GOA, 级联, 下拉, 保持, 反相, 自举, cascader+, pull down, invert+, maintain+, bootstrap+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104409058 A (深圳市华星光电技术有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-20
A	CN 109416902 A (京东方科技集团股份有限公司 等) 2019年 3月 1日 (2019 - 03 - 01) 全文	1-20
A	CN 104091577 A (深圳市华星光电技术有限公司) 2014年 10月 8日 (2014 - 10 - 08) 全文	1-20
A	CN 104537991 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-20
A	CN 105206237 A (武汉华星光电技术有限公司) 2015年 12月 30日 (2015 - 12 - 30) 全文	1-20
A	CN 103680450 A (友达光电股份有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-20
A	CN 103928005 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 全文	1-20
A	CN 105469754 A (武汉华星光电技术有限公司) 2016年 4月 6日 (2016 - 04 - 06) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2020年 1月 7日		国际检索报告邮寄日期 2020年 1月 15日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 席万花 电话号码 62089511

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/086230

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104409058	A	2015年 3月 11日	GB	2548050	A	2017年 9月 6日
				KR	20170084249	A	2017年 7月 19日
				EA	201791062	A1	2017年 9月 29日
				EA	032950	B1	2019年 8月 30日
				KR	101994655	B1	2019年 10月 17日
				JP	6486486	B2	2019年 3月 20日
				US	2016140928	A1	2016年 5月 19日
				WO	2016074264	A1	2016年 5月 19日
				US	9530375	B2	2016年 12月 27日
				GB	201709316	D0	2017年 7月 26日
				DE	112014007173	T5	2017年 7月 27日
				CN	104409058	B	2017年 2月 22日
				JP	2018503137	A	2018年 2月 1日
				WO	2018188020	A1	2018年 10月 18日
CN	104091577	A	2014年 10月 8日	WO	2016008186	A1	2016年 1月 21日
				US	2016284294	A1	2016年 9月 29日
				US	9472150	B1	2016年 10月 18日
				CN	104091577	B	2016年 3月 9日
CN	104537991	A	2015年 4月 22日	KR	20170101967	A	2017年 9月 6日
				GB	2017111612	D0	2017年 8月 30日
				JP	2018503130	A	2018年 2月 1日
				CN	104537991	B	2017年 4月 19日
				EA	201791517	A1	2017年 11月 30日
				WO	2016106847	A1	2016年 7月 7日
				GB	2550713	A	2017年 11月 29日
				JP	6599463	B2	2019年 10月 30日
CN	105206237	A	2015年 12月 30日	US	2017102805	A1	2017年 4月 13日
				CN	105206237	B	2018年 4月 27日
				US	9632611	B1	2017年 4月 25日
CN	103680450	A	2014年 3月 26日	无			
CN	103928005	A	2014年 7月 16日	WO	2015109624	A1	2015年 7月 30日
				RU	2628188	C1	2017年 8月 15日
				KR	20160100402	A	2016年 8月 23日
				JP	6325676	B2	2018年 5月 16日
				GB	2535936	A	2016年 8月 31日
				US	2016240158	A1	2016年 8月 18日
				JP	2017504073	A	2017年 2月 2日
				GB	201610478	D0	2016年 8月 3日
				KR	101937403	B1	2019年 1月 10日
				CN	103928005	B	2015年 12月 2日
				US	9767750	B2	2017年 9月 19日
CN	105469754	A	2016年 4月 6日	US	9875706	B1	2018年 1月 23日
				WO	2017092116	A1	2017年 6月 8日
				CN	105469754	B	2017年 12月 1日
				US	2018033388	A1	2018年 2月 1日