

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4632279号
(P4632279)

(45) 発行日 平成23年2月16日 (2011.2.16)

(24) 登録日 平成22年11月26日 (2010.11.26)

(51) Int. Cl.

F I

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/38 3 7 0 C

G 0 6 F 1/04 (2006.01)

G 0 6 F 1/04 3 0 1 C

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/30 3 1 0 C

請求項の数 12 (全 13 頁)

(21) 出願番号 特願2000-618810 (P2000-618810)
 (86) (22) 出願日 平成12年5月8日 (2000.5.8)
 (65) 公表番号 特表2002-544618 (P2002-544618A)
 (43) 公表日 平成14年12月24日 (2002.12.24)
 (86) 国際出願番号 PCT/US2000/012467
 (87) 国際公開番号 W02000/070433
 (87) 国際公開日 平成12年11月23日 (2000.11.23)
 審査請求日 平成19年5月7日 (2007.5.7)
 (31) 優先権主張番号 09/313, 933
 (32) 優先日 平成11年5月18日 (1999.5.18)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 510000633
 エスティー-エリクソン、ソシエテ、アノ
 ニム
 スイス国ブラン-レーズアト、シュマン、
 デュ、シャン-デーフィュー、39
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (72) 発明者 スウォールプ、アダスミリ
 アメリカ合衆国アリゾナ州、テンプ、ウェ
 スト、ベイスライン、ロード、505アパ
 ートメント、ナンバー、2121

審査官 三坂 敏夫

最終頁に続く

(54) 【発明の名称】 電力消費を低減するシステムおよび方法

(57) 【特許請求の範囲】

【請求項 1】

入力信号を論理的に解析しコプロセッサのクロックをオンまたはオフにする信号を供給するように構成された第1の論理AND構成要素と、

前記第1の論理AND構成要素の入力に結合されたTHUMBビットレジスタと、ここで前記THUMBビットレジスタが、THUMB命令がフェッチされるとオンするTHUMBビット(TBIT)信号の論理値を格納するように構成されており、前記THUMBビット(TBIT)信号は、前記THUMB命令がフェッチされた段階で受信され、

前記第1の論理AND構成要素の入力に結合された実行レジスタとを含んでなり、前記実行レジスタが主ARMプロセッサのパイプラインの実行段と関連した命令を格納するように構成されており、

前記THUMB命令がフェッチされ前記THUMBビット(TBIT)信号がオンした場合、前記第1の論理AND構成要素が、前記コプロセッサのクロックをオフにする前記信号を供給するARMコプロセッサ電力低減システム。

【請求項 2】

前記コプロセッサのクロックが、前記THUMBビット(TBIT)信号の論理値に基づいてオンまたはオフにされる、請求項1に記載のシステム。

【請求項 3】

前記THUMB命令がフェッチされず前記THUMBビット(TBIT)信号がオフである場合、前記第1の論理AND構成要素が、前記コプロセッサのクロックをオンにする

10

20

前記信号を供給する、請求項 1 または 2 に記載の A R M コプロセッサ電力低減システム。

【請求項 4】

前記第 1 の論理 A N D 構成要素は、前記第 1 の論理 A N D 構成要素の入力が論理 1 である場合、論理 1 の値を伝送し、前記第 1 の論理 A N D 構成要素の前記入力のいずれかが論理 0 の値である場合、論理 0 の値を伝送するように構成されている、請求項 1 に記載の A R M コプロセッサ電力低減システム。

【請求項 5】

前記実行レジスタの入力に結合された第 2 の論理 A N D 構成要素と、ここで前記第 2 の論理 A N D 構成要素が前記主 A R M プロセッサのパイプラインを進めるように構成されており、

10

前記第 2 の論理 A N D 構成要素の入力に結合された論理 O R 構成要素と、ここで前記論理 O R 構成要素が、前記論理 O R 構成要素の入力が論理 1 である場合、論理 1 の値を伝送し、前記論理 O R 構成要素の前記入力が論理 0 である場合、論理 0 を伝送するように構成されており、

前記第 2 の論理 A N D 構成要素の入力に結合された待ちレジスタとをさらに含み、この待ちレジスタが、整数の数のメモリクロック入力サイクルの間、A R M コアを機能停止の待ちにするように構成された否定待ち信号の値を取り込むように構成されている、請求項 1 に記載の A R M コプロセッサ電力低減システム。

【請求項 6】

前記論理 O R 構成要素の出力に結合された第 3 の論理 A N D 構成要素と、ここで前記第 3 の論理 A N D 構成要素が、格納されたデータが前記主 A R M プロセッサのパイプラインで転送されるように指示する信号を伝送するように構成されており、

20

前記第 3 の論理 A N D 構成要素の出力に結合されたデータ保持レジスタと、ここで前記データ保持レジスタが前記主 A R M プロセッサのパイプラインで処理されるのを待っているデータを格納するように構成され、

前記第 3 の論理 A N D 構成要素の入力に結合された否定演算コードフェッチレジスタとをさらに含み、前記否定演算コードフェッチレジスタが、A R M コアプロセッサがメモリから命令をフェッチしているかどうかを表示する否定演算コードフェッチ信号の状態を格納するように構成されている、請求項 5 に記載の A R M コプロセッサ電力低減システム。

【請求項 7】

30

前記第 2 の論理 A N D 構成要素の出力に結合されたデコードレジスタと、ここで前記デコードレジスタが前記主 A R M プロセッサのパイプラインのデコード段と関連した情報を格納するように構成されており、

前記デコードレジスタの入力に結合されたマルチプレクサとをさらに含み、ここで前記マルチプレクサが前記デコードレジスタに伝送すべき信号を選ぶように構成されている、請求項 5 に記載の A R M コプロセッサ電力低減システム。

【請求項 8】

前記マルチプレクサが、データ保持レジスタからの信号か信号中のデータからの信号かを選ぶ、請求項 7 に記載の A R M コプロセッサ電力低減システム。

【請求項 9】

40

前記第 1 の論理構成要素が A N D 構成要素であり、ここで前記構成要素が前記入力信号の論理レベルに基づいて前記コプロセッサのクロックをオンまたはオフにし、

前記実行レジスタの入力に結合された第 2 の論理 A N D 構成要素と、ここで前記第 2 の論理 A N D 構成要素が前記主 A R M プロセッサのパイプラインを進めるように構成され、

前記第 2 の論理 A N D 構成要素の入力に結合された論理 O R 構成要素とをさらに含み、前記論理 O R 構成要素が、前記論理 O R 構成要素の入力が論理 1 である場合、論理 1 の値を伝送し、前記論理 O R 構成要素の前記入力が論理 0 である場合、論理 0 を伝送するように構成されている、請求項 1 に記載のシステム。

【請求項 10】

前記論理 O R 構成要素が、次のサイクルでメモリアクセスが必要となるかどうかを表示

50

するように構成された否定メモリ要求信号と、A R Mコアプロセッサ/前記A R Mコアプロセッサがメモリから命令をフェッチしているかどうかを表示するように構成された否定演算コードフェッチ信号とに結合されている、請求項5または9に記載のA R Mコプロセッサ電力低減システム。

【請求項11】

前記論理O R構成要素の出力に結合された第3の論理A N D構成要素と、ここで前記第3の論理A N D構成要素は、格納されたデータが前記主A R Mプロセッサのパイプラインで転送されるように指示する信号を伝送するように構成されており、

前記第3の論理A N D構成要素の出力に結合されたデータ保持レジスタと、ここで前記データ保持レジスタは前記主A R Mプロセッサのパイプラインで処理されるのを待っているデータを格納するように構成されており、

10

前記第3の論理A N D構成要素の入力に結合された否定演算コードフェッチレジスタと、ここで前記否定演算コードフェッチレジスタは、前記A R Mコアプロセッサがメモリから命令をフェッチしているかどうかを表示する否定演算コードフェッチ信号を格納するように構成されており、

前記第2の論理A N D構成要素の出力に結合されたデコードレジスタと、ここで前記デコードレジスタは前記主A R Mプロセッサのパイプラインの実行段と関連した情報を格納するように構成されており、

前記デコードレジスタの入力に結合されたマルチプレクサとをさらに含み、前記マルチプレクサが、前記デコードレジスタに伝送すべき信号を選ぶように構成されている、請求項10に記載のA R Mコプロセッサ電力低減システム。

20

【請求項12】

前記実行レジスタ中の命令と関連したT H U M Bビットが論理1であり、かつ前記T H U M Bビットレジスタの値が論理1である時に、前記第1の論理A N D構成要素が前記コプロセッサのクロックをオフにする、請求項11に記載のA R Mコプロセッサ電力低減システム。

【発明の詳細な説明】

【0001】

本発明はコンピュータ処理システムおよび方法の分野に関する。より詳細には、本発明は高度R I S C機械(A R M)をベースにしたシステムで電力消費を改善する、すなわち減少させるシステムおよび方法に関する。これを取り扱う1つの方法は、T H U M B状態で動作している時にある機能をオフにすることによる。

30

【0002】

(発明の背景)

コンピュータシステムおよび回路は現代社会の発展に向けて大きく貢献し、いくつかの用途で利用されて有利な結果を達成している。コンピュータシステムは、一般に、1組の命令に従って動作するプロセッサを備えている。デジタルコンピュータ、カルキュレータ、オーディオ装置、ビデオ装置および電話システムのような数多くの電子技術はプロセッサを含み、そのプロセッサは、ビジネス、科学、教育および娯楽の多くの分野でデータ、観念および傾向を分析し通信する際に生産性の向上およびコストの低減を容易にしている。多くの場合に、これらの結果を可能にするように設計されたプロセッサは、命令セットの減少したコンピュータアーキテクチャ(R I S C)に従って動作する高度R I S C機械(A R M)である。しかし、A R Mの機械は、一般に、コプロセッサを利用し、そのコプロセッサは現在A R M動作をサポートしていない時でも大きな電力を消費する。

40

【0003】

一般に、A R Mプロセッサは、非常に強力な命令セットによって比較的高い性能を発揮し、さらに大きな柔軟性を示す。一般的なA R Mプロセッサは比較的簡単なので、小型でコスト効果のある装置で高い命令スループットおよび効率的な時間割込み応答が容易になる。パイプライン方式が利用されて、処理システムおよびメモリシステムの多数の構成要素が同時に動作することができるようになる。例えば、1つの命令が実行されている間に

50

、次の命令がデコードされており、第3の命令がメモリからフェッチされる。

【0004】

通常、ARMプロセッサは2つの状態または命令セットを利用する。一方の状態または命令セットは、32ビットのARMセットを含み、他方の状態または命令セットは16ビットのTHUMBセットを含む。THUMBセットの命令は、ARMセットの命令と同じ32ビットレジスタで動作し、ARMセットの性能の有利さの大部分を維持しながら、ARMセットの密度をほぼ2倍にする。しかし、もっと多くの機能性およびもっと高い性能が要求される場合がある。これらの状況では、通常コプロセッサがシステムに含まれている。

【0005】

ARMコプロセッサは、ARM状態で追加の処理電力を与える。多くの場合に、主ARMプロセッサが他の機能を実行している間に、特定の命令を実行するコプロセッサを持つことが有利である。例えば、コプロセッサは浮動小数点演算、グラフィックス変換、および画像圧縮のような機能を実行することが多い。しかし、コプロセッサを有する一般的なARMシステムでは、たとえコプロセッサが命令または情報を処理するために利用されていなくても、コプロセッサ機能のいくつかは常に維持されている。

【0006】

コプロセッサが主要なシステム動作に寄与していなくても、コプロセッサは、通常、かなりの量のシステム電力を消費する。特に、コプロセッサは16ビットランザクションを行うために使用されないので、コプロセッサは、16ビットTHUMBランザクション中は主要なシステム動作に貢献していない。THUMB命令セットはARM命令セットよりも小さく、その上、THUMB状態で動作している間は、ARMシステムのコプロセッサは利用されていない。コプロセッサが命令または情報を処理していない時でも、通常コプロセッサは電力を消費し続ける。例えば、コプロセッサ中のクロックは動作し続け、コプロセッサのレジスタは状態を切り換え続け、それで電力を消費する。

【0007】

ARMシステムの機能性に貢献していない構成要素による電力消費を低減することは、多くの便宜をもたらす。例えば、ARMシステムを利用して処理機能を提供する無線通信システムでは、電力状況はクリティカルになることが多い。無線通信システムは電源としてバッテリーに依拠することが多く、電力消費を低減することでバッテリー寿命が長くなる。また、電力消費を低減することで、バッテリーのサイズを小さくすることができるようになり、それによって、より小型の無線通信装置を製造することができるようになる。小型無線通信装置により、通常実際の応用の有益性はより大きくなる。

【0008】

必要なものは、ARMシステムのコプロセッサによる電力消費を低減するシステムおよび方法である。そのシステムおよび方法はARMシステムの動作機能性を妨害してはならない。THUMB状態で動作中のコプロセッサレジスタの切り換えを少なくしなければならない。また、そのシステムおよび方法は電力供給の要求条件軽減を容易にしなければならない。

【0009】

(発明の概要)

本発明のシステムおよび方法は、ARMシステムのコプロセッサによる電力消費を低減する。本システムおよび方法は、ARMシステムの動作機能性を妨げない。THUMB状態で動作中のコプロセッサレジスタの切り換えは本発明によって減少し、また、本発明は電力供給の要求条件軽減を容易にする。

【0010】

本発明の一実施例では、ARMコプロセッサ電力低減システムおよび方法は、ARMシステムがARMコプロセッサを利用しない活動状態にある時を検出し、ARMコプロセッサのクロックをオフにする。本発明のARMコプロセッサ電力低減システムおよび方法は、ARMコアがARM状態で動作しているかまたはTHUMB状態で動作しているかを追跡

10

20

30

40

50

する。例えば、ARMコプロセッサ電力低減システムおよび方法は、ARMコアがARM状態で動作しているかまたはTHUMB状態で動作しているかを表示するTHUMBビット(TBIT)信号を解析する。ARMコアがTHUMB状態で動作している場合、本発明のARMコプロセッサ電力低減システムおよび方法は、コプロセッサのクロックにオフするように命令する。ARMコアがARM状態で動作している場合、本発明のARMコプロセッサ電力低減システムおよび方法は、コプロセッサのクロックにオンするように命令する。

【0011】

(発明の詳細な説明)

高度RISC機械(arm)をベースにしたシステムにおける電力消費を低減するシステムおよび方法である、本発明の好ましい実施形態を詳細に参照し、その例を添付の図面で示す。本発明は好ましい実施形態に関連して説明するが、それは本発明をこれらの実施形態に限定する意図でないことは理解されるであろう。それとは逆に、本発明は、添付の特許請求の範囲で定義されるような本発明の精神および範囲内に含まれる可能性のある代替物、修正物および均等物を含む意図である。さらに、本発明の次の詳細な説明で、本発明を完全に理解できるようにするために、数多くの具体的な詳細を示す。しかし、当業者には明らかになるであろうが、本発明はこれらの具体的な詳細なしで実施することができる。他の例では、公知の方法、手順、構成要素、および回路は、本発明の態様を不必要に不明瞭にしないために詳細に説明されていない。

【0012】

本発明は、ARMコプロセッサ電力低減システムおよび方法であり、ARMシステムがARMコプロセッサを利用しない活動状態にある時を検出し、ARMコプロセッサのクロックをオフにする。例えば、本発明のARMコプロセッサ電力低減システムおよび方法は、ARMコア周辺からの信号を追跡して、ARMコアがARM状態の動作を容易にしようとしているかまたはTHUMB状態の動作を容易にしようとしているかを決定する。本発明のARMコプロセッサ電力低減システムおよび方法が、ARMコアがTHUMB状態の動作を容易にしようとしていることを検出した場合、ARMコプロセッサ電力低減システムおよび方法は、ARMコプロセッサと関連したクロックにオフするように信号を送る。ARMコプロセッサのクロックがオフになるので、ARMコプロセッサのレジスタは切り換わらないし、電力を消費しない。本発明のARMコプロセッサ電力低減システムおよび方法は、ARMコアがARM状態の動作を容易にしようとしていることを感知した場合、ARMコプロセッサ電力低減システムおよび方法は、ARMコプロセッサと関連したクロックにオンするように信号を送る。

【0013】

ARMコアで命令が処理されるときに、命令はまた、3段を含むARMパイプラインで取り込まれる。ARMパイプラインは、フェッチ段、デコード段および実行段を含む。本発明のARMコプロセッサ電力低減システムは、特定の命令がARMコアのどの段にあるか追跡する(命令がフェッチ段、デコード段、または実行段にあるかどうかを追跡する)。動作状態に変化がある時はいつでも(例えば、ARM状態からTHUMB状態に、またはその逆に)、その変化を表示する命令がARMパイプラインを流れる。命令はフェッチされ、デコードされ、それから実行段で、ARMコアは、その命令がARMコアに16ビットTHUMB命令セットに切り換わるように指示しているかまたは32ビットARM命令セットに切り換わるように指示しているかを決定する。状態変化の命令が実行される時に、TBIT(THUMB Bit)信号は変化する。例えば、TBITは、命令がTHUMB状態の命令である時には、論理0から論理1に変化し、または、命令がARM状態の命令である時に、論理1から論理0に変化する。

【0014】

状態変化の命令が実行されても、場合によって、パイプラインに保留状態の実行されるべき動作がもう2つある。すなわち、フェッチ段の1つの動作とデコード段の1つの動作である。動作状態がARM状態からTHUMB状態に変化する場合、ARMコプロセッサ

電力低減システムおよび方法は、デコード段と実行段に残っている２つの動作が完全に実行されるまで、ＡＲＭコプロセッサのクロックの電源を遮断しない。このようにして、デコード段と実行段に残っている２つの動作がＡＲＭ状態の動作を含む場合、コプロセッサは、走っている使用可能なクロックを有し、３２ビットのＡＲＭ状態の動作を処理し続ける。

【００１５】

図１は、本発明のＡＲＭコプロセッサ電力低減システムおよび方法の一実施形態と関連したコプロセッサクロック停止波形テーブル１００の一例である。コプロセッサクロック停止波形テーブル１００は、第１のＡＲＭ命令１１０、第２のＡＲＭ命令１１１、第３のＡＲＭ命令１１２、およびそれらの対応する第１のＡＲＭデータ転送１２０、第２のＡＲＭデータ転送１２１、および第３のＡＲＭデータ転送１２３がフェッチされる時に、ＣＰＳＴＯＰＣレジスタの値がＨＩＧＨであり、コプロセッサのクロックが走っていることを図示している。第１のＴＨＵＭＢ命令１１３がフェッチされる時に、信号ＡＣ＿ＴＢＩＴは論理０（ＬＯＷ）から論理１（ＨＩＧＨ）に遷移する。しかし、信号ＣＰ＿ＳＴＯＰＣは論理０（コプロセッサのクロックに走り続けるように命令する）を論理１（コプロセッサのクロックに走るのを停止するように命令する）に切り換ええない。信号ＣＰ＿ＳＴＯＰＣは、第２のＴＨＵＭＢ命令１１４および第３のＴＨＵＭＢ命令１１６およびそれらに関連した第２のＴＨＵＭＢデータ転送１２４および第３のＴＨＵＭＢデータ転送１２６が完了するまで、遷移しない。信号ＣＰ＿ＳＴＯＰＣは、コプロセッサ不在命令１１５と、第２のＴＨＵＭＢデータ転送１２４と第３のＴＨＵＭＢデータ転送１２６の間のコプロセッサ不在命令に関連したコプロセッサ不在データトランザクション１２５とで示される延長された処理持続時間までも感知する。ＡＣ＿ＴＢＩＴ信号は、第４のＴＨＵＭＢ命令１１７、第５のＴＨＵＭＢ命令１１８および第４のＴＨＵＭＢデータ転送１２７の間ずっと論理１（ＨＩＧＨ）のままである。

【００１６】

ＡＲＭシステムがＴＨＵＭＢ状態を終了しＡＲＭ状態になる時に、ＴＢＩＴ信号は、それがＡＲＭ状態の動作を処理していることを表示する（例えば、ＬＯＷになる）。コプロセッサのクロックは、ＡＲＭシステムがＴＨＵＭＢ状態を終了しＡＲＭ状態になる時の同じサイクルの間に始動する。このようにして、実行される次の命令が３２ビットＡＲＭ状態動作である場合、コプロセッサは３２ビットＡＲＭ状態動作を処理し続けるために使用可能である。

【００１７】

図２は、本発明のＡＲＭコプロセッサ電力低減システムおよび方法の一実施形態と関連したコプロセッサクロック始動波形テーブル２００の一例である。コプロセッサクロック始動波形テーブル２００は、第１のＴＨＵＭＢ命令２１０、第２のＴＨＵＭＢ命令２１１および第３のＴＨＵＭＢ命令２１２、およびそれらの対応する第１のＴＨＵＭＢデータ転送２２０、第２のＴＨＵＭＢデータ転送２２１および第３のＴＨＵＭＢデータ転送２２３がフェッチされる時に、ＣＰＳＴＯＰＣレジスタの値がＬＯＷでコプロセッサクロックが走っていないことを図示する。第１のＡＲＭ命令２１３がフェッチされる時に、信号ＡＣ＿ＴＢＩＴは論理１から論理０に遷移する。信号ＣＰ＿ＳＴＯＰＣは論理１から論理０に遷移し、コプロセッサクロックに走り始めるように命令する。ＣＰＳＴＯＰＣレジスタの値は、論理０から論理１に遷移し、クロックが走り始めたことを表示する。ＣＰＳＴＯＰＣレジスタの値は、第２のＡＲＭ命令２１４、第３のＡＲＭ命令２１５、第１のＡＲＭデータ転送２２３、第２のＡＲＭデータ転送２２４、および第３のＡＲＭデータ転送２２５の間ずっと論理１のままである。

【００１８】

ＡＲＭコアはいくつかの信号を利用して、ＡＲＭコプロセッサパイプラインの後続の段を介した進捗および前送りを表示する。否定メモリ要求信号（ＭＲＥＱ＿ＮまたはｎＭＲＥＱ）は、次のサイクルでメモリアクセスが要求されているかどうかを表示する。ＮＭＲＥＱがＬＯＷである場合、ＡＲＭコアプロセッサは次のサイクルでメモリアクセスを要求

する。否定演算コードフェッチ信号（ OPC_N または $nOPC$ ）は、ARMコアプロセッサがメモリから命令をフェッチしているかどうかを表示する。 OPC_N がLOWである場合、ARMコアプロセッサはメモリから命令をフェッチしており、 OPC_N がHIGHである場合、データが転送されている（データがある場合）。ARMコアに整数の数のメモリクロック入力（ $MCLK$ ）サイクルを待たせるかまたは機能停止にさせるために、否定待ち（ $WAIT_N$ または $nWAIT$ ）信号が利用される。 $MCLK$ はARMコアメモリアクセスと内部動作のタイミングを合せるクロックである。 $WAIT_N$ がLOWである時に、ARMコアは待つか機能停止する。

【0019】

図3は、本発明の一実施形態であるARMコプロセッサ電力低減システム300の図である。ARMコプロセッサ電力低減システム300は、THUMBビットレジスタ $TBIT_RF310$ 、待ちレジスタ $WAIT_N_PF321$ 、第1の論理OR構成要素325、否定演算コードフェッチレジスタ OPC_N_PF327 、第3の論理AND構成要素328、第2の論理AND構成要素329、データ保持レジスタ $DATA_HOLD_NF331$ 、マルチプレクサ $MUX332$ 、デコードレジスタ $DECODE_NF333$ 、実行レジスタ $EXECUTE_NF334$ 、第1の論理AND構成要素340および停止クロックレジスタ $STOPCLK_NF345$ を備える。識別にPFを含むレジスタは、信号が正に向かうエッジでトリガされるフリップフロップを含む。識別にNFを含むレジスタは信号の負に向かうエッジでトリガされるフリップフロップを含む。 $TBIT_PF310$ は、第1の論理AND構成要素340に結合されている。第3の論理AND構成要素328は、 $WAIT_N_PF321$ 、第1の論理OR構成要素325、 OPC_N_PF327 、および $DATA_HOLD_NF331$ に結合されている。第2の論理AND構成要素329は、 $WAIT_N_PF321$ 、第1の論理OR構成要素325、 OPC_N_PF327 、 $DECODE_NF333$ 、および $EXECUTE_NF334$ に結合されている。 $MUX332$ は、 $DATA_HOLD_NF331$ と、および $EXECUTE_NF334$ に結合されている $DECODE_NF333$ とに結合されている。 $EXECUTE_NF334$ は、 $STOPCLK_NF345$ に結合されている第1の論理AND構成要素340に結合されている。

【0020】

ARMコプロセッサ電力低減システム300の構成要素は、協働して動作してARM命令をARMパイプラインを通して転送し、ARMパイプラインがTHUMB状態の命令を処理している場合、コプロセッサのクロックをオフにする信号を起動するように動作する。第1の論理AND構成要素340は、論理的に入力信号を解析し、ARMパイプラインの命令の状態に基づいてコプロセッサのクロックをオンまたはオフにする信号を供給するように構成されている。例えば、第1の論理AND構成要素340は、ARMパイプライン命令がTHUMB状態の命令である場合、コプロセッサのクロックをオフにし、ARMパイプライン命令がARM状態の命令である場合、コプロセッサのクロックをオンにする信号を供給する。 $TBIT_PF310$ は、THUMBビット（ $TBIT$ ）信号の論理値を格納し、そのTHUMBビット（ $TBIT$ ）信号は、ARMパイプラインの命令がTHUMB状態で動作しているかARM状態で動作しているかを表示する。実行レジスタ $EXECUTE_NF334$ は、前記ARMパイプラインの実行段と関連した情報を格納する。

【0021】

第2のAND構成要素329は、ARMパイプラインにより命令およびデータの前送りを制御する。論理OR構成要素325は、論理OR構成要素325の入力（例えば、否定メモリ要求信号（ $MREQ_N$ ）および否定演算コードフェッチ信号（ OPC_N ））が論理1である場合、論理1の値を伝送し、また、論理OR構成要素325の前記入力が論理0である場合、論理0を伝送する。待ちレジスタ $WAIT_N_PF321$ は否定待ち信号（例えば、 $WAIT_N$ ）の値を取り込む。

【0022】

10

20

30

40

50

第3の論理AND構成要素328は、格納されたデータをARMパイプラインで転送するように指示する信号を伝送する。データ保持レジスタDATA_HOLD_NF331はARMパイプラインで処理されるのを待つデータを格納する。否定演算コードフェッチレジスタOPC_N_PF327は、ARMコアプロセッサがメモリから命令をフェッチするかどうかを表示する否定演算フェッチ信号の状態を格納する。デコードレジスタDECODE_NF333は、ARMパイプラインのデコード段と関連した情報を格納する。マルチプレクサMUX332は、データ保持レジスタまたは信号中のデータからの信号のような前記デコードレジスタに伝送する信号を選択する。

【0023】

ARM命令パイプライン論理は、WAIT_N_PF321の情報および信号OPC_NおよびMREQ_Nの論理状態を調べて、様々なARMコアレジスタによりARMシステムデータからの命令をラッチするときを決定する。前の立上がりエッジからTBIT値はサンプリングされ、デコード段および実行段に向けて移動しているデータとともに送り出される。これによって、ARMコアプロセッサ電力低減システム300はコアプロセッサクロックを適切に始動/停止することができるようになる。

【0024】

図4は、ARMコアプロセッサ電力低減真理値表400の図である。ARMコアプロセッサ電力低減真理値表400は、ARMコアプロセッサ電力低減システム300の真理値表である。本発明の一実施形態では、クロックの立上りエッジでWAIT_N_PFの出力が論理1であり、かつOPC_N信号は論理0であり、かつMREQ_N信号は論理0である場合、ARMコアは命令をフェッチしている。

命令それ自体は、クロックの次の立ち下がりエッジでARMコアデータバス上に置かれる。WAIT_N_PFに格納された値が論理0である場合、命令はARMコアのデータバスにとどまったままであり、DATA_HOLD_NF331、マルチプレクサMUX332、デコードレジスタDECODE_NF333、または実行レジスタEXECUTE_NF334の間で、命令は移されない。レジスタOPC_N_PF327に格納された値が論理1であり、かつ信号OPC_Nが信号MREQ_Nが論理1である場合は、DATA_HOLD_NF331、マルチプレクサMUX332、デコードレジスタDECODE_NF333、または実行レジスタEXECUTE_NF334の間で、命令は移されない。

クロックの立ち下がりエッジで、WAIT_N_PF321の値が論理1であり、かつOPC_N信号が論理1であるかMREQ_N信号が論理1であるかいずれかの場合、ARMコアは現在命令をデコード段および実行段を通して移さない。しかし、データが存在すれば、ARMコアはデータ処理を続ける。OPC_N_PFの情報が論理0である場合、ARMデータバス上の命令はDATA_HOLD_NF331に入れられ、「オンホールド」状態になる。

【0025】

ARMコアプロセッサ電力低減真理値表400の残りの段の間に、命令はパイプラインの段を通過して移動する。クロックの立ち下がりエッジで、WAIT_N_PF321の情報が論理1であり、かつOPC_N信号が論理0であり、かつMREQ_N信号が論理0である場合、ARMコアは現在命令をデコード段に移す。OPC_N_PF327の情報の状態によって、どちらの命令がデコード段に移されるかが決まる。OPC_N_PF327の情報が論理1である場合、DATA_HOLD_NF331の命令はまだデコード段を通過していないので、DATA_HOLD_NF331の命令がデコード段に移される。OPC_N_PF327の情報が論理1である場合、ARMデータバス上の命令は、デコーディングのために、REGISTER_DECODE_NF333に入れられる。クロックの立ち下がりエッジで、WAIT_N_PF321の値が論理1であり、かつ信号OPC_Nが論理0であり、かつ信号MREQ_Nが論理0である場合、レジスタDECODE_NF333の内容は、実行のためにレジスタEXECUTE_NF334に移動する。

【 0 0 2 6 】

第 1 の論理 AND 構成要素 3 4 0 は、その入力すなわち、T B I T _ P F 3 1 0 に格納された値と、E X E C U T E _ N F 3 4 3 に格納された値の T B I T とが論理 1 である場合、論理 1 の値を伝送する。また、その入力のいずれかが論理 0 の値である場合、論理 0 の値を伝送する。第 1 の論理 AND 構成要素 3 4 0 で伝送された論理値は一時的に S T O P C L K _ N F 3 4 5 に格納され、それから、信号 C L K S T O P としてコプロセッサのクロックに転送される。C L K S T O P が論理 1 である場合、コプロセッサのクロックは停止され、C L K S T O P が論理 0 である場合、コプロセッサは始動される。

【 0 0 2 7 】

図 5 は、本発明の一実施形態である A R M コプロセッサ電力低減方法 5 0 0 の流れ図である。A R M コプロセッサ電力低減方法 5 0 0 は、A R M システムが A R M コプロセッサを利用しない活動状態にあるかどうか、さらに A R M コプロセッサ分だけ電力消費を低減するかどうかを確定する。一実施形態では、A R M コプロセッサ電力低減方法 5 0 0 は A R M コア周辺からの信号を検査して、A R M コアが A R M 状態の動作を容易にしようとしているか T H U M B 状態の動作を容易にしようとしているかを決定する。A R M コプロセッサ電力低減方法 5 0 0 が、A R M コアが T H U M B 状態の動作を容易にしようとしているのを検出した場合、A R M コプロセッサ電力低減方法 5 0 0 は、A R M コプロセッサと関連したクロックにオフするように信号を送る。例えば、A R M コプロセッサ電力低減方法 5 0 0 は、A R M パイプラインの一連の命令が全て T H U M B 状態の動作であると確定した場合、A R M コプロセッサ電力低減方法 5 0 0 は、コプロセッサのクロックがオフになるようにする。A R M コプロセッサのクロックがオフになるので、A R M コプロセッサのレジスタは切り換わらないし、電力を消費しない。

【 0 0 2 8 】

ステップ 5 1 0 で、A R M コプロセッサ電力低減方法 5 0 0 は、A R M コアが T H U M B 状態の命令をフェッチしているかどうかを決定する。一実施形態では、A R M コプロセッサ電力低減方法 5 0 0 は、A R M コプロセッサが命令をフェッチしているかどうかを検査する。命令がフェッチされている場合、A R M コプロセッサ電力低減方法 5 0 0 は、フェッチされている命令と関連した T B I T 信号の論理状態を取り込む。例えば、A R M コプロセッサ電力低減方法 5 0 0 は、否定メモリ要求信号 (M R E Q _ N または n M R E Q) 、否定演算コードフェッチ信号 (O P C _ N または n O P C) および否定待ち信号 (W A I T _ N または n W A I T) を走査して、A R M コアが命令をフェッチしているかどうかを決定する。1 つの例では、論理 0 (L O W) の T B I T 信号は A R M 状態の命令を表示し、論理 1 (H I G H) の T B I T 信号は T H U M B 状態の命令を表示する。A R M コプロセッサ電力低減方法 5 0 0 が、A R M コアが T H U M B 状態の命令をフェッチしているかどうかを決定した後で、A R M コプロセッサ電力低減方法 5 0 0 はステップ 5 2 0 に進む。

【 0 0 2 9 】

A R M コプロセッサ電力低減方法 5 0 0 は、ステップ 5 2 0 A R M で、通常の A R M コア手順およびコプロセッシング手順を継続する。1 つの例では、A R M コプロセッサ電力低減方法 5 0 0 は、命令をフェッチ段からのデコード段に移し、さらにその命令を実行段に進めて、通常の A R M コア手順およびコプロセッシング手順を継続する。

【 0 0 3 0 】

ステップ 5 3 0 で、A R M コプロセッサ電力低減方法 5 0 0 は、A R M パイプラインで処理されている次の命令の状態を追跡する。一実施形態では、A R M コプロセッサ電力低減方法 5 0 0 は、T B I T レジスタ (例えば、T B I T _ P F 2 1 0) の T B I T 信号の論理値を格納する。1 つの例では、命令がパイプラインのフェッチ段からデコード段に移される時に、T B I T 値は格納される。

【 0 0 3 1 】

ステップ 5 4 0 で、A R M コプロセッサ電力低減方法 5 0 0 は、コプロセッサのクロックをオフにするのが適切かどうかを解析する。A R M コプロセッサ電力低減方法 5 0 0 の一

10

20

30

40

50

実施形態では、ARMコプロセッサ電力低減方法500が、ARMパイプラインで処理している命令がTHUMB状態の命令かまたはTHUMB状態の命令と関連したデータであると確定した場合、コプロセッサのクロックをオフにするのが適切である。例えば、THUMB状態の命令またはTHUMB状態の命令と関連したデータがARMパイプラインの段を占めている場合は、コプロセッサのクロックをオフにするのが適切である。コプロセッサのクロックをオフにするのが適切でない場合、ARMコプロセッサ電力低減方法500は、ステップ520に輪を描いて戻る。コプロセッサのクロックをオフにするのが適切な場合、ARMコプロセッサ電力低減方法500は、ステップ550に進む。

【0032】

ステップ550で、ARMコプロセッサ電力低減方法500は、コプロセッサクロックをオフにする。本発明の一実施形態では、ARMコプロセッサ電力低減方法500は、コプロセッサのクロックに停止させる信号を送る。

【0033】

ステップ560で、ARMコプロセッサ電力低減方法500は、コプロセッサのクロックをオンにするのが適切かどうかを調べる。ARMコプロセッサ電力低減方法500の一実施形態では、ARMコプロセッサ電力低減方法500が、ARMパイプラインの命令がARM状態の命令かARM状態の命令と関連したデータかであることを確認した場合は、コプロセッサのクロックをオンにするのが適切である。例えば、ARM状態の命令またはARM状態の命令と関連したデータがARMパイプラインレジスタを占めている場合は、コプロセッサのクロックをオンにするのが適切である。一実施形態では、ARMコプロセッサ電力低減方法500は、コプロセッサのクロックがオフになった後で、命令フェッチと関連したTBIT信号を監視し続ける。例えば、ARMコプロセッサ電力低減方法500は、論理0のTBIT値を解釈して、関連した命令フェッチがARM状態の命令フェッチであると表示する。次のフェッチがARM状態の命令である場合は、コプロセッサのクロックをオンにするのが適切である。コプロセッサのクロックをオンにするのが適切でない場合、ARMコプロセッサ電力低減方法500は、ステップ550に輪を描いて戻る。コプロセッサのクロックをオンにするのが適切である場合、ARMコプロセッサ電力低減方法500は、ステップ570に進む。

【0034】

ステップ570で、ARMコプロセッサ電力低減方法500は、コプロセッサクロックをオンに切り換え、ステップ510に輪を描いて戻る。

【0035】

上で示したように、ARMコプロセッサ電力低減方法500は、ステップ540で、ARMパイプラインで処理している命令がTHUMB状態の命令であるかまたはTHUMB状態の命令と関連したデータであるかを確定する。ARMコプロセッサ電力低減方法500の一実施形態では、格納された待ちの値（例えば、WAIT__N__PF221）が論理1であり、かつOPC__N信号とMREQ__N信号の両方が論理0である場合、ARMコプロセッサ電力低減方法500は、パイプラインの実行レジスタ（例えば、EXECUTE__NF234）の命令と関連したTBITとTBITレジスタ（例えば、TBIT__PF210）の格納されたTBIT値を比較する。パイプラインの実行レジスタ（例えば、EXECUTE__NF234）の命令と関連したTBITと、TBITレジスタ（例えば、TBIT__PF210）の格納されたTBIT値との両方が論理1である場合、ARMコプロセッサ電力低減方法500は、コプロセッサのクロックを停止する。パイプラインの実行レジスタ（例えば、EXECUTE__NF234）の命令と関連したTBITか、またはTBITレジスタ（例えば、TBIT__PF210）の格納されたTBIT値かいずれかが論理0である場合、ARMコプロセッサ電力低減方法500は、コプロセッサのクロックを停止しない。

【0036】

このようにして、本発明のシステムおよび方法によって、ARMシステムのコプロセッサによる電力消費は減少する。本システムおよび方法は、ARMシステムの動作機能性を妨

10

20

30

40

50

害しない。本発明によってTHUMB状態の動作中に切り換わるコプロセッサのレジスタは減少し、また、本発明により、電力供給の要求条件軽減が容易になる。

【0037】

本発明の特定の実施形態についての上記の記述は、例証と説明のために示した。それらは、網羅的であることを意図しないし、または本発明を開示された明確な形態に限定する意図ではない。上記の教示の観点から、明らかに、多くの修正物および変更物が可能である。実施形態は、本発明の原理およびその実際の応用を最も適切に説明するために選び説明した。これによって、当業者は、特定の意図する使用に適するような様々な修正物で、本発明および様々な実施形態を最適に利用することができるようになる。

【図面の簡単な説明】

【図1】 本発明のARMコプロセッサ電力低減システムおよび方法の一実施形態と関連したコプロセッサクロック停止波形テーブルの一例である。

【図2】 本発明のARMコプロセッサ電力低減システムおよび方法の一実施形態と関連したコプロセッサクロック始動波形テーブルの一例である。

【図3】 本発明の一実施形態である、ARMコプロセッサ電力低減システムの図である。

【図4】 本発明のARMコプロセッサ電力低減システムのARMコプロセッサ電力低減真理値表の説明図である。

【図5】 本発明のARMコプロセッサ電力低減方法の一実施形態の流れ図である。

【図1】

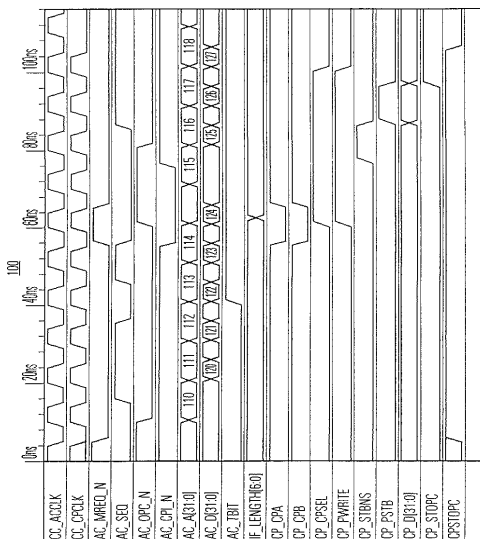


FIG. 1

【図2】

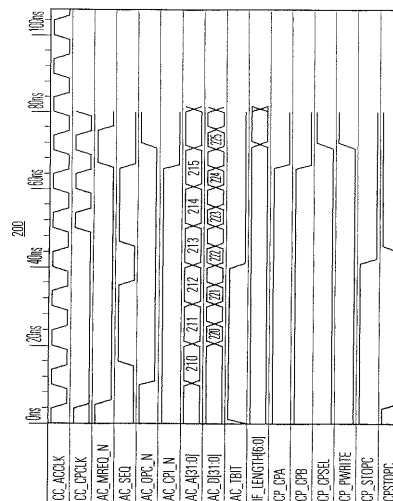


FIG. 2

【図3】

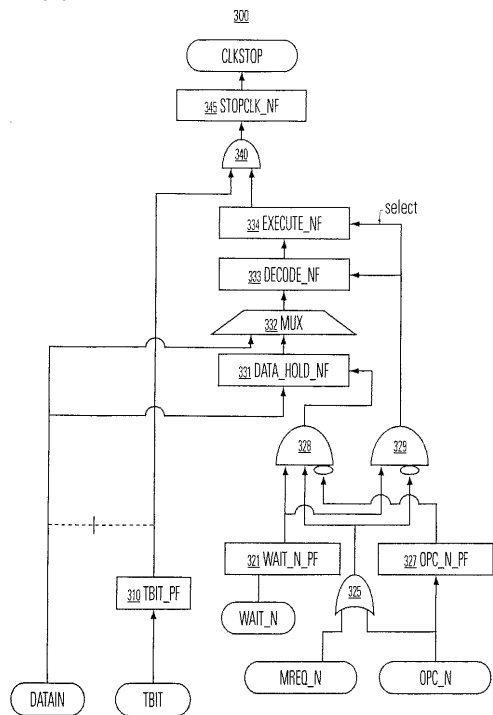


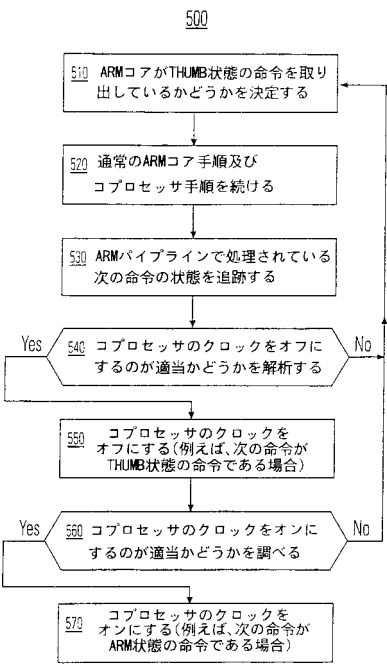
FIG. 3

【図4】

WAIT_N_PF	OPC_N_PF	OPC_N	MREQ_N	DHOLD	DECODE	EXECUTE
0	X	X	X	HOLD	HOLD	HOLD
X	1	1	X	HOLD	HOLD	HOLD
X	1	X	1	HOLD	HOLD	HOLD
1	0	0	0	HOLD	DIN	DECODE
1	0	1	X	DIN	HOLD	HOLD
1	1	0	0	HOLD	DHOLD	DECODE

FIG. 4

【図5】



フロントページの続き

(56)参考文献 特開平 0 6 - 2 0 2 7 5 4 (J P , A)
特開平 0 9 - 2 1 2 3 5 8 (J P , A)
特開平 0 3 - 0 9 1 0 2 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G06F 9/38
G06F 1/04
G06F 9/30