

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
19. Mai 2022 (19.05.2022)



(10) Internationale Veröffentlichungsnummer
WO 2022/100976 A1

(51) Internationale Patentklassifikation:

H01L 33/48 (2010.01) H01L 25/075 (2006.01)
H01L 33/62 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2021/079178

(22) Internationales Anmeldedatum:
21. Oktober 2021 (21.10.2021)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2020 130 211.8
16. November 2020 (16.11.2020) DE

(71) Anmelder: AMS-OSRAM INTERNATIONAL GMBH
[DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: SCHWARZ, Thomas; Steinfederweg 4, 93055
Regensburg (DE).

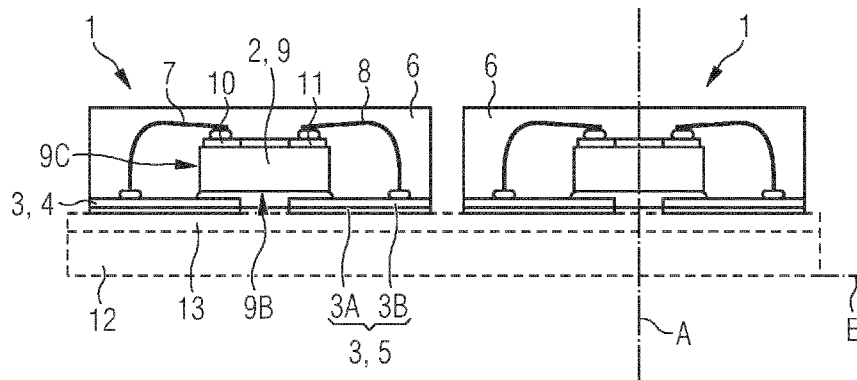
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,
MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,
NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU,
RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,

(54) Title: OPTOELECTRONIC SEMICONDUCTOR COMPONENT AND METHOD FOR PRODUCING SAME

(54) Bezeichnung: OPTOELEKTRONISCHES HALBLEITERBAUTEIL UND DESSEN VERFAHREN ZUR HERSTELLUNG

FIG 1A



(57) Abstract: The invention relates to an optoelectronic semiconductor component (1), comprising: - at least one optoelectronic semiconductor chip (2), - a carrier element (3), which has at least one first connection element (4) and at least one second connection element (5) for the electrical contacting of the optoelectronic semiconductor component (1) from outside, the at least one optoelectronic semiconductor chip (2) being disposed on the carrier element (3) and being electrically connected to one first and one second connection element (4, 5) of the carrier element (3), - a housing (6), which extends at least partly around the at least one optoelectronic semiconductor chip (2). The optoelectronic semiconductor component (1) has a polygonal, non-rectangular base area (G). The invention further relates to a method for producing at least one optoelectronic semiconductor component (1).

(57) Zusammenfassung: Es wird ein optoelektronisches Halbleiterbauteil (1) angegeben umfassend: - zumindest einen optoelektronischen Halbleiterchip (2), - ein Trägerelement (3), das zumindest ein erstes Anschlusselement (4) und zumindest ein zweites Anschlusselement (5) zur elektrischen Kontaktierung des optoelektronischen Halbleiterbauteils (1) von außen aufweist, wobei der zumindest eine optoelektronische Halbleiterchip (2) an dem Trägerelement (3) angeordnet und mit einem ersten und zweiten Anschlusselement (4, 5) des Trägerelements (3) elektrisch leitend verbunden ist, - eine Einhausung (6), die den zumindest einen optoelektronischen Halbleiterchip (2) zumindest teilweise umgibt, wobei das optoelektronische Halbleiterbauteil (1) einen polygonalen, nicht-rechteckigen Grundriss (G) aufweist. Ferner wird ein Verfahren zur Herstellung zumindest eines optoelektronischen Halbleiterbauteils (1) angegeben.

SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Beschreibung

OPTOELEKTRONISCHES HALBLEITERBAUTEIL UND DESSEN
VERFAHREN ZUR HERSTELLUNG

5

Es werden ein optoelektronisches Halbleiterbauteil und ein
Verfahren zu dessen Herstellung angegeben. Beispielsweise
handelt es sich bei dem optoelektronischen Halbleiterbauteil
10 um ein oberflächenmontierbares Halbleiterbauteil.

Es sind Halbleiterbauteile bekannt, die einen rechteckigen
Grundriss aufweisen. Der rechteckige Grundriss ist oftmals
durch die Herstellungs- beziehungsweise Vereinzelungsmethode
15 bedingt, mit welcher die Halbleiterbauteile hergestellt
werden. Beispielsweise können die Halbleiterbauteile mittels
Sägen entlang gerader Trennlinien aus einem Verbund
vereinzelt werden. Ferner wird eine Größe der Bauteile von
einem Platzbedarf für Drahtkontakte und Trenngräben
20 mitbestimmt. Durch die beschriebenen Gegebenheiten sind die
Bauteile meist relativ groß ausgeführt. Große Bauteile
verursachen jedoch höhere Herstellungskosten und einen
größeren Platzbedarf in der Anwendung beim Kunden.

25 Eine zu lösende Aufgabe besteht vorliegend darin, ein
flächenoptimiertes optoelektronisches Halbleiterbauteil
anzugeben. Eine weitere zu lösende Aufgabe besteht darin, ein
Verfahren zur Herstellung eines flächenoptimierten
optoelektronischen Halbleiterbauteils anzugeben.

30

Diese Aufgaben werden unter anderem durch ein
optoelektronisches Halbleiterbauteil und ein Verfahren zur

Herstellung eines optoelektronischen Halbleiterbauteils mit den Merkmalen der unabhängigen Ansprüche gelöst.

Gemäß zumindest einer Ausführungsform eines

5 optoelektronischen Halbleiterbauteils umfasst dieses zumindest einen optoelektronischen Halbleiterchip. Weiterhin umfasst das optoelektronische Halbleiterbauteil ein Trägerelement, an oder auf dem der zumindest eine optoelektronische Halbleiterchip angeordnet ist.

10

Das Trägerelement kann zur elektrischen Kontaktierung des optoelektronischen Halbleiterbauteils zumindest ein erstes Anschlusselement und zumindest ein zweites Anschlusselement aufweisen, wobei der zumindest eine optoelektronische

15 Halbleiterchip mit einem ersten und zweiten Anschlusselement des Trägerelements elektrisch leitend verbunden ist.

Insbesondere dient das erste Anschlusselement als elektrischer Kontakt einer ersten Polarität, während das zweite Anschlusselement als elektrischer Kontakt einer zweiten, von der ersten verschiedenen Polarität dient.

20

Vorzugsweise ist das optoelektronische Halbleiterbauteil mittels eines ersten und zweiten Anschlusselements von außen elektrisch kontaktierbar.

25 Ferner weist das optoelektronische Halbleiterbauteil eine Einhausung auf, die den zumindest einen optoelektronischen Halbleiterchip zumindest teilweise umgibt. Insbesondere befindet sich die Einhausung an Oberflächen des Halbleiterchips, die nicht von dem Trägerelement bedeckt sind.

30

Mit Vorteil weist das optoelektronische Halbleiterbauteil einen polygonalen, nicht-rechteckigen Grundriss auf.

Insbesondere weist der Grundriss eine polygonale Form auf, die dazu geeignet ist, mehrere optoelektronische Halbleiterbauteile lückenlos aneinanderzureihen. In anderen Worten erfolgt ein Übergang zwischen zwei aneinandergereihten Halbleiterbauteilen im Wesentlichen ohne Lücke, wobei es aufgrund von Fertigungsschwankungen und Rauheiten zu im Verhältnis zur Größe der Halbleiterbauteile kleinen Lücken kommen kann.

10 Vorliegend ist unter dem „Grundriss“ eine zweidimensionale Abbildung eines Elementes, etwa des Halbleiterbauteils, in eine Montageebene des optoelektronischen Halbleiterbauteils entlang einer quer, insbesondere senkrecht zur Montageebene verlaufenden Bauteilachse zu verstehen.

15

Gemäß zumindest einer Ausführungsform ist der Grundriss des optoelektronischen Halbleiterbauteils sechseckig.

Vorzugsweise entspricht der Grundriss einem gleichseitigen, besonders bevorzugt einem regelmäßigen Sechseck. Diese Form ermöglicht nicht nur eine lückenlose Aneinanderreihung der Halbleiterbauteile, sondern auch eine Reduzierung der Bauteilfläche beziehungsweise Produktionsfläche, wie im Zusammenhang mit den Figuren nachfolgend näher erläutert wird.

25

Weiterhin kann der Grundriss des optoelektronischen Halbleiterbauteils der Form eines Teils eines Sechsecks entsprechen. Insbesondere kann das Sechseck in identische Stücke aufgeteilt werden, etwa in zwei identische Fünfecke oder in zwei beziehungsweise sechs identische, nicht-rechteckige Vierecke oder in sechs beziehungsweise zwölf identische Dreiecke. Der Grundriss des optoelektronischen

30

Halbleiterbauteils kann also auch einem Dreieck, einem nicht-rechteckigen Viereck oder einem Fünfeck entsprechen.

Gemäß zumindest einer Ausführungsform weist das Trägerelement
5 einen polygonalen, nicht-rechteckigen Grundriss auf.

Insbesondere weist das Trägerelement einen Grundriss auf, der dem Grundriss des optoelektronischen Halbleiterbauteils hinsichtlich der Form und vorzugsweise auch der Größe entspricht und damit die bereits im Zusammenhang mit dem

10 Grundriss des optoelektronischen Halbleiterbauteils beschriebenen Merkmale aufweist. Das Trägerelement kann eine prismatische Gestalt aufweisen. Insbesondere sind dabei eine erste und zweite Hauptfläche des Trägerelements, die sich im Wesentlichen parallel zu einer Montageebene des

15 Halbleiterbauteils erstrecken, vieleckig, beispielsweise dreieckig, viereckig, fünfeckig oder sechseckig, ausgebildet.

Vorzugsweise handelt es sich bei dem Trägerelement um eine strukturierte Schicht oder Schichtenfolge. Bei der

20 Strukturierung der zunächst durchgehenden Schicht oder Schichtenfolge werden das erste und zweite Anschlusselement erzeugt, die durch einen Zwischenraum voneinander beabstandet sind. Weiter bevorzugt ist die Schicht oder Schichtenfolge

aus zumindest einem Metall und/oder einer Metallverbindung gebildet. Dabei kommen für das Trägerelement insbesondere

25 lötbare Metalle oder Metallverbindungen mit zumindest einem der folgenden Materialien in Frage: Cu, Ti, Pt, Au. Weiterhin kann das Trägerelement eine Spiegelschicht enthalten, die auf einer dem Halbleiterchip zugewandten Seite des Trägerelements
30 angeordnet ist. Die Spiegelschicht kann beispielsweise Ag enthalten oder daraus bestehen.

Ferner weist die Einhausung gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterbauteils einen polygonalen, nicht-rechteckigen Grundriss auf.

Insbesondere weist die Einhausung einen Grundriss auf, der

5 dem Grundriss des optoelektronischen Halbleiterbauteils beziehungsweise Trägerelements hinsichtlich der Form und vorzugsweise auch der Größe entspricht und damit die bereits im Zusammenhang mit dem Grundriss des optoelektronischen Halbleiterbauteils beschriebenen Merkmale aufweist.

10 Insbesondere ragt die Einhausung lateral, das heißt in Richtungen parallel zur der Montageebene, im Wesentlichen, das heißt im Rahmen üblicher Herstellungstoleranzen, nicht über das Trägerelement hinaus.

15 Bei einer vorteilhaften Ausgestaltung weist die Einhausung eine Schicht oder mehrere übereinander angeordnete Schichten auf, die auf das Trägerelement aufgebracht ist/sind. Bei der Einhausung handelt es sich also vorzugsweise nicht um ein selbsttragendes Element, sondern um ein formschlüssig auf dem

20 Trägerelement angeordnetes Element. Für die Einhausung kommen Kunststoffmaterialien wie etwa Silikone, Epoxide oder Epoxidharze in Frage. Weiterhin kann die Einhausung Partikel, etwa Konverterpartikel zur Wellenlängenkonversion eines Teils einer vom Halbleiterchip emittierten Strahlung und/oder

25 reflektierende Partikel zur Umlenkung eines Teils der vom Halbleiterchip emittierten Strahlung und/oder absorbierende Partikel zur Absorption eines Teils der vom Halbleiterchip emittierten Strahlung enthalten.

30 Gemäß einer bevorzugten Ausgestaltung weist die Schicht oder weisen die Schichten der Einhausung jeweils zumindest eine nach innen gewölbte Seitenfläche auf.

Eine vorteilhafte Ausgestaltung sieht vor, dass die Einhausung einen ersten Bereich und einen zweiten, an den ersten Bereich angrenzenden Bereich aufweist, wobei der erste und zweite Bereich aus unterschiedlichen Materialien gebildet sind. Der erste und zweite Bereich können verschiedene Funktionalitäten aufweisen und entsprechend dafür geeignete Materialien aufweisen. Die konkrete Ausgestaltung des ersten und zweiten Bereichs richtet sich beispielsweise danach, welche Art von Abstrahlcharakteristik, beispielsweise eine isotrope oder anisotrope Abstrahlcharakteristik, bei dem Halbleiterbauteil gewünscht ist. Vorzugsweise handelt es sich bei dem ersten Bereich um einen als erstes erzeugten Bereich und bei dem zweiten Bereich um einen nachfolgend erzeugten Bereich.

Bei einer vorteilhaften Ausgestaltung wird der zweite Bereich in Draufsicht auf das Halbleiterbauteil von dem ersten Bereich umschlossen. Das heißt, der erste Bereich ist dem zweiten Bereich ausgehend vom Halbleiterchip lateral nachgeordnet. Insbesondere ist der zweite Bereich in einer Kavität des ersten Bereichs angeordnet. Die Kavität kann einen konstanten Durchmesser oder einen sich in Richtung des Trägerelements verjüngenden Durchmesser aufweisen. Dabei kann der erste Bereich vertikal, das heißt senkrecht zur Montageebene, über den zweiten Bereich hinausragen. Es ist jedoch auch möglich, dass der erste und zweite Bereich bündig miteinander abschließen. Weiterhin kann der zweite Bereich über den ersten Bereich hinausragen. Der zweite Bereich kann dabei konvex gekrümmt sein.

Der erste Bereich kann beispielsweise strahlungsdurchlässig ausgebildet sein. Dabei kann der zweite Bereich ein wellenlängenkonvertierender oder reflektierender Bereich

sein. Hierbei ist der Halbleiterchip mit Vorteil in dem zweiten Bereich angeordnet.

Weiterhin kann der erste Bereich ein reflektierender oder
5 strahlungsabsorbierender Bereich sein. Dabei kann der zweite Bereich strahlungsdurchlässig ausgebildet sein. Hierbei ist der Halbleiterchip mit Vorteil in dem ersten Bereich angeordnet.

10 Eine andere Variante sieht vor, dass der zweite Bereich auf dem ersten Bereich angeordnet ist. Dabei kann der erste Bereich ein reflektierender oder strahlungsabsorbierender Bereich sein, während der zweite Bereich vorzugsweise strahlungsdurchlässig ist. Der Halbleiterchip ist hierbei mit
15 Vorteil in dem ersten Bereich angeordnet.

Gemäß zumindest einer Ausführungsform weist die Einhausung auf ihrer von dem Trägerelement abgewandten Vorderseite einen Abstandshalter auf. Vorzugsweise steht der Abstandshalter auf
20 der von dem Trägerelement abgewandten Vorderseite der Einhausung aus einer Hauptfläche der Einhausung hervor. Dabei kann der Abstandshalter in Draufsicht auf die Vorderseite umlaufend oder punktuell angeordnet sein. Weiter bevorzugt wird/werden das erste und/oder zweite Verbindungsmittel von
25 dem Abstandshalter lateral nicht überdeckt. Der Abstandshalter kann das/die Verbindungsmittel bei der Montage des Halbleiterbauteils vor mechanischen Belastungen schützen. Insbesondere schützt der Abstandshalter bei Druck von oben, indem Kräfte von oben mittels des Abstandshalters an dem/den
30 Verbindungsmittel(n) vorbei geleitet werden.

Gemäß zumindest einer Ausführungsform umfasst der Halbleiterchip einen Halbleiterkörper sowie einen ersten und

zweiten Anschlusskontakt zur elektrischen Kontaktierung des Halbleiterkörpers. Insbesondere weist der Halbleiterkörper eine erste Hauptfläche und eine der ersten Hauptfläche gegenüberliegende zweite Hauptfläche sowie mindestens eine
5 Seitenfläche auf, welche die erste Hauptfläche mit der zweiten Hauptfläche verbindet. An der zweiten Hauptfläche kann der Halbleiterchip mit dem Trägerelement verbunden sein.

Der Halbleiterchip beziehungsweise Halbleiterkörper kann eine
10 prismatische Gestalt aufweisen. Insbesondere sind dabei die erste und zweite Hauptfläche vieleckig, beispielsweise dreieckig, viereckig, insbesondere rechteckig, oder sechseckig, ausgebildet. Dabei kann sich die dreidimensionale Form des Halbleiterchips von der dreidimensionalen Form des
15 optoelektronischen Halbleiterbauteils unterscheiden.

Insbesondere kann der optoelektronische Halbleiterchip einen Grundriss aufweisen, der sich von dem Grundriss des optoelektronischen Halbleiterbauteils unterscheidet.
20 Beispielsweise kann der optoelektronische Halbleiterchip einen rechteckigen, insbesondere quadratischen, Grundriss aufweisen. Es ist jedoch auch denkbar, dass der Halbleiterchip einen dreieckigen oder sechseckigen Grundriss aufweist.

25 Gemäß zumindest einer Ausführungsform umfasst der Halbleiterkörper ein Trägersubstrat sowie einen ersten und zweiten Halbleiterbereich unterschiedlicher Leitfähigkeit, die auf dem Trägersubstrat angeordnet sind, und eine zwischen
30 dem ersten und zweiten Halbleiterbereich angeordnete aktive Zone. Beispielsweise handelt es sich bei dem Trägersubstrat um ein Aufwachssubstrat, auf dem der erste und zweite Halbleiterbereich epitaktisch abgeschieden sind. Unter

"epitaktisch auf dem Aufwachssubstrat abgeschieden" versteht man im vorliegenden Zusammenhang, dass das Aufwachssubstrat zur Abscheidung und/oder zum Aufwachsen des ersten und zweiten Halbleiterbereichs dient. Beispielsweise steht der zweite Halbleiterbereich mit dem Aufwachssubstrat in direktem Kontakt. Das Aufwachssubstrat kann nach dem Aufwachsen des ersten und zweiten Halbleiterbereichs im Halbleiterkörper verbleiben oder abgelöst werden. Insbesondere weist der erste Halbleiterbereich eine p-Leitfähigkeit auf, während der zweite Halbleiterbereich eine n-Leitfähigkeit aufweist. Der erste Halbleiterbereich kann an der ersten Hauptfläche und der zweite Halbleiterbereich an der zweiten Hauptfläche angeordnet sein.

Für den ersten und zweiten Halbleiterbereich des Halbleiterkörpers kommen vorzugsweise auf Nitrid-Verbindungshalbleitern basierende Materialien in Betracht. „Auf Nitrid-Verbindungshalbleitern basierend“ bedeutet im vorliegenden Zusammenhang, dass zumindest eine Schicht der Halbleiterbereiche ein Nitrid-III/V-Verbindungshalbleitermaterial, vorzugsweise $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{N}$ umfasst, wobei $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$. Dabei muss dieses Material nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel aufweisen. Vielmehr kann es einen oder mehrere Dotierstoffe sowie zusätzliche Bestandteile aufweisen, die die charakteristischen physikalischen Eigenschaften des $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{N}$ -Materials im Wesentlichen nicht ändern. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, N), auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt sein können.

Das Träger- beziehungsweise Aufwachssubstrat umfasst oder besteht vorzugsweise aus Saphir, SiC und/oder GaN. Ein Saphirsubstrat ist transparent für kurzwellige sichtbare Strahlung, insbesondere im blauen bis grünen Bereich.

5

Bei dem Halbleiterbauteil handelt es sich vorzugsweise um ein Strahlung emittierendes Bauelement, wobei die aktive Zone zur Erzeugung von elektromagnetischer Strahlung vorgesehen ist.

Unter dem Begriff „elektromagnetische Strahlung“ versteht man vorliegend insbesondere eine infrarote, sichtbare und/oder ultraviolette Strahlung. Im Betrieb tritt vorzugsweise ein Teil der erzeugten Strahlung durch die erste Hauptfläche des Halbleiterkörpers hindurch. Ein weiterer Teil der Strahlung kann durch die mindestens eine Seitenfläche des Halbleiterkörpers ausgekoppelt werden.

10
15

Bei dem Halbleiterchip kann es sich um einen Volumenemitter, der die erzeugte Strahlung im Wesentlichen isotrop abgibt, oder um einen Oberflächenemitter handeln, der die erzeugte Strahlung im Wesentlichen anisotrop, insbesondere an der ersten Hauptfläche, abgibt. Auch bei dem Halbleiterbauteil kann es sich um einen Volumenemitter oder Oberflächenemitter handeln.

20

Der erste und zweite Anschlusskontakt können auf derselben Oberfläche, beispielsweise auf der ersten oder zweiten Hauptfläche, oder auf verschiedenen Oberflächen, zum Beispiel auf der ersten und zweiten Hauptfläche, angeordnet sein. Der optoelektronische Halbleiterchip ist vorzugsweise mittels eines ersten Verbindungsmittels mit dem ersten Anschlusselement und mittels eines zweiten Verbindungsmittels mit dem zweiten Anschlusselement elektrisch leitend verbunden. Bei dem ersten und zweiten Verbindungsmittel kann

25

30

es sich jeweils um einen Bonddraht oder eine elektrisch leitende Verbindungsschicht, insbesondere eine planare, elektrisch leitende Verbindungsschicht (sog. „planar interconnect“), handeln.

5

Zumindest das erste Anschlusselement, mit dem der optoelektronische Halbleiterchip elektrisch leitend verbunden ist, kann von dem optoelektronischen Halbleiterchip teilweise lateral überdeckt werden. Beispielsweise kann der optoelektronische Halbleiterchip vollständig auf dem ersten Anschlusselement angeordnet sein und dieses teilweise bedecken. Weiterhin ist es möglich, dass der optoelektronische Halbleiterchip teilweise auf dem ersten und teilweise auf dem zweiten Anschlusselement angeordnet ist und den Zwischenraum zwischen dem ersten und zweiten Anschlusselement überspannt, wobei jeweils ein Teil der Anschlusselemente von dem Halbleiterchip bedeckt ist.

Bei einer vorteilhaften Ausgestaltung weist das optoelektronische Halbleiterbauteil eine Begrenzungsschicht auf, welche das Trägerelement auf seiner von dem optoelektronischen Halbleiterchip abgewandten Seite teilweise bedeckt. Insbesondere sind das erste und zweite Anschlusselement bereichsweise unbedeckt von der Begrenzungsschicht. Vorzugsweise handelt es sich bei der Begrenzungsschicht um eine Lötstoppschicht, die beim Auflöten des Halbleiterbauteils auf einen Montageträger, beispielsweise eine Leiterplatte, ein Verfließen eines Lotmaterials verhindern soll.

30

Gemäß zumindest einer Ausführungsform weist das Halbleiterbauteil mehrere optoelektronische Halbleiterchips auf. Insbesondere weist das Halbleiterbauteil hierbei auch

mehrere erste und/oder zweite Anschlusselemente auf.

Vorzugsweise emittieren zumindest zwei der Halbleiterchips im Betrieb Strahlung verschiedener Farbe.

- 5 Das nachfolgend beschriebene Verfahren ist für die Herstellung eines oben beschriebenen optoelektronischen Halbleiterbauteils oder einer Mehrzahl von oben beschriebenen optoelektronischen Halbleiterbauteilen geeignet. Im Zusammenhang mit dem Halbleiterbauteil beschriebene Merkmale
10 können daher auch für das Verfahren herangezogen werden und umgekehrt.

Gemäß zumindest einer Ausführungsform eines Verfahrens zur Herstellung zumindest eines optoelektronischen

- 15 Halbleiterbauteils umfasst dieses folgende Schritte:

- Bereitstellen eines Trägers,
- Aufbringen einer Schicht oder Schichtenfolge auf den Träger,
- Strukturierung der Schicht oder Schichtenfolge derart, dass
20 zumindest ein Trägerelement ausgebildet wird, das zumindest ein erstes Anschlusselement und zumindest ein zweites Anschlusselement aufweist,
- Anordnen zumindest eines optoelektronischen Halbleiterchips auf dem Trägerelement,
- 25 - elektrisch leitendes Verbinden des optoelektronischen Halbleiterchips mit einem ersten und zweiten Anschlusselement des Trägerelements,
- Erzeugen zumindest einer Einhausung, die den zumindest einen optoelektronischen Halbleiterchip zumindest teilweise
30 umgibt, durch Aufbringen einer oder mehrerer Schichten, wobei die eine Schicht oder mehreren Schichten einer Struktur folgend aufgebracht werden oder nach dem Aufbringen strukturiert werden.

Vorzugsweise werden die Verfahrensschritte in der angegebenen Reihenfolge durchgeführt.

- 5 „Einer Struktur folgend“ bedeutet hierbei insbesondere, dass die Schicht oder mehreren Schichten nicht durchgehend, sondern mit Unterbrechungen aufgebracht werden.

Die Schicht oder Schichtenfolge kann, wie bereits weiter oben
10 im Zusammenhang mit dem Trägerelement erwähnt, aus zumindest einem Metall und/oder einer Metallverbindung gebildet werden.

Für den Träger kommen verschiedene Varianten in Frage.
Beispielsweise kann es sich bei dem Träger um einen Glas-,
15 Keramik- oder Metallträger handeln. Der Metallträger kann zum Beispiel Stahl, FeNi, Mo oder MoCu enthalten oder daraus bestehen. Ferner kann es sich bei dem Träger um eine Leiterplatte (sog. „PCB“) handeln.

20 Gemäß zumindest einer Ausführungsform ist zwischen dem Träger und dem Trägerelement eine Adhäsionsschicht angeordnet, die bei der Herstellung eine mechanische Verbindung zwischen dem Träger und dem Trägerelement vermittelt. Vorzugsweise handelt es sich bei der Adhäsionsschicht um eine lösbare Schicht, die
25 beispielsweise mittels eines Laser-Lift-Off-Verfahrens oder eines Peel-Off-Verfahrens von dem Trägerelement abgelöst werden kann. Im Falle einer Ablösung durch ein Laser-Lift-Off-Verfahren kommt vorzugsweise ein Siliziumnitrid für die Adhäsionsschicht in Frage. Im Falle einer Ablösung durch ein
30 Peel-Off-Verfahren eignet sich insbesondere ein Polymer wie Polydimethylsiloxan („PDMS“) für die Adhäsionsschicht.

Die Schicht oder Schichtenfolge zur Erzeugung des zumindest einen Trägerelements kann durchgehend, das heißt unterbrechungsfrei, auf den Träger aufgebracht und anschließend strukturiert werden. Die Strukturierung der
5 Schicht oder Schichtenfolge erfolgt vorzugsweise mittels Fotolithografie.

Nach der Herstellung der Trägerelemente liegen diese mit Vorteil vereinzelt auf dem Träger vor, so dass durch Ablösen
10 des Trägers eine Selbstvereinzelnung der zugehörigen Halbleiterbauteile stattfinden kann.

Gemäß zumindest einer Ausführungsform wird zum Erzeugen der Einhausung eines der folgenden Verfahren verwendet:
15 Lithografie, additive Fertigung.

Bei der Herstellung mittels Lithografie wird die Einhausung vorzugsweise aus einer einzigen Schicht eines Ausgangsmaterials erzeugt, wobei die Schicht nach dem
20 Aufbringen strukturiert wird.

Bei der Herstellung mittels additiver Fertigung wird die Einhausung vorzugsweise aus mehreren Schichten eines Ausgangsmaterials erzeugt, wobei die Schichten besonders
25 bevorzugt jeweils nach dem Aufbringen strukturiert werden. Bei der additiven Fertigung kommt vorzugsweise ein stereolithografisches Verfahren zum Einsatz.

Vorzugsweise wird als Ausgangsmaterial für die Einhausung beziehungsweise für die Schicht oder Schichten der Einhausung
30 ein fotostrukturierbares Material, etwa ein Fotolack, zum Beispiel ein Negativlack, verwendet. Der Negativlack vernetzt an den Stellen, die belichtet werden. Da die Belichtung von

oben erfolgt, nimmt aufgrund der Lichtabsorption die Vernetzung nach unten ab. Beim Entwickeln wird das weniger stark vernetzte Material unten entfernt und führt zu einem Unterschnitt. Entsprechend kann die Einhausung an einem
5 Seitenrand einen Unterschnitt beziehungsweise zumindest eine nach innen gewölbte Seitenfläche aufweisen.

Vorteilhaftweise liegen nach der Fertigstellung einer Mehrzahl von Einhausungen eine Mehrzahl von
10 optoelektronischen Halbleiterbauteilen ohne weiteren Vereinzelungsschritt als separate Bauteile auf dem Träger vor.

Der Träger kann zur Vereinzelung der optoelektronischen
15 Halbleiterbauteile abgelöst werden. Alternativ kann vor der Vereinzelung ein Zwischenträger auf die Vorderseiten der Einhausungen aufgebracht und der Träger abgelöst werden. Auf der Seite des abgelösten Trägers kann eine Begrenzungsschicht auf das Trägerelement oder die Trägerelemente aufgebracht
20 werden, welche diese(s) auf ihrer/seiner von dem optoelektronischen Halbleiterchip abgewandten Seite teilweise bedeckt. Zur Vereinzelung der optoelektronischen Halbleiterbauteile wird dann der Zwischenträger abgelöst.

25 Das optoelektronische Halbleiterbauteil eignet sich besonders für die Allgemeinbeleuchtung, für Fahrzeuganwendungen, für Displays, Sensoranwendungen und Signaleinrichtungen.

Weitere Vorteile, vorteilhafte Ausführungsformen und
30 Weiterbildungen ergeben sich aus den im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispielen.

Es zeigen:

Figur 1A eine schematische Querschnittsansicht und Figur 1B eine schematische Draufsicht eines Verbunds von

5 optoelektronischen Halbleiterbauteilen gemäß einem ersten Ausführungsbeispiel,

Figuren 2A bis 5A schematische Querschnittsansichten sowie Figuren 2B bis 5B schematische Draufsichten verschiedener

10 Schritte eines Verfahrens zur Herstellung eines wie in den Figuren 6A bis 6C dargestellten optoelektronischen Halbleiterbauteils gemäß einem zweiten Ausführungsbeispiel,

Figur 7A eine schematische Draufsicht einer Vorderseite,

15 Figur 7B eine schematische Querschnittsansicht und Figur 7C eine schematische Draufsicht einer Rückseite eines optoelektronischen Halbleiterbauteils gemäß einem dritten Ausführungsbeispiel,

20 Figur 8A eine schematische Querschnittsansicht und Figur 8B eine schematische Draufsicht eines Verbunds von optoelektronischen Halbleiterbauteilen gemäß einem vierten Ausführungsbeispiel,

25 Figur 9A eine schematische Querschnittsansicht und Figur 9B eine schematische Draufsicht eines Verbunds von optoelektronischen Halbleiterbauteilen gemäß einem fünften Ausführungsbeispiel,

30 Figuren 10 bis 15 schematische Querschnittsansichten von optoelektronischen Halbleiterbauteilen gemäß weiteren Ausführungsbeispielen,

Figur 16A eine schematische Draufsicht eines Vergleichsbeispiels eines optoelektronischen Halbleiterbauteils und Figur 16B eine schematische Draufsicht eines hier beschriebenen optoelektronischen

5 Halbleiterbauteils,

Figur 17 eine Tabelle, welche für verschiedene Chipkantenlängen Produktionsflächen und Flächenersparnis des hier beschriebenen Halbleiterbauteils gegenüber dem

10 Vergleichsbeispiel darstellt,

Figuren 18 bis 21 schematische Draufsichten von optoelektronischen Halbleiterbauteilen gemäß weiteren Ausführungsbeispielen,

15

Figuren 22A bis 22H verschiedene Ausführungsbeispiele von Grundrissen eines vorliegend beschriebenen optoelektronischen Halbleiterbauteils.

20 In den Ausführungsbeispielen und Figuren können gleiche, gleichartige oder gleich wirkende Elemente jeweils mit denselben Bezugszeichen versehen sein. Die dargestellten Elemente und deren Größenverhältnisse untereinander sind nicht notwendigerweise als maßstabsgerecht anzusehen;

25 vielmehr können einzelne Elemente zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

Figuren 1A und 1B zeigen mehrere optoelektronische

30 Halbleiterbauteile 1 gemäß einem ersten Ausführungsbeispiel, die im Verbund vorliegen, wobei die optoelektronischen Halbleiterbauteile 1 auf einem gemeinsamen Träger 12 angeordnet sind.

Die optoelektronischen Halbleiterbauteile 1 weisen jeweils einen optoelektronischen Halbleiterchip 2 auf. Weiterhin umfasst das jeweilige optoelektronische Halbleiterbauteil 1 ein Trägerelement 3, auf dem der optoelektronische Halbleiterchip 2 angeordnet ist.

Das Trägerelement 3 weist ein erstes Anschlusselement 4 und ein zweites Anschlusselement 5 auf, wobei der optoelektronische Halbleiterchip 2 mittels eines ersten Verbindungsmittels 7, bei dem es sich um einen Bonddraht handelt, mit dem ersten Anschlusselement 4 und mittels eines zweiten Verbindungsmittels 8, bei dem es sich ebenfalls um einen Bonddraht handelt, mit dem zweiten Anschlusselement 5 elektrisch leitend verbunden ist. Insbesondere handelt es sich bei dem ersten Anschlusselement 4 um eine Anode und bei dem zweiten Anschlusselement 5 um eine Kathode des Halbleiterbauteils 1.

Der optoelektronische Halbleiterchip 2 umfasst einen Halbleiterkörper 9 sowie einen ersten, insbesondere parabelförmigen, und zweiten, insbesondere geradlinigen, Anschlusskontakt 10, 11, wobei das erste Verbindungsmittel 7 an dem ersten Anschlusskontakt 10 und das zweite Verbindungsmittel 8 an dem zweiten Anschlusskontakt 11 angebracht ist. Insbesondere handelt es sich bei dem ersten Anschlusskontakt 10 um eine Anode und bei dem zweiten Anschlusskontakt 11 um eine Kathode des Halbleiterchips 2.

Der erste und zweite Anschlusskontakt 10, 11 sind auf einer ersten Hauptfläche 9A des Halbleiterkörpers 9 angeordnet. An einer zweiten, der ersten Hauptfläche 9A gegenüberliegenden

Hauptfläche 9B ist der Halbleiterkörper 9 beziehungsweise Halbleiterchip 2 mit dem Trägerelement 3 verbunden.

Ferner weist das optoelektronische Halbleiterbauteil 1 eine
5 Einhausung 6 auf, die den optoelektronischen Halbleiterchip 2 teilweise umgibt, wobei die Einhausung 6 auf der ersten Hauptfläche 9A sowie auf Seitenflächen 9C des Halbleiterkörpers 9 beziehungsweise Halbleiterchips 2 angeordnet ist.

10

Bei den Halbleiterbauteilen 1 handelt es sich um Strahlung emittierende Bauelemente, wobei der Halbleiterkörper 9 jeweils eine aktive Zone aufweist, die zur Erzeugung von elektromagnetischer Strahlung vorgesehen ist. Unter dem
15 Begriff "elektromagnetische Strahlung" versteht man vorliegend insbesondere eine infrarote, sichtbare und/oder ultraviolette elektromagnetische Strahlung. Im Betrieb tritt vorzugsweise ein Teil der erzeugten Strahlung durch die erste Hauptfläche 9A des Halbleiterkörpers 9 hindurch. Ein weiterer
20 Teil der Strahlung kann durch die Seitenflächen 9C des Halbleiterkörpers 9 ausgekoppelt werden. Vorzugsweise handelt es sich bei den Halbleiterbauteilen 1 um Volumenemitter mit isotroper Abstrahlcharakteristik.

25

Wie aus Figur 1B hervorgeht, weisen die optoelektronischen Halbleiterbauteile 1 jeweils einen sechseckigen Grundriss G auf. Diese Grundrissform ist mit Vorteil dafür geeignet, die optoelektronischen Halbleiterbauteile 1 lückenlos aneinanderzureihen. Vorliegend ist unter dem „Grundriss G“
30 eine zweidimensionale Abbildung eines Elements, etwa des Halbleiterbauteils 1, in eine Montageebene E des optoelektronischen Halbleiterbauteils 1 entlang einer quer,

insbesondere senkrecht zur Montageebene E verlaufenden Bauteilachse A zu verstehen.

Der Halbleiterchip 2 beziehungsweise Halbleiterkörper 9 kann
5 eine quaderförmige Gestalt und ferner einen rechteckigen Grundriss G aufweisen, so dass sich die Grundrissform des Halbleiterchips 2 von der Grundrissform des optoelektronischen Halbleiterbauteils 1 unterscheidet.

10 Weiterhin weist das Trägerelement 3 einen sechseckigen Grundriss G auf, wobei der Grundriss G des Trägerelements 3 dem Grundriss G des optoelektronischen Halbleiterbauteils 1 in seiner Form und vorzugsweise auch in seiner Größe entspricht.

15

Vorzugsweise handelt es sich bei dem Trägerelement 3 um eine strukturierte Schichtenfolge, wobei das Trägerelement 3 eine dem Träger 12 zugewandte erste, vorzugsweise lötbare Schicht 3A und eine von dem Träger 12 abgewandte, zweite Schicht 3B,
20 die vorzugsweise eine Spiegelschicht ist, aufweist. Bei der Strukturierung der zunächst durchgehenden Schichtenfolge werden das erste und zweite Anschlusselement 4, 5 erzeugt, die durch einen Zwischenraum S voneinander beabstandet sind. Dabei weisen das erste und zweite Anschlusselement 4, 5
25 jeweils einen fünfeckigen Grundriss G auf.

Vorzugsweise wird die Strukturierung mittels Lithografie durchgeführt, wodurch der Zwischenraum S mit einer möglichst kleinen Breite B zwischen insbesondere 50 μm und 100 μm
30 hergestellt werden kann. Eine möglichst kleine Breite B reduziert Strahlungsverluste im Zwischenraum S.

Die Schichten 3A, 3B sind vorzugsweise aus zumindest einem Metall und/oder einer Metallverbindung gebildet, wobei für die lötbare Schicht 3A beispielsweise eine TiPtAu-Verbindung und für die Spiegelschicht 3B beispielsweise Ag in Frage kommt.

Bei dem ersten Ausführungsbeispiel ist der optoelektronische Halbleiterchip 2 teilweise auf dem ersten und teilweise auf dem zweiten Anschlusselement 4, 5 angeordnet, wobei der Halbleiterchip 2 den Zwischenraum S zwischen dem ersten und zweiten Anschlusselement 4, 5 überspannt und jeweils ein Teil der Anschlusselemente 4, 5 von dem Halbleiterchip 2 bedeckt ist.

Ferner weist die Einhausung 6 einen sechseckigen Grundriss G auf, wobei der Grundriss G der Einhausung 6 insbesondere hinsichtlich der Form und vorzugsweise auch der Größe dem Grundriss G des optoelektronischen Halbleiterbauteils 1 und dem Grundriss G des Trägerelements 3 entspricht. Dabei ragt die Einhausung 6 lateral, das heißt in Richtungen parallel zur der Montageebene E, im Wesentlichen, das heißt im Rahmen üblicher Herstellungstoleranzen, nicht über das Trägerelement 3 hinaus und schließt vorzugsweise bündig mit dem Trägerelement 3 ab.

Die Einhausung 6 kann aus einer Schicht oder mehreren übereinander angeordneten Schichten gebildet sein, die auf den Halbleiterchip 2 und das Trägerelement 3 aufgebracht ist/sind. Für die Einhausung 6 kommen Kunststoffmaterialien wie etwa Silikone, Epoxide oder Epoxidharze in Frage. Weiterhin kann die Einhausung 6 Konverterpartikel zur Wellenlängenkonversion eines Teils der vom Halbleiterkörper 9 emittierten Strahlung enthalten.

Die Halbleiterbauteile 1 sind durch Trennbereiche T voneinander getrennt, deren Breiten 2t möglichst klein sind, vorzugsweise zwischen 50 µm und 100 µm. Beim konventionellen Sagen werden üblicherweise Blattbreiten von 100 oder gar 200 µm verwendet. Herstellungstechnisch lassen sich die geringen Breiten 2t insbesondere durch den Einsatz lithografischer oder stereolithografischer Verfahren bei der Erzeugung der Einhausungen 6 realisieren. Infolgedessen können die Produktionsflächen P2 der Halbleiterbauteile 1 verkleinert und damit die Herstellungskosten gesenkt werden.

In Verbindung mit den Figuren 2 bis 5 werden verschiedene Schritte eines Verfahrens zur Herstellung eines optoelektronischen Halbleiterbauteils 1 näher erläutert.

Zunächst wird ein Träger 12 bereitgestellt, auf den eine Schichtenfolge 3A, 3B aufgebracht wird, die den Träger 12 zunächst insbesondere durchgehend bedeckt und anschließend strukturiert wird (vgl. Figuren 2A und 2B). Vorteilhaft ist die Verwendung eines besonders großen Trägers 12, beispielsweise mit einer Fläche von 300 mm x 450 mm, um eine kostengünstige Produktion zu ermöglichen.

Bei dem Träger 12 kann es sich um einen Glas-, Keramik- oder Metallträger handeln. Der Metallträger kann zum Beispiel Stahl, FeNi, Mo oder MoCu enthalten oder daraus bestehen. Ferner kann es sich bei dem Träger 12 um eine Leiterplatte (sog. „PCB“) handeln.

30

Für die Schichtenfolge 3A, 3B kommen die bereits in Verbindung mit den Figuren 1A und 1B genannten Materialien in Frage.

Die Schichtenfolge 3A, 3B wird derart strukturiert, dass mehrere sechseckige Trägerelemente 3 ausgebildet werden, die jeweils ein erstes, beispielsweise fünfeckiges

5 Anschlusselement 4 und ein zweites, beispielsweise fünfeckiges Anschlusselement 5 aufweisen, die durch einen Zwischenraum S voneinander getrennt sind. Ferner sind jeweils zwei benachbarte Trägerelemente 3 durch einen Trennbereich T voneinander getrennt. Hinsichtlich der Merkmale des
10 Zwischenraums S und des Trennbereichs T wird auf die im Zusammenhang mit dem ersten Ausführungsbeispiel gemachten Ausführungen verwiesen. Die Strukturierung der Schichtenfolge 3A, 3B erfolgt bei diesem Ausführungsbeispiel insbesondere mittels Fotolithografie.

15 Zwischen dem Träger 12 und der Schichtenfolge 3A, 3B beziehungsweise den Trägerelementen 3 ist eine Adhäsionsschicht 13 angeordnet, die bei der Herstellung eine mechanische Verbindung zwischen dem Träger 12 und der
20 Schichtenfolge 3A, 3B beziehungsweise den Trägerelementen 3 vermittelt. Vorzugsweise handelt es sich bei der Adhäsionsschicht 13 um eine lösbare Schicht, die beispielsweise mittels eines Laser-Lift-Off-Verfahrens oder eines Peel-Off-Verfahrens von der Schichtenfolge 3A, 3B
25 beziehungsweise den Trägerelementen 3 abgelöst werden kann. Im Falle einer Ablösung durch ein Laser-Lift-Off-Verfahren kommt vorzugsweise ein Siliziumnitrid für die Adhäsionsschicht 13 in Frage. Im Falle einer Ablösung durch ein Peel-Off-Verfahren eignet sich insbesondere ein Polymer
30 wie Polydimethylsiloxan („PDMS“) für die Adhäsionsschicht 13.

In einem nächsten Schritt wird auf den Trägerelementen 3 jeweils ein Halbleiterchip 2 angeordnet. Die Halbleiterchips

2 können jeweils mittels einer Verbindungsschicht 14, bei der es sich zum Beispiel um eine gestempelte, gedruckte oder fototechnisch strukturierte Klebeschicht handelt, an dem zugehörigen Trägerelement 3 befestigt werden. Weiterhin werden die Halbleiterchips 2 jeweils mittels eines ersten und zweiten Verbindungsmittels 7, 8 mit dem ersten und zweiten Anschlusselement 4, 5 des Trägerelements 3, auf dem sie angeordnet sind, elektrisch leitend verbunden (vgl. Figuren 3A und 3B). Bei den Verbindungsmitteln 7, 8 handelt es sich hier um Bonddrähte.

In einem weiteren Schritt werden Einhausungen 6 erzeugt, die jeweils einen optoelektronischen Halbleiterchip 2 teilweise umgeben (vgl. Figuren 4A und 4B). Die Einhausungen 6 können dabei aus einer einzigen Schicht eines Ausgangsmaterials erzeugt werden, wobei die Schicht nach dem Aufbringen fotolithografisch strukturiert wird. Vorzugsweise handelt es sich bei dem Ausgangsmaterial um ein fotostrukturierbares Material, etwa einen Negativlack, was an einem Seitenrand jeder Einhausung 6 zu einem Unterschnitt beziehungsweise einer oder mehreren nach innen gewölbten Seitenflächen 6B führen kann. Der Negativlack vernetzt an den Stellen, die belichtet werden. Da die Belichtung von oben erfolgt, nimmt aufgrund der Lichtabsorption die Vernetzung nach unten ab. Beim Entwickeln wird das weniger stark vernetzte Material unten entfernt, was zu einem Unterschnitt führt.

Vorteilhaftweise liegen nach der Fertigstellung der Einhausungen 6 die optoelektronischen Halbleiterbauteile 1 als einzelne Bauteile auf dem Träger 12 vor. Insbesondere sind die Trennbereiche T frei vom Material der Trägerelemente 3 und Einhausungen 6.

Zur Herstellung einer Mehrzahl von Halbleiterbauteilen 1 gemäß dem ersten Ausführungsbeispiel wird nach dem in den Figuren 4A und 4B dargestellten Schritt der Träger 12 abgelöst, was zur Vereinzelung der optoelektronischen Halbleiterbauteile 1 führt.

Alternativ kann, wie in den Figuren 5A und 5B dargestellt, vor der Ablösung des Trägers 12 beziehungsweise vor der Vereinzelung ein Zwischenträger 15 auf Vorderseiten der Einhausungen 6 aufgebracht werden. Nach Ablösung des Trägers 12 kann auf die Trägerelemente 3 jeweils eine Begrenzungsschicht 16 aufgebracht werden, welche diese auf ihrer von dem optoelektronischen Halbleiterchip 2 abgewandten Seite teilweise bedeckt. Wie die in Figur 5B dargestellte Draufsicht der Rückseite der Halbleiterbauteile 1 zeigt, umsäumt die Begrenzungsschicht 16 das Trägerelement 3 und bedeckt den Zwischenraum S zwischen den Anschlusselementen 4, 5. Insbesondere ist die Begrenzungsschicht 16 reflektierend ausgebildet, so dass Strahlungsverluste in dem Zwischenraum S reduziert werden können. In diesem Fall ist eine breitere Ausgestaltung des Zwischenraums S insbesondere mit einer Breite B von mehr als 200 µm vorteilhaft, um die Oberflächenmontage des Halbleiterbauteils 1 zu ermöglichen. Vorzugsweise handelt es sich bei der Begrenzungsschicht 16 um einen weißen Lötstopplack.

Zur Vereinzelung der optoelektronischen Halbleiterbauteile 1 wird der Zwischenträger 15 abgelöst.

Figuren 6A (Querschnittsansicht), 6B (Draufsicht der Vorderseite) und 6C (Draufsicht der Rückseite) zeigen verschiedene Ansichten eines optoelektronischen

Halbleiterbauteils 1, das gemäß dem vorausgehend beschriebenen Verfahren hergestellt werden kann.

Für das optoelektronische Halbleiterbauteil 1 gelten
5 insbesondere die bereits im Zusammenhang mit dem ersten Ausführungsbeispiel gemachten Ausführungen. Im Vergleich zu dem ersten Ausführungsbeispiel weist das optoelektronische Halbleiterbauteil 1 gemäß dem zweiten Ausführungsbeispiel zusätzlich eine Begrenzungsschicht 16 auf, welche das
10 Trägerelement 3 auf seiner von dem optoelektronischen Halbleiterchip 2 abgewandten Seite teilweise bedeckt. Insbesondere wird das Trägerelement 3 am Seitenrand und im Bereich des Zwischenraums S von der Begrenzungsschicht 16 bedeckt. Vorzugsweise handelt es sich bei der
15 Begrenzungsschicht 16 um eine Lötstoppschicht, die beim Auflöten des Halbleiterbauteils 1 auf einen Montageträger, beispielsweise eine Leiterplatte, ein Verfließen eines Lotmaterials verhindern soll. Besonders bevorzugt hat die Begrenzungsschicht 16 reflektierende Eigenschaften, so dass
20 Strahlungsverluste an der Rückseite reduziert werden können.

Figuren 7A (Draufsicht der Vorderseite), 7B (Querschnittsansicht) und 7C (Draufsicht der Rückseite) zeigen verschiedene Ansichten eines optoelektronischen
25 Halbleiterbauteils 1 gemäß einem dritten Ausführungsbeispiel. Im Unterschied zu dem ersten und zweiten Ausführungsbeispiel weist der Halbleiterchip 2 seine beiden Anschlusskontakte 10, 11 an der dem Trägerelement 3 zugewandten Hauptfläche 9B des Halbleiterkörpers 9 auf. Vorzugsweise handelt es sich bei dem
30 Halbleiterchip 2 um einen Flip-Chip, bei dem insbesondere der erste Halbleiterbereich des Halbleiterkörpers 9 an der zweiten Hauptfläche 9B und der zweite Halbleiterbereich an der ersten Hauptfläche 9A angeordnet ist.

Die beiden Anschlusskontakte 10, 11 sind jeweils mittels eines Verbindungsmittels 7, 8 (nicht dargestellt), bei dem es sich hier insbesondere um eine Verbindungsschicht handelt, mit dem zugehörigen Anschlusselement 4, 5 elektrisch leitend verbunden.

Ferner unterscheidet sich der Halbleiterchip 2 gemäß dem dritten Ausführungsbeispiel durch seine dem Trägerelement 3 und der Einhausung 6 entsprechende, sechseckige Grundrissform von den rechteckigen Grundrissformen gemäß dem ersten und zweiten Ausführungsbeispiel.

Figuren 8A und 8B zeigen verschiedene Ansichten eines Verbunds von optoelektronischen Halbleiterbauteilen 1 gemäß einem vierten Ausführungsbeispiel. Im Unterschied zu den vorausgehenden Ausführungsbeispielen weist die Einhausung 6 einen ersten Bereich 61 und einen zweiten, an den ersten Bereich 61 angrenzenden Bereich 62 auf, wobei der erste und zweite Bereich 61, 62 aus unterschiedlichen Materialien gebildet sind. Der erste Bereich 61 ist vorzugsweise strahlungsdurchlässig, das heißt transluzent, ausgebildet. Weiterhin ist der zweite Bereich 62 mit Vorteil ein wellenlängenkonvertierender Bereich. Der Halbleiterchip 2 ist in dem zweiten Bereich 62 angeordnet, wobei ein Teil der von dem Halbleiterchip 2 emittierten Strahlung den zweiten Bereich 62 durchläuft und zumindest teilweise wellenlängenkonvertiert wird, bevor die Strahlung in den ersten Bereich 61 gelangt und aus dem Halbleiterbauteil 1 auskoppeln kann.

Der zweite Bereich 62 ist in Draufsicht auf das Halbleiterbauteil 1 von dem ersten Bereich 61 umschlossen

(vgl. Figur 8B). Das heißt, der erste Bereich 61 ist dem zweiten Bereich 62 ausgehend vom Halbleiterchip 2 lateral nachgeordnet. Der zweite Bereich 62 ist in einer Kavität des ersten Bereichs 61 angeordnet, wobei die Kavität einen im Wesentlichen, das heißt im Rahmen üblicher Herstellungstoleranzen, konstanten Durchmesser aufweist. Hierbei ragt der erste Bereich 61 vertikal, das heißt senkrecht zur Montageebene, über den zweiten Bereich 62 hinaus.

Insbesondere der erste Bereich 61, gegebenenfalls auch der zweite Bereich 62 der Einhausung 6 ist aus mehreren übereinander angeordneten Schichten 60A, 60B, 60C, 60D gebildet, die jeweils auf das Trägerelement 3 aufgebracht sind. Beispielsweise kann die Einhausung 6 mittels additiver Fertigung erzeugt werden, wobei die Schichten 60A, 60B, 60C, 60D jeweils nach dem Aufbringen strukturiert werden. Hierbei wird als Ausgangsmaterial für die Schichten 60A, 60B, 60C, 60D insbesondere ein fotostrukturierbares Material, vorzugsweise ein Negativlack verwendet, der an einem Seitenrand jeder Schicht 60A, 60B, 60C, 60D zu einem Unterschnitt beziehungsweise mehreren nach innen gewölbten Seitenflächen 6B führt. Bei der additiven Fertigung kommt vorzugsweise ein stereolithografisches Verfahren zum Einsatz.

Die Einhausung 6 weist auf ihrer von dem Trägerelement 3 abgewandten Vorderseite einen Abstandshalter 17 auf, der insbesondere aus der Schicht 60D gebildet ist. Der Abstandshalter 17 steht an der Vorderseite aus einer Hauptfläche 6A der Einhausung 6 hervor und ist in Draufsicht auf die Vorderseite umlaufend angeordnet (vgl. Figur 8B). Dabei werden das erste und zweite Verbindungsmittel 7, 8 von dem Abstandshalter 17 lateral nicht überdeckt. Der

Abstandshalter 17 kann die Verbindungsmittel 7, 8 bei der Montage des Halbleiterbauteils 1 vor mechanischen Belastungen, insbesondere vor Druck von oben, wie es bei der Oberflächenmontage der Fall ist, schützen und die
5 einwirkenden Kräfte seitlich ableiten, so dass die Bonddrähte nicht verbogen werden.

Figuren 9A und 9B zeigen verschiedene Ansichten eines Verbunds von optoelektronischen Halbleiterbauteilen 1 gemäß
10 einem fünften Ausführungsbeispiel. Im Unterschied zu dem vierten Ausführungsbeispiel weist die Kavität des ersten Bereichs 61, in welcher der zweite Bereich 62 angeordnet ist, einen sich in Richtung des Trägerelements 3 verjüngenden Durchmesser auf. Hierbei kann der zweite Bereich 62
15 reflektierend und insbesondere aus einem weißen Verguss gebildet sein. Weiterhin kann der erste Bereich 61 strahlungsdurchlässig sein.

Bei dem Halbleiterchip 2 handelt es sich vorzugsweise um
20 einen oberflächenemittierenden Chip, der einen wesentlichen Teil der erzeugten Strahlung an der ersten Hauptfläche 9A emittiert. Der Halbleiterchip 2 ist auf dem ersten Anschlusselement 4 angeordnet und mittels eines Verbindungsmittels 7, insbesondere einer Verbindungsschicht,
25 an seinem ersten Anschlusskontakt 10 (nicht dargestellt) mit diesem elektrisch leitend verbunden. Dabei wird das erste Anschlusselement 4 von dem ganzen optoelektronischen Halbleiterchip 2 teilweise lateral überdeckt. Weiterhin weist der Halbleiterchip 2 auf der ersten Hauptfläche 9A einen
30 zweiten Anschlusskontakt 11 auf, der mittels eines Verbindungsmittels 8, insbesondere einem Bonddraht, mit dem zweiten Anschlusselement 5 elektrisch leitend verbunden ist.

Bei den in den Figuren 10 bis 12 dargestellten Ausführungsbeispielen handelt es sich wie bei dem fünften Ausführungsbeispiel vorzugsweise um einen oberflächenemittierenden Chip. Allerdings ist der

5 Halbleiterchip 2 im ersten Bereich 61 der Einhausung 6 angeordnet. Dabei ist der erste Bereich 61 reflektierend und insbesondere aus einem weißen Verguss gebildet, während der zweite Bereich 62 strahlungsdurchlässig ist. Im Unterschied zu dem vierten Ausführungsbeispiel erfolgt bei diesen
10 optoelektronischen Halbleiterbauteilen 1 eine anisotrope Abstrahlung, insbesondere in vertikaler Richtung V, während das optoelektronische Halbleiterbauteil 1 gemäß dem vierten Ausführungsbeispiel eine isotrope Abstrahlcharakteristik aufweist.

15

Bei dem in Figur 10 dargestellten Ausführungsbeispiel schließen der erste und zweite Bereich 61, 62 an der Vorderseite des Halbleiterbauteils 1 bündig miteinander ab.

20 Bei dem in Figur 11 dargestellten Ausführungsbeispiel ist der zweite Bereich 62 auf dem ersten Bereich 61 angeordnet.

Bei dem in Figur 12 dargestellten Ausführungsbeispiel ist der zweite Bereich 62 in einer Kavität des ersten Bereichs 61,
25 die einen sich in Richtung des Trägerelements 3 verjüngenden Durchmesser aufweist, angeordnet und ragt über den ersten Bereich 61 hinaus. Der zweite Bereich 62 ist dabei konvex gekrümmt und weist insbesondere die Wirkung einer Linse auf. Der erste Bereich 61 weist mit Vorteil eine die Kavität
30 umrandende Stoppschicht 61A auf, die bei der Herstellung des zweiten Bereichs 62, vorzugsweise mittels Dispensen, eine Ausbreitung eines für die Herstellung des zweiten Bereichs 62 verwendeten Materials gezielt einschränkt.

Bei dem in Figur 13 dargestellten Ausführungsbeispiel weist der Halbleiterchip 2, bei dem es sich vorzugsweise um einen oberflächenemittierenden Chip handelt, auf der ersten
5 Hauptfläche 9A ein Konversionselement 18, etwa ein Keramikplättchen, zur Wellenlängenkonversion der von dem Halbleiterkörper 9 emittierten Strahlung auf. Dabei ist der Halbleiterchip 2 in dem zweiten Bereich 62 angeordnet, der sich in einer Kavität des ersten Bereichs 61 befindet. Die
10 Einhausung 6 kann wie im Zusammenhang mit dem vierten Ausführungsbeispiel beschrieben hergestellt werden, wobei der zweite Bereich 62 vorzugsweise aus einem reflektierenden Material, zum Beispiel einer weißen Füllung, gebildet wird. Das optoelektronische Halbleiterbauteil 1 weist insbesondere
15 eine isotrope Abstrahlcharakteristik auf. Im Übrigen gelten die zu den vorherigen Ausführungsbeispielen gemachten Ausführungen.

Bei dem in Figur 14 dargestellten Ausführungsbeispiel ist der
20 Halbleiterchip 2, bei dem es sich vorzugsweise um einen oberflächenemittierenden Chip handelt, in dem ersten Bereich 61 der Einhausung 6 angeordnet. Der erste Bereich 61 enthält absorbierende Partikel zur Absorption eines Teils der vom Halbleiterkörper 9 emittierten Strahlung. Weiterhin ist der
25 zweite Bereich 62 der Einhausung 6 auf dem ersten Bereich 61 angeordnet und als vorzugsweise strahlungsdurchlässiger Abstandshalter 17 ausgebildet. Die beiden Bereiche 61, 62 können jeweils schichtweise mittels Stereolithografie erzeugt werden. Im Übrigen gelten die zu den vorherigen
30 Ausführungsbeispielen gemachten Ausführungen.

Bei dem in Figur 15 dargestellten Ausführungsbeispiel weist das Halbleiterbauteil 1 im Unterschied zu dem in Figur 14

dargestellten Ausführungsbeispiel ein ebenes zweites Verbindungsmittel 8, ein sog. „planar interconnect“, auf. Der „planar interconnect“ ist den elektrischen Kontakten beim sog. „eWLP“ (embedded wafer level packaging) gleichzusetzen.

5

Vorzugsweise ist das Verbindungsmittel 8 in den zweiten Bereich 62 der Einhausung 6 eingebettet, wobei der zweite Bereich 62 als durchgehende, ebene Schicht auf dem ersten Bereich 61 angeordnet ist. Im Übrigen gelten die zu den
10 vorherigen Ausführungsbeispielen, insbesondere die zu Figur 14 gemachten Ausführungen.

Figur 16A zeigt eine schematische Draufsicht eines quadratischen Halbleiterbauteils 1 und Figur 16B eine
15 schematische Draufsicht eines sechseckigen Halbleiterbauteils 1, die jeweils eine Grund- beziehungsweise Chipfläche C1 beziehungsweise C2, die größtmäßig insbesondere der ersten und zweiten Hauptfläche 9A, 9B entsprechen, und eine Bauteilfläche D1 beziehungsweise D2 aufweisen, wobei die
20 Bauteilfläche D1, D2 um einen für die Verbindungsmittel 7, 8 benötigten Platz gegenüber der Chipfläche C1, C2 vergrößert ist. Die Bauteilfläche D1, D2 entspricht insbesondere der Größe des Grundrisses G. Eine für das jeweilige Bauteil 1 benötigte Produktionsfläche P1, P2 ergibt sich aus der
25 Bauteilfläche D1, D2 plus der Breite t des Trennbereichs T.

Die Produktionsfläche P1 des quadratischen Halbleiterbauteils 1 lässt sich nun wie folgt berechnen:

30

$$P_1 = (a + 2b)^2$$

wobei „a“ eine Kantenlänge des quadratischen Halbleiterchips 2 und „b“ einen Abstand der Chipkanten vom Rand des Trennbereichs T angibt.

Weiterhin lässt sich die Produktionsfläche P_2 des sechseckigen Halbleiterbauteils 1, bei dem es sich um ein regelmäßiges Sechseck handelt, wie folgt berechnen:

5

$$P_2 = 2\sqrt{3}(r + b)^2$$

wobei „ r “ einer Höhe der in dem sechseckigen Halbleiterchip 2 enthaltenen gleichseitigen Dreiecke und „ $r + b$ “ einer Höhe der in dem sechseckigen Halbleiterbauteil 1 enthaltenen
10 gleichseitigen Dreiecke entspricht.

Bei gleich großen Chipflächen, also für $C_1 = C_2$, gilt:

15

$$r = \frac{a}{\sqrt{2 \cdot \sqrt{3}}}$$

In der in Figur 17 dargestellten Tabelle sind für drei verschiedene Ausführungsbeispiele eines Halbleiterchips, dessen Kantenlänge beim ersten Ausführungsbeispiel $a = 0,3$ mm
20 (vgl. erste Tabellenzeile), beim zweiten Ausführungsbeispiel $a = 0,5$ mm (zweite Tabellenzeile) und beim dritten Ausführungsbeispiel $a = 1,0$ mm (vgl. dritte Tabellenzeile) beträgt, während der Abstand b gleich bleibt und $0,5$ mm beträgt, die verschiedenen Produktionsflächen P_1 für das in
25 Figur 16A dargestellte quadratische Halbleiterbauteil sowie die verschiedenen Produktionsflächen P_2 für das in Figur 16B dargestellte sechseckige Halbleiterbauteil gemäß den oben genannten Formeln angegeben.

30 Wie das Verhältnis der Produktionsflächen P_2/P_1 beziehungsweise $1-P_2/P_1$ zeigt, kann mittels der sechseckigen Bauteilfläche beziehungsweise mittels des sechseckigen

Grundrisses eine Flächeneinsparnis von mindestens 6,8 % erzielt werden.

Bei den in den Figuren 18 bis 21 dargestellten

- 5 Ausführungsbeispielen weisen die optoelektronischen Halbleiterbauteile 1 mehrere Halbleiterchips 2A, 2B, 2C auf, wobei zumindest zwei der Halbleiterchips 2A, 2B, 2C im Betrieb Strahlung verschiedener Farbe emittieren. Vorzugsweise emittieren die optoelektronischen
- 10 Halbleiterbauteile 1 im Betrieb weißes Licht.

Bei dem in Figur 18 dargestellten Ausführungsbeispiel weist das Trägerelement 3 einen sechseckigen Grundriss und mehrere erste und mehrere zweite Anschlusselemente 4, 5 auf, die

15 durch Zwischenräume S voneinander beabstandet sind. Dabei sind die Halbleiterchips 2A, die vorzugsweise rote und infrarote Strahlung emittieren, auf einem gemeinsamen ersten Anschlusselement 4 angeordnet und jeweils mittels eines zweiten Verbindungsmittels 8, insbesondere eines Bonddrahts,

20 mit einem separaten zweiten Anschlusselement 5 elektrisch leitend verbunden. Ferner ist der andersfarbige Halbleiterchip 2B, beispielsweise grün, auf einem separaten zweiten Anschlusselement 5 angeordnet und mittels eines ersten Verbindungsmittels 7, insbesondere eines Bonddrahts,

25 mit einem separaten ersten Anschlusselement 4 elektrisch leitend verbunden. Bei diesem Ausführungsbeispiel sind die Halbleiterchips 2A, 2B jeweils separat elektrisch ansteuerbar.

- 30 Bei dem in Figur 19 dargestellten Ausführungsbeispiel sind die Halbleiterchips 2A wie bei dem in Figur 18 dargestellten Ausführungsbeispiel auf einem gemeinsamen ersten Anschlusselement 4 angeordnet, während der andersfarbige

Halbleiterchip 2B auf einem separaten zweiten Anschlusselement 5 angeordnet ist. Weiterhin sind die zweiten Verbindungsmittel 8 der Halbleiterchips 2A mit demselben zweiten Anschlusselement 5 elektrisch leitend verbunden und damit parallel geschaltet. Der andersfarbige Halbleiterchip 2B ist mittels des ersten Verbindungsmittels 7 mit dem ersten Anschlusselement 4, auf dem die Halbleiterchips 2A angeordnet sind, elektrisch leitend verbunden.

Bei dem in Figur 20 dargestellten Ausführungsbeispiel weist das optoelektronische Halbleiterbauteil 1 drei verschiedenfarbige Halbleiterchips 2A, zum Beispiel rot, 2B, zum Beispiel blau, 2C, zum Beispiel grün, auf, wobei die Halbleiterchips 2A, 2B, 2C auf einem gemeinsamen ersten Anschlusselement 4 angeordnet sind und mittels zweiten Verbindungsmitteln 8 jeweils mit einem separaten zweiten Anschlusselement 5 elektrisch leitend verbunden sind, so dass die Halbleiterchips 2A, 2B, 2C getrennt elektrisch ansteuerbar sind. Im Unterschied zu den in den Figuren 18 und 19 dargestellten Ausführungsbeispielen ist das Trägerelement 3 nicht sechseckig, sondern dreieckig, während die Halbleiterchips 2A, 2B, 2C quadratisch sind.

Bei dem in Figur 21 dargestellten Ausführungsbeispiel sind die verschiedenfarbigen Halbleiterchips 2A, 2B, 2C in gleicher Weise verschaltet und angeordnet wie bei dem in Figur 20 dargestellten Ausführungsbeispiel. Allerdings weisen die Halbleiterchips 2A, 2B, 2C eine dreieckige Grundrissform und das Trägerelement 3 eine viereckige Grundrissform auf.

Die Figuren 22A bis 22H illustrieren mögliche Grundrissformen der hier beschriebenen optoelektronischen Halbleiterbauteile 1. Beispielsweise kann der Grundriss G ein Sechseck (vgl.

Figur 22H), insbesondere ein regelmäßiges Sechseck (vgl. Figur 22A), ein durch Halbierung eines Sechsecks entlang einer Symmetrieachse X entstandenes Viereck (vgl. Figuren 22B und 22D), ein durch Halbierung eines Sechsecks entlang einer Symmetrieachse X entstandenes Fünfeck (vgl. Figur 22C) oder ein durch Zerteilung eines Sechsecks entlang mehrerer Symmetrieachsen X entstandenes Dreieck (vgl. Figuren 22E und 22G) oder Viereck (vgl. Figur 22F) sein.

- 10 Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal
15 oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 102020130211.8, deren Offenbarungsgehalt
20 hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

- 1 optoelektronisches Halbleiterbauteil
- 2, 2A, 2B, 2C optoelektronischer Halbleiterchip
- 5 3 Trägerelement
 - 3A erste Schicht
 - 3B zweite Schicht
- 4 erstes Anschlusselement
- 5 zweites Anschlusselement
- 10 6 Einhausung
 - 6A Hauptfläche
 - 6B Seitenfläche
- 7 erstes Verbindungsmittel
- 8 zweites Verbindungsmittel
- 15 9 Halbleiterkörper
 - 9A erste Hauptfläche
 - 9B zweite Hauptfläche
 - 9C Seitenfläche
- 10 erster Anschlusskontakt
- 20 11 zweiter Anschlusskontakt
- 12 Träger
- 13 Adhäsionsschicht
- 14 Verbindungsschicht
- 15 Zwischenträger
- 25 16 Begrenzungsschicht
- 17 Abstandshalter
- 18 Konversionselement
- 60A, 60B, 60C, 60D Schicht der Einhausung
- 61 erster Bereich der Einhausung
- 30 61A Stoppschicht
- 62 zweiter Bereich der Einhausung
- a Kantenlänge

b Abstand

r Höhe

t Breite

A Bauteilachse

5 B Breite

C1, C2 Chipfläche

D1, D2 Bauteilfläche

E Montageebene

G Grundriss

10 P1, P2 Produktionsfläche

S Zwischenraum

T Trennbereich

V vertikale Richtung

X Symmetrieachse

15

Patentansprüche

1. Optoelektronisches Halbleiterbauteil (1) umfassend
 - zumindest einen optoelektronischen Halbleiterchip (2),
 - 5 - ein Trägerelement (3), das zumindest ein erstes Anschlusselement (4) und zumindest ein zweites Anschlusselement (5) zur elektrischen Kontaktierung des optoelektronischen Halbleiterbauteils (1) von außen aufweist, wobei der zumindest eine optoelektronische
 - 10 Halbleiterchip (2) an dem Trägerelement (3) angeordnet und mit einem ersten und zweiten Anschlusselement (4, 5) des Trägerelements (3) elektrisch leitend verbunden ist,
 - eine Einhausung (6), die den zumindest einen optoelektronischen Halbleiterchip (2) zumindest teilweise
 - 15 umgibt, wobei das optoelektronische Halbleiterbauteil (1) einen polygonalen, nicht-rechteckigen Grundriss (G) aufweist.
2. Optoelektronisches Halbleiterbauteil (1) gemäß dem
- 20 vorhergehenden Anspruch, wobei der Grundriss (G) eine polygonale Form aufweist, die dazu geeignet ist, mehrere optoelektronische Halbleiterbauteile (1) lückenlos aneinanderzureihen.
- 25 3. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei der Grundriss (G) sechseckig ist oder der Form eines Teils eines Sechsecks entspricht.
4. Optoelektronisches Halbleiterbauteil (1) gemäß einem der
- 30 vorhergehenden Ansprüche, wobei das Trägerelement (3) einen polygonalen, nicht-rechteckigen Grundriss (G) aufweist.

5. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei die Einhausung (6) einen polygonalen, nicht-rechteckigen Grundriss (G) aufweist.

5 6. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei die Einhausung (6) eine Schicht oder mehrere übereinander angeordnete Schichten (60A, 60B, 60C, 60D) aufweist, die auf das Trägerelement (3) aufgebracht ist/sind.

10

7. Optoelektronisches Halbleiterbauteil (1) gemäß dem vorhergehenden Anspruch, wobei die Schicht oder Schichten (60A, 60B, 60C, 60D) jeweils zumindest eine nach innen gewölbte Seitenfläche (6B) aufweisen.

15

8. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei die Einhausung (6) einen ersten Bereich (61) und einen zweiten, an den ersten Bereich (61) angrenzenden Bereich (62) aufweist, und der erste und
20 zweite Bereich (61, 62) aus unterschiedlichen Materialien gebildet sind.

9. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei der zumindest eine
25 optoelektronische Halbleiterchip (2) mittels eines ersten Verbindungsmittels (7) mit dem ersten Anschlusselement (4) und mittels eines zweiten Verbindungsmittels (8) mit dem zweiten Anschlusselement (5) elektrisch leitend verbunden ist, und wobei die Einhausung (6) auf ihrer von dem
30 Trägerelement (3) abgewandten Vorderseite einen Abstandshalter (17) aufweist, der das erste und/oder zweite Verbindungsmittel (7, 8) lateral nicht überdeckt.

10. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei zumindest das erste Anschlusselement (4), mit dem der optoelektronische Halbleiterchip (2) elektrisch leitend verbunden ist, von dem
5 optoelektronischen Halbleiterchip (2) zumindest teilweise lateral überdeckt wird.

11. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, das eine Begrenzungsschicht (16)
10 aufweist, welche das Trägerelement (3) auf seiner von dem optoelektronischen Halbleiterchip (2) abgewandten Seite teilweise bedeckt.

12. Optoelektronisches Halbleiterbauteil (1) gemäß einem der
15 vorhergehenden Ansprüche, wobei das Trägerelement (3) eine strukturierte Schicht oder Schichtenfolge (3A, 3B) ist, die aus zumindest einem Metall und/oder einer Metallverbindung gebildet ist.

20 13. Optoelektronisches Halbleiterbauteil (1) gemäß einem der vorhergehenden Ansprüche, wobei der optoelektronische Halbleiterchip (2) einen Grundriss (G) aufweist, der sich von dem Grundriss (G) des optoelektronischen Halbleiterbauteils (1) unterscheidet.

25

14. Verfahren zur Herstellung zumindest eines optoelektronischen Halbleiterbauteils (1) gemäß einem der vorhergehenden Ansprüche umfassend die Schritte:

- Bereitstellen eines Trägers (12),
- 30 - Aufbringen einer Schicht oder Schichtenfolge (3A, 3B) auf den Träger (12),
- Strukturierung der Schicht oder Schichtenfolge (3A, 3B) derart, dass zumindest ein Trägerelement (3) ausgebildet

wird, das zumindest ein erstes Anschlusselement (4) und zumindest ein zweites Anschlusselement (5) aufweist,

- Anordnen zumindest eines optoelektronischen Halbleiterchips (2) auf dem Trägerelement (3),

5 - elektrisch leitendes Verbinden des optoelektronischen Halbleiterchips (2) mit einem ersten und zweiten Anschlusselement (4, 5) des Trägerelements (3),

- Erzeugen zumindest einer Einhausung (6), die den zumindest einen optoelektronischen Halbleiterchip (2) zumindest

10 teilweise umgibt, durch Aufbringen einer oder mehrerer Schichten (60A, 60B, 60C, 60D), wobei die eine Schicht oder mehreren Schichten (60A, 60B, 60C, 60D) einer Struktur folgend aufgebracht werden oder nach dem Aufbringen strukturiert werden.

15

15. Verfahren gemäß dem vorhergehenden Anspruch, wobei zum Erzeugen der Einhausung (6) eines der folgenden Verfahren verwendet wird: Lithografie, additive Fertigung.

20 16. Verfahren gemäß einem der beiden vorhergehenden Ansprüche, wobei nach der Fertigstellung einer Mehrzahl von Einhausungen (6) eine Mehrzahl von optoelektronischen Halbleiterbauteilen (1) ohne weiteren Vereinzelungsschritt als separate Bauteile auf dem Träger (12) vorliegen.

25

FIG 1A

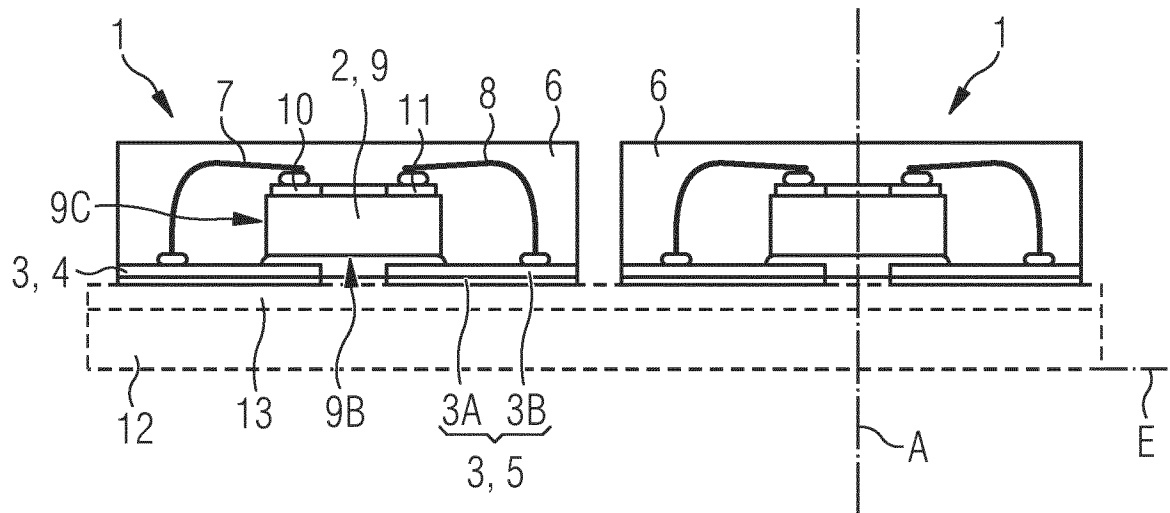


FIG 1B

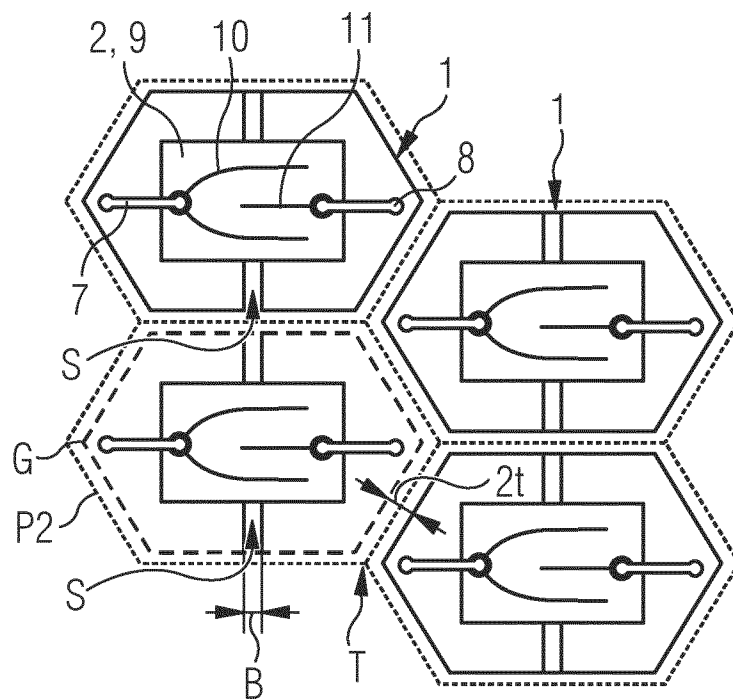


FIG 2A

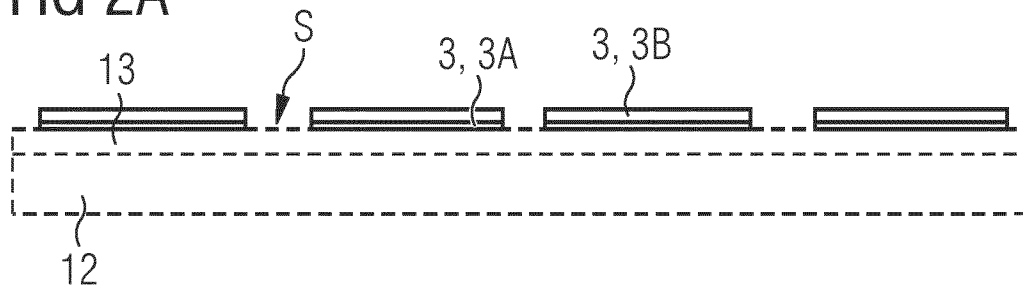


FIG 2B

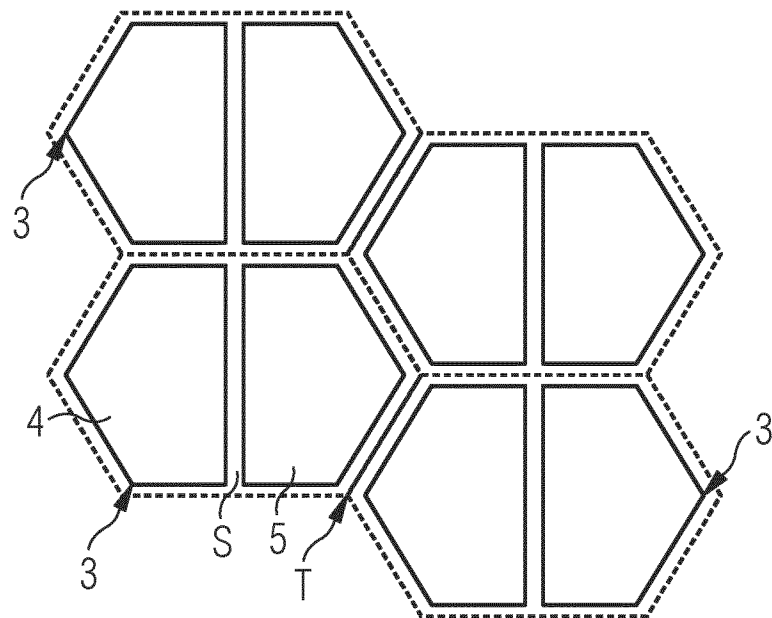


FIG 3A

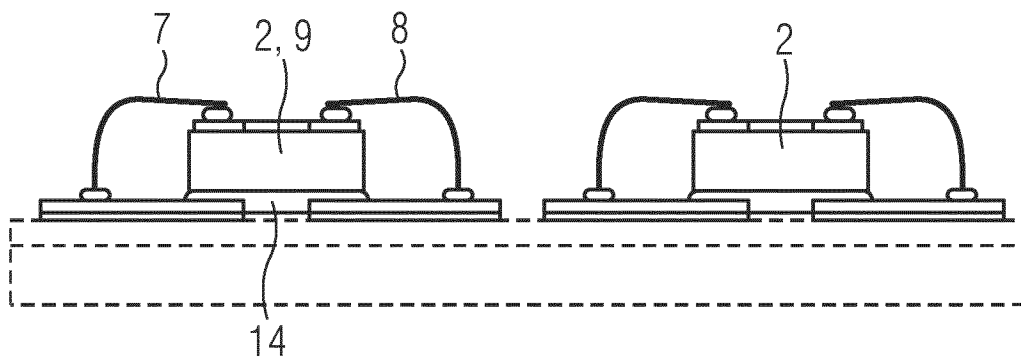


FIG 3B

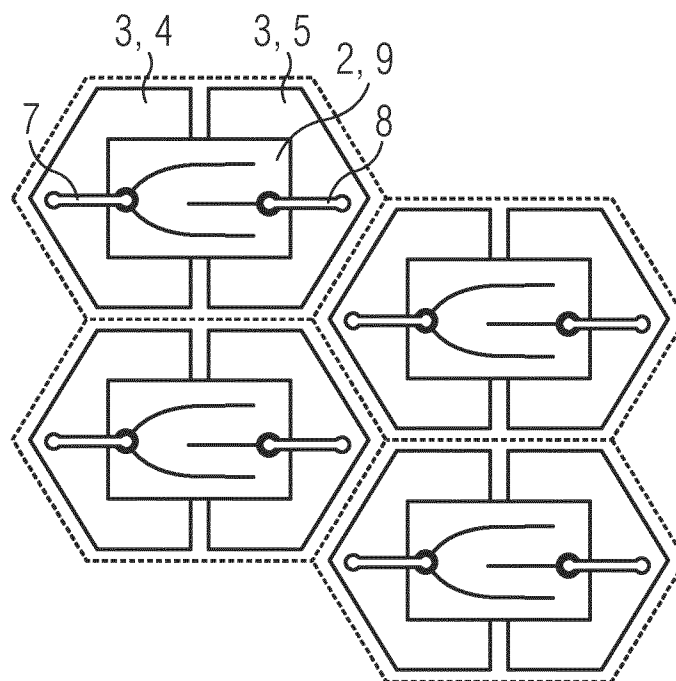


FIG 4A

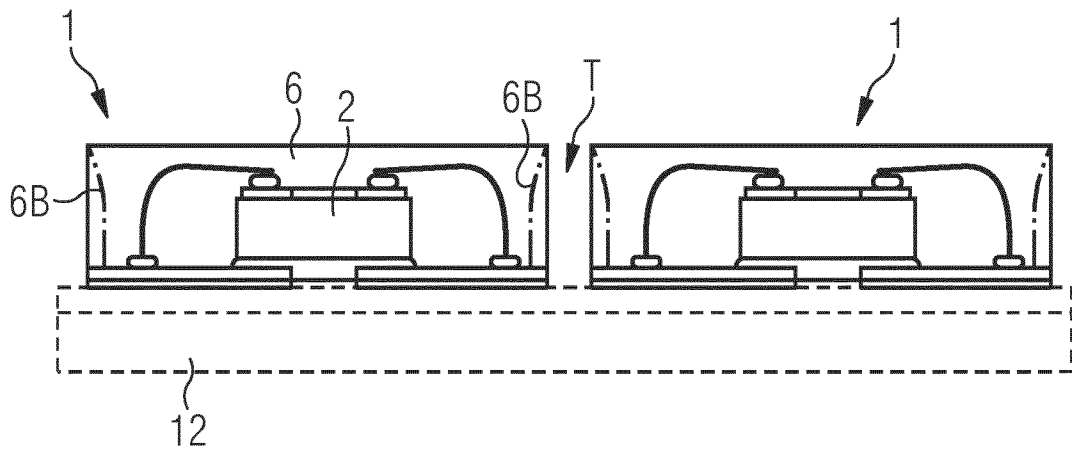


FIG 4B

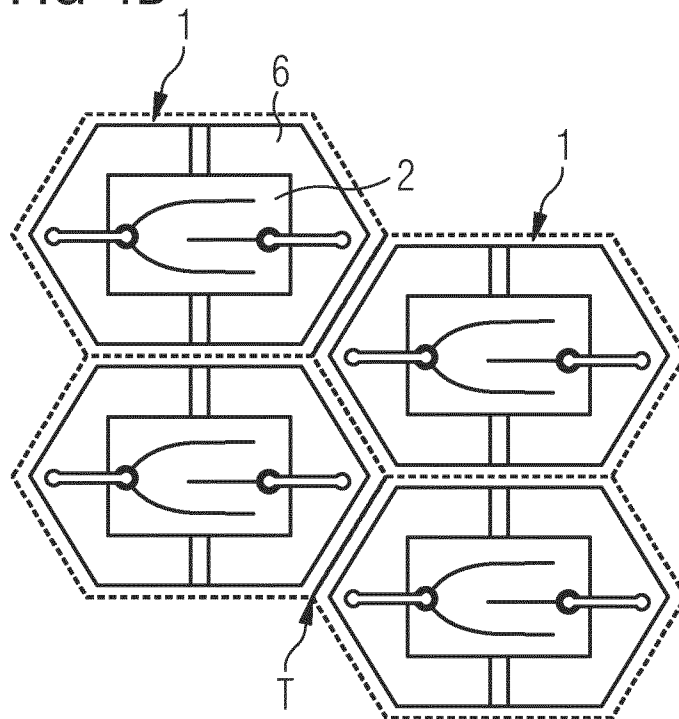


FIG 5A

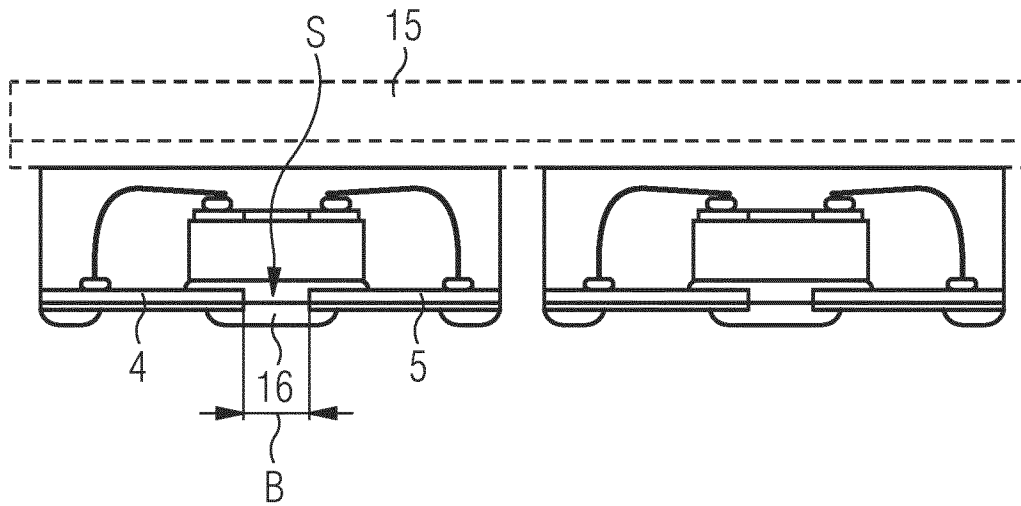


FIG 5B

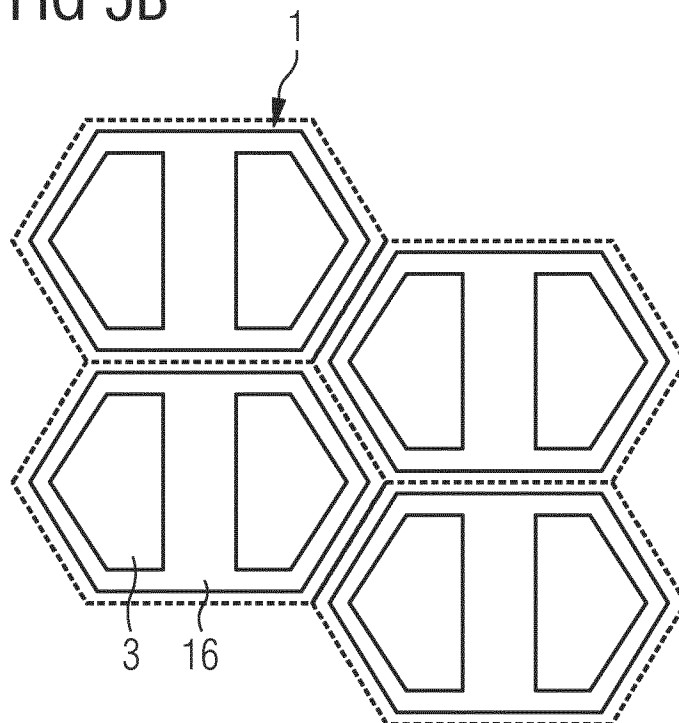


FIG 6A

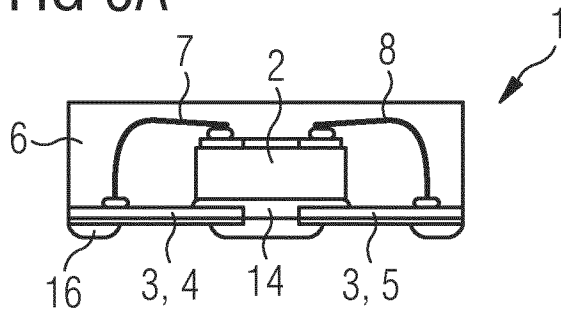


FIG 6B

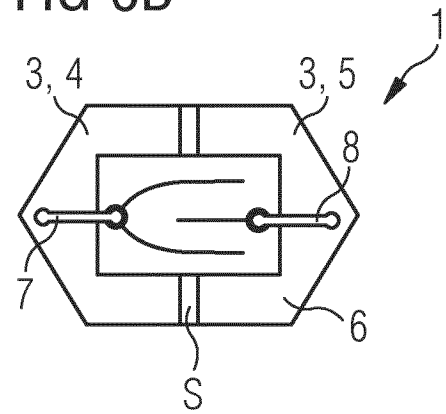


FIG 6C

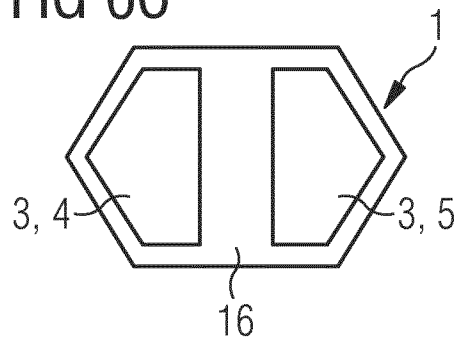


FIG 7A

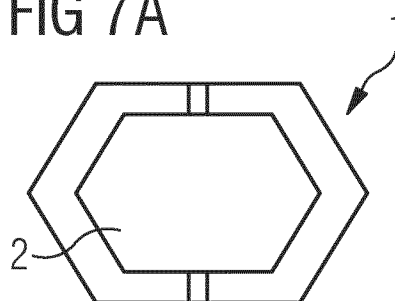


FIG 7B

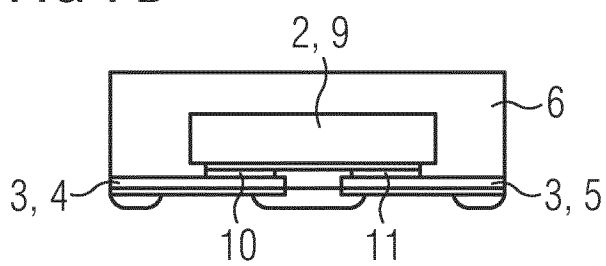


FIG 7C

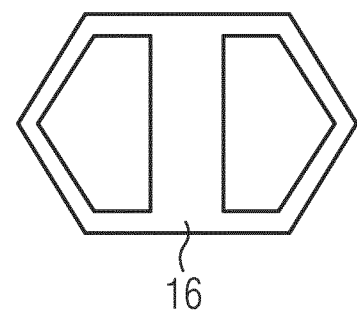


FIG 8A

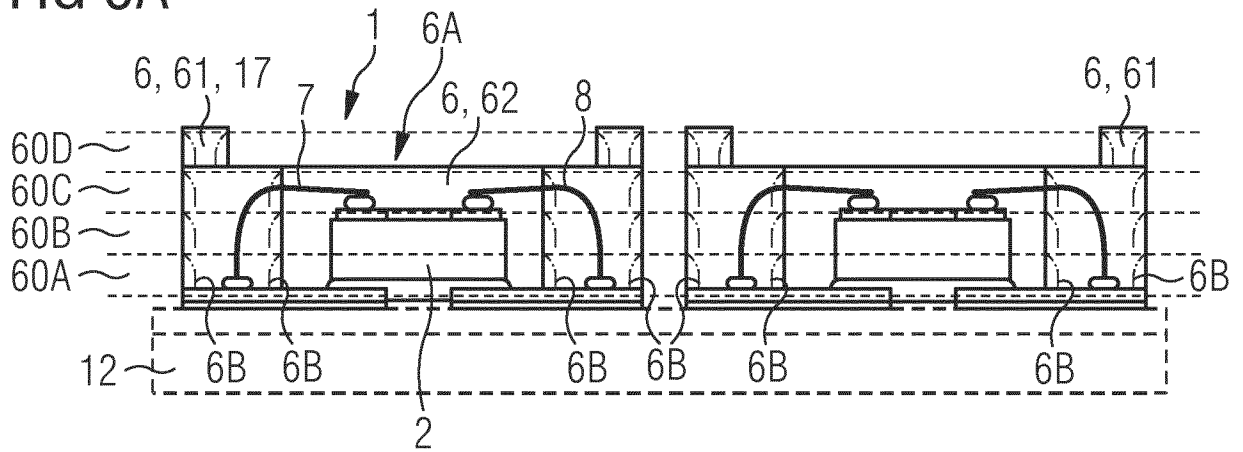


FIG 8B

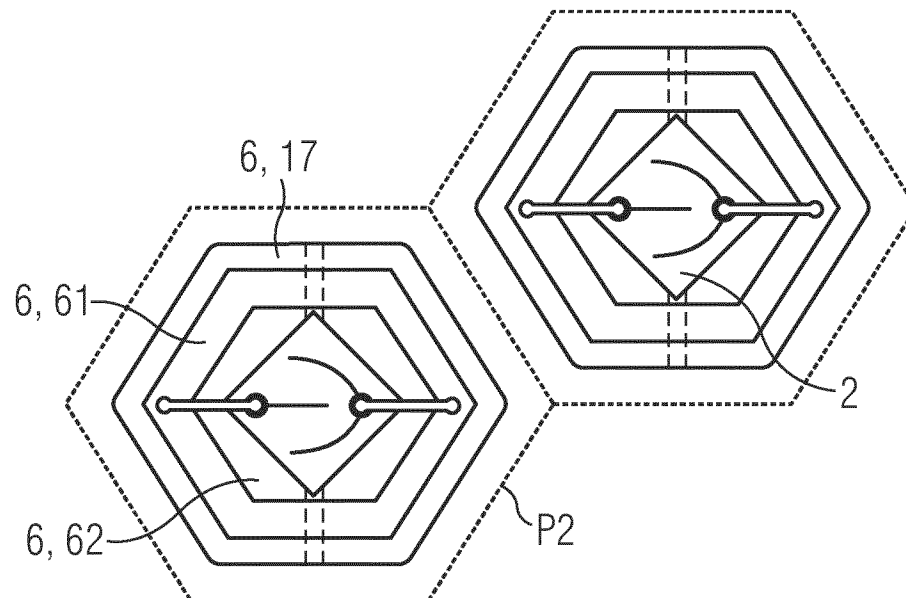


FIG 9A

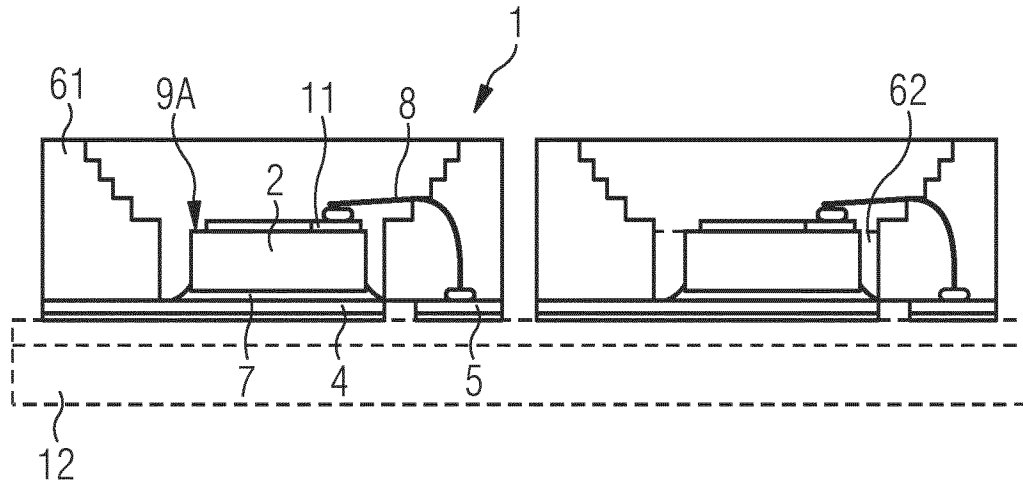


FIG 9B

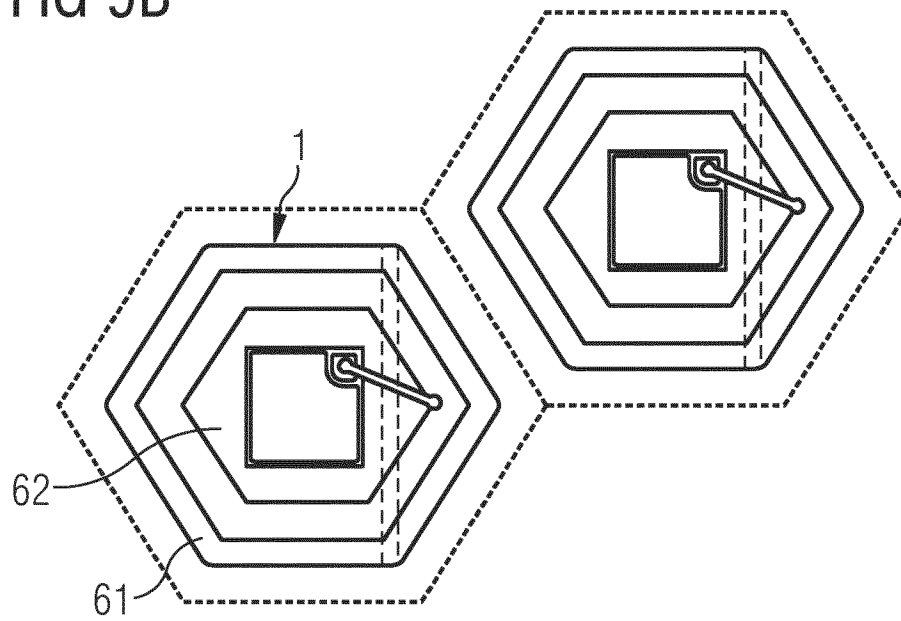


FIG 10

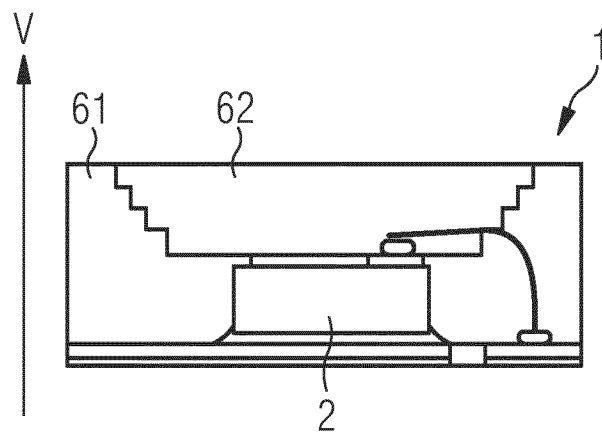


FIG 11

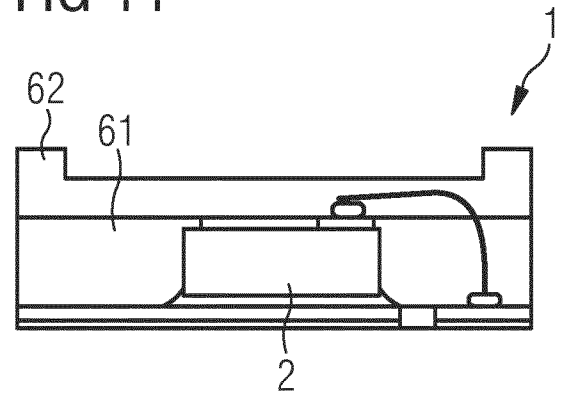


FIG 12

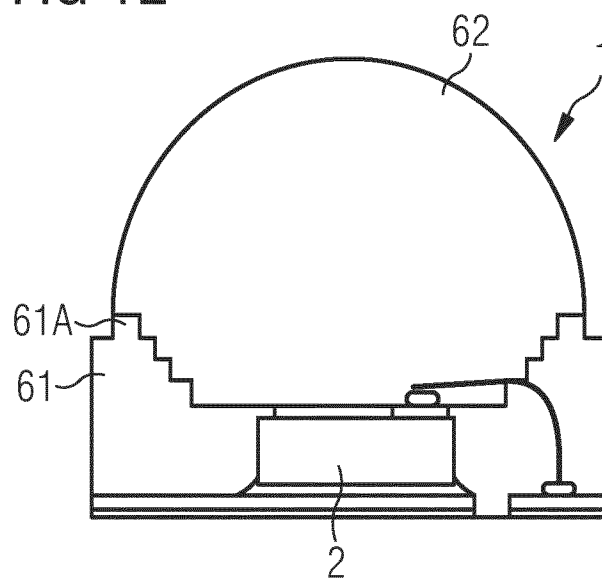


FIG 13

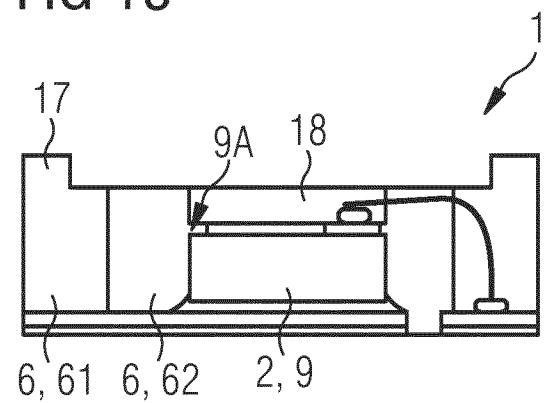


FIG 14

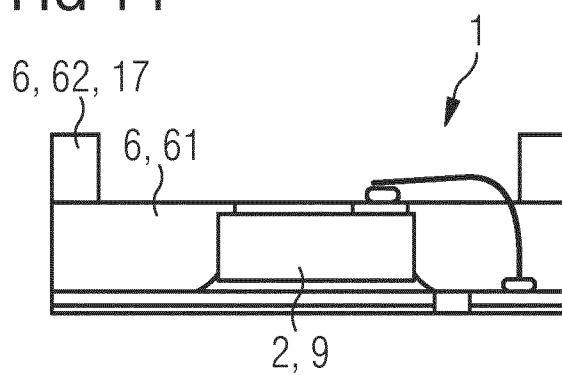


FIG 15

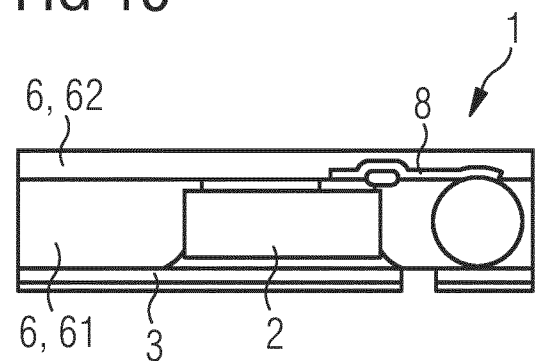


FIG 16A

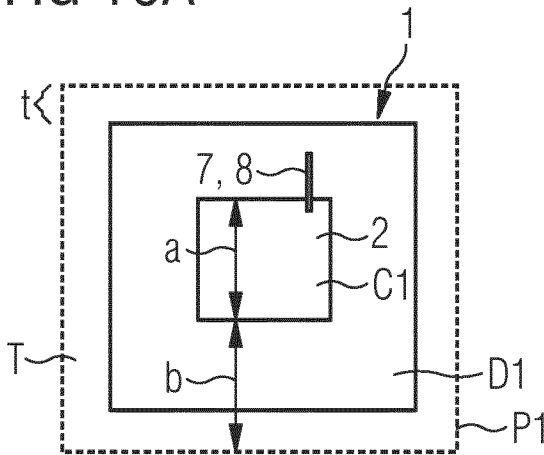


FIG 16B

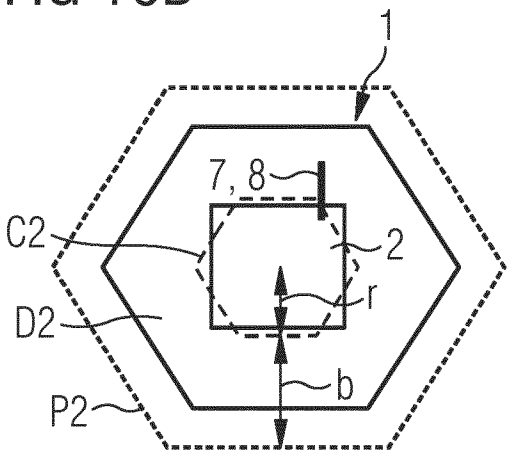


FIG 17

a [mm]	b [mm]	P1[mm ²]	r [mm]	P2[mm ²]	P2/P1	1-P2/P1
0,3	0,5	1,69	0,16	1,51	89,6%	10,4%
0,5	0,5	2,25	0,27	2,05	91,0%	9,0%
1,0	0,5	4,00	0,54	3,73	93,2%	6,8%

FIG 18

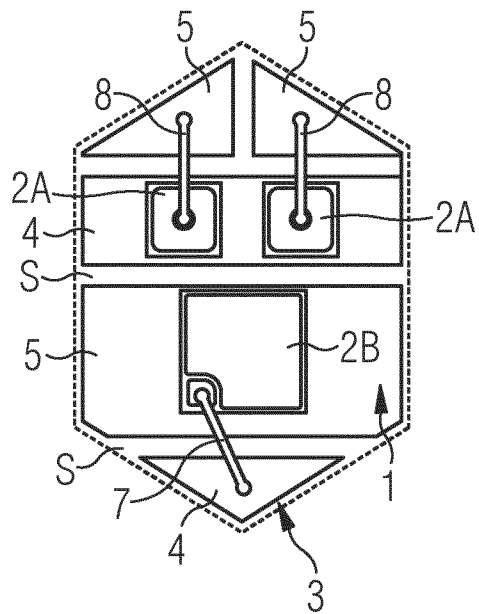


FIG 19

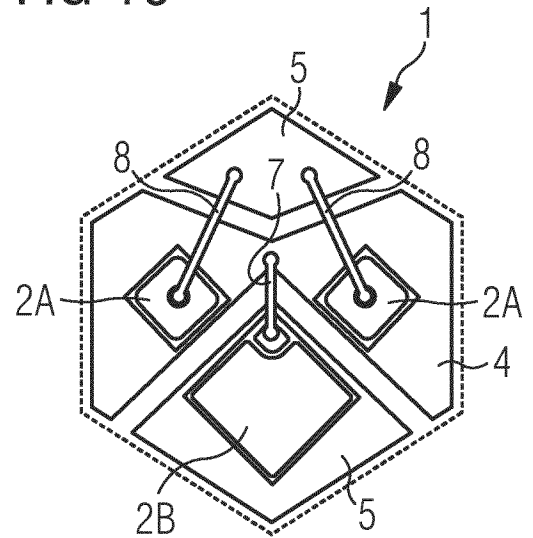


FIG 20

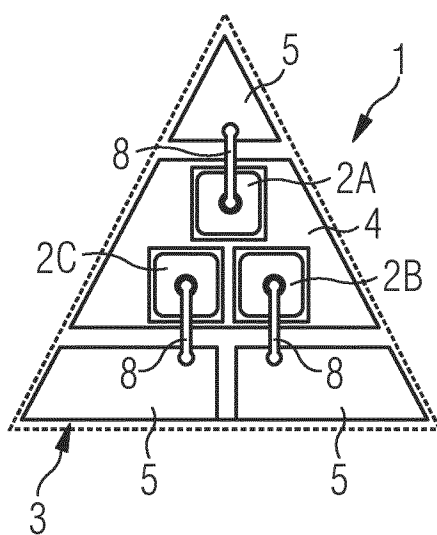


FIG 21

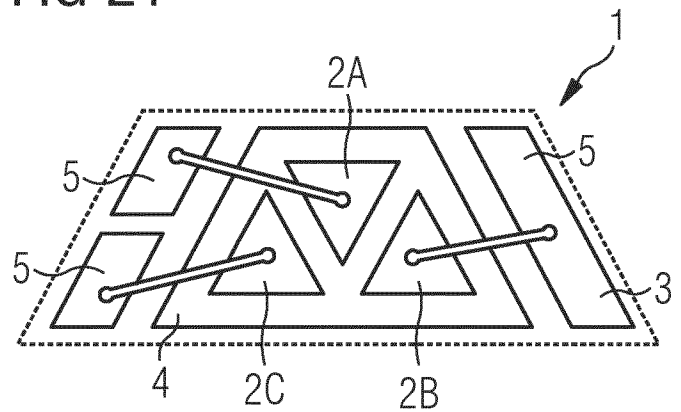


FIG 22A

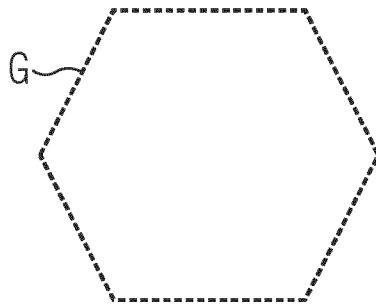


FIG 22B

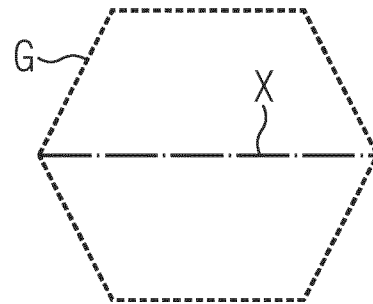


FIG 22C

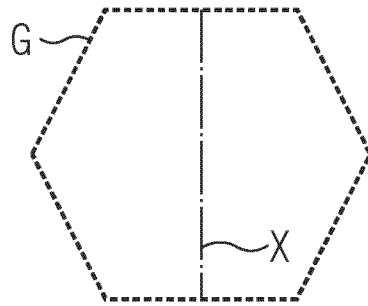


FIG 22D

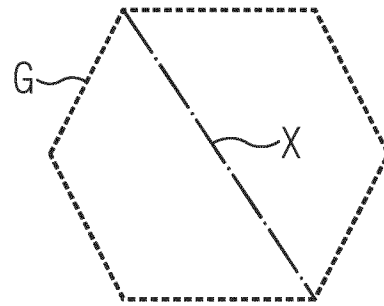


FIG 22E

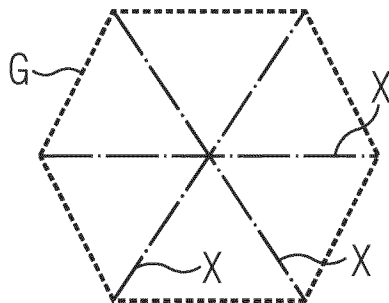


FIG 22F

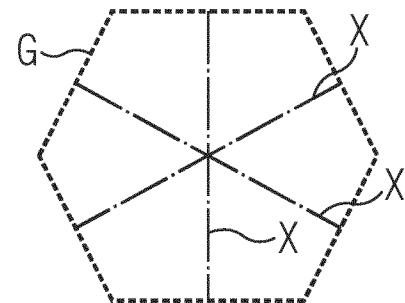


FIG 22G

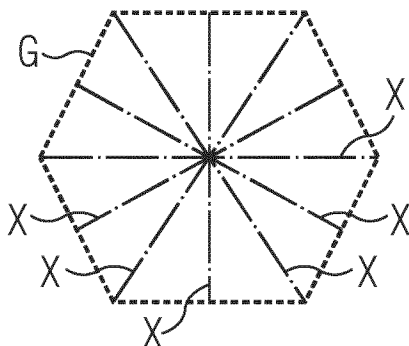
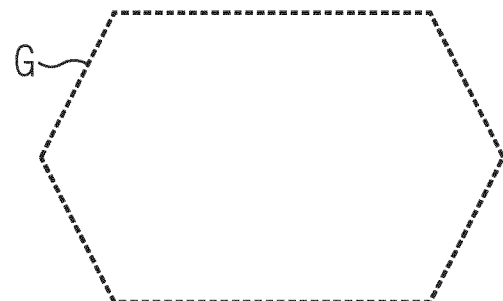


FIG 22H



INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2021/079178

A. CLASSIFICATION OF SUBJECT MATTER**H01L 33/48**(2010.01)i; **H01L 33/62**(2010.01)i; **H01L 25/075**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2007027157 A (AKITA DENSHI SYSTEMS KK) 01 February 2007 (2007-02-01) paragraphs [0023] - [0067]; figures 1-22	1-8,10-16 9
X A	US 2015155435 A1 (NEI MASAMI [KR]) 04 June 2015 (2015-06-04) paragraphs [0046] - [0064]; figures 1-6	1-8,10-16 9
X A	WO 2016016460 A1 (INFINILED LTD [IE]) 04 February 2016 (2016-02-04) page 10, line 10 - page 19, line 7; figures 1-9	1-8,10-16 9
X A	WO 2014173623 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 30 October 2014 (2014-10-30) page 13, line 1 - page 20, line 21; figures 1A-5	1-8,10-16 9
X A	WO 2019135589 A1 (SEOUL VIOSYS CO LTD [KR]) 11 July 2019 (2019-07-11) paragraphs [0170] - [0201]; figures 7-10	1-8,10-16 9
X A	DE 202017106116 U1 (FOSHAN NATIONSTAR OPTOELECTRONICS CO LTD [CN]) 02 November 2017 (2017-11-02) paragraphs [0026] - [0041]; figures 2A-6	1-8,10-16 9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2022

Date of mailing of the international search report

27 January 2022

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Albrecht, Claus

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2021/079178**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017072294 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 04 May 2017 (2017-05-04) page 25, line 5 - page 35, line 32; figures 10-20	1-16
A	KR 101618244 B1 (KOREA PHOTONICS TECH INST [KR]) 09 May 2016 (2016-05-09) paragraphs [0024] - [0031]; figures 1-3b	1,14,15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2021/079178

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2007027157	A	01 February 2007	NONE			
US	2015155435	A1	04 June 2015	KR	20150064414	A	11 June 2015
				US	2015155435	A1	04 June 2015
WO	2016016460	A1	04 February 2016	CN	107078132	A	18 August 2017
				CN	113937092	A	14 January 2022
				CN	113937093	A	14 January 2022
				EP	3175482	A1	07 June 2017
				EP	3826055	A1	26 May 2021
				JP	6741649	B2	19 August 2020
				JP	2017529557	A	05 October 2017
				JP	2021005087	A	14 January 2021
				KR	20170037975	A	05 April 2017
				US	2017213502	A1	27 July 2017
				US	2020126477	A1	23 April 2020
				US	2021217356	A1	15 July 2021
				WO	2016016460	A1	04 February 2016
WO	2014173623	A1	30 October 2014	CN	105144414	A	09 December 2015
				DE	102013104132	A1	30 October 2014
				DE	112014002162	A5	14 January 2016
				JP	6188919	B2	30 August 2017
				JP	2016521004	A	14 July 2016
				KR	20160002962	A	08 January 2016
				TW	201503413	A	16 January 2015
				US	2016276552	A1	22 September 2016
				WO	2014173623	A1	30 October 2014
WO	2019135589	A1	11 July 2019	BR	112020013410	A2	01 December 2020
				CN	110709995	A	17 January 2020
				CN	111129237	A	08 May 2020
				EP	3735708	A1	11 November 2020
				JP	2021509183	A	18 March 2021
				KR	20200096529	A	12 August 2020
				US	2019206927	A1	04 July 2019
				US	2021183941	A1	17 June 2021
				WO	2019135589	A1	11 July 2019
DE	202017106116	U1	02 November 2017	CN	106898601	A	27 June 2017
				DE	202017106116	U1	02 November 2017
				US	2018233492	A1	16 August 2018
WO	2017072294	A1	04 May 2017	CN	108140641	A	08 June 2018
				DE	102015118433	A1	04 May 2017
				US	2018358522	A1	13 December 2018
				WO	2017072294	A1	04 May 2017
KR	101618244	B1	09 May 2016	NONE			

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H01L33/48 H01L33/62 H01L25/075 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	JP 2007 027157 A (AKITA DENSHI SYSTEMS KK)	1-8,
	1. Februar 2007 (2007-02-01)	10-16
A	Absätze [0023] - [0067]; Abbildungen 1-22	9

X	US 2015/155435 A1 (NEI MASAMI [KR])	1-8,
	4. Juni 2015 (2015-06-04)	10-16
A	Absätze [0046] - [0064]; Abbildungen 1-6	9

X	WO 2016/016460 A1 (INFINILED LTD [IE])	1-8,
	4. Februar 2016 (2016-02-04)	10-16
A	Seite 10, Zeile 10 - Seite 19, Zeile 7;	9
	Abbildungen 1-9	

X	WO 2014/173623 A1 (OSRAM OPTO	1-8,
	SEMICONDUCTORS GMBH [DE])	10-16
	30. Oktober 2014 (2014-10-30)	
A	Seite 13, Zeile 1 - Seite 20, Zeile 21;	9
	Abbildungen 1A-5	

	-/--	
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
18. Januar 2022		27/01/2022
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Albrecht, Claus

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2019/135589 A1 (SEOUL VIOSYS CO LTD [KR]) 11. Juli 2019 (2019-07-11)	1-8,
A	Absätze [0170] - [0201]; Abbildungen 7-10 -----	10-16 9
X	DE 20 2017 106116 U1 (FOSHAN NATIONSTAR OPTOELECTRONICS CO LTD [CN]) 2. November 2017 (2017-11-02)	1-8,
A	Absätze [0026] - [0041]; Abbildungen 2A-6 -----	10-16 9
A	WO 2017/072294 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 4. Mai 2017 (2017-05-04) Seite 25, Zeile 5 - Seite 35, Zeile 32; Abbildungen 10-20 -----	1-16
A	KR 101 618 244 B1 (KOREA PHOTONICS TECH INST [KR]) 9. Mai 2016 (2016-05-09) Absätze [0024] - [0031]; Abbildungen 1-3b -----	1, 14, 15

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2021/079178

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 2007027157 A	01-02-2007	KEINE	
US 2015155435 A1	04-06-2015	KR 20150064414 A	11-06-2015
		US 2015155435 A1	04-06-2015
WO 2016016460 A1	04-02-2016	CN 107078132 A	18-08-2017
		EP 3175482 A1	07-06-2017
		EP 3826055 A1	26-05-2021
		JP 6741649 B2	19-08-2020
		JP 2017529557 A	05-10-2017
		JP 2021005087 A	14-01-2021
		KR 20170037975 A	05-04-2017
		US 2017213502 A1	27-07-2017
		US 2020126477 A1	23-04-2020
		US 2021217356 A1	15-07-2021
		WO 2016016460 A1	04-02-2016
WO 2014173623 A1	30-10-2014	CN 105144414 A	09-12-2015
		DE 102013104132 A1	30-10-2014
		DE 112014002162 A5	14-01-2016
		JP 6188919 B2	30-08-2017
		JP 2016521004 A	14-07-2016
		KR 20160002962 A	08-01-2016
		TW 201503413 A	16-01-2015
		US 2016276552 A1	22-09-2016
		WO 2014173623 A1	30-10-2014
WO 2019135589 A1	11-07-2019	BR 112020013410 A2	01-12-2020
		CN 110709995 A	17-01-2020
		CN 111129237 A	08-05-2020
		EP 3735708 A1	11-11-2020
		JP 2021509183 A	18-03-2021
		KR 20200096529 A	12-08-2020
		US 2019206927 A1	04-07-2019
		US 2021183941 A1	17-06-2021
		WO 2019135589 A1	11-07-2019
DE 202017106116 U1	02-11-2017	CN 106898601 A	27-06-2017
		DE 202017106116 U1	02-11-2017
		US 2018233492 A1	16-08-2018
WO 2017072294 A1	04-05-2017	CN 108140641 A	08-06-2018
		DE 102015118433 A1	04-05-2017
		US 2018358522 A1	13-12-2018
		WO 2017072294 A1	04-05-2017
KR 101618244 B1	09-05-2016	KEINE	