

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2009-99956

(P2009-99956A)

(43) 公開日 平成21年5月7日(2009.5.7)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 21/8238 (2006.01)

HO 1 L 27/08

321B

5 F 048

HO 1 L 27/092 (2006.01)

HO 1 L 27/08

321C

5 F 140

H O 1 L 29/78 (2006.01)

HO 1 L 29/78

301B

5 F 1 5 2

HO 1 L 21/20 (2006.01)

HO 1 L 29/78

301H

HO 1 L 21/20

審査請求 未請求 請求項の数 21 O L (全 11 頁)

(21) 出願番号 特願2008-231438 (P2008-231438)

(22) 出願日 平成20年9月9日 (2008.9.9)

(31) 優先權主張番号 10-2007-0104062

(32) 優先日 平成19年10月16日 (2007.10.16)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

SAMSUNG ELECTRONICS
CO., LTD.

大韓民國京畿道水原市靈通區梅灘洞 416
416, Maetan-dong, Yeongtong-gu, Suwon-si,
Gyeonggi-do 442-742
(KR)

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100108453

弁理士 村山 靖彦

[最終頁に続く](#)

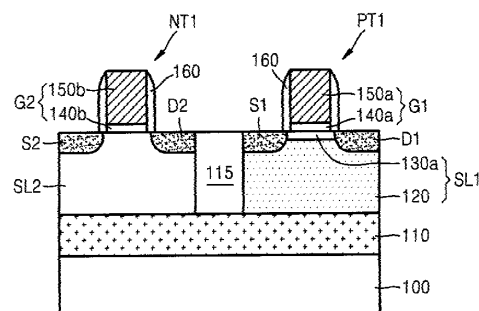
(54) 【発明の名称】 CMOS素子及びその製造方法

(57) 【要約】

【課題】CMOS素子及びその製造方法を提供する。

【解決手段】基板上に形成されたエピ層と、エピ層のそれぞれ異なる領域上に形成された第１及び第２半導体層と、第１及び第２半導体層上にそれぞれ形成されたPMOS及びNMOSトランジスタと、を備えるCMOS素子である。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

基板上に形成されたエピ層と、
前記エピ層のそれぞれ異なる領域上に形成された第 1 及び第 2 半導体層と、
前記第 1 及び第 2 半導体層上にそれぞれ形成された P M O S 及び N M O S トランジスタと、を備えることを特徴とする C M O S 素子。

【請求項 2】

前記エピ層は、S i G e 層であることを特徴とする請求項 1 に記載の C M O S 素子。

【請求項 3】

前記第 1 半導体層は、順次に積層された下部層と上部層とを備え、前記下部層は、チャンネルが形成される層であり、前記上部層は、キャッピング層であることを特徴とする請求項 1 に記載の C M O S 素子。

10

【請求項 4】

前記下部層は、圧縮変形された G e 層または圧縮変形された G a A s 層であることを特徴とする請求項 3 に記載の C M O S 素子。

【請求項 5】

前記キャッピング層は、S i 層であることを特徴とする請求項 3 に記載の C M O S 素子。

【請求項 6】

前記キャッピング層の厚さは、3 ないし 2 0 n m であることを特徴とする請求項 3 に記載の C M O S 素子。

20

【請求項 7】

前記第 2 半導体層は、引張変形された S i 層であることを特徴とする請求項 1 に記載の C M O S 素子。

【請求項 8】

基板のそれぞれ異なる領域上に形成された第 1 及び第 2 半導体層と、
前記第 1 及び第 2 半導体層上にそれぞれ形成された P M O S 及び N M O S トランジスタと、を備え、

前記第 1 半導体層は、チャンネルが形成される下部層及び前記下部層上にキャッピング層を備え、

30

前記キャッピング層と前記第 2 半導体層とは、同じ物質で形成されたことを特徴とする C M O S 素子。

【請求項 9】

前記基板上に S i G e 層が備えられ、前記 S i G e 層上に前記第 1 及び第 2 半導体層が形成されたことを特徴とする請求項 8 に記載の C M O S 素子。

【請求項 10】

前記下部層は、圧縮変形された G e 層または圧縮変形された G a A s 層であることを特徴とする請求項 8 に記載の C M O S 素子。

【請求項 11】

前記第 2 半導体層は、引張変形された S i 層であることを特徴とする請求項 8 に記載の C M O S 素子。

40

【請求項 12】

前記キャッピング層の厚さは、3 ないし 2 0 n m であることを特徴とする請求項 8 に記載の C M O S 素子。

【請求項 13】

基板上にエピ層を形成する工程と、
前記エピ層の第 1 及び第 2 領域上にそれぞれ第 1 及び第 2 半導体層を形成する工程と、
前記第 1 及び第 2 半導体層上にそれぞれ P M O S 及び N M O S トランジスタを形成する工程と、を含むことを特徴とする C M O S 素子の製造方法。

【請求項 14】

50

前記エピ層は、SiGeで形成することを特徴とする請求項13に記載のCMOS素子の製造方法。

【請求項15】

前記第1半導体層は、順次に積層された下部層及び上部層を備え、前記下部層は、チャンネルが形成される層であり、前記上部層は、キャッピング層であることを特徴とする請求項13に記載のCMOS素子の製造方法。

【請求項16】

前記エピ層の前記第1及び第2領域上にそれぞれ前記第1及び第2半導体層を形成する工程は、

前記第1領域上に前記下部層を形成する工程と、

10

前記下部層上に前記キャッピング層を形成し、前記第2領域上に前記第2半導体層を形成する工程と、を含むことを特徴とする請求項15に記載のCMOS素子の製造方法。

【請求項17】

前記第2半導体層と前記キャッピング層は、同じ物質で形成することを特徴とする請求項15に記載のCMOS素子の製造方法。

【請求項18】

前記第2半導体層と前記キャッピング層は、同時に形成することを特徴とする請求項17に記載のCMOS素子の製造方法。

【請求項19】

前記第2半導体層は、引張変形されたSi層であることを特徴とする請求項13または請求項17に記載のCMOS素子の製造方法。

20

【請求項20】

前記下部層は、圧縮変形されたGe層または圧縮変形されたGaAs層であることを特徴とする請求項15に記載のCMOS素子の製造方法。

【請求項21】

前記キャッピング層は、3ないし20nmの厚さに形成することを特徴とする請求項15に記載のCMOS素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、半導体素子及びその製造方法に係り、特にCMOS素子及びその製造方法に関する。

【背景技術】

【0002】

周知のように、MOS(Metal Oxide Semiconductor)トランジスタは、電子機器分野に広く使われている。特に、PチャンネルMOS(PMOS)トランジスタとNチャンネルMOS(NMOS)トランジスタとを一つの素子内に共に形成して、相補的な動作を行うようにしたCMOS(Complementary Metal Oxide Semiconductor)素子は、多くの長所のために多様な電子機器に利用される。CMOS素子の長所としては、低い消費電力、広い動作領域及び高い

40

【0003】

メモリ素子のような電子機器の動作速度の改善、小型化、及び製造コストの低減、に対する要求が高まるにつれて、CMOS素子の動作速度及び集積度を向上させるための多くの研究が進められている。

【0004】

一般的に、トランジスタのチャンネル長を短くすれば、集積度を向上させ、チャンネルを通じて流れる電流の量を増加させる。しかし、チャンネル長が臨界値以下に短くなれば、ソースとチャンネルとの電位がドレインの電位により影響を受ける、いわゆる短チャンネル効果が発生する。したがって、チャンネル長を縮小させる方法によりトランジスタの

50

動作速度及び集積度を向上させるのには限界がある。

【 0 0 0 5 】

これにより、最近では、チャンネルのキャリア移動度を増加させてトランジスタの出力電流を高め、スイッチング能力を改善しようとする研究が進められている。しかし、これと関連して既に提案された技術は、高価な S O I (S i l i c o n O n I n s u l a t o r) 基板を使用するか、またはウェーハボンディング法を使用するなど、製造が複雑であり、製造コストが高いという問題がある。

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 0 6 】

本発明が解決しようとする課題は、キャリア移動度の高いチャンネルを有し、製造が容易であり、製造コストを低減できる C M O S 素子を提供するところにある。

【 0 0 0 7 】

本発明が解決しようとする他の課題は、前記 C M O S 素子の製造方法を提供するところにある。

【 課 題 を 解 決 す る た め の 手 段 】

【 0 0 0 8 】

前記課題を解決するために、本発明の一実施形態は、基板上に形成されたエピ層と、前記エピ層のそれぞれ異なる領域上に形成された第 1 及び第 2 半導体層と、前記第 1 及び第 2 半導体層上にそれぞれ形成された P M O S 及び N M O S トランジスタと、を備える C M O S 素子を提供する。

【 0 0 0 9 】

前記エピ層は、S i G e 層でありうる。

前記第 1 半導体層は、順次に積層された下部層と上部層とを備え、前記下部層は、チャンネルが形成される層であり、前記上部層は、キャッピング層でありうる。

前記下部層は、圧縮変形された G e 層または圧縮変形された G a A s 層でありうる。

前記キャッピング層は、S i 層でありうる。

前記キャッピング層の厚さは、3 ないし 2 0 n m でありうる。

前記第 2 半導体層は、引張変形された S i 層でありうる。

【 0 0 1 0 】

本発明の他の実施形態は、基板のそれぞれ異なる領域上に形成された第 1 及び第 2 半導体層と、前記第 1 及び第 2 半導体層にそれぞれ形成された P M O S 及び N M O S トランジスタと、を備え、前記第 1 半導体層は、チャンネルが形成される下部層及び前記下部層上にキャッピング層を備え、前記キャッピング層と前記第 2 半導体層は、同じ物質で形成された C M O S 素子を提供する。

【 0 0 1 1 】

前記基板上に S i G e 層が備えられ、前記 S i G e 層上に前記第 1 及び第 2 半導体層が形成される。

前記下部層は、圧縮変形された G e 層または圧縮変形された G a A s 層でありうる。

前記第 2 半導体層は、引張変形された S i 層でありうる。

前記キャッピング層の厚さは、3 ないし 2 0 n m でありうる。

【 0 0 1 2 】

前記他の課題を解決するために、本発明のさらなる他の実施形態は、基板上にエピ層を形成する工程と、前記エピ層の第 1 及び第 2 領域上にそれぞれ第 1 及び第 2 半導体層を形成する工程と、前記第 1 及び第 2 半導体層にそれぞれ P M O S 及び N M O S トランジスタを形成する工程と、を含む C M O S 素子の製造方法を提供する。

【 0 0 1 3 】

前記エピ層は、S i G e で形成できる。

前記第 1 半導体層は、順次に積層された下部層及び上部層を備え、前記下部層は、チャンネルが形成される層であり、前記上部層は、キャッピング層でありうる。

前記エピ層の前記第 1 及び第 2 領域上にそれぞれ前記第 1 及び第 2 半導体層を形成する工程は、前記第 1 領域上に前記下部層を形成する工程と、前記下部層上に前記キャッピング層を形成し、前記第 2 領域上に前記第 2 半導体層を形成する工程と、を含む。

前記第 2 半導体層と前記キャッピング層は、同じ物質で形成できる。

前記第 2 半導体層と前記キャッピング層は、同時に形成できる。

前記第 2 半導体層は、引張変形された Si 層でありうる。

前記下部層は、圧縮変形された Ge 層または圧縮変形された GaAs 層でありうる。

前記キャッピング層は、3 ないし 20 nm の厚さに形成できる。

【発明を実施するための最良の形態】

【0014】

10

以下、本発明の望ましい実施形態による CMOS 素子及びその製造方法を、添付された図面を参照して詳細に説明する。この過程で、図面に示した層や領域の厚さは、明細書の明確性のために多少誇張されて示されたものである。詳細な説明の全体にわたって、同じ参照番号は同じ構成要素を表す。

【0015】

図 1 は、本発明の実施形態による CMOS 素子を示す断面図である。

【0016】

図 1 に示すように、基板 100 上に所定のエピ層 110 が形成されている。基板 100 は、Si 基板であり、エピ層 110 は、SiGe 層、例えば Si_{0.5}Ge_{0.5} 層でありうる。エピ層 110 のそれぞれ異なる二つの領域上に、第 1 半導体層 SL1 と第 2 半導体層 SL2 とが備えられている。第 1 半導体層 SL1 と第 2 半導体層 SL2 との間のエピ層 110 上に、分離層として絶縁層 115 が備えられる。

20

【0017】

第 1 半導体層 SL1 は、エピ層 110 上に順次に積層された下部層 120 及び上部層 130a を備えるが、下部層 120 は、チャンネルが形成される層であり、上部層 130a は、キャッピング層である。下部層 120 は、Ge 層または GaAs 層であり、上部層 130a は、Si 層でありうる。第 2 半導体層 SL2 は、Si 層でありうる。

【0018】

下部層 120 と第 2 半導体層 SL2 とは、エピ層 110 上にエピタキシャル成長させた層であるが、下部層 120 は、圧縮変形された層であり、第 2 半導体層 SL2 は、引張変形された層でありうる。下部層 120 が圧縮変形し、第 2 半導体層 SL2 が引張変形することは、エピ層 110、下部層 120 及び第 2 半導体層 SL2 を構成する物質の格子定数の差に起因する。例えば、SiGe (エピ層 110 の物質の一例) の格子定数は、Si (第 2 半導体層 SL2 の物質の一例) の格子定数より大きいため、SiGe 層上で成長された Si 層は引張変形する。そして、SiGe の格子定数は、Ge または GaAs (下部層 120 の物質の一例) の格子定数より小さいため、SiGe 層上に成長された Ge 層または GaAs 層は圧縮変形する。エピ層 110、下部層 120 及び第 2 半導体層 SL2 は、それぞれ SiGe 層、Ge 層 (または、GaAs 層) 及び Si 層に限定されない。格子定数が Si より大きく、Ge または GaAs より小さい物質であれば、エピ層 110 を構成する物質として使われる。

30

40

【0019】

第 1 半導体層 SL1 に PMOS トランジスタ PT1 が形成されており、第 2 半導体層 SL2 に NMOS トランジスタ NT1 が形成されている。PMOS トランジスタ PT1 は、第 1 ゲート G1、及び第 1 半導体 SL1 の両側に形成された第 1 ソース S1 及び第 1 ドレイン D1 を備えている。つまり、第 1 ゲート G1 は第 1 ソース S1 及び第 1 ドレイン D1 の間に位置して、第 1 半導体 SL1 上に形成されている。ここで、第 1 ソース S1 及び第 1 ドレイン D1 は、p⁺ ドーピング領域でありうる。NMOS トランジスタ NT1 は、第 2 ゲート G2、及び第 2 半導体 SL2 の両側に形成された第 2 ソース S2 及び第 2 ドレイン D2 を備えている。つまり、第 2 ゲート G2 は第 2 ソース S2 及び第 2 ドレイン D2 の間に位置して、第 2 半導体 SL2 上に形成されている。第 2 ソース S2 及び第 2 ドレイン

50

D 2 は、 n^+ ドーピング領域でありうる。第 1 ゲート G 1 は、第 1 半導体 S L 1 上に順次に積層された第 1 ゲート絶縁層 1 4 0 a と第 1 ゲート導電層 1 5 0 a とを備え、これと同様に、第 2 ゲート G 2 は、第 2 ゲート絶縁層 1 4 0 b と第 2 ゲート導電層 1 5 0 b とを備えている。第 1 ゲート導電層 1 5 0 a の物質と第 2 ゲート導電層 1 5 0 b の物質とは、同じであるか、または異なる。第 1 及び第 2 ゲート G 1 , G 2 それぞれの両側壁に絶縁スペーサ 1 6 0 がさらに備えられる。

【0020】

第 1 ゲート絶縁層 1 4 0 a を下部層 1 2 0 上に直接形成する場合、下部層 1 2 0 の特性が劣化するため、下部層 1 2 0 をキャッピングする上部層 1 3 0 a が必要である。前述したように、上部層 1 3 0 a は S i 層であるが、上部層 1 3 0 a は、チャンネルとして利用されない。その理由は、第 1 ゲート導電層 1 5 0 a に所定の電圧を印加したとき、上部層 1 3 0 a より下部層 1 2 0 内にチャンネルがさらに速く形成されるためである。ただし、このように下部層 1 2 0 内にチャンネルを容易に形成させるためには、上部層 1 3 0 a を約 3 ないし 2 0 nm の薄い厚さに形成することが望ましい。

【0021】

第 1 ソース S 1 と第 1 ドレイン D 1 との間の下部層 1 2 0 は、正孔が移動する通路である P チャンネルである。前述したように、下部層 1 2 0 は、G e 層または G a A s 層であるが、それらは圧縮変形された層でありうる。G e 層または G a A s 層内で正孔が移動する速度は、S i 層内で正孔が移動する速度より速い。また、圧縮変形された G e 層または圧縮変形された G a A s 層内で正孔が移動する速度は、変形しない G e 層または変形しない G a A s 層内で正孔が移動する速度より速い。したがって、前記 P チャンネルは、高い正孔移動度を有し、P M O S トランジスタ P T 1 は、速い動作速度及び優秀なスイッチング特性を有することができる。

【0022】

第 2 ソース S 2 と第 2 ドレイン D 2 との間の第 2 半導体層 S L 2 は、電子が移動する通路である N チャンネルである。前記 N チャンネルとして利用される第 2 半導体層 S L 2 は、引張変形された S i 層であるが、引張変形された S i 層内で電子が移動する速度は、変形しない S i 層内で電子が移動する速度より速い。すなわち、前記 N チャンネルは、高い電子移動度を有することができる。したがって、N M O S トランジスタ N T 1 も、速い動作速度及び優秀なスイッチング特性を有することができる。

【0023】

さらに、第 1 ソース S 1、第 1 ドレイン D 1、第 2 ソース S 2 及び第 2 ドレイン D 2 にショットキー障壁接合を形成すれば、それらのコンタクト抵抗を低めることができるため、C M O S 素子の動作速度をさらに速めることができる。

【0024】

図 2 A ないし図 2 E は、本発明の実施形態による C M O S 素子の製造方法を示す断面図である。

【0025】

図 2 A に示すように、基板 1 0 0 上にエピ層 1 1 0 を形成する。基板 1 0 0 は、S i 基板であり、エピ層 1 1 0 は、S i G e 層、例えば S i_{0.5} G e_{0.5} 層でありうる。エピ層 1 1 0 の一部上に絶縁層 1 1 5 を形成する。絶縁層 1 1 5 は、シリコン酸化物層またはシリコン窒化物層でありうる。絶縁層 1 1 5 が形成されていないエピ層 1 1 0 上に下部層 1 2 0 を形成する。下部層 1 2 0 は、エピタキシャル成長された G e 層または G a A s 層であるが、それらは圧縮変形された層でありうる。下部層 1 2 0 の高さは、絶縁層 1 1 5 の高さより低い。

【0026】

次いで、絶縁層 1 1 5 の一部を除去して、図 2 B に示したように、下部層 1 2 0 と離隔されたエピ層 1 1 0 の一部を露出させる。

【0027】

図 2 C に示すように、絶縁層 1 1 5 が除去されて露出されたエピ層 1 1 0 及び下部層 1

10

20

30

40

50

20上に半導体層130を形成する。半導体層130はSi層であり、エピタキシャル成長法で形成できる。このとき、絶縁層115上にも半導体層130が形成されるが、絶縁層115上に形成された半導体層130の結晶構造は、エピ層110及び下部層120上に形成された半導体層130の結晶構造と異なる。例えば、絶縁層115上に形成された半導体層130は、非晶質または多結晶質でありうる。しかし、エピタキシャル成長工程の条件を調節して半導体層130の側面成長を促進すれば、絶縁層115上にもエピタキシャルな半導体層130を形成できる。また、場合によっては、絶縁層115上に半導体層130が形成されないこともある。

【0028】

絶縁層115をエッチング停止層として利用して、半導体層130を絶縁層115が露出されるまでエッチングする。前記エッチングは、CMP (Chemical Mechanical Polishing) 法で行える。前記エッチングの結果が図2Dに示されている。図2Dにおいて、エピ層110上に残留された半導体層SL2は、図1の第2半導体層SL2と等価であり、下部層120上に残留された半導体層130aは、図1の上部層130aと等価である。以下では、エピ層110上の半導体層SL2を第2半導体層SL2とし、下部層120上の半導体層130aを上部層130aとする。下部層120と上部層130aは、図1の第1半導体層SL1を構成する。

【0029】

図2Eに示すように、第1半導体層SL1にPMOSTランジスタPT1を形成し、第2半導体層SL2にNMOSTランジスタNT1を形成する。さらに具体的に説明すれば、第1及び第2半導体層SL1及びSL2上にそれぞれ第1及び第2ゲートG1, G2を形成した後、第1及び第2ゲートG1, G2のそれぞれの両側壁に絶縁スペーサ160を形成する。第1ゲートG1は、第1半導体層SL1上に順次に積層された第1ゲート絶縁層140aと第1ゲート導電層150aとを備え、第2ゲートG2は、第2ゲート絶縁層140bと第2ゲート導電層150bとを備える。第1ゲート導電層150aの物質と第2ゲート導電層150bの物質は、同じであるか、または異っていてもよい。次いで、第1ゲートG1の両側の第1半導体層SL1内にp型不純物を高濃度でドーピングして第1ソースS1及び第1ドレインD1を形成し、第2ゲートG2の両側の第2半導体層SL2内にn型不純物を高濃度でドーピングして第2ソースS2及び第2ドレインD2を形成する。第1ゲートG1、第1ソースS1及び第1ドレインD1は、PMOSTランジスタPT1を構成し、第2ゲートG2、第2ソースS2及び第2ドレインD2は、NMOSTランジスタNT1を構成する。

【0030】

次いで、図示していないが、第1ソースS1、第1ドレインD1、第2ソースS2及び第2ドレインD2上に金属層を形成した後、それらに対するアニーリング工程を行える。前記アニーリング工程により、第1ソースS1、第1ドレインD1、第2ソースS2及び第2ドレインD2のドーパントが偏析されて、ショットキー障壁接合が形成される。その結果、第1ソースS1、第1ドレインD1、第2ソースS2及び第2ドレインD2のコンタクト抵抗が低くなる。

【0031】

前述した本発明の実施形態によるCMOS素子の製造方法は、多様に変形されうる。例えば、図2Dの構造物を得る方法が変わりうる。その一例が図3Aないし図3Cに示されている。

【0032】

図3Aに示すように、図2Bの絶縁層115より厚い絶縁層115'が形成されている。絶縁層115'の厚さを除いた残りの構成は、図2Bと同一である。

【0033】

図3Bに示すように、エピ層110及び下部層120上にエピタキシャル成長法で半導体層130を成長させる。

【0034】

次いで、半導体層 130 と絶縁層 115' とに CMP を行くと、図 3C に示したような構造が得られる。図 3C の構造は、図 2D の構造と同一である。それ以後の素子の製造方法は、前述した通りである。

【0035】

本発明の実施形態による CMOS 素子は、Si 基板からウェーハボンディングなしに製造できるため、Si 基板でない他の基板、例えば SOI 基板を利用するか、またはウェーハボンディング法を利用しなければならない場合と比べて製造工程が単純であり、製造コストが低減される。特に、本発明の実施形態による CMOS 素子の製造方法において、第 2 半導体層 SL2 と上部層 130a とは、同じ物質で同時に成長されるため、すなわち、一回のエピタキシャル成長工程で形成されるため、これによる工程数減少及びコスト低減効果が得られる。

10

【0036】

前記した説明で多くの事項が具体的に記載されているが、それらは、発明の範囲を限定するというより、望ましい実施形態の例示として解釈されなければならない。例えば、当業者ならば、図 1 の CMOS 素子の構造及び構成要素は、変形及び多様化されうることが分かり、また、図 2A ないし図 2E に示した CMOS 素子の製造方法も多様に変形されうることが分かるであろう。例えば、第 2 半導体層 SL2 と上部層 130a とは、相異なる物質で形成され、同時ではない相異なる時点で別々に形成されるということが分かるであろう。したがって、本発明の範囲は、説明された実施形態により決まるものではなく、特許請求の範囲に記載の技術的思想により決まらねばならない。

20

【産業上の利用可能性】

【0037】

本発明は、電子機器関連の技術分野に適用可能である。

【図面の簡単な説明】

【0038】

【図 1】本発明の実施形態による CMOS 素子を示す断面図である。

【図 2A】本発明の実施形態による CMOS 素子の製造方法を示す断面図である。

【図 2B】本発明の実施形態による CMOS 素子の製造方法を示す断面図である。

【図 2C】本発明の実施形態による CMOS 素子の製造方法を示す断面図である。

【図 2D】本発明の実施形態による CMOS 素子の製造方法を示す断面図である。

30

【図 2E】本発明の実施形態による CMOS 素子の製造方法を示す断面図である。

【図 3A】本発明の他の実施形態による CMOS 素子の製造方法を説明するための断面図である。

【図 3B】本発明の他の実施形態による CMOS 素子の製造方法を説明するための断面図である。

【図 3C】本発明の他の実施形態による CMOS 素子の製造方法を説明するための断面図である。

【符号の説明】

【0039】

100	基板
110	エピ層
115	絶縁層
120	下部層
130	半導体層
130a	上部層
140a	第 1 ゲート絶縁層
140b	第 2 ゲート絶縁層
150a	第 1 ゲート導電層
150b	第 2 ゲート導電層
160	絶縁スペーサ

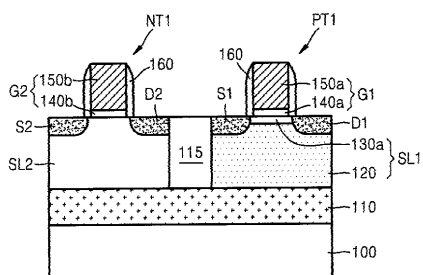
40

50

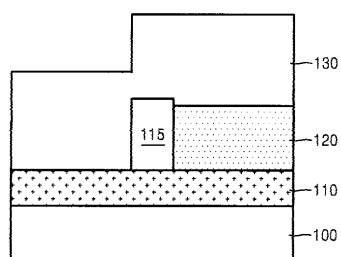
D 1 第 1 ドレイン
 D 2 第 2 ドレイン
 G 1 第 1 ゲート
 G 2 第 2 ゲート
 NT 1 N M O S トランジスタ
 PT 1 P M O S トランジスタ
 S 1 第 1 ソース
 S 2 第 2 ソース
 S L 1 第 1 半 導 体 層
 S L 2 第 2 半 導 体 層

10

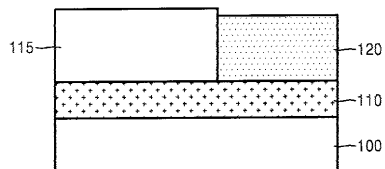
【 図 1 】



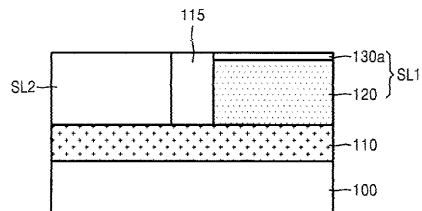
【 図 2 C 】



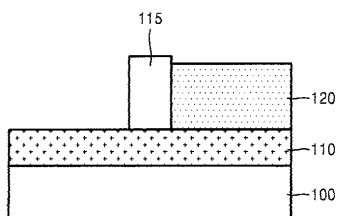
【 図 2 A 】



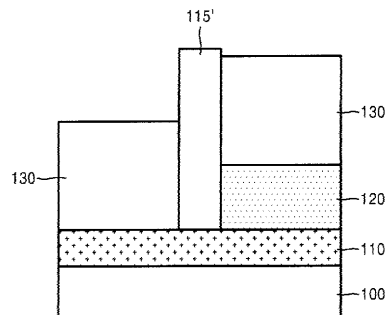
【 図 2 D 】



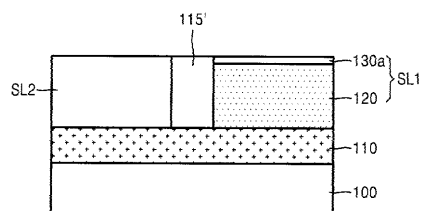
【 図 2 B 】



【 図 3 B 】



【 図 3 C 】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 姜 東勳

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 李 商文

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 田 重錫

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

(72)発明者 白 光鉉

大韓民国京畿道龍仁市器興區農書洞山 1 4 - 1 番地 三星綜合技術院内

F ターム(参考) 5F048 AA07 AA08 AA09 AC03 BA01 BA03 BA15 BB15 BD01 BD05
BD09 BF07 BG11 BG13 BG14 DA24
5F140 AA05 AA40 AB03 AC01 AC28 BA01 BA03 BA05 BA17 BB06
BB13 BB18 BC12 BG08 BJ01 BJ05 BJ30 CB04 CB08 CE07
5F152 LL02 LN32 MM04 NN03 NP04 NQ03 NQ04 NQ06