

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-528669
(P2005-528669A)

(43) 公表日 平成17年9月22日(2005.9.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 15/163	G06F 15/163	5B013
G06F 9/34	G06F 9/34 330	5B033
G06F 9/38	G06F 9/38 370C	5B045

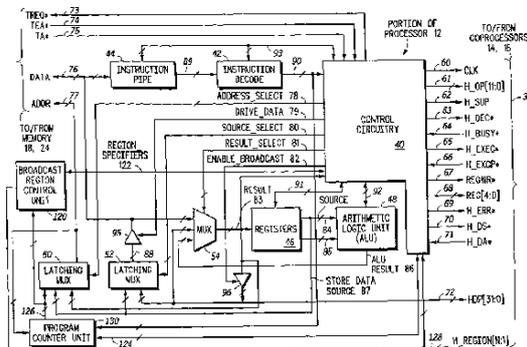
審査請求 未請求 予備審査請求 有 (全 24 頁)

(21) 出願番号	特願2003-544586 (P2003-544586)	(71) 出願人	504199127
(86) (22) 出願日	平成14年10月30日 (2002.10.30)		フリースケール セミコンダクター イン
(85) 翻訳文提出日	平成16年6月18日 (2004.6.18)		コーポレイテッド
(86) 国際出願番号	PCT/US2002/034955		アメリカ合衆国 78735 テキサス州
(87) 国際公開番号	W02003/042819		オースティン ウィリアム キャノンド
(87) 国際公開日	平成15年5月22日 (2003.5.22)		ライブ ウェスト 6501
(31) 優先権主張番号	10/054,577	(74) 代理人	100116322
(32) 優先日	平成13年11月13日 (2001.11.13)		弁理士 桑垣 衛
(33) 優先権主張国	米国 (US)	(72) 発明者	モイヤー、ウィリアム シー、
			アメリカ合衆国 78620 テキサス州
			ドリッピング スプリングス ピア プ
			ランチ ロード 1005
		F ターム (参考)	5B013 DD05
			5B033 AA14 DD04
			5B045 BB04 BB12 GG06 GG08 GG09
			最終頁に続く

(54) 【発明の名称】 プロセッサをコプロセッサに接続する方法及び装置

(57) 【要約】

本発明は概してプロセッサ(12)を少なくとも一つのコプロセッサ(14, 16)に接続する操作に関するものである。一つの実施形態はプロセッサに関するものであり、このプロセッサは一連のブロードキャスト特定子を有し、これらの特定子を使用することによりプロセッサ内の一つのレジスタに書き込まれているオペランドをコプロセッサ通信バスにブロードキャストする。従って各ブロードキャスト特定子はプロセッサの各汎用レジスタに対応するブロードキャスト指示子を含むことができる。別の実施形態では、ブロードキャスト領域(164, 166, 168, 170)の概念も使用し、この場合各ブロードキャスト領域は該当するブロードキャスト特定子を有することができ、さらに一つのブロードキャスト特定子が複数のブロードキャスト領域に対応する。別の構成として、一の実施形態においては、プロセッサはブロードキャスト特定子に関係なくブロードキャスト領域を使用することができ、この場合コプロセッサは現在のブロードキャスト領域に応じてその機能を変えることができる。一の実施形態においては、プロセッサ



【特許請求の範囲】**【請求項 1】**

複数のレジスタを含むレジスタファイル及び同レジスタファイルに対応するブロードキャスト特定子を有するプロセッサが、書込みトランザクションを前記レジスタファイルにコプロセッサ通信バスを介して選択的にブロードキャストする方法であって、
前記レジスタファイルに書き込むべきオペランドを受信する工程と、
前記レジスタファイルの複数のレジスタの内の一つを選択する工程と、
前記レジスタファイルに書き込むべき前記オペランドを前記レジスタファイルに供給する工程と、
前記ブロードキャスト特定子に基づいて、前記レジスタファイルに書き込むべきオペランドを前記コプロセッサ通信バスを介して選択的に供給する工程と、
からなる方法。 10

【請求項 2】

前記ブロードキャスト特定子は一連のブロードキャスト指示子を含み、前記一連のブロードキャスト指示子内の各ブロードキャスト指示子は前記複数のレジスタの内の一つに対応して、
前記レジスタファイルに書き込まれるべき前記オペランドを前記コプロセッサ通信バスを介して選択的に供給する操作は、前記レジスタファイルの複数のレジスタの内の前記選択された一つに対応する前記ブロードキャスト指示子に基づく請求項 1 記載の方法。 20

【請求項 3】

前記ブロードキャスト特定子はプロセッサ内の複数のブロードキャスト特定子の内の一つであり、前記複数のブロードキャスト特定子の各々は前記プロセッサの少なくとも一つのブロードキャスト領域に対応し、そして請求項 4 に記載の方法においてさらに、
現在の書込みトランザクションの現在のブロードキャスト領域に対応する領域指示子を前記コプロセッサ通信バスを介して選択的に供給する請求項 1 記載の方法。 20

【請求項 4】

第 2 プロセッサにコプロセッサ通信バスを介して接続される第 1 プロセッサが、前記第 1 プロセッサの実行モードを選択的に変える方法であって、
前記第 2 プロセッサの現在の実行領域を示す領域指示子を前記第 2 プロセッサから前記コプロセッサ通信バスを介して受信する工程と、
前記第 1 プロセッサの前記実行モードを前記領域指示子に応じて選択的に変える工程と、
からなる方法。 30

【請求項 5】

第 2 プロセッサにコプロセッサ通信バスを介して接続される第 1 プロセッサが、同第 1 プロセッサの実行モードを選択的に変える方法であって、
前記第 2 プロセッサに含まれ、オペランドが書き込まれているレジスタファイルの中の選択されたレジスタを示すレジスタ特定子を前記第 2 プロセッサから前記コプロセッサ通信バスを介して受信する工程と、
前記第 1 プロセッサの実行モードを前記レジスタ特定子に応じて選択的に変える工程と、
からなる方法。 40

【請求項 6】

複数のレジスタを含むレジスタファイルを有するプロセッサが、書込みトランザクションを前記レジスタファイルにコプロセッサ通信バスを介して選択的にブロードキャストする方法であって、
前記レジスタファイルに書き込むべきオペランドを受信する工程と、
前記レジスタファイルの前記複数のレジスタの内の一つを選択する工程と、
前記レジスタファイルに書き込むべきオペランドを前記レジスタファイルに供給する工程と、
前記プロセッサの現在の実行領域に基づいて、前記レジスタファイルに書き込まれるべきオペランドを前記コプロセッサ通信バスを介して選択的に供給する工程と、 50

からなる方法。

【請求項 7】

複数のレジスタと、
同複数のレジスタの内の一つに対して書込み動作を実行する回路と、
前記書込み動作実行用のオペランドを前記複数のレジスタの内の一つに供給する導電体群と、
一連のブロードキャスト特定子と、
前記複数のレジスタの内一つと前記ブロードキャスト特定子内の選択された一つとを比較し、ブロードキャストイネーブル信号を供給する比較回路と、
同比較回路に接続されて、コプロセッサ通信バスと通信するポートであって、前記ブロードキャストイネーブル信号に応答して前記オペランドを選択的に供給するための、少なくとも一つのコプロセッサ通信バス信号を送信するポート、
を備えるプロセッサ。

【請求項 8】

前記一連のブロードキャスト特定子内の各ブロードキャスト特定子は、一連のブロードキャスト指示子を含み、各ブロードキャスト指示子は前記複数のレジスタの内少なくとも一つに対応する請求項 7 に記載のプロセッサ。

【請求項 9】

さらに、アドレス位置を示すプログラム・カウンタユニットと、
前記プログラム・カウンタユニットに接続され、前記プログラム・カウンタユニットが示す前記アドレス位置が一連のブロードキャスト領域の内一つに入る時を通知するブロードキャスト領域制御ユニットと、
を備える請求項 7 に記載のプロセッサ。

【請求項 10】

複数のレジスタと、
同複数のレジスタの内一つに対して書込み動作を実行する回路と、
前記書込み動作実行用のオペランドを前記複数のレジスタの内一つに供給する導電体群と、
アドレス位置を示すプログラム・カウンタユニットと、
前記プログラム・カウンタユニットに接続され、同プログラム・カウンタユニットが示す前記アドレス位置が一連の実行領域の内一つに入る時を通知する実行領域制御ユニットと、
前記比較回路に接続されて、コプロセッサ通信バスと通信するポートとであって、少なくとも一つのコプロセッサ通信バス信号からなり、この信号により、前記プログラム・カウンタユニットが示す前記アドレス位置が前記一連の実行領域の内一つに入るときに、前記一連の実行領域の内現在の有効領域を通知するポートと、
からなるプロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してプロセッサ及び少なくとも一つのコプロセッサを有するデータ処理システムに関し、特に、プロセッサをコプロセッサに接続する方法及び装置に関する。

【背景技術】

【0002】

ベースラインアーキテクチャ及びプロセッサ機能を専用及び特定化されたハードウェア機能素子によって拡張する能力は、拡大縮小可能で伸縮自在のアーキテクチャの重要な要素である。

【0003】

ベースラインアーキテクチャ及びプロセッサ機能を拡張する好適な方法の一つは、コプロセッサを使用することにより行なわれる。これらのコプロセッサは専用で、かつ普通は

単一目的のプロセッサであり、プロセッサの指示により動作する。コプロセッサの従来の使用法の一つは、数値演算コプロセッサとしてのものであり、このような機能を直接サポートしないアーキテクチャに浮動小数点演算機能を選択的に提供していた。このような数値演算コプロセッサの例としては、インテル製 8087 及び 80287 がある。コプロセッサの他の可能性のある使用法またはタイプとして、乗加算器、変調器/復調器(モデム)、デジタルシグナルプロセッサ(DSP)、v i t t e r b i 計算器、クリプトグラフィックプロセッサ、イメージプロセッサ、及びベクトルプロセッサが挙げられる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

コプロセッサを実現する一つの方法はコプロセッサ・インタフェイスを使用することであり、このインタフェイスをコプロセッサに十分密着して接続し、インタフェイスを十分に高速で使用して、どのように単純な機能でも起動させることにより利点が生じ、しかもインタフェイスを抽出してプロセッサ・アーキテクチャが所定コプロセッサの出来る限り多くの細部から分離されるようにする。例えば、このようにインタフェイスが密着する形で接続されるコプロセッサは、オペランド及び制御ワードをメインプロセッサの専用インタフェイスを介して受信することができる。多くの場合、メインプロセッサは一つの値を、メインプロセッサがそれをメインプロセッサが行なう一連の動作に基づいて生成した後に、コプロセッサに渡す。最後の変更を施した後、この値はコプロセッサに送信される。しかしながら、この最後の転送によりオーバーヘッドが付いてしまい、これが幾つかのコ

20

【課題を解決するための手段】

【0005】

以下の記載においては、特定のワード長または特定のバイト長などの多くの特定の詳細を示して本発明の全容の理解に供する。しかしながらこの技術分野の当業者であれば、本発明がこのような特定の詳細によらずとも実施できるものであることは容易に理解できるものと考えられる。別の例においては、回路をブロック図の形で示して本発明が不必要な細部で不明瞭になることを防止している。ほとんどの場合、タイミングの考察などに関する詳細は、このような詳細が本発明の完全な理解には必要ではなく、しかも関連分野の当業者の技術の範囲内に含まれるので省略する。

30

【0006】

「bus」という用語を使用して複数の信号または導電体を指し、これらの信号または導電体を使用してデータ、アドレス、制御、またはステータス等の一つ以上の種々のタイプの情報を転送する。「assert」及び「negate」という用語は、信号、ステータスビット、または同様な要素をそれぞれ論理的に真の状態または論理的に偽の状態にする動作を指すときに使用する。論理的に真の状態が論理レベル「1」である場合、論理的に偽の状態は論理レベル「0」となる。そして論理的に真の状態が論理レベル「0」である場合、論理的に偽の状態は論理レベル「1」となる。信号名に続く符号「*」は、その信号が負論理信号である(論理的に真の状態が論理レベル「0」の場合を意味する)ことを示す。

40

【発明を実施するための最良の形態】

【0007】

図1はデータ処理システム10の一つの実施形態を示すブロック図であり、このシステムはプロセッサ12、コプロセッサ14、コプロセッサ16、メモリ18、他のモジュール20及び外部バスインタフェイス22を備え、これらは全てバス28を通して双方向通信可能に接続される。本発明の別の実施形態では、一つのみのコプロセッサ14、2つのコプロセッサ14及び16、またはさらに多くのコプロセッサ(図示せず)を有することができる。外部バスインタフェイス22は外部バス26に双方向通信可能に集積回路端子35を通して接続される。メモリ24は外部バス26に双方向通信可能に接続される。プロセッサ12は任意ではあるが、データ処理システム10の外部と集積回路端子31を通

50

して接続することができる。コプロセッサ 14 は任意ではあるが、データ処理システム 10 の外部と集積回路端子 32 を通して接続することができる。メモリ 18 は任意ではあるが、データ処理システム 10 の外部と集積回路端子 33 を通して接続することができる。他のモジュール 20 は任意ではあるが、データ処理システム 10 の外部と集積回路端子 34 を通して接続することができる。プロセッサ 12 はコプロセッサ 14 及びコプロセッサ 16 の両方とコプロセッサ・インタフェイス 30 を通して双方向通信可能に接続される。図 1 には示されないが、別の実施形態はメモリ 18 と同様なメモリをさらにバス 28 を通して接続することもできる。

【0008】

図 2 は図 1 のプロセッサ 12 の一部を示すブロック図である。一つの実施形態では、プロセッサ 12 は制御回路 40、命令デコード回路 42、命令パイプ 44、レジスタ 46、論理演算ユニット (Arithmetic Logic Unit: ALU) 48、ラッチマルチプレクサ (MUX) 50、ラッチマルチプレクサ (MUX) 52、マルチプレクサ (MUX) 54、ブロードキャスト領域制御ユニット 120、及びプログラム・カウンタユニット 130 を含む。本発明の一つの実施形態においては、コプロセッサ・インタフェイス 30 は信号 60 ~ 72 及び 128 を含む。クロック信号 60 は制御回路 40 が生成する。コプロセッサ動作信号 61 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。

【0009】

スーパーバイザモード信号 62 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。デコード信号 63 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。コプロセッサビジー信号 64 は制御回路 40 がコプロセッサ 14 又は 16 から受信する。実行信号 (execute signal) 65 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。例外信号 (exception signal) 66 は制御回路 40 がコプロセッサ 14 又はコプロセッサ 16 から受信する。レジスタライト信号 (REGISTER*) 67 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。レジスタ信号 (REG[4:0]) 68 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。エラー信号 (HERR*) 69 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。データストローブ信号 (H_DS*) 70 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。データアクノリッジ信号 (H_DA*) 71 は制御回路 40 がコプロセッサ 14 又はコプロセッサ 16 から受信する。領域信号 (H_REGION[N:1]) はブロードキャスト領域制御ユニット 20 が生成し、そして制御回路 40 及びコプロセッサ 14 及び 16 に供給される。コプロセッサ・インタフェイス 30 の一部とも考えられるハードウェアデータポート信号 (HDP[31:0]) 72 はコプロセッサ 14 及び 16 とプロセッサ 12 内の内部回路との間で双方向に移動する。

【0010】

本発明の一つの実施形態においては、複数の信号がバス 28 に、またはバス 28 から供給されてメモリ 18 及び / 又はメモリ 24 にデータをロードまたは記憶する。一つの実施形態においては、これらの信号は転送リクエスト信号 (TREQ*) 73 を含み、この信号は制御回路 40 が生成してバス 28 に供給される。転送エラーアクノリッジ信号 (TEA*) 74 は制御回路 40 にバス 28 を通して供給される。転送アクノリッジ信号 (TA*) 75 は制御回路 40 にバス 28 を通して供給される。命令はバス 28 から命令パイプ 44 に導電体 76 を通して供給される。データは MUX 54 に導電体 76 を通して供給される。駆動データ信号 79 によりトライステートバッファ 95 はラッチ MUX 52 からのデータを導電体 88 及び 76 を通して供給することができる。アドレス選択信号 78 によりラッチ MUX 50 はアドレスをバス 28 に導電体 77 を通して供給することができる。MUX 54 への別の入力 HDP 信号 (HDP[31:0]) 72 により行なわれる。MUX 54 への別の入力 ALU 結果導電体 (ALU result conductor) 86 を通して行なわれる。MUX 54 の出力、すなわち結果信号 (result s

10

20

30

40

50

ignals) 83はレジスタ46、及びトライステートバッファ96の入力に供給される。ENABLE_BROADCAST信号82によりトライステートバッファ96はHDP[31:0]72を結果信号83のレベルに駆動することができる。トライステートバッファ96の出力はラッチMUX52の入力にも接続される。結果信号83はラッチMUX50への入力及び制御回路40への入力として供給される。結果信号83はレジスタ46にMUX54を通して供給される。結果選択信号(RESELECT)81はMUX54のどの入力を駆動して結果導電体83に出力すべきかを選択する。ソース選択信号(SOURCE_SELECT)80はラッチMUX52に供給されてどの信号を駆動して導電体88を通してトライステートバッファ95に出力すべきかを選択する。制御回路40は制御情報を供給し、そしてステータス情報をレジスタ46から導電体91を通して受信する。制御回路40は制御信号を供給し、そしてステータス信号を論理演算ユニット48から導電体92を通して受信する。制御回路40は制御信号及び情報信号を供給し、そして制御信号及び情報信号をブロードキャスト領域制御ユニット120からREGION_SPECIFIERS122を通して受信する。制御回路は制御信号を供給し、そしてステータス信号をプログラム・カウンタユニット130から導電体124を通して受信する。制御回路40は制御信号を供給し、そしてステータス信号を命令パイプ44及び命令デコード回路42から導電体93を通して受信する。命令パイプ44は命令を供給できるように命令デコード回路42に導電体89を通して接続される。命令デコード回路42はデコードされた命令情報を制御回路40及びプログラム・カウンタユニット130に導電体90を通して供給する。レジスタ46はソースオペランドを論理演算ユニット48に導電体84を通して供給する。レジスタ46はメモリ18またはメモリ24に記憶されるデータを導電体84、ラッチMUX52、トライステートバッファ95及び導電体76を通して供給する。レジスタ46はアドレス情報をメモリ18またはメモリ24に導電体84、ラッチMUX50及びアドレス導電体77を通して供給する。レジスタ46は第2ソースオペランドを論理演算ユニット48に導電体85を通して供給する。プログラム・カウンタユニット130はプログラムカウンタをメモリ18またはメモリ24に導電体126、ラッチMUX50及びアドレス導電体77を通して供給する。プログラムカウンタ130はまた、プログラムカウンタ情報をブロードキャスト領域制御ユニット120に供給する。プログラムカウンタ130は出力アドレスをラッチMUX50から入力として受信し、次のメモリアドレスを生成する。

【0011】

ここで本発明の別の実施形態はレジスタ46にどのような数のレジスタも含むことができることに注目されたい。また本発明の別の実施形態は情報を伝送するために、双方向バスに代えて一対の単一方向バスを、トライステートバッファに代えてマルチプレクサロジックを使用することができる。例えば、HDP[31:0]または他の双方向バスを別々の入力部分及び出力部分として実現することができる。

【0012】

図3はコプロセッサ14の一部の一の実施形態を示すブロック図である。一の実施形態においては、コプロセッサ14は制御回路100、演算回路102及び任意選択の記憶回路104を含む。制御回路100はプロセッサ12に、信号60~72及び128を含むコプロセッサ・インタフェイス30を通して双方向通信可能に接続される。本発明の一の実施形態においては、制御回路100は動作信号61及びデコード信号63をプロセッサ12から受信するデコード回路106を含む。制御回路100は制御情報を供給し、そしてステータス情報を任意選択の記憶回路104から導電体108を通して受信する。制御回路100は制御情報を供給し、そしてステータス情報を演算回路102から導電体109を通して受信する。演算回路102及び任意選択の記憶回路104は双方向通信可能に導電体110を通して接続される。一つ以上の信号110はバス28または集積回路端子32に供給される、或いはバス28または集積回路端子32から供給される。制御回路100は情報を導電体112を通して、バス28または集積回路端子32から受信する、或いはバス28または集積回路端子32に供給する。信号72は演算回路102及び任意選

択の記憶回路104に双方向に接続される。さらに信号72は、バス28または集積回路端子32に双方向に接続することができる。本発明の別の実施形態においては任意選択の記憶回路104を使用しないことができる。任意選択の記憶回路104を使用する本発明の実施形態においては、この記憶回路は、レジスタ、いずれかのタイプのメモリ、ラッチまたはプログラマブルロジックアレイなどを含むいずれかのタイプの記憶回路を使用して実現することができる。本発明の別の実施形態においては、演算回路102はどのタイプの論理機能または演算機能も実行することができる。

【0013】

このシステムは、特定用途関連の動作のために最適化された外部コプロセッサ14（またはハードウェアアクセラレータ）によるタスクの処理効率化をサポートする。これらの外部コプロセッサ14、16は、頻度カウントを行なうコプロセッサ14と同じように簡単にする、或いはDSPアクセラレーションプロセッサ14のようにもっと複雑な機能を行なえるコプロセッサ14とする、または高速積和演算機能を有するコプロセッサ16とすることができる。

10

【0014】

データは、プロセッサ12とコプロセッサ14との間で、特定の実施形態に適する幾つかのメカニズムの内の一つ以上のメカニズムにより転送される。これらのメカニズムはコプロセッサ14への転送及びコプロセッサ14からの転送に分けることができる。

【0015】

データをコプロセッサ14に転送するメカニズムの内の一つは命令プリミティブを含まないレジスタブロードキャスト(Register Broadcast)メカニズムであるが、通常のプロセッサ12動作に伴う副産物である。このメカニズムは、コプロセッサ14が一つ以上のプロセッサ12レジスタの更新をモニターすることができるように、プロセッサ12の汎用レジスタ(General Purpose Registers : 「GPR」) 46の更新をインタフェイスを介して反映させる操作を含む。この操作は、コプロセッサ14が内部レジスタまたは内部機能を実行するためにGPR46を「充てる」場合に適切なものとなる。この場合、プロセッサ12からコプロセッサ14にパラメータを明示的に渡す必要がなくなる。

20

【0016】

データをコプロセッサ14に転送する別の方法はデータ駆動によるコプロセッシングであり、このコプロセッシングは一つ以上のデータ項目のコプロセッサへの転送を含む。これらの項目を転送することにより、明示的なコプロセッサ命令または指示が無くてもコプロセッシング動作を起動することができる。コプロセッサに付随する通信オーバーヘッドを減らすと、性能を大幅に改善することができる。

30

【0017】

命令プリミティブをベースプロセッサ12に設定して外部コプロセッサ14、16とプロセッサ12との間のオペランド及び命令の明示的な転送も行なう。ハンドシェイクメカニズムを設定して命令及びデータ転送の速度に対する制御を可能にする。

【0018】

ここで、コプロセッサ14機能が実施形態に特定のユニットとなるように構成しているので、同じ命令マッピングが在るとしても所定のユニットの具体的な機能を異なる実施形態間で自由に変えることができる。

40

【0019】

図4はレジスタブロードキャスト動作を示すタイミング図である。コプロセッサ14または外部モニターに渡されるパラメータの性能オーバーヘッドを避けるために、レジスタブロードキャストメカニズム(レジスタスヌーピングメカニズムとも呼ぶことができる) を設定する。これによりコプロセッサ14はプロセッサ12の汎用レジスタ46の内一つ以上のシャドウコピーを実行することができる。この機能は、プロセッサGPR46の内一つに書き込まれている値と、どのレジスタ46が各GPR更新により更新されているのかを示す通知を転送することにより実現する。(ここで、下線の付されたレジスタ、

50

例えば R A 及び R C は該当する命令の送信先レジスタ、例えば A D D C 及び O R をそれぞれ指すことに注目されたい)。ストローブ信号 R E G W R * 6 7 をアサートして各レジスタを更新する。この値を 3 2 ビット双方向データバス H D P [3 1 : 0] 7 2 を通して転送し、そして 5 ビットレジスタ番号バスは、(R E G [4 : 0]) 6 8 に更新されている実際のプロセッサレジスタ 4 6 にポインタを供給する。このレジスタ番号は正常なファイルまたは代わりのファイルのレジスタ 4 6 を指すことができる。好適な実施形態においては、代わりのファイルレジスタは R E G [4] = 1 で示され、そして正常なファイルレジスタは R E G [4] = 0 で示される。しかしながら、本発明はレジスタセットの実際の区分に全く依存しない。

【 0 0 2 0 】

コプロセッサ 1 4 は送信先レジスタ 4 6 番号の通知と共にこの値を内部にラッチして、後のレジスタ情報の明示的な移動を避ける。この機能はデバッグコプロセッサ 1 4 も使用し、レジスタファイル 4 6 またはそのサブセットの状態を追跡する。図 4 はブロードキャスト機能の例を示している。

【 0 0 2 1 】

図 4 に関連して示されるブロードキャスト機能は、レジスタファイルに対する書込みトランザクション毎にブロードキャストを H D P [3 1 : 0] 7 2 を通して行なわれる。従ってこの機能によりコプロセッサ 1 4 はプロセッサ 1 2 のレジスタファイル(すなわち G P R 4 6)のシャドウコピーを保持し、そして幾つかのパラメータをプロセッサ 1 2 からコプロセッサ 1 4 に明示的に渡す必要を無くすることができる。しかしながら、プロセッサ 1 2 及びコプロセッサ 1 4 のブロードキャスト機能をさらに制御する機能に対する要求がある。従って図 5 ~ 9 には、プロセッサ 1 2 に選択的ブロードキャスト機能を持たせ、そしてコプロセッサ 1 4 に選択的更新ポリシーを持たせる本発明の一の実施形態が示されている。

【 0 0 2 2 】

図 5 は、本発明の一の実施形態に従って選択的ブロードキャスト機能の実行を可能にするブロードキャストマスクレジスタを示している。従って、G P R 4 6 の結果更新をすべてブロードキャストするのに代えて、ブロードキャストマスクレジスタを使用して G P R 4 6 のサブセットを選択し、このサブセットに対する結果がコプロセッサ 1 4 にブロードキャストされる。例えば G P R 4 6 の各レジスタに対して、単一ビットをブロードキャスト表示として使用してその特定のレジスタを更新することにより更新されたレジスタコンテンツがコプロセッサ 1 4 に (H D P [3 1 : 0] 7 2 を通して) 転送されるかどうかを判断する。図 5 はブロードキャストマスクレジスタの一例を示しており、この場合 G P R 4 6 は 1 6 個のレジスタを有すると仮定している。この例においては、0 は特定ビットに関連付けられるレジスタがその結果をブロードキャストできないことを示し、そして 1 は特定ビットに関連付けられるレジスタがその結果をブロードキャストできることを示す。従って図 5 の例の場合、ビット位置 8 及び 9 (一つの実施形態においては、G P R 4 6 内のレジスタ R 8 及びレジスタ R 9 を指す) に対応するレジスタの更新のみがコプロセッサ 1 4 にブロードキャストされる。G P R 4 6 が 8 個のレジスタしか含まない場合、ブロードキャストマスクレジスタは 8 ビット長で済む。従ってブロードキャストマスクレジスタは、G P R 4 6 に対応する一連のブロードキャスト表示を有するブロードキャスト指定子であると考えることができる。

【 0 0 2 3 】

一つの実施形態においては、ブロードキャストマスクレジスタ(例えばブロードキャスト特定子)はユーザにより書込み可能であり(ソフトウェアによりアクセス可能な)、従ってシステム状態が変化する際に変更して、新規の要求が生まれるときの種々のコプロセッシングの経時的なアクティビティを明らかにすることができる。別の実施形態においては、ブロードキャストマスクレジスタまたはブロードキャスト特定子は、ブロードキャストマスクレジスタを更新するために構成される特定の命令内の即値フィールドによりアクセスすることができる。別の実施形態では、異なるブロードキャスト特定子及び各レジス

10

20

30

40

50

タの該当するブロードキャスト指示子を提供する異なる方法も使用し、この場合各レジスタはその結果を、図5に示すブロードキャストマスクレジスタを使用せずにプロセッサ12によりブロードキャストする必要がある。例えば、レジスタマスクフィールドをGPR46に対応するメモリ18または24に記憶する。

【0024】

ブロードキャストマスクレジスタ(または他のブロードキャスト特定子)を使用することにより、HDP[31:0]72に与える負荷及び全体の電力消費を減らすことができる。例えば、或る値をコプロセッサ14によりスヌーピングする必要が無い場合、この値を記憶するためにGPR46内の一のレジスタを割り当て、そしてブロードキャストマスクを使用してこのレジスタに関するブロードキャストが行なわれなないようにすることにより、この値がプロセッサ12によりブロードキャストされないようにすることができる。従って、計算値のサブセットのみをプロセッサ12からコプロセッサ14にブロードキャストする必要がある場合、GPR46のサブセットをこれらの値を保持するために確保し、続いてこれらの確保したレジスタの内の一を更新するだけで計算値のブロードキャストを行なうことができる。結果を生成する命令の数が大きいので、全ての書込み結果をブロードキャストすると不必要にHDP[31:0]72に負荷を掛け、そしてより多くの電力を消費する。このようにして、レジスタ更新のサブセットのみがコプロセッサ14にブロードキャストされるようにブロードキャストをマスクすることにより、プロセッサ12内の電力消費を減らし、そしてHDP[31:0]72に掛かる余分の負荷を減らすことができる。

10

20

【0025】

ブロードキャスト機能をさらに制御するために、ブロードキャスト領域を使用することができる。図6はサンプルプログラム空間172を示し、この空間は4つのブロードキャスト領域、すなわちブロードキャスト領域1 164、ブロードキャスト領域2 166、ブロードキャスト領域3 168、及びブロードキャスト領域4 170に分割される。プログラム空間172はプロセッサ12内のどのようなプログラム空間であっても良く、そしてメモリ18または24のようなプログラムメモリのいずれにも配置することができる。ブロードキャスト領域とは命令アドレス範囲(すなわちプログラム領域または実行領域)を指し、この範囲内でブロードキャストを制御する。図6において、各ブロードキャスト領域は該当するブロードキャストマスクを有する。例えば、ブロードキャスト領域1 164はブロードキャストマスク1 158に対応し、ブロードキャスト領域2 166及びブロードキャスト領域4 170はともにブロードキャストマスク2 160に対応し、そしてブロードキャスト領域3 168はブロードキャストマスク3 162に対応する。従って、ブロードキャストマスクは一つ以上のブロードキャスト領域に対応することができる。

30

【0026】

ブロードキャストマスクのブロードキャスト領域に対する割当ては複数の方法で制御することができる。この割当て方法は固定する、またはソフトウェアで制御してユーザによる書込みを可能とする。書込みは、ブロードキャストマスクを各実行ブロードキャスト領域とペアにする制御レジスタを通して行なわれるか、または他の記憶手段を通して行なわれる。システムを実行している間、ブロードキャストマスクのブロードキャスト領域に対する関連付けはユーザプログラム制御により、またはシステムイベントをハードウェアでモニターすることにより、或いはデータ処理システムに適した他のいずれかの制御手段を用いることにより変更することができる。

40

【0027】

コードをブロードキャスト領域内で実行しているときに、該当するブロードキャストマスクを使用して更新結果の選択的ブロードキャストを行なう。例えば、ブロードキャスト領域1 164内では、ブロードキャストマスク1 158で示されるレジスタの更新のみがコプロセッサ14にブロードキャストされる。ブロードキャスト領域2 166またはブロードキャスト領域4 170内では、ブロードキャストマスク2 160で示され

50

るレジスタの更新のみがコプロセッサ 14 にブロードキャストされる。ブロードキャスト領域 3 168 内では、ブロードキャストマスク 3 162 で示されるレジスタの更新のみがコプロセッサ 14 にブロードキャストされる。

【0028】

このようなブロードキャスト領域を使用することによりコプロセッサ 14 の動作を簡単にすることもできる。例えば、コプロセッサ 14 がもはやプロセッサ 12 から明示的な命令の形での通知を要求せず、その代わりに、プロセッサ 12 は厳密な駆動項目しかコプロセッサ 14 に渡さないように設計されているのでデータ駆動方式で動作できる場合がある。よって、ブロードキャスト領域及びブロードキャストマスクを使用することにより、プロセッサ 12 はそのブロードキャスト機能を制御し、従って、それがコプロセッサ 14 に送信する駆動項目を制御することができる。データ駆動方式で動作することにより、個々の制御動作または命令をコプロセッサ 14 または 16 に渡すことにより生じるオーバーヘッドを減らす、または無くすることができるので、システム性能を改善し、そしてシステム電力消費を減らすことができる。

10

【0029】

別の構成として、図 6 のブロードキャスト領域 1 ~ 4 をブロードキャストマスク 1 ~ 3 から独立させて使用することもできる。例えば、ブロードキャスト領域を、ブロードキャストが行なわれる、または行なわれない領域として定義することができる。すなわち、ブロードキャスト領域 1 164 内のコードに対して、ブロードキャストは GPR 46 を更新するときには必ず行なわれる。これに対してブロードキャスト領域 2 を、この範囲内のコードに対してブロードキャストが全く行なわれないように定義することができる。従ってブロードキャスト機能は、ブロードキャストマスクまたはブロードキャストマスクとブロードキャスト領域の組み合わせのみに基づいて、というよりもブロードキャスト領域にのみ基づいて選択的に実行することもできる。

20

【0030】

図 7 は選択的レジスタブロードキャスト動作の一例のタイミング図を示している。命令 ADD R3, R2 及び OR R4, R5 が図 6 のブロードキャスト領域 1 164 内に在り、従ってブロードキャストマスク 1 158 に対応し、この例は図 7 にも示される。命令 ADD R6, R7, SUB R3, R4、及び MUL R9, R10 が図 6 のブロードキャスト領域 2 166 内に在り、従ってブロードキャストマスク 2 160 に対応し、この例は図 7 にも示される。図 7 のタイミング図は、命令が命令パイプライン 4 4 の実行段階にあるときを示している。各命令内の下線の付されたレジスタは送信先レジスタ（結果が書き込まれる先のレジスタ）を示す。

30

【0031】

領域 1 164 内では、ADD R3, R2 の結果がレジスタ R3（この場合、R3 = R3 + R2）に書き込まれる。ブロードキャストマスク 1 158 はビット位置 3 に「1」が書き込まれているので、レジスタ R3 への全ての書込みはプロセッサ 12 によって HDP [31:0] 72 を通してブロードキャストされることになる。従って、図 7 のタイミング図の最初のクロックサイクル内で、ADD 命令の結果（この結果はプロセッサ 12 内の R3 に書き込まれている）は HDP [31:0] 72 を通してコプロセッサ 14 にブロードキャストされる。この結果がブロードキャストされているので、R3 に対応するレジスタ番号もコプロセッサ 14 に REG [4:0] 68 により供給される。REGWR* 67 をアサートすることによりコプロセッサ 14 に着信結果をそのレジスタの内の一つに書き込ませることができ、そして ENABLE__BROADCAST 82 をアサートして図 2 のトライステートバッファ 96 がこの結果を駆動して HDP [31:0] 72 に出力するようにする。また、領域指示子は H__REGION [N:1] 128 によりコプロセッサ 14 に供給される。従って、コードを領域 1 で実行している間、H__REGION [N:1] 128（一の N ビット値に対応する）は「1」を示す。

40

【0032】

OR R4, R5 命令が ADD R3, R2 命令に続き、そしてブロードキャスト領域

50

1 164内に依然として留まるが、その送信先レジスタはR4である。ブロードキャストマスク1 158に従って、R4に書き込まれる結果はブロードキャストされないことになるので、OR命令の結果はコプロセッサ14に供給されず、レジスタ番号はREG[4:0]68を通して要求されず、そしてREGWR*及びENABLE__BROADCASTの両方をデアサートする。

【0033】

次の3つの命令、AND R6, R7, SUB R3, R4、及びMUL R9, R10は全てブロードキャスト領域2 166内に在る。R6, R3及びR9には下線が付され、これらがそれらの該当する命令の送信先レジスタであることを示している。一旦ブロードキャスト領域2 166に入ってしまうと、H__REGION[N:1]128は状態を変えて「2」を示すようになる。ブロードキャスト領域2 166は該当するブロードキャストマスク2 160を有し、このマスクによりレジスタR9及びR6への書込みのみがブロードキャストされる必要があることが示される。従って図7のタイミング図からわかるように、AND命令及びMUL命令の結果のみがブロードキャスト領域2 166に含まれつつHDP[31:0]72を通してコプロセッサ14にブロードキャストされる。各々のレジスタ番号もREG[4:0]68を通して送信され、そしてREGWR*及びENABLE__BROADCAST82の両方がアサートされる。しかしながら、ブロードキャストマスク2 160はブロードキャスト領域2 166内ではR3への書込みがブロードキャストできないことを示しているので、SUB命令の結果はブロードキャストされない。

【0034】

図8は図2の制御回路40の一部の一の実施形態をブロック図の形で示している。制御回路40の一部はブロードキャストマスク1レジスタ134、ブロードキャストマスク2レジスタ136、及びブロードキャストマスクMレジスタ138、マスク選択回路132、及び送信先比較ユニット142を含む。制御回路40はM個のブロードキャストマスクレジスタを含む。(ここで、3つのレジスタの例が示されているが、制御回路40は1つのみの、または2つのブロードキャストマスクレジスタを含むことができることにも留意されたい)。制御回路40はブロードキャストマスク1レジスタ134、ブロードキャストマスク2レジスタ136、及びブロードキャストマスクMレジスタ138に接続されるマスク選択回路132も含む。マスク選択回路はまた、H__REGION[N:1]を受信し、そして現在のブロードキャストマスク140を送信先比較ユニット142に供給する。送信先比較ユニット142は命令デコード42からの導電体90にも接続され、そしてENABLE__BROADCAST82をトライステートバッファ96に供給する。

【0035】

動作状態において、ブロードキャストマスクレジスタ134, 136及び138の値を結果信号83を通してロードすることができる。従って、一の命令をプロセッサ12に発行して値をブロードキャストマスクレジスタにロードすることができるので、導電体90を通しての制御信号により、実際の値がMUX54から結果信号83として供給されている状態でブロードキャストマスクレジスタ134, 136または138をロードする命令を実行するように通知することができる。従って本実施形態においては、ブロードキャストマスクレジスタ134, 136及び138はユーザによる書込みが可能である。マスク選択回路132は、現在実行中のコード領域(すなわち現在のプログラム領域)を示すNビットの値であるH__REGION[N:1]128を受信する。(ここで、領域の数Yはプロセッサ12の構成に依存する形でおおよそブロードキャストマスクレジスタの数程度とすることができることに注目されたい)。マスク選択回路132を多くの異なる方法で構成してブロードキャストマスクレジスタ134, 136, . . . , 138の内の一つをH__REGION[N:1]128により示される各領域に関連付けることができる。一の実施形態においては、マスク選択回路132は特定のブロードキャストマスクを各ブロードキャスト領域に関連付ける。別の実施形態においては、マスク選択回路132はユーザによる書込みが可能でレジスタまたは他の回路を含むことにより選択したブロードキ

10

20

30

40

50

キャストマスクを各ブロードキャスト領域に任意に関連付けることができ、従ってブロードキャストマスクを種々のブロードキャスト領域に共有させることができる。別の構成として、一のブロードキャストマスクを一のブロードキャスト領域に関連付ける操作は、データ処理システム10の状態に基づいて行なうことができ、そしてソフトウェアを使用せずに動的に変えることができる。

【0036】

従ってマスク選択回路132はH__REGION[N:1]128を使用して該当するブロードキャストマスクレジスタ(134, 136または138)を選択し、そしてそれを現在のブロードキャストマスク140として供給する。例えば、H__REGION[N:1]128が図6のブロードキャスト領域2 166を示す場合、マスク選択回路132はブロードキャストマスク2 160に対応する値(この値はブロードキャストマスクレジスタ134, 136または138の内のいずれかに記憶することができる)を有するブロードキャストマスクレジスタを選択することになる。次に送信先比較ユニット142は、命令によってオペランドをいつGPR46内の送信先レジスタに書き込むべきかを判断し、そして命令デコード42により導電体90を通して供給される送信先レジスタを現在のブロードキャストマスク140と比較してブロードキャストを可能にすべきかどうかを判断する。比較により結果をブロードキャストすべきであることが示されると、ENABLE__BROADCAST82をアサートしてトライステートバッファ96が結果を駆動してHDP[31:0]72に出力できるようにする。

【0037】

図9は図2のブロードキャスト領域制御ユニット120の一部の一の実施形態をブロック図の形で示している。ブロードキャスト領域制御ユニット120は、領域1上限レジスタ146、領域1下限レジスタ148、領域2上限レジスタ150、領域2下限レジスタ152、領域Y上限レジスタ154、領域Y下限レジスタ156、及び境界比較ユニット144を含む。領域1上限レジスタ146、領域1下限レジスタ148、領域2上限レジスタ150、領域2下限レジスタ152、領域Y上限レジスタ154、領域Y下限レジスタ156はREGION__SPECIFIERS 122を制御ユニット40から受信し、そしてこれらの特定子を記憶する。特定の特定子は各境界レジスタ146, 148, 150, 152, 154及び156に供給される。これらの特定子は制御回路40が結果83から選択するので命令実行結果値の関数である、または命令デコード90を通して、或いは他の別の手段により供給することができる。境界レジスタ146, 148, 150, 152, 154及び156は出力を境界比較ユニット144に供給する。境界比較ユニット144はまた、プログラム・カウンタユニット130からの導電体126に接続され、そしてH__REGION[N:1]128を出力として供給する。

【0038】

動作状態において、領域1上限レジスタ146及び領域1下限レジスタ148によりブロードキャスト領域1(例えば、図6のブロードキャスト領域1 164のような)に対応する開始命令アドレス及び終了命令アドレスを定義する。従って、プログラムカウンタ(プログラム・カウンタユニット130内の)が開始命令アドレスから終了命令アドレスの範囲(すなわち、領域1の上限から下限の範囲)に入ると、境界比較ユニット144はH__REGION[N:1]128を出力して領域1を通知する。同様にして、例えば150及び152または154及び156のような領域上限と領域下限の各ペアによりブロードキャスト領域を定義し、そしてプログラムカウンタがこれらの領域のいずれかに入ると、該当する領域がH__REGION[N:1]128として出力される。ここで図9に示すように、ブロードキャスト領域制御ユニット120は3つのブロードキャスト領域定義を含むが、どのような数Yの領域を定義することもできる。これらの上限レジスタ及び下限レジスタ(146, 148, 150, 152, 154及び156)は全て、これらのレジスタをロードするために値及び制御信号の両方を供給するREGION__SPECIFIERS 122を通してユーザが書込みできるものとすることができる。

【0039】

10

20

30

40

50

別の実施形態においては、他の方法及びレジスタを使用してブロードキャスト領域を定義することができる。例えば、一のベースアドレス及び一のマスクを使用して下限及び上限ではなく各ブロードキャスト領域を定義することができる。また、ページ属性を使用してブロードキャスト領域をシステムの中に、プロテクション制御またはリロケーション制御（アドレス変換バッファ：table look aside buffer：TLBのような）を利用して定義することができる。別の実施形態においては、ブロードキャスト領域制御ユニット120を制御回路40内に配置することもできる。別の構成として、ブロードキャストマスクレジスタ及びブロードキャスト領域定義レジスタを組み合わせることで特定のマスクを特定の領域により選択することができる。このようにして、マスク及び領域定義を更新するためのオーバーヘッドを減らすことができる。また上述したように、種々のブロードキャスト領域が一の同じブロードキャストマスクを共有すると、ブロードキャストマスクレジスタの数も減らすことができる。また、別の実施形態ではブロードキャスト領域情報をコプロセッサ14に供給する必要が無いのでH__REGION[N：1]128が不要になる。

10

【0040】

本発明の別の実施形態においては、図6のブロードキャスト領域1～4によりコプロセッサ14が選択的な実行モードポリシーを実行することも可能になる。ブロードキャスト領域は実行領域と言うこともできる。例えば、現在の実行領域（上述のH__REGION[N：1]128のような）を示す信号を渡すことにより、プロセッサ12は実行コンテキストをコプロセッサ14に供給することができる。すなわち、H__REGION[N：1]128を使用してコプロセッサ14にそれ自体をセットアップさせて種々の固有のデータ駆動動作モードで動作させることができ、この場合これらのモードはプロセッサ12の動作中にH__REGION[N：1]128の値により動的に選択される。例えば、現在の実行領域（すなわち、プログラムコードの内のどのセクションが現在実行されているか）に依存する形で、コプロセッサ14をH__REGION[N：1]128に従ってセットアップして種々のモードで動作させる、または種々の機能を実行させることができる。例えば、H__REGION[N：1]128が実行領域2を示す場合、コプロセッサ14はサイクリックリダンダンシーチェック（Cyclic Redundancy Check）をメモリへの転送に対して実行し、そしてH__REGION[N：1]128が実行領域3を示す場合、コプロセッサ14はフィルタリング機能、またはその代わりにハードウェア型ハッシング機能を実行する。従って、コプロセッサ14は現在の実行領域に応じてその機能を変えることができる。

20

30

【0041】

本発明の幾つかの実施形態においては、H__REGION[N：1]128を通して現在の実行領域特定子を受信するのに応答してコプロセッサ14の動作を変更するというコンセプトにより、コプロセッサを簡素化できるのみならず、プロセッサ12とコプロセッサ14との間の命令転送に際して生じるオーバーヘッドを減らすことができる。コプロセッサ14はデータ駆動方式で動作することができ、この方式においては処理がプロセッサ12からHDP[31：0]72を通してのデータ転送、及びGPR46の更新されているレジスタのREG[4：0]68を通しての通知に応答して行なわれる。ブロードキャストマスクのコンセプトを採用すると、厳密なデータ駆動項目のみがコプロセッサ14に渡される。このようにして、REG[4：0]68が示し、プロセッサ12が実行している命令の送信先レジスタに対応する各値はさらに、コプロセッサ14が実行する特定の動作を現在の実行コンテキストの関数として通知するように機能する。プロセッサ12が命令を実行すると、GPR46内の特定のレジスタが目標となって、レジスタブロードキャスト動作が行なわれるときに、コプロセッサ14により選択される機能が間接的に有効になる。さらに、REG[4：0]68の特定コードが対応する選択される機能は、H__REGION[N：1]が示す実行コンテキストが変化すると変化し、プロセッサ12によりコプロセッサ14を明示的に再構成する際のオーバーヘッドを無くすることができる。

40

【0042】

50

上述の明細書においては、本発明を特定の実施形態を参照して記載してきた。しかしながら、この技術分野の当業者であれば種々の変形及び変更を以下に示す請求項に示される本発明の技術範囲から逸脱しない範囲において実施形態に加え得ることを理解できるであろう。例えば、本明細書に記載される回路を単一集積回路、または一つ以上の集積回路、或いはハードウェア及びソフトウェアの組み合わせにより具現化することができる。従って、本明細書及び図面は制限的な意味ではなく例示として捉えられるべきであり、そのような変形の全ては本発明の技術範囲に含まれるべきものであると考えられる。

【0043】

効果、他の利点、及び問題解決法が特定の実施形態に関連する形で上に記載されてきた。しかしながら、効果、利点、問題解決法、及びこのような効果、利点、または問題解決法をもたらす、またはさらに顕著にさせるすべての要素(群)が、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴、或いは要素であると考えられるべきではない。この明細書で使用されるように、「comprises」、「comprising」という用語、または他のすべてのこれらの変形は包括的な意味を指すものであり、例えば一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含む、ということではなく、明らかに挙げていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素を含むことができる。

10

【図面の簡単な説明】

【0044】

本発明は例を通して示されるが以下の図面により制限されるものではなく、これらの図面では同様な参照符号は同様な要素を示す。

20

【図1】本発明によるデータ処理システムの一実施形態を示すブロック図。

【図2】図1のプロセッサの一部の一実施形態を示すブロック図。

【図3】図1のコプロセッサの一部の一実施形態を示すブロック図。

【図4】レジスタブロードキャスト動作の一実施形態を示すタイミング図。

【図5】ブロードキャストマスクレジスタの一実施形態を示すブロック図。

【図6】ブロードキャスト領域の一実施形態を示すブロック図。

【図7】レジスタブロードキャスト動作の別の実施形態を示すタイミング図。

【図8】図2の制御回路の一部の一実施形態を示すブロック図。

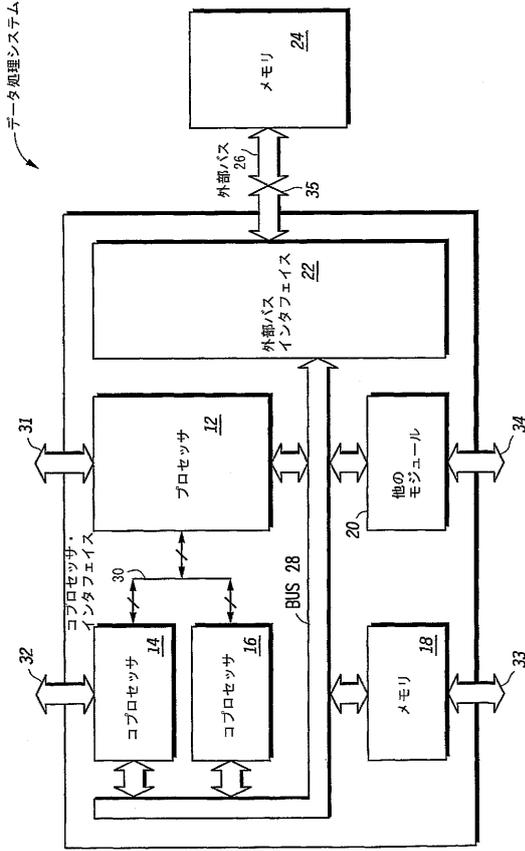
【図9】図2のブロードキャスト領域制御ユニットの一部の一実施形態を示すブロック図

30

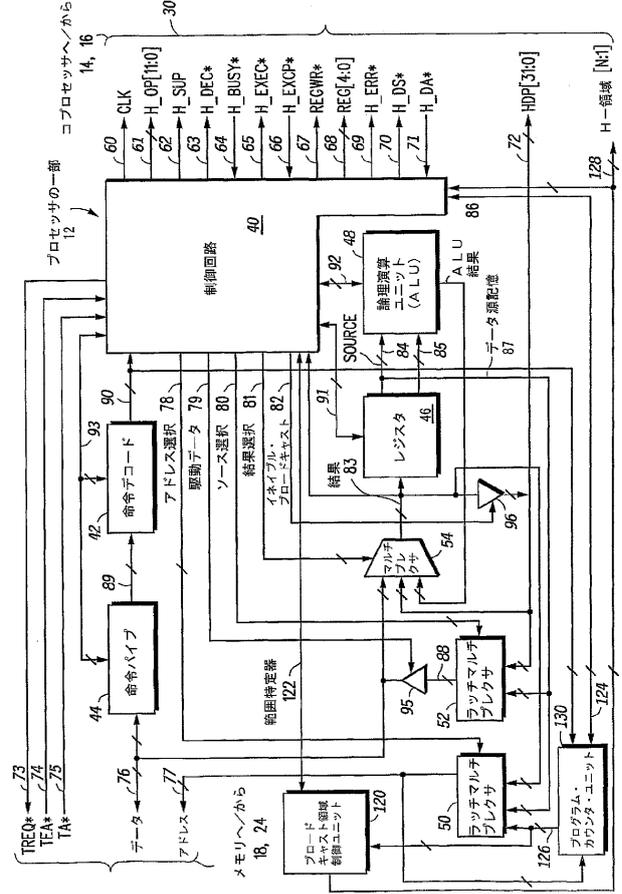
【0045】

当業者であれば、図の構成要素は簡潔性及び明瞭性のために例示されており、そして必ずしも実際の寸法通りには描かれていないことがわかるであろう。例えば、図の構成要素の幾つかの寸法は他の構成要素に対して誇張されていて本発明の実施形態の理解を深めるのに役立つようになっている。

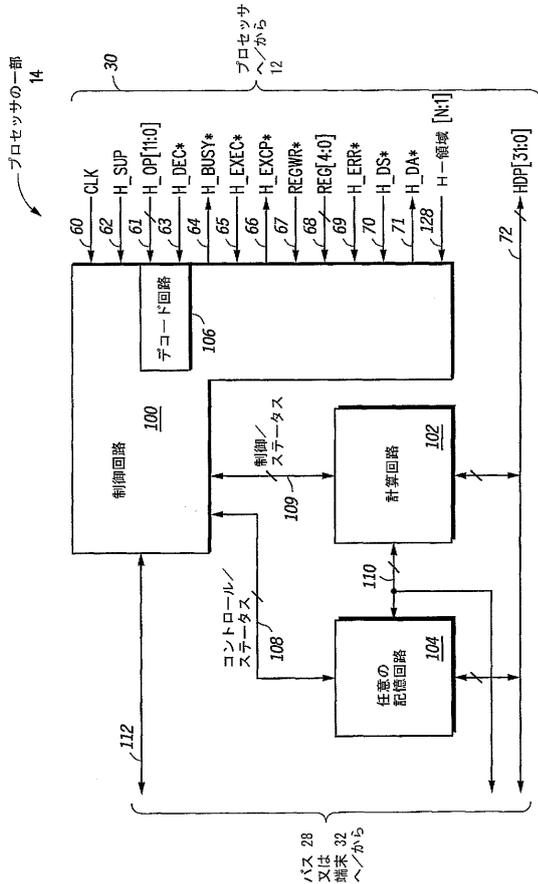
【図 1】



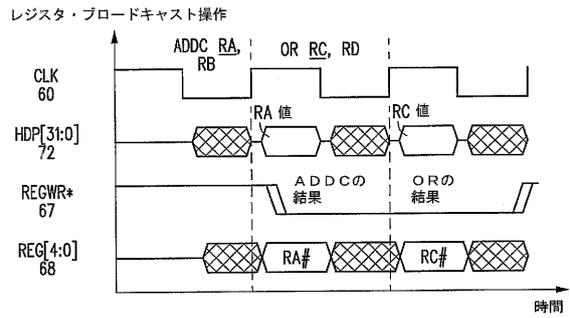
【図 2】



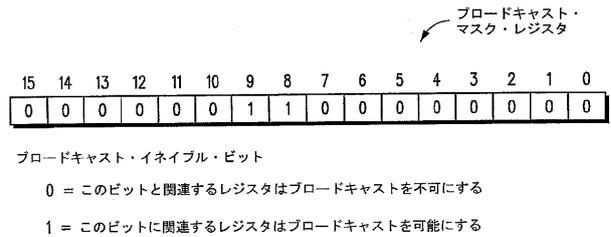
【図 3】



【図 4】



【図 5】



プロードキャスト・イネイブル・ビット

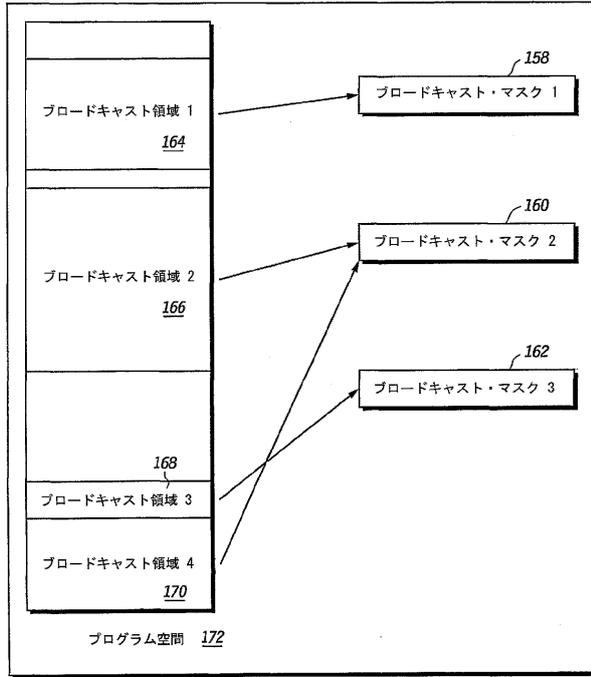
0 = このビットに関連するレジスタはプロードキャストを不可にする

1 = このビットに関連するレジスタはプロードキャストを可能にする

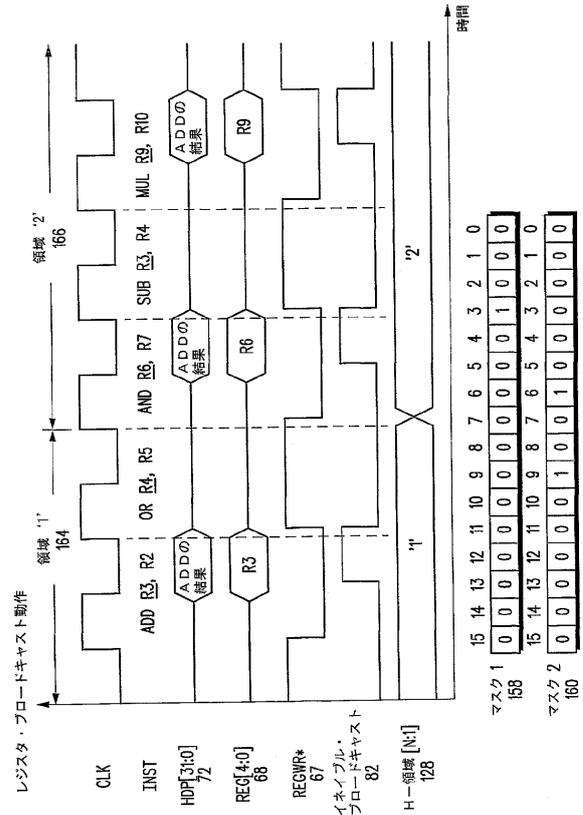
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0

プロードキャスト・マスク・レジスタ

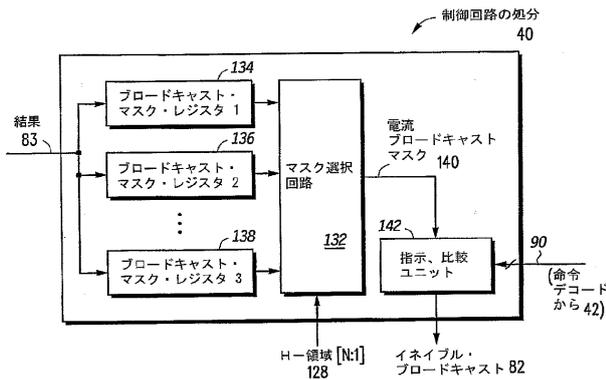
【図 6】



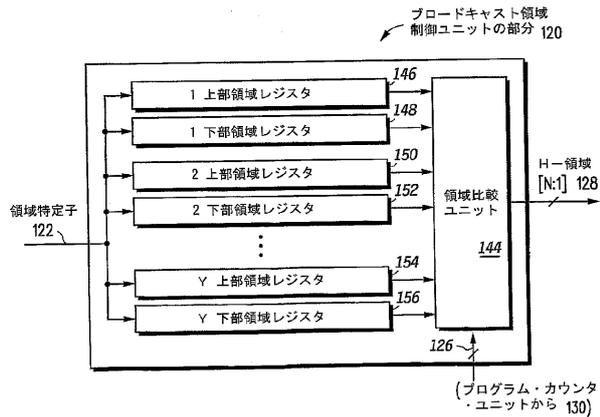
【図 7】



【図 8】



【図 9】



【手続補正書】

【提出日】平成15年9月26日(2003.9.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 複数のレジスタを含むレジスタファイル及び同レジスタファイルに対応するブロードキャスト特定子を有するプロセッサが、書込みトランザクションを前記レジスタファイルにコプロセッサ通信バスを介して選択的にブロードキャストする方法であって、

前記レジスタファイルに書き込むべきオペランドを受信する工程と、

前記レジスタファイルの複数のレジスタの内の一つを選択する工程と、

前記レジスタファイルに書き込むべき前記オペランドを前記レジスタファイルに供給する工程と、

前記ブロードキャスト特定子に基づいて、前記レジスタファイルに書き込むべきオペランドを前記コプロセッサ通信バスを介して選択的に供給する工程と、

からなる方法。

【請求項2】 前記ブロードキャスト特定子は一連のブロードキャスト指示子を含み、前記一連のブロードキャスト指示子内の各ブロードキャスト指示子は前記複数のレジスタの内の一つに対応して、

前記レジスタファイルに書き込まれるべき前記オペランドを前記コプロセッサ通信バスを介して選択的に供給する操作は、前記レジスタファイルの複数のレジスタの内の前記選択された一つに対応する前記ブロードキャスト指示子に基づく請求項1記載の方法。

【請求項3】 前記ブロードキャスト特定子はプロセッサ内の複数のブロードキャスト特定子の内の一つであり、前記複数のブロードキャスト特定子の各々は前記プロセッサの少なくとも一つのブロードキャスト領域に対応し、そして請求項1に記載の方法においてさらに、

現在の書込みトランザクションの現在のブロードキャスト領域に対応する領域指示子を前記コプロセッサ通信バスを介して選択的に供給する請求項1記載の方法。

【請求項4】 第2プロセッサにコプロセッサ通信バスを介して接続される第1プロセッサが、前記第1プロセッサの実行モードを選択的に変える方法であって、

前記第2プロセッサの現在の実行領域を示す領域指示子を前記第2プロセッサから前記コプロセッサ通信バスを介して受信する工程と、

前記第1プロセッサの前記実行モードを前記領域指示子に応じて選択的に変える工程と、
からなる方法。

【請求項5】 第2プロセッサにコプロセッサ通信バスを介して接続される第1プロセッサが、同第1プロセッサの実行モードを選択的に変える方法であって、

前記第2プロセッサに含まれ、オペランドが書き込まれているレジスタファイルの中の選択されたレジスタを示すレジスタ特定子を前記第2プロセッサから前記コプロセッサ通信バスを介して受信する工程と、

前記第1プロセッサの実行モードを前記レジスタ特定子に応じて選択的に変える工程と、
からなる方法。

【請求項6】 複数のレジスタを含むレジスタファイルを有するプロセッサが、書込みトランザクションを前記レジスタファイルにコプロセッサ通信バスを介して選択的にブロードキャストする方法であって、

前記レジスタファイルに書き込むべきオペランドを受信する工程と、

前記レジスタファイルの前記複数のレジスタの内の一つを選択する工程と、

前記レジスタファイルに書き込むべきオペランドを前記レジスタファイルに供給する工程

と、
前記プロセッサの現在の実行領域に基づいて、前記レジスタファイルに書き込まれるべきオペランドを前記コプロセッサ通信バスを介して選択的に供給する工程と、
からなる方法。

【請求項 7】 複数のレジスタと、
同複数のレジスタの内の一つに対して書込み動作を実行する回路と、
前記書込み動作実行用のオペランドを前記複数のレジスタの内の一つに供給する導電体群と、
一連のブロードキャスト特定子と、
前記複数のレジスタの内の一つと前記ブロードキャスト特定子の内の選択された一つとを比較し、ブロードキャストイネーブル信号を供給する比較回路と、
同比較回路に接続されて、コプロセッサ通信バスと通信するポートであって、前記ブロードキャストイネーブル信号に応答して前記オペランドを選択的に供給するための、少なくとも一つのコプロセッサ通信バス信号を送信するポート、
を備えるプロセッサ。

【請求項 8】 前記一連のブロードキャスト特定子内の各ブロードキャスト特定子は、一連のブロードキャスト指示子を含み、各ブロードキャスト指示子は前記複数のレジスタの内少なくとも一つに対応する請求項 7 に記載のプロセッサ。

【請求項 9】 さらに、アドレス位置を示すプログラム・カウンタユニットと、
前記プログラム・カウンタユニットに接続され、前記プログラム・カウンタユニットが示す前記アドレス位置が一連のブロードキャスト領域の内の一つに入る時を通知するブロードキャスト領域制御ユニットと、
を備える請求項 7 に記載のプロセッサ。

【請求項 10】 複数のレジスタと、
同複数のレジスタの内の一つに対して書込み動作を実行する回路と、
前記書込み動作実行用のオペランドを前記複数のレジスタの内の一つに供給する導電体群と、
アドレス位置を示すプログラム・カウンタユニットと、
前記プログラム・カウンタユニットに接続され、同プログラム・カウンタユニットが示す前記アドレス位置が一連の実行領域の内の一つに入る時を通知する実行領域制御ユニットと、
前記実行領域制御ユニットに接続されて、コプロセッサ通信バスと通信するポートとであって、少なくとも一つのコプロセッサ通信バス信号からなり、この信号により、前記プログラム・カウンタユニットが示す前記アドレス位置が前記一連の実行領域の内の一つに入るときに、前記一連の実行領域の内の現在の有効領域を通知するポートと、
からなるプロセッサ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

スーパーバイザモード信号 62 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。デコード信号 63 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。コプロセッサビジー信号 64 は制御回路 40 がコプロセッサ 14 又は 16 から受信する。実行信号 (execute signal) 65 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。例外信号 (exception signal) 66 は制御回路 40 がコプロセッサ 14 又はコプロセッサ 16 から受信する。レジスタライト信号 (REGISTER*) 67 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。レジスタ信号 (REG[4:0]) 68 は制御

回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。エラー信号 (H__ERR*) 69 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。データストローブ信号 (H__DS*) 70 は制御回路 40 が生成し、そしてコプロセッサ 14 及び 16 に供給される。データアクノリッジ信号 (H__DA*) 71 は制御回路 40 がコプロセッサ 14 又はコプロセッサ 16 から受信する。領域信号 (H__REGION[N:1]) はブロードキャスト領域制御ユニット 120 が生成し、そして制御回路 40 及びコプロセッサ 14 及び 16 に供給される。コプロセッサ・インタフェース 30 の一部とも考えられるハードウェアデータポート信号 (HDP[31:0]) 72 はコプロセッサ 14 及び 16 とプロセッサ 12 内の内部回路との間で双方向に移動する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の一つの実施形態においては、複数の信号がバス 28 に、またはバス 28 から供給されてメモリ 18 及び / 又はメモリ 24 にデータをロードまたは記憶する。一つの実施形態においては、これらの信号は転送リクエスト信号 (TREQ*) 73 を含み、この信号は制御回路 40 が生成してバス 28 に供給される。転送エラーアクノリッジ信号 (TEA*) 74 は制御回路 40 にバス 28 を通して供給される。転送アクノリッジ信号 (TA*) 75 は制御回路 40 にバス 28 を通して供給される。命令はバス 28 から命令パイプ 44 に導電体 76 を通して供給される。データは MUX 54 に導電体 76 を通して供給される。駆動データ信号 79 によりトライステートバッファ 95 はラッチ MUX 52 からのデータを導電体 88 及び 76 を通して供給することができる。アドレス選択信号 78 によりラッチ MUX 50 はアドレスをバス 28 に導電体 77 を通して供給することができる。MUX 54 への別の入力 HDP 信号 (HDP[31:0]) 72 により行なわれる。MUX 54 への別の入力 ALU 結果導電体 (ALU result conductors) 86 を通して行なわれる。MUX 54 の出力、すなわち結果信号 (result signals) 83 はレジスタ 46、及びトライステートバッファ 96 の入力に供給される。ENABLE__BROADCAST 信号 82 によりトライステートバッファ 96 は HDP[31:0] 72 を結果信号 83 のレベルに駆動することができる。トライステートバッファ 96 の出力はラッチ MUX 52 の入力にも接続される。結果信号 83 はラッチ MUX 50 への入力及び制御回路 40 への入力として供給される。結果信号 83 はレジスタ 46 に MUX 54 を通して供給される。結果選択信号 (RESULT_SELECT) 81 は MUX 54 のどの入力を駆動して結果導電体 83 に出力すべきかを選択する。ソース選択信号 (SOURCE_SELECT) 80 はラッチ MUX 52 に供給されてどの信号を駆動して導電体 88 を通してライステートバッファ 95 に出力すべきかを選択する。制御回路 40 は制御情報を供給し、そしてステータス情報をレジスタ 46 から導電体 91 を通して受信する。制御回路 40 は制御信号を供給し、そしてステータス信号を論理演算ユニット 48 から導電体 92 を通して受信する。制御回路 40 は制御信号及び情報信号を供給し、そして制御信号及び情報信号をブロードキャスト領域制御ユニット 120 から REGION SPECIFIERS 122 を通して受信する。制御回路は制御信号を供給し、そしてステータス信号をプログラム・カウンタユニット 130 から導電体 124 を通して受信する。制御回路 40 は制御信号を供給し、そしてステータス信号を命令パイプ 44 及び命令デコード回路 42 から導電体 93 を通して受信する。命令パイプ 44 は命令を供給できるように命令デコード回路 42 に導電体 89 を通して接続される。命令デコード回路 42 はデコードされた命令情報を制御回路 40 及びプログラム・カウンタユニット 130 に導電体 90 を通して供給する。レジスタ 46 はソースオペランドを論理演算ユニット 48 に導電体 84 を通して供給する。レジスタ 46 はメモリ 18 またはメモリ 24 に記憶されるデータを導電体 84、ラッチ MUX 52、トライステートバッファ 95 及び導電体 7

6 を通して供給する。レジスタ 4 6 はアドレス情報をメモリ 1 8 またはメモリ 2 4 に導電体 8 4、ラッチ M U X 5 0 及びアドレス導電体 7 7 を通して供給する。レジスタ 4 6 は第 2 ソースオペランドを論理演算ユニット 4 8 に導電体 8 5 を通して供給する。プログラム・カウンタユニット 1 3 0 はプログラムカウンタをメモリ 1 8 またはメモリ 2 4 に導電体 1 2 6、ラッチ M U X 5 0 及びアドレス導電体 7 7 を通して供給する。プログラム・カウンタユニット 1 3 0 はまた、プログラムカウンタ情報をブロードキャスト領域制御ユニット 1 2 0 に供給する。プログラム・カウンタユニット 1 3 0 は出力アドレスをラッチ M U X 5 0 から入力として受信し、次のメモリアドレスを生成する。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

		International Application No PCT/US 02/34955
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F9/38		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, IBM-TDB, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 901 071 A (MOTOROLA INC) 10 March 1999 (1999-03-10) paragraphs '0017!', '0020!; figure 4	1-10
A	GATES A Q ET AL: "DynaMICs: an automated and independent software-fault detection approach" HIGH-ASSURANCE SYSTEMS ENGINEERING, 1999. PROCEEDINGS. 4TH IEEE INTERNATIONAL SYMPOSIUM ON WASHINGTON, DC, USA 17-19 NOV. 1999, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 17 November 1999 (1999-11-17), pages 11-19, XP010364883 ISBN: 0-7695-0418-3 page 17, right-hand column, line 13 - line 26; figure 3	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search 11 February 2003		Date of mailing of the international search report 27/02/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Thibaudeau, J

INTERNATIONAL SEARCH REPORT

Internati Application No
PCT/US 02/34955

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 485 624 A (STEINMETZ JOE H ET AL) 16 January 1996 (1996-01-16) column 1, line 49 -column 2, line 16 -----	1-10

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 02/34955

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0901071 A	10-03-1999	US 6505290 B1	07-01-2003
		CN 1211012 A	17-03-1999
		EP 1282035 A1	05-02-2003
		EP 0901071 A2	10-03-1999
		JP 11154144 A	08-06-1999
		TW 385410 B	21-03-2000
		US 6327647 B1	04-12-2001
US 5485624 A	16-01-1996	DE 69229657 D1	02-09-1999
		DE 69229657 T2	02-12-1999
		EP 0519348 A2	23-12-1992
		JP 3301781 B2	15-07-2002
		JP 5233287 A	10-09-1993

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

【要約の続き】

は領域特定子(H__REGION)をコプロセッサ通信バス(30)を通して供給して現在のブロードキャスト領域を通知することができる。