

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6363851号  
(P6363851)

(45) 発行日 平成30年7月25日 (2018. 7. 25)

(24) 登録日 平成30年7月6日 (2018. 7. 6)

(51) Int. Cl.

F I

**B 4 1 J 2/14 (2006.01)**

B 4 1 J 2/14 6 1 1

**B 4 1 J 2/155 (2006.01)**

B 4 1 J 2/155

B 4 1 J 2/14 2 0 5

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2014-39288 (P2014-39288)  
 (22) 出願日 平成26年2月28日 (2014. 2. 28)  
 (65) 公開番号 特開2015-163433 (P2015-163433A)  
 (43) 公開日 平成27年9月10日 (2015. 9. 10)  
 審査請求日 平成29年2月23日 (2017. 2. 23)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100076428  
 弁理士 大塚 康德  
 (74) 代理人 100112508  
 弁理士 高柳 司郎  
 (74) 代理人 100115071  
 弁理士 大塚 康弘  
 (74) 代理人 100116894  
 弁理士 木村 秀二  
 (74) 代理人 100130409  
 弁理士 下山 治  
 (74) 代理人 100134175  
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 記録装置及び記録ヘッド

(57) 【特許請求の範囲】

【請求項 1】

それぞれが記録素子を含む2個の記録素子基板と、

前記2個の記録素子基板のそれぞれに対応し、対応する記録素子基板に電源電圧を供給する2個の電圧源と、を備える記録装置であって、

前記2個の記録素子基板の各々は、記録素子に供給する電源電圧を受けるための高電位側の端子である第1端子と、前記電源電圧を受けるための低電位側の端子である第2端子と、を有し、

第1の記録素子基板の前記第2端子と、第2の記録素子基板の前記第1端子とは第1配線により互いに接続され、前記第1配線には、電源電圧が供給される第2配線の一端が接続され、

前記2個の電圧源は、第3配線により直列に接続されており、前記第3配線は、前記第2配線のお他端が接続されると共に接地され、

前記記録装置は、前記第1の記録素子基板の前記第2端子と前記第2の記録素子基板の前記第1端子とを接続する第1ノードと、前記第1の記録素子基板に対応する第1の電圧源と前記第2の記録素子基板に対応する第2の電圧源とを接続する第2ノードと、の間に、前記第1ノードの電位の変動を抑制する調整回路をさらに備えており、

前記調整回路は、前記第1の記録素子基板において駆動される記録素子の数量と、前記第2の記録素子基板において駆動される記録素子の数量との差に応じた電圧を、前記第1ノードに出力する

10

20

ことを特徴とする記録装置。

【請求項 2】

前記調整回路は、互いに直列に配された第 1 の電流源および第 2 の電流源を有しており、

前記第 1 の電流源は、前記第 1 の記録素子基板において駆動される記録素子の数量に応じた量の電流を供給し、

前記第 2 の電流源は、前記第 2 の記録素子基板において駆動される記録素子の数量に応じた量の電流を供給し、

前記調整回路は、前記第 1 の電流源の電流量と前記第 2 の電流源の電流量との差に応じた電圧を出力する

10

ことを特徴とする請求項 1 に記載の記録装置。

【請求項 3】

前記調整回路は、互いに直列に配された第 1 の経路および第 2 の経路を有しており、

前記第 1 の経路および前記第 2 の経路の其々は、互いに並列に配された複数の抵抗素子と、スイッチ手段とを含み、

前記第 1 の経路では、前記スイッチ手段は、前記第 1 の記録素子基板において駆動される記録素子の数量に応じた数量の抵抗素子を駆動し、

前記第 2 の経路では、前記スイッチ手段は、前記第 2 の記録素子基板において駆動される記録素子の数量に応じた数量の抵抗素子を駆動し、

前記調整回路は、前記第 1 の経路において駆動された抵抗素子の数量と前記第 2 の経路において駆動された抵抗素子の数量との差に応じた電圧を出力する

20

ことを特徴とする請求項 1 に記載の記録装置。

【請求項 4】

前記記録素子基板を含む記録ヘッドはフルライン型である、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の記録装置。

【請求項 5】

前記 2 個の記録素子基板を含む複数の記録素子基板を備え、前記複数の記録素子基板は千鳥状に配列されている、

ことを特徴とする請求項 4 に記載の記録装置。

【請求項 6】

前記 2 個の記録素子基板の各々に記録剤を供給するための記録剤供給部をさらに備える、

30

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の記録装置。

【請求項 7】

それぞれが記録素子を含む 2 個の記録素子基板と、

前記 2 個の記録素子基板のそれぞれに対応し、対応する記録素子基板に電源電圧を供給する 2 個の電圧源と、を備える記録ヘッドであって、

前記 2 個の記録素子基板の各々は、記録素子に供給する電源電圧を受けるための高電位側の端子である第 1 端子と、前記電源電圧を受けるための低電位側の端子である第 2 端子と、を有し、

40

第 1 の記録素子基板の前記第 2 端子と、第 2 の記録素子基板の前記第 1 端子とは第 1 配線により互いに接続され、前記第 1 配線には、電源電圧が供給される第 2 配線の一端が接続され、

前記 2 個の電圧源は、第 3 配線により直列に接続されており、前記第 3 配線は、前記第 2 配線他端が接続されると共に接地され、

前記記録ヘッドは、前記第 1 の記録素子基板の前記第 2 端子と前記第 2 の記録素子基板の前記第 1 端子とを接続する第 1 ノードと、前記第 1 の記録素子基板に対応する第 1 の電圧源と前記第 2 の記録素子基板に対応する第 2 の電圧源とを接続する第 2 ノードと、の間に、前記第 1 ノードの電位の変動を抑制する調整回路をさらに備えており、

前記調整回路は、前記第 1 の記録素子基板において駆動される記録素子の数量と、前記

50

第 2 の記録素子基板において駆動される記録素子の数量との差に応じた電圧を、前記第 1 ノードに出力する

ことを特徴とする記録ヘッド。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記録装置及び記録ヘッドに関する。

【背景技術】

【0002】

特許文献 1 は、複数の記録素子基板を備えた記録ヘッドを例示している。該複数の記録素子基板は 2 列に千鳥配列されており、これにより、記録媒体の幅方向（記録媒体の搬送方向と交差する方向）の全域にわたる記録を一度に行うことが可能な、いわゆるフルライン型の記録ヘッドを形成している。記録ヘッドには、複数の記録素子基板の其々に電源電圧を供給するための電源配線が設けられ、一般には、該電源配線としてフレキシブルケーブルが用いられる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 296638 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

各記録素子基板において駆動される記録素子の数量が増大すると、上述の電源配線では電圧降下が生じうる。一方で、複数の記録素子基板の其々に個別に電源電圧を供給できるように、複数の記録素子基板に対応する複数の電源配線を設けると、各記録素子基板に対して、電源電圧を受けるための正端子および負端子の少なくとも 2 つの電源端子を設ける必要がある。すなわち、例えば、記録素子基板の数量を  $N$  とすると、 $2 \times N$  本の電源配線を設けることになってしまう。

【0005】

本発明の目的は、複数の記録素子基板を備える記録ヘッドにおいて、電源配線における電圧降下を抑制しつつ、電源配線の数量を低減するのに有利な技術を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一つの側面は記録装置にかかり、前記記録装置は、それぞれが記録素子を含む 2 個の記録素子基板と、前記 2 個の記録素子基板のそれぞれに対応し、対応する記録素子基板に電源電圧を供給する 2 個の電圧源と、を備える記録装置であって、前記 2 個の記録素子基板の各々は、記録素子に供給する電源電圧を受けるための高電位側の端子である第 1 端子と、前記電源電圧を受けるための低電位側の端子である第 2 端子と、を有し、第 1 の記録素子基板の前記第 2 端子と、第 2 の記録素子基板の前記第 1 端子とは第 1 配線により互いに接続され、前記第 1 配線には、電源電圧が供給される第 2 配線の一端が接続され、前記 2 個の電圧源は、第 3 配線により直列に接続されており、前記第 3 配線は、前記第 2 配線他端が接続されると共に接地され、前記記録装置は、前記第 1 の記録素子基板の前記第 2 端子と前記第 2 の記録素子基板の前記第 1 端子とを接続する第 1 ノードと、前記第 1 の記録素子基板に対応する第 1 の電圧源と前記第 2 の記録素子基板に対応する第 2 の電圧源とを接続する第 2 ノードと、の間に、前記第 1 ノードの電位の変動を抑制する調整回路をさらに備えており、前記調整回路は、前記第 1 の記録素子基板において駆動される記録素子の数量と、前記第 2 の記録素子基板において駆動される記録素子の数量との差に応じた電圧を、前記第 1 ノードに出力することを特徴とする。

## 【発明の効果】

## 【0007】

本発明によれば、複数の記録素子基板を備える記録ヘッドにおいて、電源配線における電圧降下を抑制しつつ、電源配線の数量を低減することができる。

## 【図面の簡単な説明】

## 【0008】

【図1】記録装置の構成例の概略を説明する図。

【図2】記録素子基板の構成例を説明する図。

【図3】動作タイミングチャートを説明する図。

【図4】記録ヘッドに電源電圧を供給するための構成例を説明する図。

【図5】動作タイミングチャートを説明する図。

【図6】記録素子基板の断面構造の例を説明する図。

【図7】記録ヘッドに電源電圧を供給するための他の構成例を示す図。

【図8】ユニット709の構成例を説明する図。

【図9】記録ヘッドに電源電圧を供給するための他の構成例を説明する図。

【図10】動作タイミングチャートを説明する図。

【図11】記録ヘッドに電源電圧を供給するための他の構成例を示す図。

【図12】記録ヘッドに電源電圧を供給するための他の構成例を説明する図。

## 【発明を実施するための形態】

## 【0009】

## (第1実施形態)

図1～5を参照しながら第1実施形態を説明する。図1は、記録装置PAの構成例を説明するブロック図である。記録装置PAは、大きく、本体部分101と記録ヘッド102とに分けられる。記録ヘッド102は複数の記録素子基板201を備えており、各記録素子基板201には複数の記録素子が配列されている。本体部分101は、例えば、電圧供給部106と制御部107とを備えている。電圧供給部106は、電源供給ライン103を介して、複数の記録素子基板201の其々に電源電圧をそれぞれ供給する。制御部107は、駆動信号ライン105を介して、複数の記録素子基板201の其々に制御信号をそれぞれ供給する。

## 【0010】

図2は、記録素子基板201の構成例を示している。本実施形態では、記録素子基板201は、記録素子駆動部204（以下、「駆動部204」と称する）と、記録素子選択部205（以下、「選択部205」と称する）とを備える。

## 【0011】

駆動部204は、複数の記録素子と、複数の駆動素子とを備える。各駆動素子は、1つの記録素子に対応するように配されており、導通状態になることによって、対応する記録素子を駆動する。なお、記録素子には、通電されることによって発熱するヒーターとして抵抗素子が用いられ、例えばTaSiN等の金属薄膜で形成される。また、駆動素子には、例えばMOSトランジスタ等のトランジスタが用いられる。また、これらの記録素子および駆動素子は、複数のグループG（G1～Gn）に分けられており、各記録素子はいわゆる時分割駆動方式で駆動される。具体的には、駆動部204は、各グループにおけるいずれの記録素子を選択するかを決定するブロック信号206と、該選択された記録素子を駆動するためのデータ信号207とを受けて、複数の記録素子を駆動する。

## 【0012】

選択部205は、複数のシフトレジスタと、複数のラッチと、デコーダーと、AND回路とを備える。各シフトレジスタは、該シフトレジスタが保持するデータを、クロック信号（CLK）を受けて次段のシフトレジスタに転送する。各ラッチは、ラッチ信号（LT）を受けて、対応するシフトレジスタが保持するデータをラッチする。デコーダーは、ラッチからの出力を受けて、ブロック信号206を出力する。

## 【 0 0 1 3 】

各AND回路は、ヒートイネーブル信号（HE）と、ブロック信号206と、対応するラッチからのデータ信号207とを受けて、対応する駆動素子の制御端子（MOSトランジスタのゲート）に信号を出力する。ブロック信号206により選択され、かつ、データ信号207により駆動されるべき記録素子は、HEのパルス幅の期間にわたって駆動され、該期間に応じた量の熱エネルギーを発生させる。記録ヘッド102には、該記録素子に対応するノズル（吐出口）が設けられている。記録剤供給部から供給された記録剤（インク）は、この熱エネルギーを受けて発泡し、該ノズルから吐出される。

## 【 0 0 1 4 】

なお、駆動部204にはヒーター電圧（例えば32V）が供給され、図2では、電源端子として、ヒーター電圧を受けるための端子Hpと、ヒーター電圧に対応する接地端子として端子Lpとを例示している。複数の記録素子と、対応する複数の駆動素子とは、直列に接続されており、各記録素子および各駆動素子は、端子Hpに電氣的に接続された電源ノードと、端子Lpに電氣的に接続された接地ノードとの間に、並列に接続されている。

## 【 0 0 1 5 】

上述の複数の電圧を受ける回路部の各々は、互いに電氣的に分離ないし絶縁されており、該回路部の各々が適切に動作するように電圧が印加される。また、記録素子基板201<sub>1</sub>及び201<sub>2</sub>は、互いに電氣的に分離ないし絶縁されている必要があり、例えば、MOSトランジスタ等の各素子は、トリプルウェル構造を用いて形成されてもよいし、SOI基板を用いて形成されてもよい。

## 【 0 0 1 6 】

図3は、記録装置PAの動作タイミングチャート図を、記録素子基板201に駆動信号ライン105を介して入力される信号（HE、LT、CLK、DATA）ごとに示している。図3（a）は、ラッチ信号（LT信号）の各パルス間の期間を1周期として、4周期分のタイミングチャート図を示している。図3（a）では、1周期に一回、所定のタイミングでヒーター信号が入力される。このヒーター信号（HE信号）により、駆動素子である各トランジスタがON/OFFして、ヒーターがON/OFFする。図3（b）は、1周期分について、LT、CLKおよびDATAのタイミングチャートを示した拡大図である。

## 【 0 0 1 7 】

DATA信号は、記録素子駆動部204が備える複数のヒーターグループ（G1～Gn）それぞれに対応するデータ信号である。図3（b）では、ヒーターグループがn個ある場合を例示しており、1周期の間に記録素子駆動部204が備える各ヒーターグループのDATA信号が入力される。クロック信号（CLK信号）とDATA信号は同期しており、DATA信号が入力される（本実施形態では、High-LowのうちHighとなる）ことで、Highとなるヒーターグループが選択される。具体的には、クロック信号の入力毎そのヒーターグループに対応する記録素子選択部205のシフトレジスタにDATA信号の情報が転送されて書き込まれる。そして、LT信号が入力されると、各ラッチにそのDATA信号の情報が書き込まれる。さらに、図2に示すブロック信号によりヒーターグループ内でONとなるヒーターが選択される。そして、シフトレジスタに書き込まれた情報に基づいて、HE信号が入力される。これにより、記録素子駆動部204が有する複数のヒーターのうち所定のヒーターが駆動する。すなわち、ある周期で特定された情報に基づいて、次の周期のHE信号により記録素子駆動部204の各トランジスタがON/OFFされる。

## 【 0 0 1 8 】

図4は、本実施形態にかかる記録装置PAの構成例のうち、電圧供給部106および記録ヘッド102の部分を中心に示している。記録ヘッド102は、ここでは、2つの記録素子基板201（第1の記録素子基板201<sub>1</sub>及び第2の記録素子基板201<sub>2</sub>）を備えている。電圧供給部106は、記録素子基板201<sub>1</sub>に電源電圧を供給するための第1の電圧源409<sub>1</sub>と、記録素子基板201<sub>2</sub>に電源電圧を供給するための第2の電圧源409

10

20

30

40

50

$_2$ とを含んでいる。

#### 【0019】

ここで、記録素子基板201<sub>1</sub>の端子L<sub>p</sub>と、記録素子基板201<sub>2</sub>の端子H<sub>p</sub>とは第1配線により互いに電氣的に接続される。そして、1本の電源配線(第2配線)が、記録素子基板201<sub>1</sub>の端子L<sub>p</sub>と、記録素子基板201<sub>2</sub>の端子H<sub>p</sub>とに接続される。また、電圧源409<sub>1</sub>の低電位側の端子と、電圧源409<sub>1</sub>の高電位側の端子とは第3配線により互いに電氣的に接続される。記録素子基板201<sub>1</sub>と記録素子基板201<sub>2</sub>とは直列に接続される。

#### 【0020】

電圧源409<sub>1</sub>は、記録素子基板201<sub>1</sub>の端子H<sub>p</sub>と端子L<sub>p</sub>との間に接続される。10  
具体的には、電圧源409<sub>1</sub>の高電位側の端子が記録素子基板201<sub>1</sub>の端子H<sub>p</sub>に接続され、電圧源409<sub>1</sub>の低電位側の端子が記録素子基板201<sub>1</sub>の端子L<sub>p</sub>に接続される。同様に、電圧源409<sub>2</sub>は、記録素子基板201<sub>2</sub>の端子H<sub>p</sub>と端子L<sub>p</sub>との間に接続される。また、記録素子基板201<sub>1</sub>の端子L<sub>p</sub>および記録素子基板201<sub>2</sub>の端子H<sub>p</sub>(これらの間のノードA)は、電圧源409<sub>1</sub>と409<sub>2</sub>との間のノードBに電氣的に接続される。

#### 【0021】

記録素子基板201<sub>1</sub>の端子H<sub>p</sub>と、電圧源409<sub>1</sub>との間の経路には、抵抗R<sub>a</sub>が存在しており、抵抗R<sub>a</sub>は、該経路における電源配線の抵抗成分である。記録素子基板201<sub>1</sub>の端子L<sub>p</sub>と記録素子基板201<sub>2</sub>の端子H<sub>p</sub>との間のノードAと、電圧源409<sub>1</sub>20  
と409<sub>2</sub>との間のノードBとの間の経路には、抵抗R<sub>b</sub>が存在しており、抵抗R<sub>b</sub>は、該経路における電源配線の抵抗成分である。また、記録素子基板201<sub>2</sub>の端子L<sub>p</sub>と、電圧源409<sub>2</sub>との間の経路には、抵抗R<sub>c</sub>が存在しており、抵抗R<sub>c</sub>は、該経路における電源配線の抵抗成分である。なお、ここでは、ノードBは接地されている。

#### 【0022】

電流I<sub>h1</sub>は、記録素子基板201<sub>1</sub>の記録素子列により記録を行う際に、記録素子基板201<sub>1</sub>に流れる電流を示し、電流I<sub>h2</sub>は、記録素子基板201<sub>2</sub>の記録素子列により記録を行う際に、記録素子基板201<sub>2</sub>に流れる電流を示す。この場合、抵抗R<sub>a</sub>での電圧降下は、 $R_a \times I_{h1}$ と表すことができ、抵抗R<sub>c</sub>での電圧降下は、 $R_c \times I_{h2}$ と表すことができる。一方、抵抗R<sub>b</sub>での電圧降下は、 $R_b \times (I_{h1} - I_{h2})$ と表すこと30  
ができる。即ち、図4に例示されるように、ノードBが接地された構成においては、 $I_{h1} > I_{h2}$ の場合は、ノードAの電位は0[V]よりも大きくなり、 $I_{h1} < I_{h2}$ の場合は、ノードAの電位は0[V]よりも小さくなる。また、 $I_{h1} = I_{h2}$ の場合は、ノードAの電位は0[V]となる。なお、本構成ではノードBが接地されているが、この構成に限られるものではなく、例えば、ノードBが他の基準電位に固定されている場合は、上記I<sub>h1</sub>とI<sub>h2</sub>との大小関係によって、ノードAの電位が該基準電位より大きく又は小さくなる。

#### 【0023】

図5は、図4の構成例におけるタイミングチャート図(特に、電流I<sub>h1</sub>及びI<sub>h2</sub>並びにノードAの電位V<sub>A</sub>の値)を期間T1~T4について示している。なお、図5の記録素子基板201に駆動信号ライン105を介して入力される各信号(HE、LT、CLK、DATA)は、図3と同様であるので説明を省略する。ここで、電流I<sub>h1</sub>及びI<sub>h2</sub>は、それぞれ記録素子基板201<sub>1</sub>で駆動する記録素子の数量及び記録素子基板201<sub>2</sub>で駆動する記録素子の数量に応じて、変動する。例えば、期間T1においては、 $I_{h1} > I_{h2}$ であるため、電位V<sub>A</sub>は0[V]よりも大きくなる。期間T2においても同様であるが、I<sub>h1</sub>とI<sub>h2</sub>との差が、期間T1のときよりも小さいため、電位V<sub>A</sub>は期間T1のときよりも小さくなる。一方、期間T3においては、 $I_{h1} < I_{h2}$ であるため、電位V<sub>A</sub>は0[V]よりも小さくなる。期間T4においては、 $I_{h1} = I_{h2}$ であるため、電位V<sub>A</sub>は0[V]となる。40

#### 【0024】

本実施形態では、記録素子基板 201<sub>1</sub> の端子 L<sub>p</sub> と、記録素子基板 201<sub>2</sub> の端子 H<sub>p</sub> とは第 1 配線により互いに電氣的に接続される。そして、電圧源 409<sub>1</sub> の低電位側の端子と、電圧源 409<sub>2</sub> の高電位側の端子とは互いに第 3 配線により電氣的に接続される。そして、第 2 配線の一端は、第 1 配線に接続され、もう一端は第 3 配線に接続される。なお、第 2 配線は、電源電圧が供給される電源配線である。このように、本実施形態では、記録素子基板 201<sub>1</sub> と記録素子基板 201<sub>2</sub> との間の電源配線が共通化されている。この構成によると、記録素子基板 201<sub>1</sub> 及び 201<sub>2</sub> の各々に電源ノードと接地ノードとをそれぞれ設けて電源電圧を供給する構成に比べて、記録素子基板 201<sub>1</sub> の端子 L<sub>p</sub> と記録素子基板 201<sub>2</sub> の端子 H<sub>p</sub> との間のノード A の電位変動が小さくなる。これは、抵抗 R<sub>b</sub> に流れる電流量の絶対値が小さくなるからである。

10

#### 【0025】

具体的には、抵抗 R<sub>b</sub> に対応する電源配線には、記録素子基板 201<sub>1</sub> から放出された電流と、記録素子基板 201<sub>2</sub> に供給される電流とが流れるが、これらの電流の向きは互いに逆であるため、該電源配線に流れる正味の電流量は小さくなる。よって、該電源配線における電圧降下は低減され、その結果、記録素子基板 201<sub>1</sub> 及び 201<sub>2</sub> の各々における端子 H<sub>p</sub> - L<sub>p</sub> 間の電圧変動が抑制される。

#### 【0026】

本実施形態では、上述した構成とすることにより、電源配線における電圧降下を抑制しつつ、電源配線の数量を低減することができる。記録素子基板 201<sub>1</sub> の端子 H<sub>p</sub> と、記録素子基板 201<sub>2</sub> の端子 H<sub>p</sub> とを互いに電氣的に接続する、いわゆる並列接続をして、電源配線の数量を低減した場合、電圧降下を抑制することはできない。これに対し、本実施形態では、記録素子基板 201<sub>1</sub> の端子 L<sub>p</sub> と、記録素子基板 201<sub>2</sub> の端子 H<sub>p</sub> とを互いに電氣的に接続する、いわゆる直列接続をすることにより、電圧降下を抑制しつつ、電源配線の数量を低減することができる。

20

#### 【0027】

また、本実施形態によると、記録素子基板 201<sub>1</sub> 及び 201<sub>2</sub> の各々に電源ノードと接地ノードとをそれぞれ設けて電源電圧を供給する構成に比べて、電源配線の数量を低減することもできる。例えば、記録素子基板 201<sub>1</sub> 及び 201<sub>2</sub> の各々に電源ノードと接地ノードとをそれぞれ設けて電源電圧を供給する構成では、計 4 つの電源配線を用意する必要があるが、本実施形態では、3 つの電源配線を用意すればよい。

30

#### 【0028】

また、本実施形態によると、電圧降下が抑制されるため、印刷の高速化を図ることができる。また、電圧降下が抑制されるため、H<sub>E</sub> のパルス幅を小さくすることも可能である。

#### 【0029】

##### (第 2 実施形態)

図 6 ~ 10 を参照しながら第 2 実施形態を説明する。図 6 (a) 及び (b) は、第 1 実施形態で述べた記録素子基板 201<sub>1</sub> 及び 201<sub>2</sub> の断面構造の例を説明する模式図である。図 6 (a) は、例えば、P 型基板の上に P ウェル及び N ウェルを形成して、これらの各ウェルに MOS トランジスタを形成した場合の構造 601 を示している。図 6 (a) では、左側から右側に向かって、順に、NMOS トランジスタと、PMOS トランジスタと、N チャネル型の LDMOS (Laterally Diffused MOS) トランジスタとを示している。ここで、PMOS トランジスタの N ウェルと、LDMOS トランジスタの P ウェルと、LDMOS トランジスタの N 型ソース領域と、を含む領域を破線で示している。この領域は、NPN 接合を形成している。即ち、構造 601 には、NPN の寄生バイポーラトランジスタが存在する。

40

#### 【0030】

同様にして、図 6 (b) は、N 型基板の上に N ウェル及び P ウェルを形成して、これらの各ウェルに MOS トランジスタを形成した場合の構造 602 を示している。構造 602 については、構造 601 とは極性が逆であることを除いて同様であるため、説明を省略す

50

る。構造 602 には、図中の破線で示されるように、PNP の寄生バイポーラトランジスタが存在する。

【0031】

これらの寄生バイポーラトランジスタは、ベースの電位が変動することにより、ラッチアップを生じさせる。例えば、構造 601 では、PMOS トランジスタのNウェルと、LDMOS トランジスタのPウェルと、LDMOS トランジスタのN型ソース領域とは、NPN の寄生バイポーラトランジスタのコレクタとベースとエミッタとに、それぞれ対応付けられる。ここで、図5を用いて述べたようにノードAの電位が変動したとき、ベース（即ち、LDMOS トランジスタのPウェル）の電位が変動し、上述の寄生バイポーラトランジスタが動作状態になってしまうおそれがある。構造 602 についても同様の理由により、寄生バイポーラトランジスタが動作状態になってしまうおそれがある。

10

【0032】

なお、ここでは、P(N)MOS トランジスタと、N(P)チャネル型のLDMOS トランジスタとの間のNPN(PNP)の寄生バイポーラトランジスタを例示したが、寄生バイポーラトランジスタはこれに限られない。

【0033】

本実施形態では、図7に例示されるように、電圧供給部106は、図4で例示した構成に、ノードAとBとの間に配されたユニット709をさらに含む。ユニット709は、電圧調整を行う調整回路であり、ノードAの電位変動を抑制するように構成される。図8は、ユニット709の回路構成例を示している。

20

【0034】

図8(a)は、ユニット709の第1の構成例を示しており、以下、「ユニット709a」と称する。ユニット709aは、電圧生成部802aおよび出力部803を有する。電圧生成部802aは、電流源804及び805と、スイッチ手段SW1と、抵抗素子806とを有する。電流源804では、記録素子基板201<sub>2</sub>で駆動される記録素子の数量に応じた量の電流が流れる。電流源805では、記録素子基板201<sub>1</sub>で駆動される記録素子の数量に応じた量の電流が流れる。スイッチ手段SW1は、前述のHEに 응답して導通状態となり、これにより、抵抗素子806には、電流源804の電流量と電流源805の電流量との差に相当する量の電流が流れる。その結果、抵抗素子806では電位差が生じることがある。出力部803は、抵抗素子806の一方の端の電位をノードAに出力する。

30

【0035】

よって、ユニット709aの出力は、例えば、電流源804の電流量が電流源805の電流量よりも大きい場合には、0[V]よりも大きくなり、一方、電流源804の電流量が電流源805の電流量よりも小さい場合には、0[V]よりも小さくなる。なお、電流源804の電流量と電流源805の電流量とが互いに等しい場合は、ノードAの電位は0[V]となる。

【0036】

図8(b)は、ユニット709の第2の構成例を示しており、以下、「ユニット709b」と称する。ユニット709bは、電圧生成部802bおよび出力部803を有する。電圧生成部802bは、互いに並列に配された複数の抵抗素子807及び808と、これらを通電するためのスイッチ手段SW2と、抵抗素子809と、AND回路とを有する。

40

【0037】

AND回路は、HEに 응답して、記録素子基板201<sub>2</sub>で駆動される記録素子の数量に応じた量の抵抗素子807が通電するように、スイッチ手段SW2を導通状態にする。また、AND回路は、HEに 응답して、記録素子基板201<sub>1</sub>で駆動される記録素子の数量に応じた量の抵抗素子808が通電するように、スイッチ手段SW2を導通状態にする。これにより、抵抗素子809には、記録素子基板201<sub>1</sub>で駆動される記録素子の数量と記録素子基板201<sub>2</sub>で駆動される記録素子の数量との差に相当する量の電流が流れる。その結果、抵抗素子809では電位差が生じることがある。出力部803は、抵抗素子8

50

09の一方の端の電位をノードAに出力する。よって、ユニット709bは、ユニット709aと同様の動作を行う。

【0038】

即ち、ユニット709a及び709bは、いずれも、記録素子基板201<sub>1</sub>で駆動される記録素子の数量と記録素子基板201<sub>2</sub>で駆動される記録素子の数量との大小関係に基づいて、ノードAの電位を制御する。

【0039】

図9は、図7に例示された記録装置PAにおける電源電圧の電圧降下を説明するための図であり、図4（第1実施形態）とは、電圧供給部106がノードAとBとの間にユニット709を含む点で構成が異なる。この構成によると、ユニット709によって、ノードAの電位変動が抑制される。具体的には、ユニット709がノードBの電位に応じた電圧を出力することにより、電位変動が抑制される。

【0040】

図10は、図9の構成例におけるタイミングチャート図（特に、電流I<sub>h1</sub>及びI<sub>h2</sub>並びにノードA及びBの電位V<sub>A</sub>及びV<sub>B</sub>の値）を期間T1～T4について、図5（第1実施形態）と同様に示している。また、図10には、第1実施形態での電位V<sub>A</sub>についても比較のために示している。本実施形態によると、図8を用いて述べたように、ユニット709が、ノードBの電位V<sub>B</sub>に応じた電圧をノードAに出力する。そのため、電位V<sub>A</sub>の電位変動が第1実施形態よりもさらに抑制され、本実施形態では期間T1～T4にわたって電位V<sub>A</sub> = 0 [V]となっている。

【0041】

よって、本実施形態では、電位V<sub>A</sub>の電位変動を第1実施形態よりもさらに抑制することができると共に、上述のラッチアップを防止することが可能である。

【0042】

（第3実施形態）

図11～12を参照しながら第3実施形態を説明する。第1実施形態では、2つの記録素子基板201<sub>1</sub>及び201<sub>2</sub>と2つの電圧源409<sub>1</sub>及び409<sub>2</sub>を例示したが、これらの数量は2に限られるものではなく、3以上でもよい。図11は、本実施形態にかかる記録装置PAの構成例のうち、電圧供給部106および記録ヘッド102の部分を主に示している。本実施形態では、N個の記録素子基板201<sub>1</sub>～201<sub>N</sub>とN個の電圧源409<sub>1</sub>～409<sub>N</sub>が用いられる。

【0043】

Nは、2以上の整数である。ここで、kを、1以上かつN-1以下の整数としたときに、第kの記録素子基板201<sub>k</sub>の端子L<sub>p</sub>は、第k+1の記録素子基板201<sub>k+1</sub>の端子H<sub>p</sub>に接続され、N個の記録素子基板は直列に接続されている。そして、1本の電源配線が、第kの記録素子基板201<sub>k</sub>の端子L<sub>p</sub>と、第k+1の記録素子基板201<sub>k+1</sub>の端子H<sub>p</sub>とに接続される。

【0044】

なお、本実施形態では、第Nの記録素子基板201<sub>N</sub>の端子L<sub>p</sub>（第Nの電圧源409<sub>N</sub>のマイナス端子）が接地されている。この構成では、第1～第N-1の記録素子基板201<sub>1</sub>～201<sub>N-1</sub>の端子H<sub>p</sub>及びL<sub>p</sub>のそれぞれと、第Nの記録素子基板201<sub>N</sub>の端子H<sub>p</sub>には、0 [V]より大きい電圧が供給される。これらの記録素子基板201<sub>1</sub>～201<sub>N</sub>は、互いに電氣的に絶縁されている必要があり、例えば、MOSトランジスタ等の各素子は、トリプルウェル構造を用いて形成されてもよいし、SOI基板を用いて形成されてもよい。

【0045】

例えばN=3の場合は、図12に例示されるように、記録素子基板201<sub>3</sub>に流れる電流を電流I<sub>h3</sub>とすると、抵抗R<sub>c</sub>での電圧降下は、第1実施形態ではR<sub>c</sub>×I<sub>h2</sub>であるのに対し、R<sub>c</sub>×(I<sub>h2</sub>-I<sub>h3</sub>)となる。よって、図12の構成では、抵抗R<sub>c</sub>における電位変動が小さくなる。なお、抵抗R<sub>d</sub>での電圧降下は、R<sub>d</sub>×I<sub>h3</sub>と表すこと

10

20

30

40

50

ができる。

【 0 0 4 6 】

以上、本実施形態によると、3以上の記録素子基板201を用いた構成でも、第1実施形態と同様の効果を得ることができる。特に、電源配線の数量を低減するのにも有利である。例えば、記録素子基板 $201_1 \sim 201_N$ の各々に電源ノードと接地ノードとをそれぞれ設けて電源電圧を供給する構成では、 $N \times 2$ 個の電源配線を用意する必要があるが、本実施形態では、 $N + 1$ 個の電源配線を用意すればよい。

【 0 0 4 7 】

(その他)

以上では3つの実施形態を述べたが、本発明はこれらの態様に限られるものではなく、仕様等に応じて変更してもよいし、各実施形態の構成を組み合わせてもよい。

10

【 0 0 4 8 】

記録装置PAは、記録媒体を搬送させつつ該記録媒体に対して記録ヘッド102を走査させて、該記録媒体への記録を行う。上述の複数の記録素子基板201は、記録ヘッド102の記録を行う側に配される。記録ヘッド102には、各記録素子基板201の複数の記録素子に対応するように複数のノズル(吐出口)が設けられており、ある記録素子が駆動されたことに応答して、対応するノズルから記録剤(インク)が記録媒体に対して吐出される。

【 0 0 4 9 】

記録媒体の幅方向(記録媒体の搬送方向と交差する方向)の全域にわたる記録を一度に行うことが可能なフルライン型の記録ヘッドの場合には、例えば、複数の記録素子基板201は、記録素子の配列方向に沿って千鳥状に配列されうる。

20

【 0 0 5 0 】

なお、「記録」とは、文字、図形等有意の情報を形成する記録を含む他、有意無意を問わず、広義に記録を含みうる。例えば、「記録」は、人間が視覚で知覚し得るように顕在化したものでなくてもよく、記録媒体上に画像、模様、パターン、構造物等を形成する記録や、媒体の加工を行う記録をも含むうる。

【 0 0 5 1 】

また、「記録剤」とは、上述の各実施形態で用いた「インク」の他、記録を行うのに用いられる消耗品を含みうる。「記録剤」は、例えば、記録媒体上に付与されることによって、画像、模様、パターン等の形成に用いられるものの他、記録媒体の加工やインクの処理(例えば、記録媒体に付与されるインク中の色剤の凝固または不溶化)に供される液体をも含むうる。また、記録媒体に直接インクを付与する構成でなくてもよく、例えば、中間転写体にインクを付与した後、そのインクを記録媒体に転写することによって記録を行う構成を採ってもよい。また、複数の種類のインクを用いたカラー記録を行う構成でなくともよく、1種類のインク(例えば黒色)を用いたモノクロ記録を行う構成でもよい。

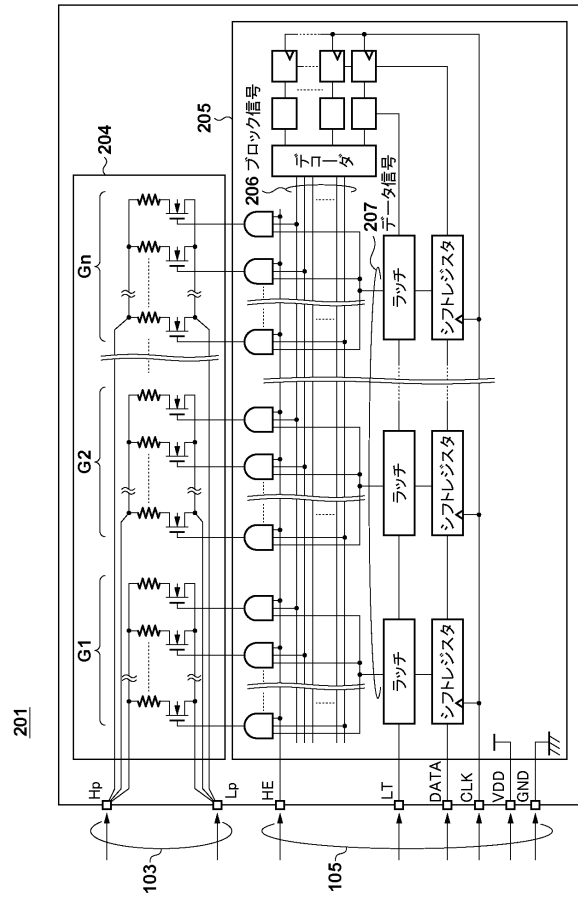
30

【 0 0 5 2 】

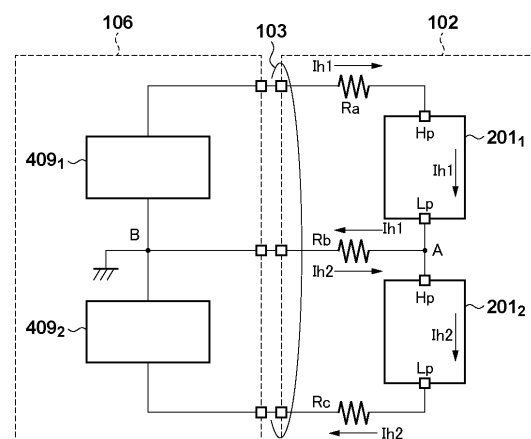
また、「記録媒体」は、一般的な記録装置で用いられる紙のみならず、布、プラスチック・フィルム、金属板、ガラス、セラミックス、樹脂、木材、皮革等、記録剤を受容可能なものも含みうる。

40

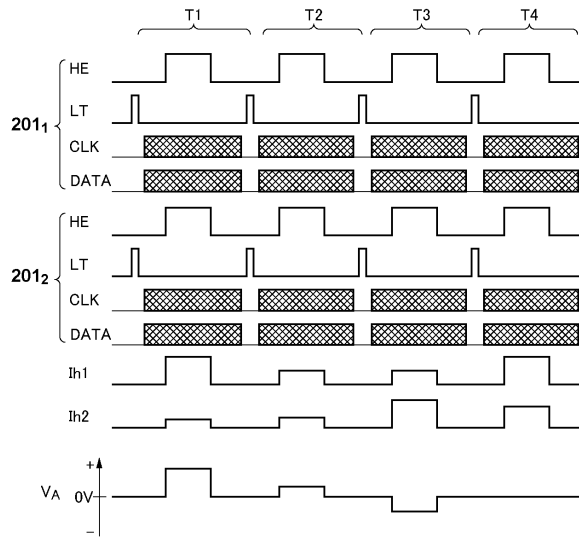
【 図 2 】



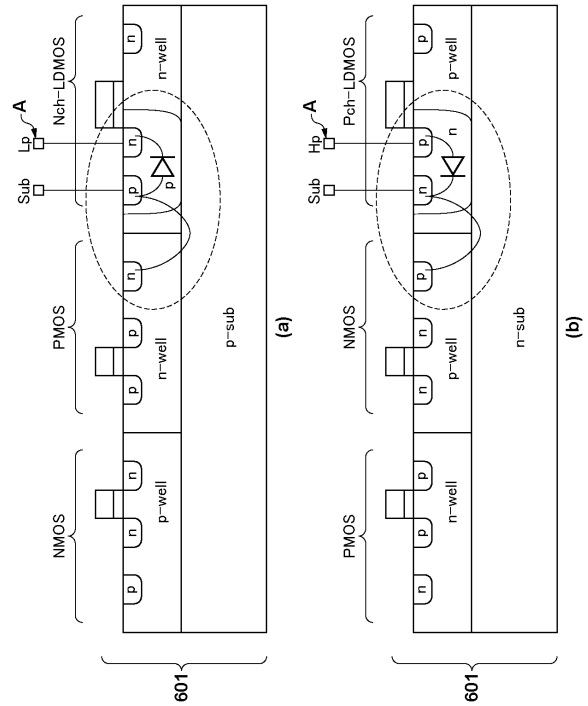
【 図 4 】



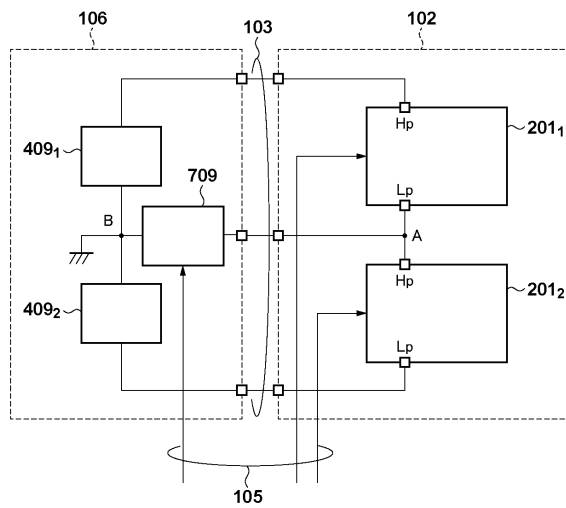
【図 5】



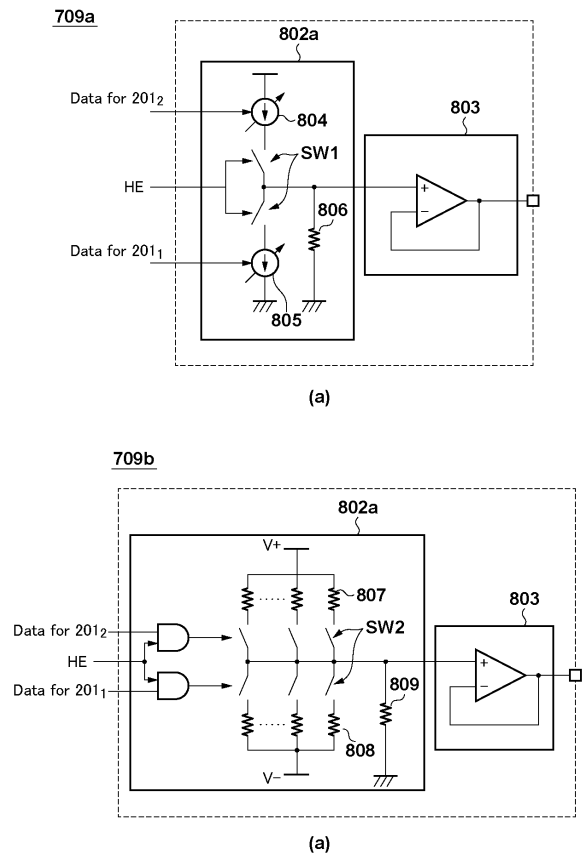
【図 6】



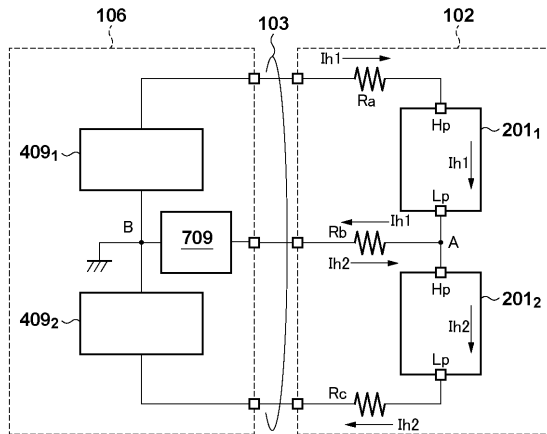
【図 7】



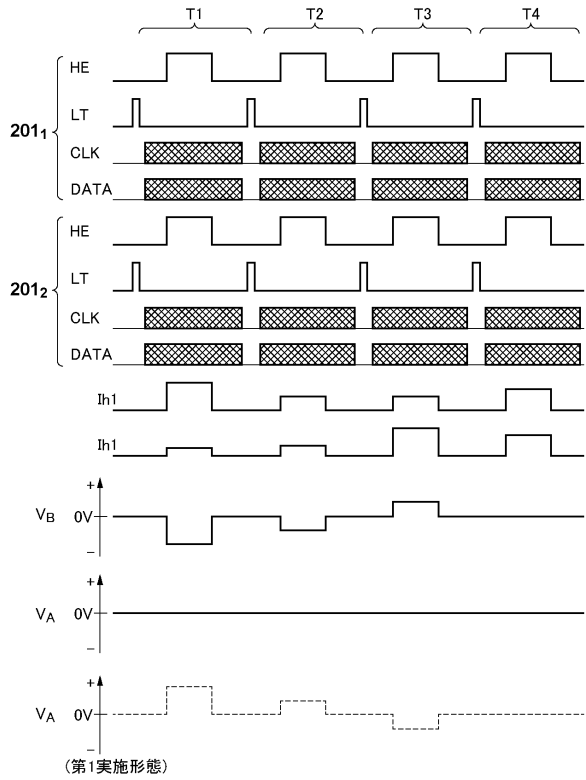
【図 8】



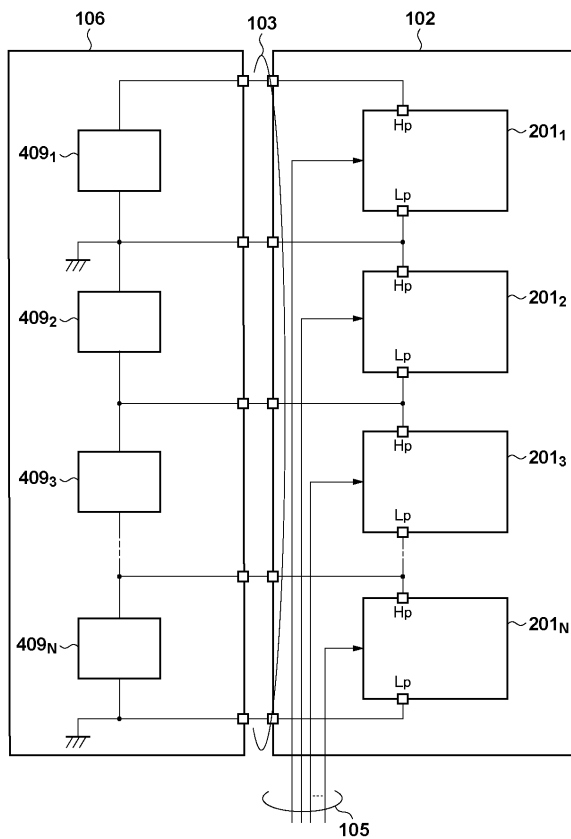
【図 9】



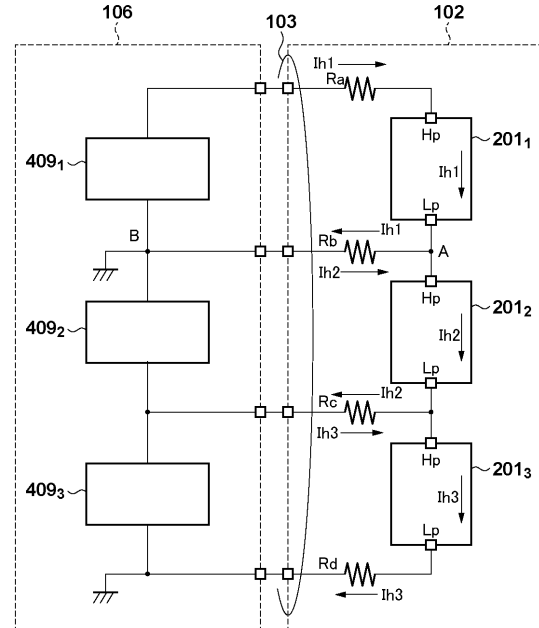
【図 10】



【図 11】



【図 12】



---

フロントページの続き

(72)発明者 平山 信之  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 村石 桂一

(56)参考文献 特開2007-296638(JP,A)  
特開2008-159736(JP,A)  
特開2010-099980(JP,A)  
実開昭59-025815(JP,U)  
特開2010-199490(JP,A)  
特開2002-374163(JP,A)  
米国特許出願公開第2010/0244932(US,A1)

(58)調査した分野(Int.Cl., DB名)  
B41J2/01-2/215