

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94108847

※ 申請日期：2005 年 3 月 22 日

※IPC 分類：

H01L²¹/316

一、發明名稱：(中文/英文)

拉緊的絕緣層上覆矽層結構及其製備方法

METHOD FOR FABRICATING STRAINED SILICON-ON-INSULATOR
STRUCTURES AND STRAINED SILICON-ON-INSULATOR
STRUCTURES FORMED THEREBY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·萬國商業機器公司

International Business Machines Corporation

代表人：(中文/英文)

羅森瑟爾傑拉德

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

New Orchard Road, Armonk, New York 10504, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 古川敏治/FURUKAWA, TOSHIHARU

2. 科伯格理察威廉三世/KOBURGER, CHARLES WILLIAM III

3. 史林克門詹姆士艾伯特/SLINKMAN, JAMES ALBERT

國 籍：(中文/英文)

1.日本/Japan

2.美國/USA

3.美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；2004 年 3 月 31 日；10/814,482

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

伍、中文發明摘要：

本發明揭示一種在矽主動層中具有局部拉緊區域的絕緣層上覆矽層(SOI)元件及結構，其係藉由將可分隔矽主動層與基板之一埋設的絕緣層區域厚度變厚的方式來達成。由下方絕緣層厚度變厚區域傳至上方拉緊區域的應力可提高主動層中此等特定區域中的載子移動力。形成在該矽主動層中及其上的元件可因位於該分隔的拉緊區域中增高的載子移動力而受益。

陸、英文發明摘要：

A silicon-on-insulator (SOI) device and structure having locally strained regions in the silicon active layer formed by increasing the thickness of underlying regions of a buried insulating layer separating the silicon active layer from substrate. The stress transferred from the underlying thickened regions of the insulating layer to the underlying strained regions increases carrier mobility in these confined regions of the active layer. Devices formed in and on the silicon active layer may benefit from the increased carrier mobility in the spaced-apart strained regions.

柒、指定代表圖：

(一)、本案指定代表圖為：第5圖。

(二)、本代表圖之元件代表符號簡單說明：

- | | |
|-------------|-----------|
| 12 主動層 | 14 處理晶圓 |
| 16 絕緣層 | 18 島 |
| 32 主動層下方區域 | 34a 半導體元件 |
| 36 源極 | 38 汲極 |
| 37、39 側壁間隔物 | 40 閘極電極 |
| 42 通道 | 43 隔離區域 |
| 44 閘極介電層 | |

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體結構及元件和他們的製造方法，且更特定地係有關於特徵為具有較高載子移動性之絕緣層上覆矽層(silicon-on-insulators, SOI)結構、元件及積體電路，及其之製備方法。

【先前技術】

絕緣層上覆矽層(silicon-on-insulators, SOI)結構係由一層覆蓋在二氧化矽絕緣層(亦即，埋設的氧化物(buried oxide)或簡稱「BOX」)上之薄的主動矽層所構成，該二氧化矽絕緣層又覆蓋在一支持性矽基材上。將 SOI 結構用於金氧半導體場效電晶體(MOSFET)技術及互補式金氧半導體(CMOS)積體電路的優點文獻中已多所記載。相較於習知大塊矽技術來說，該 SOI 結構的絕緣層使得場效電晶體(FET's)可以較高速率運作且具有較佳的電子絕緣性及較低的電子損失率。其結果是可提高效率及降低耗電性。

在習知的 MOSFET 與 CMOS 技術中，形成在一 SOI 結構上的場效電晶體包括一形成在主動矽層中的通道。載子移動性是一項非常重要的參數，因其可直接影響該場效電晶體的輸出電流及切換效能(switching performance)。因此，提高效率的方式之一是藉由雙軸的或單軸的拉緊該主動矽層界已提高通道的遷移能力。可藉由引入壓縮的或拉伸的應力於該主動矽層來提供一淨應力。局部或整體式的

拉緊該矽層平面上的晶格，會改變該矽層的電子帶結構。結果，可增加平面上的載子移動力 10% 至 25%，因此可改善元件效能。

也可藉由引入一由晶格常數高於矽層之材料所製成的介層的方式，而在整個基材上的矽層中均勻的引入雙軸拉伸應力。舉例來說，可藉由在埋設的氧化物層與矽主動層之間，引入一薄層之分級矽鍍緩衝層及一放鬆的矽鍍層，而在一 SOI 結構上製造出一雙軸拉緊的主動矽層，該矽主動層係磊晶成長於該放鬆的矽鍍層上。該拉緊的應力會使基材平面上矽原子的距離增加，因而提高電子的遷移能力。可以一種層轉移方式來移除該矽鍍層。均勻的拉緊應力可提高 n-通道型場效電晶體 (NFET's) 的電子遷移能力，且 p-通道型場效電晶體 (PFET's) 的電洞遷移能力可藉由在與該 PFET 元件通道載子流動方向垂直的方向中引入一拉伸的應力而達成。

可藉由製程最佳化方式而於一矽層局部引入單軸壓縮應力。可藉由調控現存元件結構 (例如帽蓋層、間隔物及淺溝渠隔離層) 性質的方式來引入少量應力。可藉由只在 PFET's 的源極與汲極區域沉積一分級的矽鍍層的方式來引入大量應力。局部引入矽鍍層具有可增加壓縮應力到該 PFET 通道的效應，因而可提高局部的電洞遷移力。

以矽鍍層來形成拉緊的矽層具有某些缺點。矽鍍層具有易使矽層出現缺陷的傾向，因而影響元件效能。在整體晶圓上沉積矽鍍層對單獨欲使 NFET's 及 PFET's 最佳化並

不恰當。同時，矽鍺層的熱傳導性不佳，且某些摻雜物更易在整個矽鍺層上擴散，因而影響主動層中源極與汲極區域中摻雜物的擴散模式。另一項限制是使用矽鍺層會造成主動層整體厚度增加，而在目前元件設計上是希望將主動層厚度縮小的。

因此，需要一種可在一 SOI 結構的主動層中引入拉伸應力的方法，其係不需要使用一底下的、放鬆的矽鍺層；及具有由該方法製成之一拉緊的主動層的 SOI 結構、元件與積體電路。

【發明內容】

依據本發明，藉由在該絕緣層上覆矽層基材的主動層上引入一拉伸應力而形成具有一拉緊的主動層之 SO 結構、元件及積體電路。該拉伸應力係在不引入一下層的矽鍺層的情況下來提供。為此，這類半導體結構大致包括一由半導體材料製成的主動層、一基材、及一介於該主動層與該基材之間的絕緣層。該絕緣層具有一較厚的區域以轉移拉伸的應力至該主動層，以有效地在覆蓋於該較厚區域之上的主動層之拉緊區域中誘發出拉緊應力。

依據本發明，局部提高埋設的氧化物層的厚度可局部地將拉伸的應力轉移至覆蓋於其上的主動層上。由一氧化物遮罩所界定出來的主動層的多個區域，可為該拉伸應力所拉緊。該拉緊的主動層的特徵在於具有較高的載子移動力，因而能改善形成於該拉緊的層中及其上之元件效能。

該拉力可在不依賴複雜沉積技術下，隨著底下絕緣層被改變且不增加額外的層至該元件結構的情況下，被引入至該主動層中。特別是，在沒有矽鍍層蜘蛛多缺點的情況下拉緊該矽主動層。

【實施方式】

首先參照第 1 圖，其顯示本發明一絕緣層上覆矽層 (SOI) 基板 10。詳言之，該 SOI 基板 10 包括一矽 (或其他適當半導體材料) 主動層 12，其係以一絕緣層 16 而與一處理晶圓 14 垂直分隔開來。該絕緣層 16 可電氣分隔該處理晶圓 14 與該主動層 12。該 SOI 基材可以任何適當的技術製造，例如藉由晶圓接合或一氧離子佈植分離 (separation by implantation of oxygen, SIMOX) 技術。在本發明所示實施例中，該由矽構成的主動層 12 一開始可摻雜一 n-型摻雜物以使其成為 n-型或摻雜一 p-型摻雜物以使其成為 p-型。該處理晶圓 14 可由任一適當的半導體材料形成，包括 (但不限於) 矽及多晶矽 (聚矽)。該由介電材料構成的絕緣層 16 典型為二氧化矽，其厚度約在 50 奈米至約 150 奈米間，但並不限於此範圍。該主動層 12 可以薄至約 10 奈米或更薄，典型是在約 20 奈米至約 150 奈米的範圍內。第 1 圖中並未示出該處理晶圓 14 的厚度。

主動層 12 典型係覆以一由硬遮罩材料 (例如一氮化物層) 製成的帽蓋層 22，以提供一可自我對準的上方氧化物阻障層及研磨終止層。為此，可於該主動層 12 之上覆以一

同形的硬遮罩材料，其可以是 10 至 150 奈米的氮化矽 (Si_3N_4)。一光敏性光阻層係覆蓋於該同形的硬遮罩層上，讓光購過一習知光罩來將其曝光，以於光阻上形成欲求島 18 的潛在圖樣，並將其顯影以將該潛在圖樣轉變成最終圖樣。可使用諸如非異向性蝕刻法(例如，反應性離子蝕刻)之類的蝕刻製程來移除最終圖樣中未被遮罩區域上的帽蓋層 22。在完成該蝕刻製程後，即可將該光阻層由該 SOI 基材上剝除。

依據習知設計來選擇每一島 18 的線寬，在特定實施例中，該線寬為約 15 奈米至約 125 奈米間。在相鄰島 18 間的絕緣層 16 和溝渠 20 可提供橫向的絕緣。

在此，「垂直的」、「水平的」等名詞係舉例性質，用以作為一參考，並非用以限定於該特定方向。在此所謂「水平的」係定義成一與習知平面或 SOI 基材 10 表面平行的平面，無論其原來方向為何。「垂直的」一詞在此定義為垂直於上述界定之「水平的」方向之方向。諸如「在...之上或上方(on or above)」、「在...之下或下方(below or beneath or under)」、「側(side)(如側壁)」、「較高(higher)」、「較低(lower)」等名詞均係相對於該水平的平面來界定。須知在不悖離本發明範疇下，可使用各種其他方式來建立參考方向。

參照第 2 及 2A 圖，其中相同元件符號係代表出現在第 1 圖及後續製程中相同的結構，由氧化遮罩材料建構成的條紋 26 係用以定義出可於其中發生氧化反應的視窗

28。每一視窗 28(在此示出一視窗 28)可將相鄰的條紋 26 分隔開來。為製造出條紋 26，在第 1 圖結構上沉積出一層氧化遮罩材料。條紋 26 覆蓋住該帽蓋層 22 上表面及連同該島 18、在視窗 28 旁邊或側面之區域中的絕緣層 16。方向性蝕刻製程可創造出視窗 28 並留下一由氧化遮罩材料構成的間隔物 30 覆蓋住該主動層 12 之每一垂直的側壁。由方向性蝕刻製程所創造出的視窗 28 也應停止在該氧化遮罩材料之下的薄蝕刻終止層上，使不致過度蝕刻該帽蓋層 22。

參照第 3 圖，其中相同元件符號係代表出現在第 2 圖及後續製程中相同的結構，以適當製程將 SOI 基材 10 之水平平面中一區域以及主動層 12 局部區域 32 之下的區域變厚。絕緣層 16 中變厚的區域大致與主動層 12 區域垂直。絕緣層 16 變厚的步驟係由一可逐步消耗與該絕緣層 16 共同延伸之主動層 12 下方平面表面 33 和/或處理晶圓 14 一上方平面表面 35 的製程開始，以形成具有較高體積之新組成的材料，或藉由其他可擴展或增加絕緣層 16 之有效厚度的機制來進行。區域 32 大致來說是主動層 12 中的平面上區域，其係在 SOI 基材平面中與視窗 28 水平對齊。

絕緣層 16 厚度增加的程度可視所欲形成在主動層 12 中之半導體元件的欲求效能及任何擴產時之設計或實行上的困難度而定。在本發明特定實施例中，兩相鄰條紋 26 間間距約為 1 微米。

在本發明一例示的實施例中，以一熱氧化製程來增加

該 SOI 基材 10 中絕緣層 16 的局部厚度，在該 SOI 基材中一光罩 24 係由諸如氮化矽之類的不會氧化的材料製成，該光罩 24 係作為一種氧化遮罩。該氧化製程會將該 SOI 基板 10 暴露在一乾式或濕式之充滿氧氣且加熱的環境下，例如，一種氧化爐或快速熱退火製程室。選擇氧化條件以提供絕緣層 16 僅於主動層 12 下方區域 32 處出現專一性的膨脹，並避免整個 SOI 基板 10 上之絕緣層 16 均一地變厚。在一特定實施例中，在 800°C 至 950°C 下進行的濕式氧化係持續進行一段足以提高區域 32 下絕緣層厚度約 1 奈米至 10 奈米厚度的時間。在本發明其他實施例中，兩相鄰條紋 26 的間距約 0.2 微米，氧化物厚度可提高下層區域 32 約 4.5 奈米並賦予區域 32 約 0.1% 的拉力。絕緣層厚度 16 所增加的厚度多寡是由整個變厚區域中的最大厚度來決定，因區域 32 下的厚度變化並非整體均一性的提高，雖然本發明也不限於此範圍。

主動層 12 的氧化係藉由從該加熱環境中的氧化氣體源傳送氧化物種氣體穿過視窗 28 而產生，因可形成絕緣層 16 的材料會吸附該等氣體之故。覆蓋於島 18 上的帽蓋層 22 及光罩 24 之條紋 26，與覆蓋在該島 18 之垂直側壁上的間隔物 30 可遮蔽主動層 12 使不會直接接觸到往內傳送流動的氧化物種氣體，典型是氧氣或水（其係來自富含氧氣的環境），使得主動層 12 的側壁與上表面幾乎不會受到氧化製程的影響。

再次參照第 3 圖及依據該例式的實施例，氧化物種氣

體會從每一視窗 28 擴散穿過絕緣層 16 以與主動層 12 下方表面 33 的矽發生化學反應。潛在性的，如果構成處理晶圓 14 的材料很容易氧化的話，該擴散的物種可與處理晶圓 14 上方表面 35 的材料發生化學反應。相較於光罩 24 之條紋 26 下方區域 32 以外的部分，對主動層 12 區域 32 部分來說，其氧化物種擴散至主動層 12 下方表面 33 的路徑，比光罩 24 之條紋 26 下方區域 32 以外的部分其其氧化物種擴散至主動層 12 下方表面 33 的路徑來得短。此外，對處理晶圓 14 區域 32 部分來說，其氧化物種擴散至處理晶圓 14 上方表面 35 的路徑，比光罩 24 之條紋 26 下方及處理晶圓 14 區域 32 以外的部分其氧化物種擴散至處理晶圓 14 上方表面 35 的路徑來得短。因此，在區域 32 下方之絕緣層 16 有效厚度係潛在地較其他部分來得高，該絕緣層 16 可與主動層 12 的氧化部分具有相同組成，也與處理晶圓 14 具有相同組成。已知，所形成二氧化矽的厚度約等於所消耗掉矽層厚度的 2.27 倍。垂直對比於光罩 24 之條紋 26 所覆蓋之鄰近區域而言，局部擴展該絕緣層 16 會升高覆蓋在該絕緣層 16 較厚區域之主動層 12 之區域 32 的高度。

擴展絕緣層 16 會升高每一島 18 區域 32 中主動層 12 之材料的應力，其會在區域 32 中誘發出一淨量之拉緊力。此淨量之局部拉緊力，典型在每一百分比的十分之一至十分之二範圍內，可影響該主動層 12 拉緊區域 32 中載子的電性。如果該主動層 12 是矽，該拉緊應力會提高區域 32 中的載子移動力約百分之二十甚至更高。因此，後續在每

一島 18 中所製造的元件之元件效能將會改善，如果該元件通道係位在該拉緊的區域 32 中。可調整氧化的量來影響引入至該拉緊區域 32 中的拉緊力程度。此外，視窗 32 的寬度也對該引入至拉緊區域 32 中的拉緊力程度有所影響。

參照第 4 圖，其中相同元件符號係代表出現在第 3 圖及後續製程中相同的結構，以對該主動層 12 及絕緣層 16 材料具專一性的蝕刻製程將光罩 24(第 3 圖)從該 SOI 基材 10 上剝除下來。如果光罩 24 及帽蓋層 22 是由相同材料構成，帽蓋層 22 的厚度必須大於光罩 24 的厚度，使得兩條紋 26 間之帽蓋層 22 無法被完全剝除。之前位在光罩 24 下之島 18 的區域是藉由主動層 12 周圍區域連接固定至絕緣層 16 上，使得拉緊的區域 32 不會被放鬆或是其放鬆度將受到限制。結果，該拉緊的區域 32 將因區域 32 下適當位置處之絕緣層 16 厚度增加而處於永遠拉緊的狀況下。如果預期會出現某種程度的放鬆，可增加區域 32 一開始的拉力以補償該放鬆。

參照第 5、6A 及 6B 圖，其中相同元件符號係代表出現在第 4 圖及後續製程中相同的結構，於該拉緊的區域 32 中具有通道區域之島 18 之中或其上形成半導體元件，其可改善元件中載子的移動力使得元件表現出較高的效能。所示 MOSFET 元件並非用以限定本發明範疇，習知技藝人士應能了解其他類型的半導體元件(例如，記憶體胞、其他類型的電晶體等)也能由所述拉緊區域中受惠。

特別參照第 5 圖，一類型的半導體元件 34a 可以是金

氧半導體場效電晶體(MOSFET's)，每一者都具有源極/汲極區域 36、38 及位於一通道 42 上方之一靜電-耦合閘極電極 40，該通道 42 係被定義在該主動層 12 中介於該源極/汲極區域 36、38 之間。一薄閘極介電層 44 可將閘極電極 40 與該通道 42 彼此電氣絕緣。用來形成該閘極電極 40 的材料可以是，例如，多晶矽、鎢或其他欲求的材料，且該源極/汲極區域 36、38 及其延伸可以適當摻雜物進行離子佈植。可在該閘極電極 42 的垂直側壁上加入一諸如氮化矽之類的材料製成的側壁間隔物 37、39。該間隔物 37、39 與該閘極電極 42 一起作為一可自我對準的遮罩，用於該源極/汲極區域 36、38 之深摻雜部分的佈植。隔離區域 43 提供主動層 12 中相鄰島間的電氣隔離。該隔離區域 43 係以一適當的介電材料加以充填，例如以化學氣相沉積法同形沉積之二氧化矽層，其被以一化學機械研磨(CMP)法或任何適當的平坦化技術加以平坦化成一平面。帽蓋層 22 係作為該平坦化操作的一研磨終止層且可在平坦化操作之後加以移除。

在源極/汲極區域 36、38 間流動的載子以和通道 42 中的電阻變化成比例的方式穿過通道 42，該電阻變化係與施加上到閘極電極 40 上的電位成比例變化。元件 34a 係製作成可使每一通道 42 與一拉緊區域 32 彼此重疊。在本發明特定實施例中，元件 34a 是一種 n-通道型場效電晶體(NFET's)且任一積體電路中的 p-通道型場效電晶體(PFET's)係形成在缺乏該拉緊區域 32 的 SOI 基材 10 上。該場效電晶體係

以習知技藝人士熟知的製程來製作。

參找第 6A 及 6B 圖，另一類型的半導體元件 34b 可以是可自我對準的雙閘極鰭式場效電晶體(finFET)，其每一者均具有一以薄的垂直層修飾之通道 46 及一閘極電極 48 其界定出包覆在該通道區域 46 兩側之兩個單獨的閘極部分 48a、48b(第 5C 圖)。該閘極電極 48 係位於源極/汲極區域 50、52 之間且覆蓋住該通道 46。閘極電極 48 係以一閘極介電層 47 與該閘極電極 48 彼此成電氣隔絕。提供間隔物 54、56 以將該閘極電極 48 夾在中間。元件 34b 係製作成可使每一通道 46 與一拉緊區域 32 彼此重疊，本發明也涵蓋帽蓋層 22 的全部或部份可留在完成的元件結構的主動層 12 中。該 finFET 係可以習知技藝人士熟知的製程來製作。

參照第 7 圖，其中相同元件符號係代表出現在第 2 圖及後續製程中相同的結構，在覆以光罩 24 並進行圖案化製程之前，先於帽蓋層 22 上覆以一墊層 58。該墊層 58 在可蝕刻光罩 24 及去除光罩 24 的製程中係作為一種蝕刻終止層材料。該墊層 58 可有效的防止這些個別的蝕刻製程將兩相鄰條紋 26 間的帽蓋層 22 變薄。一種適合作為墊層 58 的材料是二氧化矽，如果該帽蓋層 22 是氮化矽，其厚度約為 2 奈米至 10 奈米。帽蓋層被過度削薄將降低其作為研磨終止層與氧化遮罩的功效。

本發明已藉由各種實施例相係揭示如上，所述實施例僅供闡述發明目的之用，非用以限制本發明範疇。

【圖式簡單說明】

第 1 圖為本發明一基材部分截面的示意圖。

第 2 圖為類似第 1 圖之基材在後續製程階段下的圖示。

第 2A 圖為沿著第 2 圖之線 2A-2A 所看到的截面示意圖。

第 3 圖為類似第 2 圖之基材在後續製程階段下的圖示。

第 4 圖為類似第 3 圖之基材在後續製程階段下的圖示。

第 5 圖為類似第 4 圖之基材經過一系列後續製程階段下的圖示。

第 6A 圖為依據本發明另一實施例，類似第 5 圖之基材經過一系列後續製程階段下的圖示。

第 6B 圖為類似第 6A 圖之基材的示意圖。

第 7 圖為依據本發明另一實施例，類似第 2 圖之基材的示意圖。

【主要元件符號說明】

10	SOI 基材	12	主動層
14	處理晶圓	16	絕緣層
18	島	20	溝渠
22	帽蓋層	24	光罩
26	條紋	28	視窗
32	主動層 12 下方區域		
33	下方平面表面	34	上方平面表面

34a、34b 半導體元件

36 源極

37、39 側壁間隔物

40、48 閘極電極

43 隔離區域

47 閘極介電層

48a、48b 閘極部分

38 汲極

42、46 通道

44 閘極介電層

58 墊層

100年8月26日修(更)正替換頁

拾、申請專利範圍：

1. 一種半導體結構，其至少包含：

一由半導體材料製成的島，該島包括複數個側壁與一拉緊的區域；

一處理晶圓；以及

一絕緣層，其係位於該島與該處理晶圓之間，該絕緣層含有一變厚的區域位在該拉緊的區域之下，該絕緣層將該半導體材料製成的該島與該處理晶圓電氣隔絕，且該變厚的區域可將拉伸應力轉移至該拉緊的區域。

2. 如申請專利範圍第1項所述之半導體結構，其中該絕緣層是一埋設的氧化物層且該島是矽。

3. 如申請專利範圍第1項所述之半導體結構，更包含：

一源極，其係界定在該島中；

一汲極，其係界定在該島中；及

一通道，其係界定在介於該源極與該汲極間之該島的部分中，至少一部份該通道是位在該島之該拉緊的區域中。

4. 如申請專利範圍第3項所述之半導體結構，更包含：

一閘極電極，其係與界定該通道之該島的該部分彼此電氣隔絕。

5. 如申請專利範圍第4項所述之半導體結構，其中該拉緊的區域可分隔該閘極電極。

6. 如申請專利範圍第4項所述之半導體結構，其中該閘極電極大致覆蓋在該通道上。

7. 如申請專利範圍第1項所述之半導體結構，更包含：一半導體元件，其係由該島製成。

8. 如申請專利範圍第1項所述之半導體結構，其中該島是矽且該絕緣層變厚的區域是由該島氧化後所形成的。

9. 如申請專利範圍第1項所述之半導體結構，其中該絕緣層是二氧化矽。

10. 如申請專利範圍第9項所述之半導體結構，其中該處理晶圓是矽且該變厚的區域是由該處理晶圓氧化後所形成的。

11. 如申請專利範圍第1項所述之半導體結構，其中該拉伸應力係能有效提高該拉緊的區域中之載子的移動力。

12. 如申請專利範圍第1項所述之半導體結構，其中該

變厚區域的所增加的厚度是介於約 5 奈米至約 10 奈米間。

13. 如申請專利範圍第 1 項所述之半導體結構，其中該絕緣層變厚的區域之厚度係遠大於夾住該變厚的區域兩邊之絕緣層周圍區域的厚度。

14. 如申請專利範圍第 1 項所述之半導體結構，更包含：
夾住該拉緊的區域之第一和第二固定物，該第一和第二固定物可有效的限制該島中該拉緊的區域使其不放鬆。

15. 如申請專利範圍第 14 項所述之半導體結構，其中該第一和第二固定物包含可夾住該拉緊的區域兩邊之該島的相鄰區域。

16. 一種製造使用一絕緣層上覆矽 (SOI) 基板的一拉緊的半導體結構的方法，該絕緣層上覆矽 (SOI) 基板具有由一半導體材料所組成的一主動層、一處理晶圓以及介於該主動層與該處理晶圓之間的一絕緣層，該方法包含：

在主動層與該絕緣層之間的一介面處，以一熱氧化製程將該主動層的一區域中的該半導體材料專一性的氧化，使得該絕緣層的一區域的厚度會增加，該絕緣層的該區域會誘使該主動層的該區域出現拉伸應力，因而局部拉緊該主動層的該區域。

17. 如申請專利範圍第 16 項所述之方法，其中該半導體材料是矽且將一帽蓋層設置在該主動層的該區域的一上表面上，使得該區域介於該帽蓋層與該絕緣層之間，且該專一性氧化該主動層的該區域中的該半導體材料的步驟包含：

在該主動層的該區域中，讓該主動層的該半導體材料與一從周圍環境擴散穿過該帽蓋層的氧化物種氣體反應，以形成該絕緣層的該區域。

18. 如申請專利範圍第 17 項所述之方法，其中將該主動層的該半導體材料與該氧化物種氣體反應的步驟包含：

以一氧化遮罩覆蓋該帽蓋層；

圖案化該氧化遮罩，用以在該氧化遮罩中界定複數個視窗，該視窗延伸至該帽蓋層；以及

以該氧化遮罩阻隔該氧化物種氣體擴散穿過該帽蓋層至該視窗外。

19. 如申請專利範圍第 18 項所述之方法，其中該氧化遮罩係由氮化矽所組成。

20. 如申請專利範圍第 16 項所述之方法，更包含：

在該主動層中形成一源極與一汲極，該源極與該汲極可

夾住一通道，至少一部份該通道係界定在該主動層的該區域中。

21. 如申請專利範圍第 20 項所述之方法，更包含：

形成一閘極電極，其藉由一閘極介電層與該主動層電氣隔絕，且該閘極電極覆蓋住該通道。

22. 如申請專利範圍第 21 項所述之方法，其中該主動層的該區域可分隔該閘極電極，以界定複數個閘極部分。

23. 如申請專利範圍第 16 項所述之方法，更包含：

在該處理晶圓與該絕緣層之間且位於該主動層的該區域下的一介面處，專一性的氧化該處理晶圓之一區域，使得該絕緣層的該區域的厚度會增加。

24. 如申請專利範圍第 23 項所述之方法，其中該絕緣層是由二氧化矽所組成且該基材是由矽所組成。

25. 如申請專利範圍第 16 項所述之方法，其中該絕緣層是由二氧化矽所組成且該主動層是由矽所組成。

26. 一種製造使用一絕緣層上覆矽(SOI)基板的一拉緊的半導體結構的方法，該絕緣層上覆矽(SOI)基板具有一主

動層、一處理晶圓以及介於該主動層與該處理晶圓之間的一絕緣層，該方法包含：

在該主動層的一區域下的一位置處之位，在該主動層與該絕緣層之間的一介面處，以一專一性熱氧化製程將該絕緣層的一區域變厚，以誘使該主動層的該區域出現拉伸應力，並因而局部拉緊該主動層的該區域。

27. 如申請專利範圍第 26 項所述之方法，其中該主動層是由一半導體材料所組成，且使該絕緣層的該區域變厚的步驟更包含：

在該區域中以該專一性熱氧化製程將該主動層的該半導體材料專一性氧化，使能局部提高該絕緣層的該區域的厚度。

28. 如申請專利範圍第 27 項所述之方法，其中該半導體材料是矽且該主動層係由一帽蓋層所覆蓋，且使該絕緣層的該區域變厚的步驟包含：

在該區域中讓該主動層的該半導體材料與一從周圍環境擴散穿過該帽蓋層至該主動層的該區域之氧化物種氣體反應，以形成該絕緣層的該區域。

29. 如申請專利範圍第 28 項所述之方法，其中該讓主動層反應的步驟包含：

以一氧化遮罩覆蓋該帽蓋層；

圖案化該氧化遮罩，用以在該氧化遮罩中界定複數個視窗，該視窗延伸至該帽蓋層；以及

以該氧化遮罩阻隔該氧化物種氣體擴散穿過該帽蓋層至該視窗外。

30.如申請專利範圍第 29 項所述之方法，其中該氧化遮罩是由氮化矽所組成。

31.如申請專利範圍第 26 項所述之方法，更包含：

在該主動層中形成一源極與一汲極，該源極與該汲極可夾住一通道，至少一部份該通道係界定在該主動層的該區域中。

32.如申請專利範圍第 31 項所述之方法，更包含：

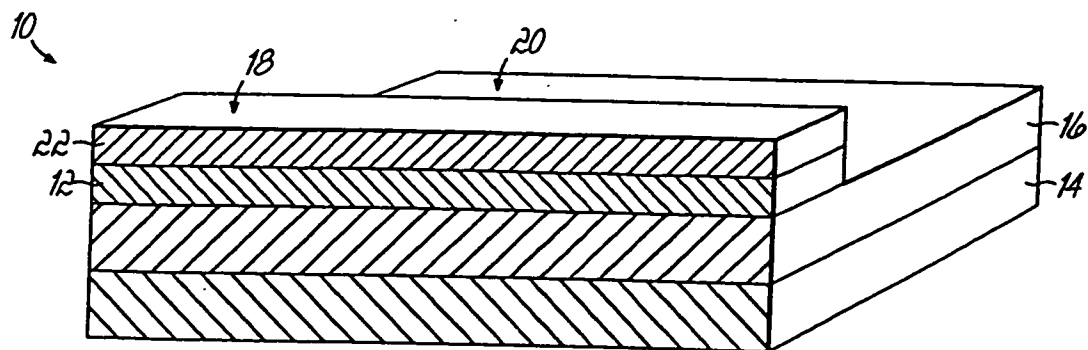
形成一閘極電極，其藉由一閘極介電層與該主動層電氣隔絕，且該閘極電極覆蓋住該通道。

33.如申請專利範圍第 31 項所述之方法，其中該主動層的該區域可分隔該閘極電極，以界定複數個閘極部分。

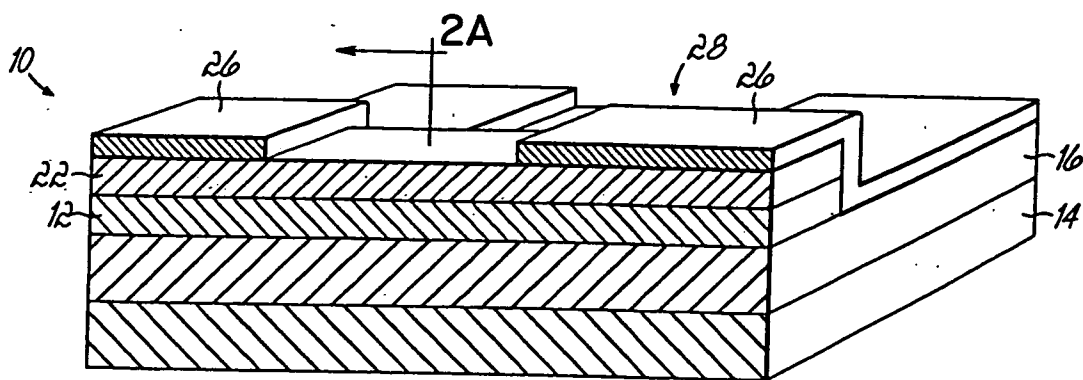
34.如申請專利範圍第 26 項所述之方法，更包含：

在該處理晶圓與該絕緣層之間且位於該主動層的該區

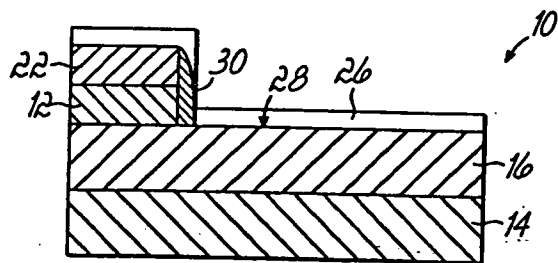
域下的一介面處，以該專一性熱氧化製程專一性氧化該處理晶圓之一區域，使得該該絕緣層的該區域的厚度會增加。



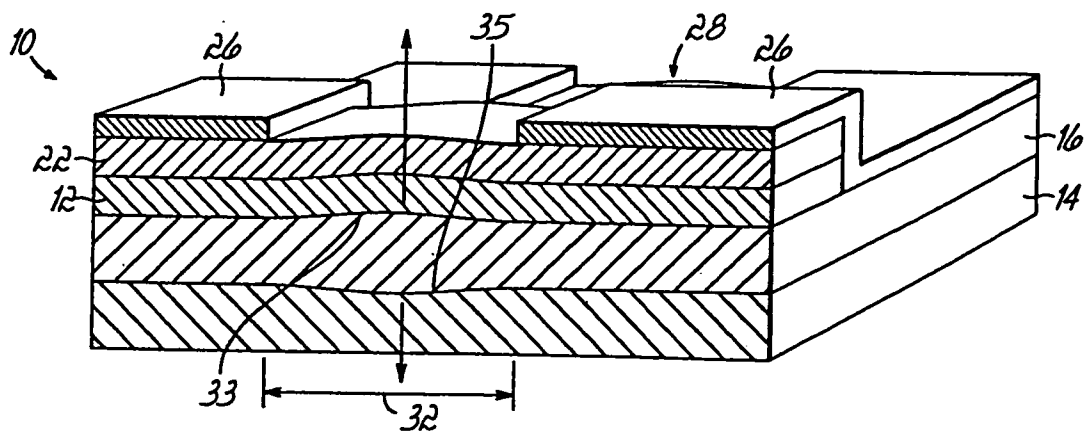
第 1 圖



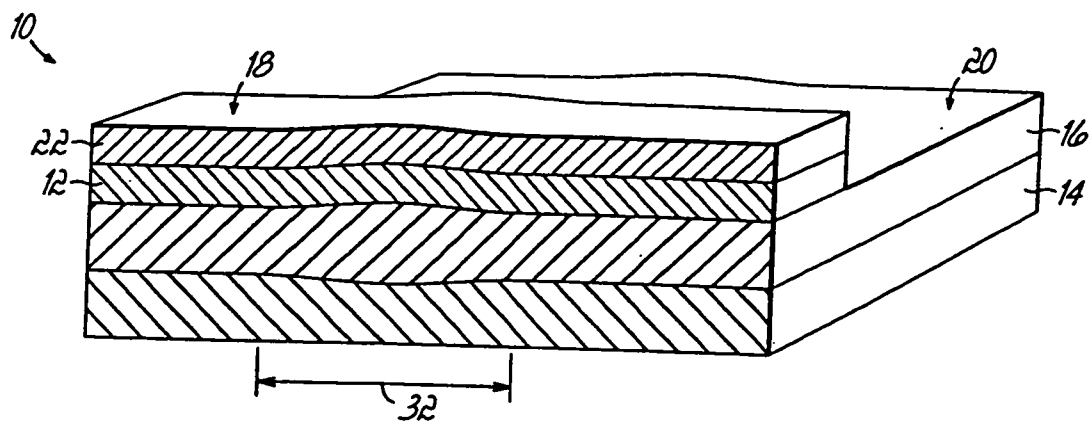
第 2 圖



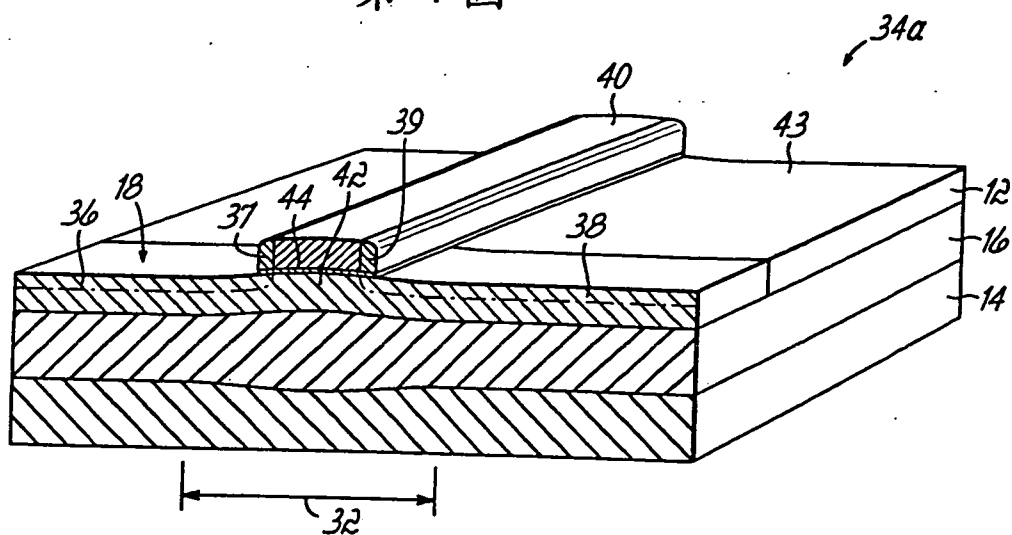
第 2A 圖



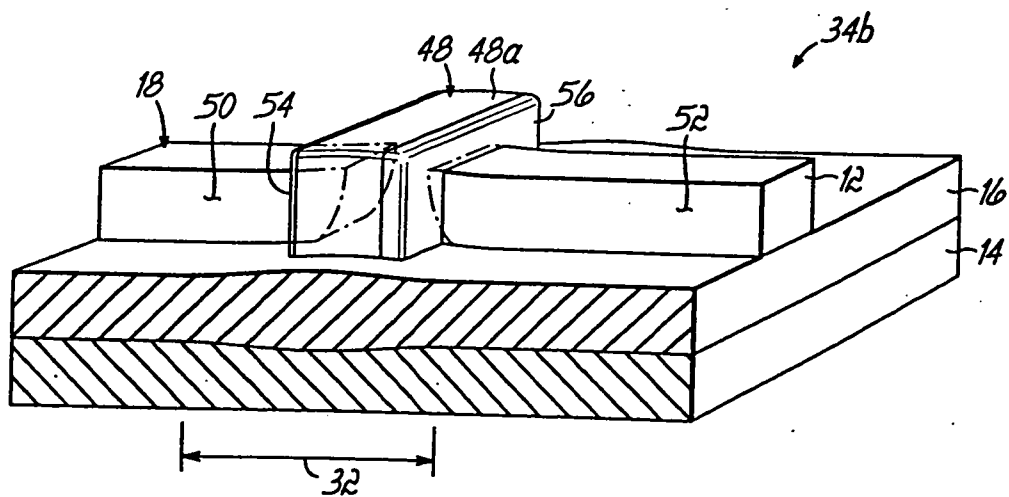
第 3 圖



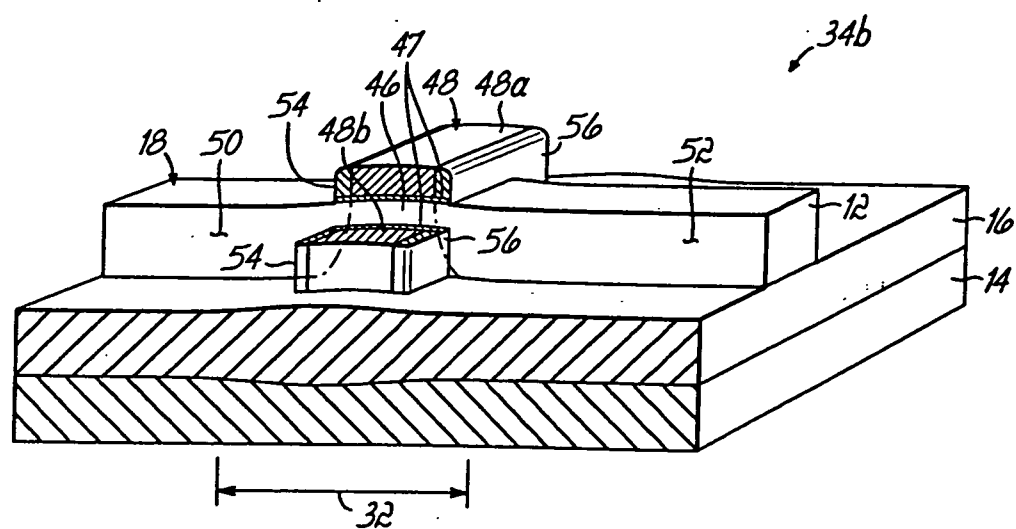
第 4 圖



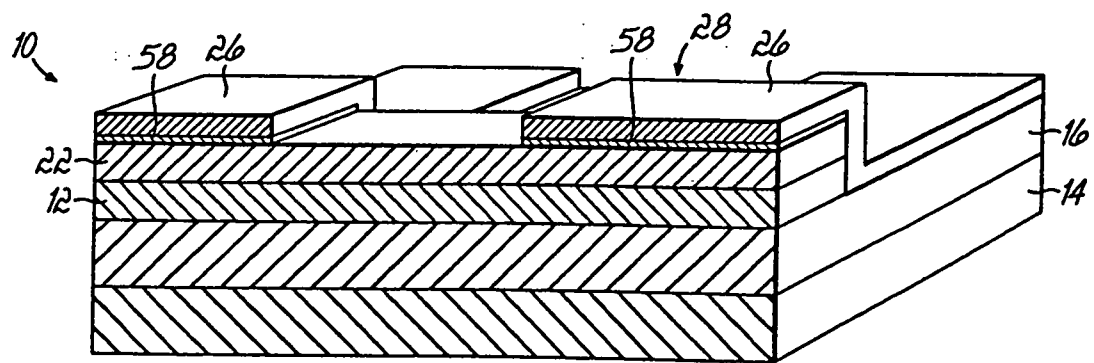
第 5 圖



第 6A 圖



第 6B 圖



第 7 圖