

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-108252
(P2011-108252A)

(43) 公開日 平成23年6月2日(2011.6.2)

(51) Int.Cl.	F I	テーマコード (参考)
G06K 19/07 (2006.01)	G06K 19/00 N	5B018
G06K 17/00 (2006.01)	G06K 17/00 D	5B035
G06F 12/16 (2006.01)	G06F 12/16 32OM	5B058
G06F 3/06 (2006.01)	G06F 3/06 305A	5B065
G06F 3/08 (2006.01)	G06F 3/08 H	

審査請求 有 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2010-285813 (P2010-285813)
 (22) 出願日 平成22年12月22日 (2010.12.22)
 (62) 分割の表示 特願2005-517700 (P2005-517700) の分割
 原出願日 平成17年2月2日 (2005.2.2)
 (31) 優先権主張番号 特願2004-26413 (P2004-26413)
 (32) 優先日 平成16年2月3日 (2004.2.3)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100100158
 弁理士 鮫島 睦
 (74) 代理人 100125874
 弁理士 川端 純市
 (72) 発明者 笠原 哲志
 大阪府門真市大字門真1006番地 パナソニック株式会社内
 (72) 発明者 泉 智紹
 大阪府門真市大字門真1006番地 パナソニック株式会社内

最終頁に続く

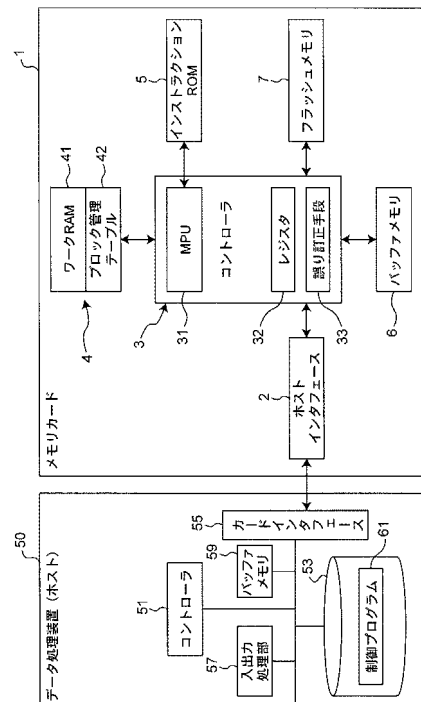
(54) 【発明の名称】 メモリカード及びデータ処理装置並びにメモリカードの制御方法及び設定方法

(57) 【要約】

【課題】メモリカードにおけるメモリカードの誤り訂正処理に起因する問題を解決するメモリカード及びメモリカードに対する制御方法等を提供する。

【解決手段】メモリカードは、データ処理装置との間でコマンドやデータの送受信を行うホストインタフェース(2)と、データを格納する不揮発性メモリ(7)と、メモリカードの動作を制御するコントローラ(3)と、所定の管理情報を格納する記憶手段(32)とを備える。管理情報は、不揮発性メモリからのデータの読み出し時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報を含む。コントローラは、データ読み出し動作時に、誤り訂正設定情報を参照し、誤り訂正設定情報が誤り訂正機能の停止を示す場合は、読み出したデータに対して誤り訂正を行わないように、また、誤り訂正設定情報が誤り訂正機能の作動を示す場合は、読み出したデータに対して誤り訂正を行うように、読み出し動作を制御する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

データ処理装置からデータの書き込み、読み出しが可能なメモリカードであって、データ処理装置との間でコマンドやデータの送受信を行うホストインタフェースと、データを格納する不揮発性メモリと、メモリカードの動作を制御するコントローラと、所定の管理情報を格納する記憶手段とを備え、前記管理情報は、不揮発性メモリからのデータの読み出し時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報を含み、

前記コントローラは、データ読み出し動作時に、誤り訂正設定情報を参照し、誤り訂正設定情報が誤り訂正機能の停止を示す場合は、読み出したデータに対して誤り訂正を行わないように、また、誤り訂正設定情報が誤り訂正機能の作動を示す場合は、読み出したデータに対して誤り訂正を行うように、読み出し動作を制御する、メモリカード。

【請求項 2】

前記管理情報はさらにメモリカード固有の特性情報を含み、前記コントローラは前記データ処理装置からの要求に応じて前記特性情報をデータ処理装置に送信する、請求項 1 記載のメモリカード。

【請求項 3】

データの読み出し、書き込みが可能で、かつ、読み出したデータに対して誤り訂正を実行可能なメモリカードであって、読み出し動作時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報及びメモリカード固有の特性情報を管理情報として格納するメモリカードにアクセス可能なデータ処理装置であって、

メモリカードとの間でコマンドやデータの送受信を行うカードインタフェースと、データ処理装置の動作を制御するコントローラとを備え、

前記コントローラは、メモリカードがデータ処理装置に装着されたとき又はデータ処理装置の電源投入時に、メモリカードから特性情報を読み出し、読み出した特性情報に基づき、メモリカードにおいて誤り訂正機能を実行するか否かの判断を行い、その判断結果にしたがい、誤り訂正設定情報を設定するためのコマンドをカードインタフェースを介してメモリカードに送信する、データ処理装置。

【請求項 4】

データの書き込み、読み出しが可能で、かつ、読み出したデータに対して誤り訂正を実行可能なメモリカードであって、読み出し動作時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報を管理情報として格納するメモリカードの制御方法であって、

データ読み出し動作時に、誤り訂正設定情報を参照し、

誤り訂正設定情報が誤り訂正機能の停止を示す場合は、読み出したデータに対して誤り訂正を行わず、

一方、誤り訂正設定情報が誤り訂正機能の作動を示す場合は、読み出したデータに対して誤り訂正を行う、メモリカードの制御方法。

【請求項 5】

データの読み出し、書き込みが可能で、かつ、読み出したデータに対して誤り訂正を実行可能なメモリカードであって、読み出し動作時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報及びメモリカード固有の特性情報を管理情報として格納するメモリカードに対する設定方法であって、

前記メモリカードから特性情報を読み出し、読み出した特性情報に基づいて、メモリカードにおいて誤り訂正機能を実行するか否かの判断を行い、その判断結果にしたがい、誤り訂正設定情報を設定するためのコマンドをカードインタフェースを介してメモリカード

10

20

30

40

50

に送信する、
メモリカードに対する設定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、書き換え可能な不揮発性メモリを備え、ホストに装着して使用されるメモリカードであって、特に、データ書き込み時のリトライ機能またはデータ読み出し時のエラー訂正機能を有するメモリカード及びそのようなメモリカードにアクセスするデータ処理装置（ホスト）に関する。

【背景技術】

【0002】

近年、デジタル情報を保存する記憶装置として、書き換え可能な不揮発性メモリを搭載したメモリカードや機器が普及してきている。特にメモリカードは、小型かつ耐震性に優れるため、今後、益々携帯機器で多用されることが期待されている。

【0003】

書き換え可能な不揮発性メモリの代表的なものにNAND型フラッシュメモリ（以下、「フラッシュメモリ」と称す。）がある。フラッシュメモリは、ブロック単位でその使用、未使用が管理されており、例えば、未使用のブロックに関して、管理データにおいて“1”が書き込まれ、データの書き込みを行った場合に、管理データを“1”から“0”に書き換える。

【0004】

また、一般的に、フラッシュメモリは、正常に書き込まれない場合が希に存在する。このため、フラッシュメモリには、正常書き込みであったか、または異常書き込みであったかを示すステータスをリード（読み出し）する機能が備わっており、データの書き込み後、このステータスをリードすることによって、書き込みが正常に行なわれたか否かを判別することが必要である。メモリカードによっては、フラッシュメモリを制御するコントローラが内蔵されており、コントローラがデータ書き込み後にステータスリードを行い、書き込みエラーが発生した場合は、そのブロックが再び書き込みブロックとして選択されないようにするために、コントローラに内蔵された、エラーが発生したブロックに対応する管理データを“1”から“0”に書き換える。

【0005】

また、正常にデータが書き込まれなかった場合すなわち書き込み時にエラーが発生した場合、そのデータを再度別のブロックに書き込みを行う処理（以下「リトライ処理」と称す。）も提案されている。なお、書き込み時のエラーは、フラッシュメモリの空き容量がない場合、データを書き込もうとしたフラッシュメモリの領域が不良であるため書き込みが行えない場合、書き込み時のイレース処理の失敗時等に発生する。

【0006】

また、フラッシュメモリに書き込まれたデータにおいて、他ブロックへのデータ書き込みによって、また、経年変化によって、希にデータ化けが発生する。このため、メモリカードとして所望のデータ信頼性を確保するために、データ読み出し時は、例えば、ブロック単位で、フラッシュメモリの信頼性に応じた誤り訂正符号を生成し、ブロックのデータに付加して、フラッシュメモリに書き込む。また、データ読み出し時には、読み出されたデータに対して誤り訂正処理を行った後、ホストへ転送する。

【0007】

以上のように、フラッシュメモリに希に発生する書き込みエラー、読み出しエラーは、殆どの場合、メモリカードに内蔵されたコントローラによってリトライ処理、及び誤り訂正処理を行うことによって回避される。このため、ホスト機器はフラッシュメモリのデータ信頼性を考慮することなくメモリカードを使用することができる。

【0008】

以上のような、フラッシュメモリの書き込みエラーに対するリトライ処理に関する技術

10

20

30

40

50

として特許文献 1 に記載されたものが知られている。

【先行技術文献】

【特許文献】

【0009】

【特許文献 1】特開 2002 - 108720 号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、近年、メモリカードは、民生用途のみならず、業務用途の様々なホスト機器に用いられ始め、ホストによっては、従来のメモリカードの信頼性では、不十分な場合もある。

10

【0011】

書き込みエラーが発生しやすいフラッシュメモリにおいて、書き込みエラーが発生した場合のリトライ処理により、ホストに対して書き込みエラーとして通知される頻度が低減される。これにより、ホストによっては、書き込みエラーとして通知された場合の特別な処理を考慮することが無く、ホストの処理負担が軽減するという長所がある。しかしながら、リトライ処理はフラッシュメモリの内部で行われるため、フラッシュメモリ上で書き込みエラーが発生しているのか、リトライ処理が行われているのかどうか、ホスト側では全く分からない。リトライ処理によって書き込み時間が非常に長くなり、更に、リトライ処理においても書き込みエラーが発生した場合、リトライ処理の間、書き込み完了の通知を待たされたあげく、書き込みエラーになることもあった。

20

【0012】

静止画を記録するデジタルスチルカメラの場合は、リアルタイムでの処理が要求されないため、書き込みエラー通知された後でもホストによる対応は可能である。しかし、動画を記録するビデオカメラの場合、リアルタイムでの処理が要求される。メモリカードにおいてリトライ処理が実行されると、書き込み時間が長くなる場合があるため、ビデオカメラ（ホスト）側で書き込み時間を見積もりにくく、ビデオカメラ（ホスト）でのデータ処理が非常に難しくなるという課題がある。このように、メモリカードにおけるリトライ処理は、リアルタイム処理を要求するホストにおいては、有効な機能とならない場合もある。

30

【0013】

また、従来のメモリカードは、メモリカードとして所望のデータ信頼性となるように、フラッシュメモリの信頼性に応じて、誤り訂正符号を付加している。例えば、高信頼性のフラッシュメモリを内蔵したメモリカードには 1 ビット訂正回路が、また、低信頼性のフラッシュメモリを内蔵したメモリカードには 3 ビット訂正回路が搭載される。メモリカードとしては、何れも同等の信頼性を確保している。3 ビット訂正回路を搭載したメモリカードは、3 ビットまでの誤りは訂正可能であるが、4 ビット以上の誤りが発生した場合には訂正不能となり、ホストに対してエラー通知をするが、場合によっては、誤訂正となり、誤ったデータをホストに返すことになる。通常、このようなケースに陥る確率は非常に低くなるように設定されている。しかし、エラーが通知されたり、或いは誤ったデータが正常データとして読み出されたりする以上、例えば、業務用のホスト等のように、非常に高い信頼性を要求するホストの場合、業務用ホスト側の工夫で、メモリカードの誤り訂正能力以上の信頼性を上げることはできないという課題があった。

40

【課題を解決するための手段】

【0014】

本発明は上記の課題を解決するためになされたものであり、メモリカードにおけるリトライ処理に起因する弊害や、メモリカードの誤り訂正処理に起因する問題を解決するメモリカード及びメモリカードに対する制御方法等を提供する。

【0015】

(1) 本発明の第 1 の態様において、データ処理装置からデータの書き込み、読み出し

50

が可能なメモリカードが提供される。メモリカードは、データ処理装置との間でコマンドやデータの送受信を行うホストインタフェースと、データを格納する不揮発性メモリと、メモリカードの動作を制御するコントローラと、所定の管理情報を格納する記憶手段とを備える。管理情報は、不揮発性メモリへの書き込み動作時にエラーが発生したときにリトライ機能を実行するか否かを指定するためのリトライ設定情報を含む。

【0016】

コントローラは、データ書き込み動作時に、リトライ設定情報を参照し、リトライ設定情報がリトライ機能の停止を示す場合は、データ書き込み動作時のエラー発生時にリトライ機能を動作させないように、また、リトライ設定情報がリトライ機能の作動を示す場合は、データ書き込み動作時のエラー発生時にリトライ機能を動作させるように、書き込み動作を制御する。

10

【0017】

上記のメモリカードにおいて、管理情報はさらにメモリカード固有の特性情報を含んでもよい。そのとき、コントローラはデータ処理装置からの要求に応じて特性情報をデータ処理装置に送信してもよい。

【0018】

特性情報には、メモリカードにおいてデータ書き込みに要する最大の所要時間に関する情報や、メモリカードにおいてリトライ処理が発生する頻度に関する情報が含まれてもよい。

【0019】

(2) 本発明の第2の態様において、データの読み出し、書き込みが可能で、かつ、書き込み動作時にエラーが発生したときにリトライ機能を実行するか否かを指定するためのリトライ設定情報及びメモリカード固有の特性情報を管理情報として格納するメモリカードにアクセス可能なデータ処理装置が提供される。

20

【0020】

データ処理装置は、メモリカードとの間でコマンドやデータの送受信を行うカードインタフェースと、データ処理装置の動作を制御するコントローラとを備える。

コントローラは、メモリカードがデータ処理装置に装着されたとき又はデータ処理装置の電源投入時に、メモリカードから特性情報を読み出し、読み出した特性情報に基づき、メモリカードにおいてリトライ機能を実行させるか否かの判断を行い、その判断結果にしたがい、リトライ設定情報を設定するためのコマンドをカードインタフェースを介してメモリカードに送信する。

30

【0021】

(3) 本発明の第3の態様において、データの読み出し、書き込みが可能で、かつ、書き込み動作時にエラーが発生したときにリトライ機能を実行するか否かを指定するためのリトライ設定情報を管理情報として格納するメモリカードの制御方法が提供される。その制御方法は、データ書き込み動作時に、リトライ設定情報を参照し、リトライ設定情報がリトライ機能の停止を示す場合は、データ書き込み動作時のエラー発生時にリトライ機能を動作させず、リトライ設定情報がリトライ機能の作動を示す場合は、データ書き込み動作時のエラー発生時にリトライ機能を動作させる。

40

【0022】

(4) 本発明の第4の態様において、データの読み出し、書き込みが可能で、かつ、書き込み動作時にエラーが発生したときにリトライ機能を実行するか否かを指定するためのリトライ設定情報及びメモリカード固有の特性情報を管理情報として格納するメモリカードに対する設定方法が提供される。その設定方法は、メモリカードから前記特性情報を読み出し、読み出した特性情報に基づいて、メモリカードにおいてリトライ処理を実行させるか否かの判断を行い、その判断結果にしたがい、リトライ設定情報を設定するためのコマンドをカードインタフェースを介してメモリカードに送信する。

【0023】

(5) 本発明の第5の態様において、データ処理装置からデータの書き込み、読み出し

50

が可能なメモリカードが提供される。メモリカードは、データ処理装置との間でコマンドやデータの送受信を行うホストインタフェースと、データを格納する不揮発性メモリと、メモリカードの動作を制御するコントローラと、所定の管理情報を格納する記憶手段とを備える。

管理情報は、不揮発性メモリからのデータの読み出し時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報を含む。

コントローラは、データ読み出し動作時に、誤り訂正設定情報を参照し、誤り訂正設定情報が誤り訂正機能の停止を示す場合は、読み出したデータに対して誤り訂正を行わないように、また、誤り訂正設定情報が誤り訂正機能の作動を示す場合は、読み出したデータに対して誤り訂正を行うように、読み出し動作を制御する。

10

【0024】

管理情報はさらにメモリカード固有の特性情報を含み、コントローラはデータ処理装置からの要求に応じて特性情報をデータ処理装置に送信してもよい。

特性情報は、不揮発性メモリの誤り率に関する情報を含んでもよい。

【0025】

(6)本発明の第6の態様において、データの読み出し、書き込みが可能で、かつ、読み出したデータに対して誤り訂正を実行可能なメモリカードであって、読み出し動作時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報及びメモリカード固有の特性情報を管理情報として格納するメモリカードにアクセス可能なデータ処理装置が提供される。データ処理装置は、メモリカードとの間でコマンドやデータの送受信を行うカードインタフェースと、データ処理装置の動作を制御するコントローラとを備える。

20

【0026】

コントローラは、メモリカードがデータ処理装置に装着されたとき又はデータ処理装置の電源投入時に、メモリカードから特性情報を読み出し、読み出した特性情報に基づき、メモリカードにおいて誤り訂正機能を実行するか否かの判断を行い、その判断結果にしたがい、誤り訂正設定情報を設定するためのコマンドをカードインタフェースを介してメモリカードに送信する。

【0027】

(7)本発明の第7の態様において、データの書き込み、読み出しが可能で、かつ、読み出したデータに対して誤り訂正を実行可能なメモリカードであって、読み出し動作時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報を管理情報として格納するメモリカードの制御方法が提供される。

30

【0028】

その制御方法は、データ読み出し動作時に、誤り訂正設定情報を参照し、誤り訂正設定情報が誤り訂正機能の停止を示す場合は、読み出したデータに対して誤り訂正を行わず、一方、誤り訂正設定情報が誤り訂正機能の作動を示す場合は、読み出したデータに対して誤り訂正を行う。

【0029】

(8)本発明の第8の態様において、データの読み出し、書き込みが可能で、かつ、読み出したデータに対して誤り訂正を実行可能なメモリカードであって、読み出し動作時に誤り訂正機能を実行するか否かを指定するための誤り訂正設定情報及びメモリカード固有の特性情報を管理情報として格納するメモリカードに対する設定方法が提供される。

40

【0030】

その設定方法は、メモリカードから特性情報を読み出し、読み出した特性情報に基づいて、メモリカードにおいて誤り訂正機能を実行するか否かの判断を行い、その判断結果にしたがい、誤り訂正設定情報を設定するためのコマンドをカードインタフェースを介してメモリカードに送信する。

【発明の効果】

【0031】

以上のように本発明によれば、メモリカードにおけるリトライ機能や誤り訂正機能の作

50

動/停止をホスト側から設定可能とする。これにより、ホスト側から、メモリカードにおけるリトライ機能を必要に応じてキャンセルし、ホスト側での書き込み時間に関する見積もりが容易になる。すなわち、リアルタイム性が要求されるアプリケーションにおいて、書き込みエラー時に、リトライ処理を実施せず、速やかにホストに通知されるようにすることにより、ホスト側での対処が容易となり、リアルタイム動作を保証することが可能となる。また、ホストが高いデータの信頼性を要求するが、メモリカードがそれを満たさない場合は、ホスト側からメモリカードにおける誤り訂正機能をキャンセルすることで、ホストの有する高い誤り訂正機能を用いて、読み出しデータの誤り訂正を行うことが可能となり、一定のデータの信頼性を確保することが可能となる。

【図面の簡単な説明】

【0032】

【図1】本発明の実施形態におけるメモリカード及びホスト（データ処理装置）の構成を示すブロック図

【図2】メモリカードのレジスタに格納される管理情報の例を示す図

【図3】メモリカードに格納されるブロック管理テーブルの構成とデータ例を示す図

【図4】ホストにおけるメモリカードの初期化時に実行される処理の動作を示すフローチャート

【図5】メモリカードにおける書き込み処理の動作を示すフローチャート

【図6】メモリカードにおける読み出し処理の動作を示すフローチャート

【発明を実施するための形態】

【0033】

以下、添付の図面を参照して本発明の実施の形態について説明する。

【0034】

図1は、本発明の実施形態におけるメモリカード及びデータ処理装置（以下「ホスト」と称する。）の構成を示すブロック図である。

【0035】

（ホストの構成）

ホスト（データ処理装置）50は、例えばデジタルスチルカメラ、デジタルビデオカメラ、各種携帯端末機器、パーソナルコンピュータ等の電子機器を含む。

【0036】

ホスト50は、コントローラ51、データ格納部53、カードインタフェース55、入出力処理部57及びバッファメモリ59を含む。データ格納部53は制御プログラム61を格納する。

【0037】

カードインタフェース55は、メモリカード1のホストインタフェース2との間でデータのやりとりを行う。すなわち、カードインタフェース55は、メモリカード1に読み書きするデータや各種制御のためのコマンドやクロック信号をホストインタフェース2との間で送受信する。

【0038】

コントローラ51はホスト50全体の動作制御を行い、データ格納部53に格納されている制御プログラム61と協働して後述する所定の機能を実現する。

【0039】

入出力処理部57は、ユーザがホスト50に対して行う設定や操作に関する情報やデータを入力する入力手段と、映像、音声等の出力を行う出力手段とを含む。

【0040】

バッファメモリ59は、メモリカード1に書き込むデータを一時的に格納するメモリであり、メモリカード1に書き込みエラーが発生した場合でも、そのエラーを吸収できるように、ある程度大きな容量を有している。

【0041】

（メモリカードの構成）

10

20

30

40

50

メモリカード 1 はホスト 5 0 に装着されて使用され、ホスト 5 0 からデータの書き込み、読み出しが可能な記録媒体である。メモリカード 1 は、書き込み時にエラーが生じたときに再試行するリトライ機能と、データの誤り訂正を行う誤り訂正機能とを有する。

【 0 0 4 2 】

メモリカード 1 は、ホストインタフェース 2 と、コントローラ 3 と、RAM 4 と、インストラクションROM 5 と、バッファメモリ 6 と、書き換え可能な不揮発性メモリであるフラッシュメモリ 7 とから構成される。

【 0 0 4 3 】

ホストインタフェース 2 は、メモリカード 1 が装着されるホスト 5 0 とのインタフェースを行うブロックであり、フラッシュメモリ 7 に読み書きするデータや各種制御のためのコマンドやクロック信号を送受信する。

10

【 0 0 4 4 】

コントローラ 3 は、メモリカード 1 全体を制御するブロックであり、マイクロプロセッサ(以下、「MPU」と称する。) 3 1 と、レジスタ 3 2 と、誤り訂正手段 3 3 を有している。

【 0 0 4 5 】

MPU 3 1 は、インストラクションROM 5 に格納されている制御プログラムを実行し、RAM 4、フラッシュメモリ 7 及びバッファメモリ 6 の制御を行う。

【 0 0 4 6 】

レジスタ 3 2 はメモリカード 1 に対する管理情報を保持する記憶手段である。管理情報には、ホストインタフェース 2 を通してホスト 5 0 から転送される設定値及びメモリカード 1 の固有の特性値が含まれる。図 2 にレジスタ 3 2 に格納される管理情報の例を示す。

20

【 0 0 4 7 】

図 2 において、管理情報は、ホスト 5 0 から転送される設定値として、リトライイネーブルビットと、誤り訂正イネーブルビットとを含む。リトライイネーブルビットは、メモリカード 1 においてデータ書き込み時にリトライ処理を実行するか否かを指定する「リトライ設定情報」である。訂正イネーブルビットは、メモリカード 1 においてデータ読み出し時に、誤り訂正処理を実行するか否かを指定する「誤り訂正設定情報」である。

【 0 0 4 8 】

さらに、管理情報は、メモリカード 1 に固有の特性値として、データ書き込みの最大所要時間と、リトライ発生頻度と、エラー発生頻度と、誤り率とを保持している。データ書き込みの最大所要時間については、リトライ処理を行う場合と、行わない場合とのそれぞれについての値が格納されている。リトライ発生頻度は、リトライ処理が発生する頻度すなわち確率である。エラー発生頻度は、リトライ処理が行われない場合に、書き込み時にエラーが発生する頻度すなわち確率である。誤り率については、誤り訂正処理を行う場合と、行わない場合とのそれぞれについての値が格納されている。何れの情報もホストインタフェース 2 を通してホスト 5 0 から読み出すことが可能である。なお、メモリカード固有の特性値として管理情報に格納される情報には、上記以外に、メモリ種別、消去ブロックサイズ、管理ブロックサイズ、使用温度条件、消費電力等が含まれてもよい。

30

【 0 0 4 9 】

図 1 に戻り、誤り訂正手段 3 3 は、データ書き込み時に、ホスト 5 0 から転送されたデータに対して、誤り訂正符号を生成して、付加し、さらに、データ読み出し時に、フラッシュメモリ 7 から読み出したデータに誤りがあるか否かを検出し、誤りがある場合には訂正処理を行う。

40

【 0 0 5 0 】

インストラクションROM 5 は、読み出し専用の不揮発性メモリであり、MPU 3 1 の制御プログラムが格納されている。バッファメモリ 6 は、ホストから転送されてきたデータを一時的に保持する。フラッシュメモリ 7 は、ホストから転送されたデータを格納する。

【 0 0 5 1 】

50

R A M 4 は揮発性メモリであり、コントローラ 3 の作業用領域であるワーク R A M 4 1 と、ブロック管理テーブル 4 2 とから構成されている。ブロック管理テーブル 4 2 はフラッシュメモリ 7 の使用状態を管理するテーブルである。図 3 に、ブロック管理テーブル 4 2 の一例を示す。

【 0 0 5 2 】

一般にフラッシュメモリ 7 の物理的なブロック（以下「物理ブロック」と称す。）への読み書きは、ホスト 5 0 から与えられる論理的なブロック（以下「論理ブロック」と称す。）のアドレスを指定して行われる。ブロック管理テーブル 4 2 の 1 つの役割は、論理ブロックのアドレス（論理アドレス）を物理ブロックのアドレス（物理アドレス）に変換する（あるいは、割り当てる）ことである。

10

【 0 0 5 3 】

図 3 のブロック管理テーブル 4 2 は、ブロックアドレスである物理アドレスと論理アドレスの対応関係と、その物理アドレス（すなわち、その物理アドレスが指定するブロック）の使用の有無を管理している。

【 0 0 5 4 】

例えば、図 3 に示すように、物理ブロックの使用の有無、及び各物理ブロックに割り当てられた論理アドレスの番号が書かれている。使用済み（使用の有無を示す欄の値が“ 0 ”）であるにもかかわらず、論理アドレスが書かれていない物理アドレス（図 2 の例では、物理アドレス「 6 」）が指定する物理ブロックは、その物理ブロックが不良ブロックであることを意味しており、書き込みアドレスとして選択されることはない。

20

【 0 0 5 5 】

（ホスト側の処理）

図 4 に示すフローチャートを参照し、ホスト 5 0 がメモリカード 1 の初期化時に行う処理について説明する。図 4 に示す処理は、ホスト 5 0 のコントローラ 5 1 により実行され、メモリカード 1 がホスト 5 0 に新たに装着されたときや、メモリカード 1 が装着された状態でホスト 5 0 の電源が投入された時等に実行される。

【 0 0 5 6 】

最初に、コントローラ 5 1 はメモリカード 1 に対し、メモリカード 1 を初期化するためのコマンドを発行する（ S 5 1 ）。メモリカード 1 はこのコマンドを受けると、所定の初期化処理を実行する。次に、コントローラ 5 1 は、メモリカード 1 において初期化処理の完了を確認するためのコマンドをメモリカード 1 に発行する（ S 5 2 ）。メモリカード 1 はこのコマンドを受けると、初期化処理が完了したか否かを示す応答をホスト 5 0 に送信する。コントローラ 5 1 はメモリカード 1 からの応答を受け、初期化処理の完了を判断する（ S 5 3 ）。

30

【 0 0 5 7 】

初期化処理が完了していれば（ステップ S 5 3 で Y E S ）、コントローラ 5 1 はメモリカード 1 に対して、「リトライ発生頻度」と、「エラー発生頻度」と、リトライ処理を行う場合と行わない場合のそれぞれに対する「書き込み時間の最大所要時間」とを要求する（ S 5 4 ）。この要求にしたがい、メモリカード 1 は、レジスタ 3 2 に格納されているこれらの情報をホスト 5 0 に送信する。コントローラ 5 1 は、メモリカード 1 から受信した情報にしたがい、メモリカード 1 の使用の可否を判断する（ S 5 5 ）。この判断は例えば以下のように行う。

40

【 0 0 5 8 】

すなわち、データ処理装置 5 0 はメモリカード 1 に書き込みエラーが発生してもある程度は許容できるようにバッファメモリ 5 9 を搭載している。コントローラ 5 1 は、メモリカード 1 から受信した情報にもとづき得られる判定条件がバッファメモリ 5 9 の許容量を超えるか否かに基づき、メモリカード 1 の使用の可否を判断する。判定条件として以下の 2 点を考慮する。

判定条件 1： リトライ発生頻度 × リトライ処理を行う場合の書き込み時間の最大所要時間

50

判定条件 2 : エラー発生頻度×リトライ処理を行わない場合の書き込み時間の最大所要時間

【 0 0 5 9 】

コントローラ 5 1 は、上記の判定条件 1、2 が双方とも基準値を超える場合は、バッファメモリ 5 9 の許容量を超え、システムとして破綻すると判断し、メモリカード 1 は使用不可であると判断する。判定条件 1、2 の少なくともいずれかが基準値内であれば、メモリカード 1 は使用可能であると判断する。メモリカード 1 が使用不可能であると判断された場合（ステップ S 5 5 で N O）、エラーとして処理し（S 6 3）、処理を終了する。

【 0 0 6 0 】

一方、メモリカード 1 が使用可能であると判断された場合（ステップ S 5 5 で Y E S）、コントローラ 1 は、判定条件 1 に基づいて、さらにメモリカード 1 のリトライ機能を作動させるか、停止させるかについて判断する（S 5 6）。すなわち、判定条件 1 を、リトライ機能の作動/停止を判断するための基準値と比較し、判定条件 1 がその基準値よりも大きい場合、メモリカード 1 のリトライ機能を停止させるようにする。これは、書き込み時間の最大所要時間が大きいと、ホスト 5 0 が動画記録等のリアルタイム処理を要求する場合に、リトライ処理の実行によりデータ記録に時間がかかり、リアルタイム処理が実現できない場合があるからである。

10

【 0 0 6 1 】

このように、ホスト 5 0 はメモリカード 1 のリトライ機能の O N / O F F を設定できるため、リトライ機能が不要な場合は O F F することで、書き込み時間の見積み等が容易になる。すなわち、書き込みエラー時に、リトライ処理を実施せず、速やかにホスト 5 0 に通知されるようにすることにより、ホスト 5 0 側での対処が容易となる。

20

【 0 0 6 2 】

リトライ機能を停止させると判断した場合（ステップ S 5 7 で Y E S）、コントローラ 5 1 は、メモリカード 1 に対し、レジスタ 3 2 内のリトライイネーブルビットを O F F に設定するためのコマンドを発行する（S 5 8）。メモリカード 1 はこのコマンドを受けると、レジスタ 3 2 内のリトライイネーブルビットを O F F に設定する。

【 0 0 6 3 】

次に、コントローラ 5 1 は、メモリカード 1 に対し、誤り訂正を行う場合と行わない場合のそれぞれについての誤り率を要求する（S 5 9）。

30

【 0 0 6 4 】

そして、受信した誤り訂正を行わない場合の誤り率に基づいてメモリカード 1 の使用の可否を判断する（S 6 0）。例えば、メモリカード 1 の誤り訂正を行わない場合の誤り率が非常に高く、ホスト側の誤り訂正機能を用いても訂正不能で、許容できるデータ品質が得られないと考えられる場合は、メモリカード 1 は使用不可能であると判断する。具体的には、メモリカード 1 の誤り訂正を行わない場合の誤り率を、所定の基準値（第 1 の基準値）と比較し、そのメモリカード 1 の誤り率が、第 1 の基準値よりも大きい場合、そのメモリカード 1 は使用不可能であると判断する。なお、第 1 の基準値は、ホスト 5 0 側で訂正可能な誤り率よりも高い値に設定する。

【 0 0 6 5 】

メモリカード 1 が使用不可能であると判断した場合（ステップ S 6 0 で N O）、エラーとして処理し（S 6 3）、処理を終了する。

40

【 0 0 6 6 】

メモリカード 1 が使用可能であると判断した場合（ステップ S 6 0 で Y E S）、コントローラ 1 は、メモリカード 1 の誤り訂正を行う場合の誤り率に基づいて、メモリカード 1 の誤り訂正機能を作動させるか、停止させるかについて判断する（S 6 1）。メモリカード 1 は使用可能であると判断されるが、メモリカード 1 の誤り訂正機能では十分なデータ品質が得られないと判断される場合は、ホスト 5 0 側で誤り訂正を実行する。このため、メモリカード 1 の誤り訂正機能を停止させる。具体的には、誤り訂正を行う場合のメモリカード 1 の誤り率が、訂正機能の作動/停止を判断するための基準値（第 2 の基準値、第

50

2の基準値<第1の基準値)より大きいときは、メモリカード1において誤り訂正機能を停止させるようにする。

【0067】

メモリカード1の誤り訂正機能を停止させると判断した場合(ステップS61でYES)、コントローラ51は、メモリカード1に対し、レジスタ32内の誤り訂正イネーブルビットをOFFに設定するためのコマンドを発行する(S62)。メモリカード1はこのコマンドを受けると、レジスタ32内の誤り訂正イネーブルビットをOFFに設定する。

【0068】

このように、ホスト側からメモリカード1の誤り訂正機能のON/OFFを設定できる。このため、高い誤り訂正能力を有するホスト50は、メモリカード1の誤り訂正能力が要求する能力より低いと判断したときは、メモリカード1の誤り訂正機能を停止させ、ホスト側で誤り訂正することが可能となり、これによりデータ信頼性を向上できる。

【0069】

以上のように、ホスト50は、メモリカード1の初期化処理時において、メモリカード1からそのメモリカードに固有の特性値を読み出し、その特性値に基づき、必要に応じてメモリカード1のリトライ機能及び誤り訂正機能のON/OFFを設定することができる。

【0070】

(データ書き込み処理)

メモリカード1のデータ書き込み処理について、図5に示すフローチャートを参照して説明する。図5に示すフローチャートは、メモリカード1のコントローラ3により実行される。また、本処理はメモリカード1がホスト50から書き込みコマンドを受信したときに開始される。なお、以下では説明の便宜上、フラッシュメモリ7におけるデータ書き込み単位であるページとデータ消去単位であるブロックとを同じサイズに設定している。よって、データはブロック単位で書き込まれる。

【0071】

まず、MPU31は、ホストインタフェース2を介して、ホスト50から書き込みコマンドを受信すると、ホスト50から送られてくる書き込みデータをバッファメモリ6に一時的に格納する(S1)。

【0072】

次に、MPU31は、図3に示すブロック管理テーブル42に書き込まれている情報を参照し、書き込み可能な物理アドレスすなわち未使用("1")の物理アドレスをサーチして求める(S2)。

【0073】

次に、バッファメモリ6からブロック単位でデータを読み出すとともに、誤り訂正手段33によって誤り訂正符号を付加し、フラッシュメモリ7内のレジスタヘデータを転送する(S3)。

【0074】

次に、フラッシュメモリ7に対して書き込みコマンドを発行し、サーチした物理アドレスにデータの書き込みを行う(S4)。書き込み動作後、フラッシュメモリ7においてデータ書き込みの処理ステータスが正常であるか否かを判断する(S5)。そのため、フラッシュメモリ7に対してステータスリードコマンドを発行し、フラッシュメモリ7においてデータ書き込みが正常に完了したか否かを示す状態をフラッシュメモリ7から取得する。ステータスリードにおいて、エラーが返信される場合としては、書き込みエラーに加えて、フラッシュメモリに特有のイレース処理による異常終了した場合等が含まれる。

【0075】

MPU31は、フラッシュメモリ7からのステータスリードコマンドに対する応答により、データ書き込みが正常に行われたと判断した場合(ステップS5でYES)、ブロック管理テーブル42上の対応するアドレスについて、使用の有無に関する情報を未使用"1"から使用"0"に書き換え、それとともに、論理アドレス(論理ブロック番号)を書

10

20

30

40

50

き込み (S 6)、書き込み処理を正常終了する (S 7)。書き込み処理が正常終了すると、その旨がホスト 5 0 に通知される。

【 0 0 7 6 】

一方、ステップ S 5 において、データ書き込みが正常に行われなかったと判断された場合 (ステップ S 5 で N O)、データ書き込みを行ったアドレスに関し、ブロック管理テーブル 4 2 上の使用の有無に関する管理情報を未使用 “ 1 ” から使用 “ 0 ” に書き換える (S 8)。

【 0 0 7 7 】

次に、レジスタ 3 2 に保持されたリトライイネーブルビットを参照し、その値が、O N (イネーブル (enable)) か O F F (ディセーブル (disable)) かを判断する (S 9)

10

【 0 0 7 8 】

リトライイネーブルビットが O F F のとき (ステップ S 9 で N O)、これはリトライ機能の停止を意味することから、リトライ処理を実行せずに、所定のエラー処理を実行後 (S 1 1)、処理を終了する。所定のエラー処理は、例えば、ホスト 5 0 へエラーの発生を通知する。この場合、ブロック管理テーブル 4 2 への論理アドレスの書き込みは行われない。すなわち、その物理アドレスは不良ブロックとなる。

【 0 0 7 9 】

一方、リトライイネーブルビットが O N (イネーブル) のとき (ステップ S 9 で Y E S)、その書き込み処理がリトライ処理 (2 回目の処理) であるか否かを判断する (S 1 0)。リトライ処理であると判断された場合、所定のエラー処理を実行後 (S 1 1)、処理を終了する。この場合、ブロック管理テーブル 4 2 への論理アドレスの書き込みは行われない。すなわち、その物理アドレスは不良ブロックとなる。

20

【 0 0 8 0 】

ステップ S 1 0 においてリトライ処理でなかった場合は、リトライ処理を実行するためにステップ S 1 2 に進む。ステップ S 1 2 においては、ステップ S 2 と同様に、ブロック管理テーブル 4 2 を参照し、書き込み可能な物理アドレスすなわち未使用 (“ 1 ”) の物理アドレスをサーチして決定した後、ステップ S 4 に移行する。その後の処理は前述したとおりである。

【 0 0 8 1 】

以上のような手順にしたがい、バッファメモリ 6 に保持されたデータはブロック単位でフラッシュメモリ 7 への書き込み (転送) が繰り返され、全てのデータの書き込みが正常終了した時点で、書き込みが完了したことがホスト 5 0 に通知される。また、データ書き込み時に異常が発生した場合、リトライ機能が O F F であれば、それ以降のデータの書き込みは行われず、異常発生時点で、ホスト 5 0 に通知される。

30

【 0 0 8 2 】

以上のように本実施の形態によれば、ステップ S 9 において、リトライイネーブルビットがイネーブルの場合 (ステップ S 9 で Y E S) にのみ、リトライ処理が実施される。このため、ホスト 5 0 からリトライイネーブルビットを O F F (ディセーブル) に設定しておくことで、書き込み異常があった場合に、リトライ処理を待たずに、異常がホスト 5 0 に通知されるようにすることができる。更に、事前にレジスタ 3 2 から読み出した、書き込み時間の最大所要時間、リトライ発生頻度を参照することで、それらの値に応じたエラー処理をホスト 5 0 側で実施することができる。

40

【 0 0 8 3 】

なお、上記実施の形態では、リトライ処理時に書き込みデータをホスト 5 0 から再度転送しない場合について説明したが、書き込みデータを再度転送するようにしても良い。

【 0 0 8 4 】

(データ読み出し処理)

次にメモリカード 1 のデータ読み出し処理について、図 6 に示すフローチャートを参照して説明する。図 6 に示される処理は、コントローラ 3 により実行されるものである。ま

50

た、本処理はメモリカード1がホスト50から読み出しコマンドを受信したときに開始される。

【0085】

コントローラ3は、ホストインタフェース2を介してホスト50から読み出しコマンドを受信すると、MPU31はブロック管理テーブル42に書き込まれている情報を参照し、ホスト50から読み出しアドレスとして指定された論理アドレスに対応する物理アドレスをサーチして求める(S21)。

【0086】

次に、サーチした物理アドレスが指定するブロックからデータの読み出しを行う(S22)。このため、MPU31はフラッシュメモリ7に対して読み出しコマンドを発行し、これにより、フラッシュメモリ7内のレジスタに読み出したデータが保持される。

10

【0087】

次に、フラッシュメモリ7のレジスタからデータが読み出され、誤り訂正手段33を経由して誤りが検出された後、バッファメモリ6に転送され、一時的に格納される(S23)。

【0088】

次に、レジスタ32に保持された誤り訂正イネーブルビットがON(イネーブル)か否かを判断する(S24)。誤り訂正イネーブルビットがON(イネーブル)すなわち誤り訂正処理をする場合(ステップS24でYES)は、誤りが検出されたか否かを判断する(S25)。誤りが検出されていない場合(ステップS25でNO)、正常終了する。誤りが検出された場合(ステップS25でYES)は、誤りの位置、大きさを算出し(S26)、それらの情報に基づいて誤り訂正可能か否かを判断する(S27)。

20

【0089】

ステップS27において、検出された誤りがメモリカード1の誤り訂正能力以内の場合、バッファメモリ6に保持されたデータの訂正を行い(S28)、正常終了する(S29)。検出された誤りがメモリカード1の訂正能力を超えており、訂正不能と判断した場合(ステップS27でNO)、異常終了する(ステップS30)。

【0090】

また、誤り訂正イネーブルビットがOFF(ディセーブル)の場合(ステップS24でNO)、誤り訂正を行うことなく正常終了する(S29)。

30

【0091】

正常終了(S29)の場合、フラッシュメモリ7からバッファメモリ6へのブロック単位の読み出しが繰り返され、バッファメモリ6上のデータがホストインタフェース2を通してホスト50へ転送される。異常終了(S30)の場合、その旨がホスト50に通知され、異常発生後のフラッシュメモリ7からのデータの読み出しは停止する。

【0092】

以上のように本実施の形態によれば、ステップS24において、誤り訂正イネーブルビットがイネーブル(ON)の場合のみ誤り訂正処理を行うため、誤り訂正イネーブルビットをディセーブルにしておくことで、たとえ、データの読み出し時に訂正能力を超える誤りがあったとしても、フラッシュメモリ7内の全てのデータを読み出し、出力することが可能となる。

40

【0093】

つまり、ホスト50は、レジスタ32から誤り訂正処理を行う場合の誤り率を予め読み出し、それに基づいて誤り訂正イネーブルビットの設定を決定することで、メモリカード1における誤り訂正機能が不要な場合は、その機能を停止させることが可能となる。例えば、ホスト50がメモリカード1よりも強力な誤り訂正機能を有し、かつ、高いデータ信頼性を望む場合は、誤り訂正イネーブルビットをディセーブル(OFF)に設定し、誤り訂正機能を停止させておくことで、データの書き込み時には、ホスト側で強力な誤り訂正符号を付加した後、データの書き込みを行うことが可能となり、また、データ読み出し時には、ホスト側で誤り訂正を行うことが可能となり、これにより、データアクセス時の誤

50

り率を低下させることが可能となる。

【 0 0 9 4 】

なお、上記実施の形態では、不揮発性メモリを搭載したメモリカードに実施した場合について説明したが、その他、例えば電子機器が内蔵する不揮発性メモリに対しても、同様に実施可能であり、本発明の思想の適用はメモリカードに限られるものではないことは言うまでもない。

【 産業上の利用可能性 】

【 0 0 9 5 】

本発明は、リトライ処理または誤り訂正処理を実施可能なメモリカードや、そのようなメモリカードに対してアクセスするデータ処理装置に適用できる。特に、本発明は、リトライ処理または誤り訂正処理が可能なメモリカードにおいて、ホスト側から必要に応じて、メモリカードにおけるリトライ処理または誤り訂正処理の作動/停止の設定を可能とするため、高い処理能力を有し、メモリカード側の能力に頼らないデータ処理装置（ホスト）及びそれに接続するメモリカードに有用である。

10

【 0 0 9 6 】

なお、本発明は、特定の実施形態について説明されてきたが、当業者にとっては他の多くの変形例、修正、他の利用が明らかである。それゆえ、本発明は、ここでの特定の開示に限定されず、添付の請求の範囲によってのみ限定され得る。本出願は日本国特許出願、特願 2 0 0 4 - 0 2 6 4 1 3 号（2 0 0 4 年 2 月 3 日 提出）に関連し、それらの内容は参照することにより本文中に組み入れられる。

20

【 符号の説明 】

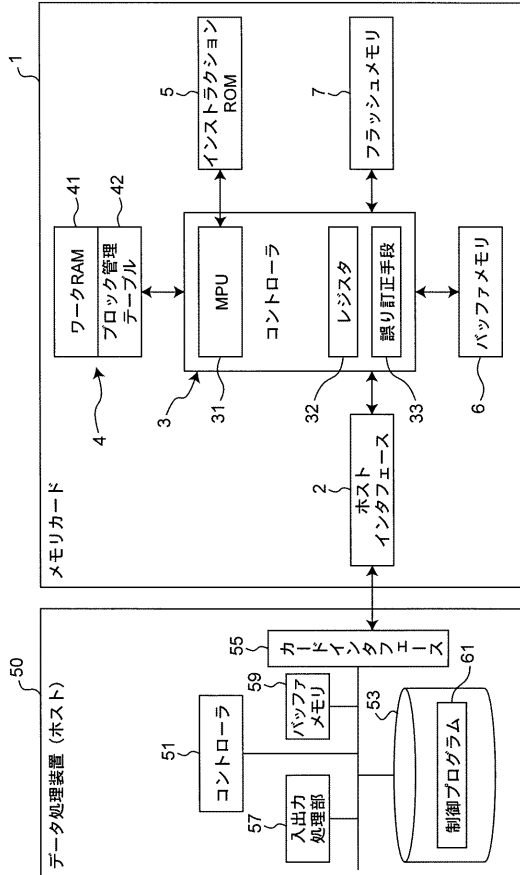
【 0 0 9 7 】

- 1 メモリカード
- 2 ホストインタフェース
- 3 コントローラ
- 4 R A M
- 5 インストラクション R O M
- 6 バッファメモリ
- 7 フラッシュメモリ
- 3 1 マイクロプロセッサ（ M P U ）
- 3 2 レジスタ
- 3 3 誤り訂正手段
- 4 1 ワーク R A M
- 4 2 ブロック管理テーブル
- 5 0 ホスト（データ処理装置）
- 5 1 コントローラ
- 5 3 データ格納部
- 5 5 カードインタフェース
- 5 7 入出力処理部
- 5 9 バッファメモリ

30

40

【図1】



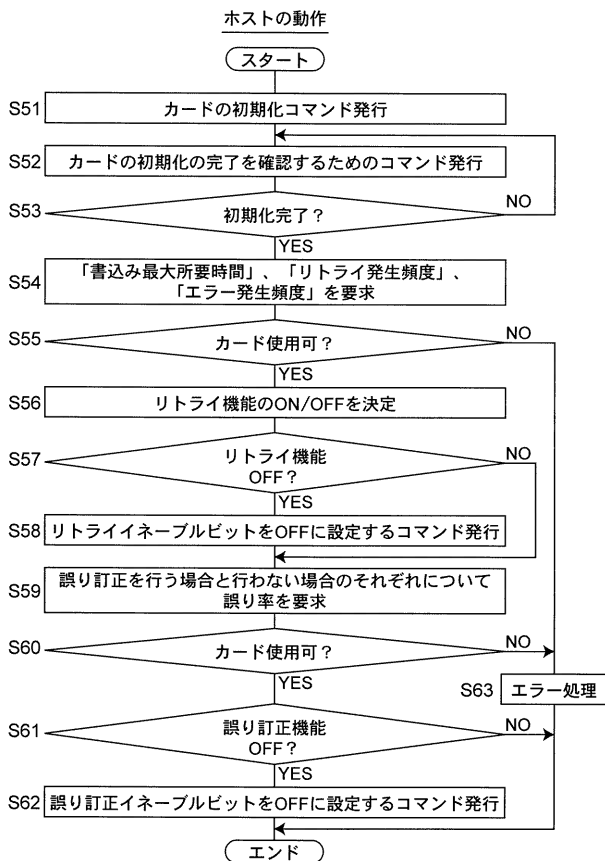
【図2】

32 レジスタ
リトライイネーブルビット
誤り訂正イネーブルビット
書き込み時間の最大所要時間 (リトライ処理有、リトライ処理無)
リトライ発生頻度
エラー発生頻度
誤り率 (誤り訂正処理有、誤り訂正処理無)
⋮

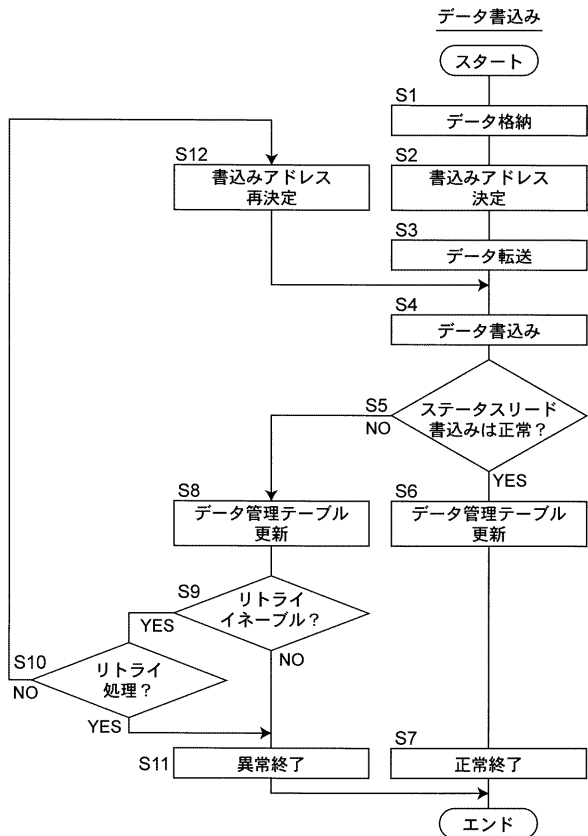
【図3】

ブロックアドレス		使用の有無 (1:未使用、0:使用)
物理アドレス	論理アドレス	
0	—	1
1	3	0
2	4	0
3	5	0
4	—	1
5	1	0
6	—	0
7	—	1
8	6	0
9	—	1
10	—	1
11	—	1
⋮	⋮	⋮

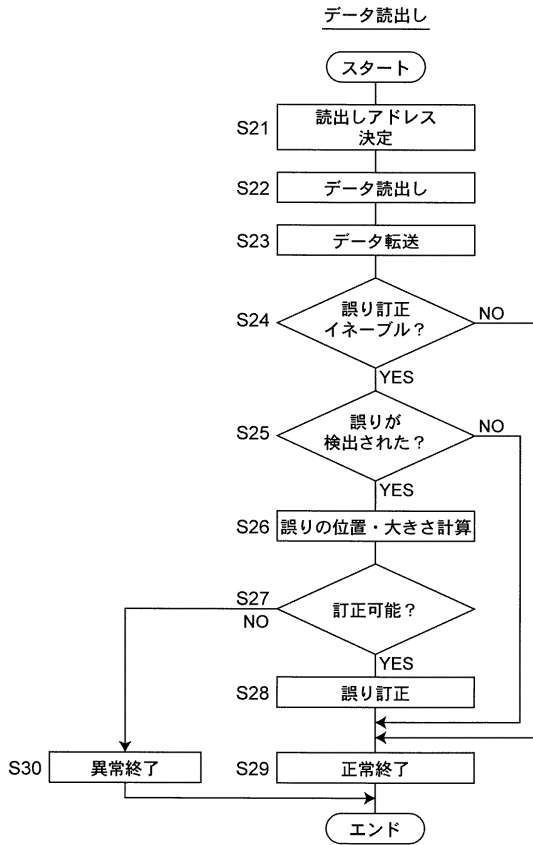
【図4】



【図5】



【 図 6 】



フロントページの続き

- (72)発明者 中西 雅浩
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 田村 和明
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- (72)発明者 松野 公則
大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内
- F ターム(参考) 5B018 GA02 HA14 MA24 NA06 PA03 QA14 RA11
5B035 BB09 CA11 CA29 CA32
5B058 CA13 CA23 CA26 CA28 KA27
5B065 BA05 EA37