

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3979673号

(P3979673)

(45) 発行日 平成19年9月19日(2007.9.19)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl.	F I
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 2 C
<b>G 1 1 C 16/04 (2006.01)</b>	G 1 1 C 17/00 6 2 1 C

請求項の数 25 (全 19 頁)

(21) 出願番号 特願平10-512612  
 (86) (22) 出願日 平成9年3月10日(1997.3.10)  
 (65) 公表番号 特表2001-500658 (P2001-500658A)  
 (43) 公表日 平成13年1月16日(2001.1.16)  
 (86) 国際出願番号 PCT/US1997/003861  
 (87) 国際公開番号 W01998/010424  
 (87) 国際公開日 平成10年3月12日(1998.3.12)  
 審査請求日 平成16年1月19日(2004.1.19)  
 (31) 優先権主張番号 PCT/US96/14349  
 (32) 優先日 平成8年9月5日(1996.9.5)  
 (33) 優先権主張国 世界知的所有権機関(WO)

(73) 特許権者  
 マクロニクス インターナショナル カン  
 パニー リミテッド  
 台湾 シン チュ 300 サイエンス  
 ベースド インダストリアル パーク ク  
 リエーション ロード サード ナンバー  
 3  
 (74) 代理人  
 弁理士 中村 稔  
 (74) 代理人  
 弁理士 大塚 文昭  
 (74) 代理人  
 弁理士 穴戸 嘉一  
 (74) 代理人  
 弁理士 竹内 英人

最終頁に続く

(54) 【発明の名称】 浮遊ゲートメモリデバイスにおけるプリプログラミングのためのファウラ・ノルトハイム (F—N) トンネリング

## (57) 【特許請求の範囲】

## 【請求項1】

浮遊ゲートメモリセルのブロックを、該ブロックの消去の準備としてプリプログラミングする方法において、上記ブロック内のメモリセルは、半導体基体の絶縁ウェル内のチャネルウェルに形成されており、浮遊ゲート、ソース、ドレイン、及び制御ゲートを有し、上記方法は、

上記ブロック内のメモリセルの上記制御ゲートに結合されているワードラインをプリプログラムワードライン電位にセットするステップと、

プリプログラムチャネル電位を上記ブロック内のメモリセルの上記チャネルウェルに印加して、前記メモリセルの制御ゲートとチャネルウェル間に電界を確立し、それによって、上記メモリセルの浮遊ゲート内の電荷レベルが上記ブロック内のメモリセルに対してリプログラムされた状態を確立するように、電子の F - N トンネリングを誘起させて上記ブロック内のセルの上記浮遊ゲート内に電荷レベルをセットするステップと、

上記ブロック内のメモリセルの上記プリプログラミングを検査するステップと、を備えていることを特徴とする方法。

## 【請求項2】

上記ブロックは、セルの複数の行及び列を含み、上記ブロック内のセルの行は対応するワードラインに結合され、上記ブロック内のセルの列は対応するビットラインに結合され、上記ワードラインを上記プリプログラムワードライン電位にセットするステップは、上記複数の行に対応するワードラインを、上記プリプログラムワードライン電位にセットする

10

20

ステップを含むことを特徴とする請求項 1 に記載の方法。

【請求項 3】

上記ブロックは、セルの複数の行及び複数の列を含み、上記ブロック内のセルの行は対応するワードラインに結合され、上記ブロック内のセルの列は対応するビットラインに結合され、上記プリプログラミングを検査するステップは、  
検査電位を上記複数の行に対応するワードラインに印加するステップと、  
上記複数の列内のセルの 1 つの列に対応する少なくとも 1 つのビットラインを感知し、上記列内の、且つ上記複数の行内のメモリセルが上記プリプログラムされた状態にあることを検査するステップと、  
を含むことを特徴とする請求項 1 に記載の方法。

10

【請求項 4】

上記ブロックは、セルの複数の行及び複数の列を含み、上記ブロック内のセルの行は対応するワードラインに結合され、上記ブロック内のセルの列は対応するビットラインに結合され、上記プリプログラミングを検査するステップは、  
検査電位を上記複数の行に対応するワードラインに印加するステップと、  
上記複数の列内のセル内の少なくとも 8 つの列に対応する 1 組のビットラインを感知し、上記少なくとも 8 つの列内の、且つ上記複数の行内のメモリセルが上記プリプログラムされた状態にあることを検査するステップと、  
を含むことを特徴とする請求項 1 に記載の方法。

20

【請求項 5】

上記半導体基体上には浮遊ゲートメモリセルの複数のブロックが存在しており、上記セットするステップの前に、プリプログラムされるブロックを選択するステップを含むことを特徴とする請求項 1 に記載の方法。

【請求項 6】

上記複数のブロック内の 1 つより多くのブロックが 1 つのチャンネルウェルを共用しており、上記印加ステップの前に、選択されたブロックとチャンネルウェルを共有している選択されていないブロック内の行に対応するワードラインをプリプログラム禁止電位にセットするステップを含むことを特徴とする請求項 5 に記載の方法。

【請求項 7】

上記プリプログラム禁止電位は、約 - 4 V 乃至 - 8 V の範囲内の値を有していることを特徴とする請求項 6 に記載の方法。

30

【請求項 8】

プリプログラムソース電位を、上記ブロック内のメモリセルのソースに印加するステップを更に含むことを特徴とする請求項 1 に記載の方法。

【請求項 9】

上記プリプログラムソース電位は、ほぼ接地乃至 - 8 V の値を有していることを特徴とする請求項 8 に記載の方法。

【請求項 10】

プリプログラムドレイン電位を、上記ブロック内のメモリセルのドレインに印加するステップを更に含むことを特徴とする請求項 1 に記載の方法。

40

【請求項 11】

上記プリプログラムドレイン電位は、ほぼ接地乃至 - 8 V の値を有していることを特徴とする請求項 10 に記載の方法。

【請求項 12】

浮遊ゲートメモリセルのブロックを消去する方法において、上記ブロックはセルの複数の行及び列を含み、上記ブロック内のメモリセルは半導体基体内の絶縁ウェル内のチャンネルウェル内に形成されており、上記ブロック内の浮遊ゲートメモリセルはそれぞれ浮遊ゲート、制御ゲート、ソース、ドレイン、及びチャンネルを有し、上記方法は、  
上記セルを並列にバイアスすることによって電子のトンネリングを誘起させて、上記ブロック内のセルの上記浮遊ゲート内に上記ブロック内のセルのプリプログラムされた状態に

50

対応する電荷状態を確立させる、上記セルのブロックをプリプログラミングするステップであって、上記プリプログラミング中に、上記バイアスは、低電圧のプリプログラミング電位を上記ブロック内のメモリセルのチャンネルウェルに印加し、且つ、高電圧のプログラミング電位を上記ブロック内のメモリセルの制御ゲートに印加するステップを含む上記セルのブロックをプリプログラミングするステップと、

上記プリプログラミングするステップの後に、上記セルを並列にバイアスすることによって電子のトンネリングを誘起させて、上記ブロック内のセルの上記浮遊ゲート内に上記ブロック内のセルの消去された状態に対応する電荷状態を確立させる、上記セルのブロックを消去するステップであって、上記消去中に、上記バイアスは、上記低電圧のプリプログラミング電位と逆の第1の消去電位を上記ブロック内のメモリセルのチャンネルウェルに印加し、且つ、上記高電圧のプリプログラミング電位と逆の第2の消去電位を上記ブロック内のメモリセルの制御ゲートに印加するステップを含む上記セルのブロックを消去するステップと、

を備えることを特徴とする方法。

【請求項13】

上記プリプログラムチャンネル電位は、 $-4\text{ V}$ 乃至 $-8\text{ V}$ の範囲内の値を有することを特徴とする請求項1に記載の方法。

【請求項14】

上記プリプログラムワードライン電位は、約 $+3\text{ V}$ 乃至 $+10\text{ V}$ の範囲内の値を有していることを特徴とする請求項13に記載の方法。

【請求項15】

もし、上記ブロック内のセルが上記検査ステップに合格しなければ、全てのセルが検査ステップに合格するか、または再試行限度に到達するまで、上記印加ステップ及び検査ステップを再試行するステップ、

を含むことを特徴とする請求項1に記載の方法。

【請求項16】

上記検査ステップは、上記ブロック内のメモリセルをバイト毎に読み出すステップを含むことを特徴とする請求項1に記載の方法。

【請求項17】

上記プリプログラミング中に、上記低電圧のプリプログラミング電位を上記ブロック内のメモリセルのチャンネルウェルに印加するステップは、上記低電圧のプリプログラミング電位を上記チャンネルウェルに印加し、上記高電圧のプリプログラミング電位を上記ブロック内のセルの上記制御ゲートに印加することによって、上記ブロック内のセルの上記チャンネルと上記浮遊ゲートとの間にプリプログラミング電界を確立するステップを含むことを特徴とする請求項12に記載の方法。

【請求項18】

上記低電圧のプリプログラミング電位は、約 $0\text{ V}$ 乃至 $-12\text{ V}$ の範囲内にある値を有し、上記高電圧のプリプログラミング電位は、約 $0\text{ V}$ 乃至 $+12\text{ V}$ の範囲内にある値を有していることを特徴とする請求項17に記載の方法。

【請求項19】

上記プリプログラミング中に、プリプログラチャンネル電位を前記メモリセルのチャンネルウェルに印加するステップは、第1のプリプログラミング電位を上記ブロック内のセルのソースに印加し、第2のプリプログラミング電位を上記ブロック内のセルの上記制御ゲートに印加することによって、上記ブロック内のセルの上記ソースと上記浮遊ゲートとの間にプリプログラミング電界を確立するステップを含むことを特徴とする請求項12に記載の方法。

【請求項20】

上記第1のプリプログラミング電位は、約 $0\text{ V}$ 乃至 $-12\text{ V}$ の範囲内の値を有し、上記第2のプリプログラミング電位は、約 $0\text{ V}$ 乃至 $+12\text{ V}$ の範囲内の値を有し、上記ドレインは浮かしてあり、約 $0\text{ V}$ 乃至 $-12\text{ V}$ の範囲内の値を有する第3のプリプログラミング電

10

20

30

40

50

位を上記チャンネルウェルに印加するステップを含むことを特徴とする請求項 19 に記載の方法。

【請求項 21】

上記プリプログラミング中に、プリプログラチャネル電位を前記メモリセルのチャンネルウェルに印加するステップは、第 1 のプリプログラミング電位を上記ブロック内のセルのドレインに印加し、第 2 のプリプログラミング電位を上記ブロック内のセルの上記制御ゲートに印加することによって、上記ブロック内のセルの上記ドレインと上記浮遊ゲートとの間にプリプログラミング電界を確立するステップを含むことを特徴とする請求項 12 に記載の方法。

【請求項 22】

上記第 1 のプリプログラミング電位は、約 0 V 乃至 - 12 V の範囲内の値を有し、上記第 2 のプリプログラミング電位は、約 0 V 乃至 + 12 V の範囲内の値を有し、上記ソースは浮かしてあり、約 0 V 乃至 - 12 V の範囲内の値を有する第 3 のプリプログラミング電位を上記チャンネルウェルに印加するステップを含むことを特徴とする請求項 21 に記載の方法。

【請求項 23】

上記半導体基体上には浮遊ゲートメモリセルの複数のブロックが存在しており、上記プリプログラミングのステップの前に、消去されるブロックを選択するステップを含むことを特徴とする請求項 12 に記載の方法。

【請求項 24】

上記半導体基体上には浮遊ゲートメモリセルの複数のブロックが存在しており、上記複数のブロック内の 1 つより多くのブロックが 1 つのチャンネルウェルを共有しており、上記プリプログラミングステップ前に、消去される 1 つまたはそれ以上のブロックを選択するステップと、選択されたブロックとチャンネルウェルを共用している選択されていないブロック内のセルの制御ゲートを、プリプログラム禁止電位にセットするステップと、を含むことを特徴とする請求項 17 に記載の方法。

【請求項 25】

上記プリプログラム禁止電位は、約 0 V 乃至 - 12 V の範囲内の値を有していることを特徴とする請求項 24 に記載の方法。

【発明の詳細な説明】

関連出願データ

本特許出願は、本明細書に参照として採り入れている我々の同時出願、1996年 9 月 5 日付 出願番号 P C T / U S 96/14349 “Triple Well Floating Gate and Operating Method with Isolated Channel Program, Pre-Program and Erase Program Processes” の部分継続である。

発明の背景

発明の分野

本発明は、不揮発性メモリデバイスに関し、詳しく述べれば、高速プリプログラミング及び消去技術を有する浮遊ゲートトランジスタを基とする改良された不揮発性メモリに関する。

関連技術の説明

フラッシュメモリは、浮遊ゲートトランジスタを基とする不揮発性メモリ集積回路のクラスである。浮遊ゲートセルのメモリ状態は、浮遊ゲート内に捕捉されている電荷の濃度によって決定される。フラッシュメモリの動作は、浮遊ゲート内への電荷の注入、または浮遊ゲートからの電荷の除去に使用される技術に大きく依存する。

フラッシュメモリ内の浮遊ゲート内への、及び浮遊ゲートからの電荷の移動に使用される基本技術は少なくとも 2 つ存在する。第 1 の技術は、ホットエレクトロン注入と呼ばれるものである。ホットエレクトロン注入は、メモリセルのドレインとソースとの間に正電圧を印加し、制御ゲートに正電圧を印加することによって誘起される。これはセル内に電流

10

20

30

40

50

を誘起させ、電流内のホットエレクトロンが浮遊ゲートセルのトンネル酸化物を通して浮遊ゲート内へ注入される。ホットエレクトロン注入は比較的迅速であるが大電流動作であり、従って普通はデバイス内で一時に数セルをプログラミングするための使用に制限される。

フラッシュメモリセルの浮遊ゲート内への、及び浮遊ゲートからの電荷の移動に使用される第2の主要技術は、ファウラ・ノルトハイムトンネリング(F-Nトンネリング)と呼ばれるものである。F-Nトンネリングは、制御ゲートと、ドレイン、ソース、及びチャネルの1つとの間に、または制御ゲートとこれらの端子の組合せとの間に大きい電界を確立することによって誘起される。この電界は、トンネル酸化物を通るF-Nトンネリング電流を確立し、浮遊ゲート内への電子の注入、及び浮遊ゲートからの電子の駆逐の両方に使用することができる。F-Nトンネリングプロセスは、セルのソースとドレインとの間の電流の流れを含まないので、比較的低電流である。従って、一般的にこれは、デバイス上で一時に多数のセルにまたがって並列に使用される。

フラッシュメモリの動作はアレイをプログラミングすることを含み、このためには、浮遊ゲート内に蓄積される電荷の量をセル毎に制御し、アレイ全体またはアレイのあるセクタを浮遊ゲート内の所定の帯電状態にクリアする消去を必要とする。1つの種類のフラッシュメモリにおいては、アレイ内のセルのプログラミング、及び消去の両方のためにF-Nトンネリングが使用される。第2の種類のフラッシュメモリにおいては、プログラミングのためにホットエレクトロン注入が使用され、消去のためにF-Nトンネリングが使用される。

浮遊ゲートメモリセルを消去するために、及び消去されたセル内の電荷をより均一に分布させるために、従来のシステムにおいてはプリプログラミングが遂行されている。即ち、消去電位を印加する前に、消去すべきブロック内の全てのセルは高しきい値状態のような既知の状態にプリプログラムされる。このようにすると、チップを消去した時に、全てのメモリセルの浮遊ゲートは実質的に同量の電荷から開始されるようになる。従って、消去シーケンスは、消去される全ブロックにまたがってより均一な電荷レベルを生じさせる。しかしながら、チップまたはセクタ消去動作におけるプリプログラミングは、従来の技術によればかなりの時間を必要とする。例えば、消去すべきブロック内の各バイトをプリプログラムし、次いでそのプリプログラミングの成功を検査しなければならない。消去すべき全ブロックをプリプログラムし、検査した後でなければ、消去動作を遂行することはできない。

従来のアプローチにおいては、プリプログラミングはバイト毎の、またはワード毎のプログラミング動作と、それに続くバイト毎の、またはワード毎の検査が含まれている。大きいブロックの浮遊ゲートセルをプリプログラムし、検査するためには、かなりな時間量が含まれることが理解されよう。

プリプログラミング技術の詳細に関しては、米国特許第5,563,822号“Fast Flash EPROM Programming and Pre-Programming Circuit Design”、及び前記参照を参照されたい。

従って、デバイスの総合性能を改善するために、浮遊ゲートメモリアレイのプリプログラミングの速度を増加させたフラッシュメモリセル設計、及び動作技術を提供することが望まれている。更に、フラッシュメモリ動作技術が、低供給電圧に適するものであることも望まれている。

#### 発明の要旨

本発明は、プリプログラムすべき、及び消去すべきセルの浮遊ゲートとチャネルとの間にファウラ・ノルトハイム(F-N)トンネリングを使用することを基として、及び三重ウェル浮遊ゲートメモリ構造を使用することを基として、従来のアプローチよりもかなり高速でプリプログラミング及び消去動作を可能にした新しいフラッシュメモリセル構造、及び動作バイアスアプローチを提供する。

即ち、本発明は、浮遊ゲートメモリセルのブロックを消去する方法を特徴としている。セルは、半導体基体内の絶縁ウェル内のチャネルウェル内に形成されている。例えば、p型半導体基体内に深いn型の絶縁ウェルが形成される。この絶縁ウェルの中にp型のチャネ

10

20

30

40

50

ルウェルが形成される。浮遊ゲートメモリセルは、セルのチャネル領域がチャネルウェル内に存在するように、チャネルウェル内に形成される。消去方法は、ブロック内のセルの中にプリプログラムされた状態を確立するために、ブロック内のセルのチャネルと浮遊ゲートとの間に電子のトンネリングを誘起させることによって、メモリセルのブロックをプリプログラミングするステップを備えている。次に、このプリプログラミングステップの後に、セル内に消去された状態を確立するために、ブロック内のセルのチャネルウェルと浮遊ゲートとの間に電子のトンネリングを誘起させることによってブロック内のセルを消去するステップを更に備えている。プリプログラミングステップは、ブロック内のセルのチャネルウェルにチャネルプリプログラミング電位を印加し、制御ゲートに制御ゲートプリプログラミング電位を印加することによって、ブロック内のセルのチャネルと浮遊ゲートとの間にプリプログラミング電界を確立するステップを含む。代替方法においては、プリプログラミング電位をソース及びドレインの一方に付加的に印加し、ソース及びドレインの他方を浮かせたままにして、プリプログラミングステップ中にセルを導通させる。

10

1つの好ましいアプローチにおいては、チャネルプリプログラミング電位は、0 V乃至 - 12 V、より好ましくは - 4 V乃至 - 8 Vの範囲内のような負の値を有している。この実施例によれば、ワードラインプリプログラミング電位は、0 V乃至 + 12 V、より好ましくは約 + 3 V乃至 + 10 Vの値のような正の値を有している。ブロック内のセルの消去は、基本的にはプリプログラミング電位に対して電位を逆にしたチャネル消去動作によって遂行される。

プリプログラミングのためにブロック毎にF - Nトンネリングを使用すると、ブロック内のセルのチャネルウェル及びワードラインにバイアスを印加することによって、浮遊ゲートメモリアレイ内のセルの全ブロックを並列にプリプログラムすることができる。ブロックにプリプログラミングバイアスを印加した後に、プリプログラミングの検査を遂行する。一代替においては、プリプログラミングの検査は、セルがプリプログラムされた状態に到達していることを確かめるために、バイト毎に、またはワード毎に読み出し、検査する従来の方法を使用して遂行される。

20

代替として、ブロックのプリプログラミングの検査は、ブロック内の全ての行に沿うバイトまたはワードのプリプログラミングを検査するために、ブロック内のセルに結合されている全てのワードラインに検査電位を印加し、ビットラインの全バイト、または全ワードの組を一時に感知することによって、実質的により迅速に遂行することができる。またこの技術を、ブロック内の複数のワードラインの何れかのサブセットに対して使用し、検査動作に必要な時間の量の実質的な節約を実現することができる。

30

本発明の一面によれば、複数のブロックを含むアレイ内の浮遊ゲートメモリセルの選択されたブロックを消去するための方法が提供される。本方法は、消去すべき複数のブロック内の1つまたはそれ以上のブロックを選択するステップと、選択された1つまたはそれ以上のブロック内のメモリセルのワードラインを、正の値を有するプリプログラムワードライン電位にセットするステップとを含んでいる。負の値を有するプリプログラムチャネル電位を、選択された1つまたはそれ以上のブロック内のメモリセルのチャネルウェルに印加する。これにより、チャネルウェルから、選択された1つまたはそれ以上のブロック内のセルの浮遊ゲートに電子の転送が誘起され、それによってメモリセルの浮遊ゲート内の帯電レベルが選択された1つまたはそれ以上のブロック内のメモリセルにプリプログラムされた状態を確立する。

40

次に、選択された1つまたはそれ以上のブロック内のワードライン及びチャネルからそれぞれ、プリプログラムワードライン電位及びプリプログラムチャネル電位を取り除く。1つまたはそれ以上のブロック内の複数の行に対応するワードラインに検査電位を印加し、少なくとも1つのビットライン（この少なくとも1つのビットラインは、複数の列内のセルの列に対応する）を一時に感知し、選択された1つまたはそれ以上のブロック内の列内の、且つ複数の行内のメモリセルがプリプログラムされた状態にあることを検査する。もし選択された1つまたはそれ以上のブロック内のセルが検査ステップに不合格であれば、選択された1つまたはそれ以上のブロック内の全てのセルが検査ステップに合格するまで

50

、または再試行限度に到達するまで、不合格のブロックに対してプリプログラミングが再び試みられる。

選択された１つまたはそれ以上のブロック内の全てのセルが検査に合格した後に、選択された１つまたはそれ以上のブロック内のセル内に消去状態を確立するように浮遊ゲートからチャンネルへの電子のトンネリングを誘起させることによって、選択された１つまたはそれ以上のブロックが消去される。

本発明の一面によれば、セルの１つより多くのブロックが、単一のチャンネルウェル内に形成される。従って、プリプログラミングステップ中に、選択されたブロック内にないセルは、対応するワードライン上にプリプログラム禁止電位を受けている。プリプログラム禁止電位は、消去するように選択されていないブロック内のセル内にトンネリングが誘起されないように、チャンネルウェルに印加される値に近い値を有している。

10

本発明のF - Nプリプログラミング及び消去動作は、絶対値が極端に高くない電圧を使用して達成され、5 Vより低い、そして2.2 V程度、またはそれ以下の低い供給電圧を使用して実現することができる。更に、多数のセルに対してプリプログラミング動作を並列に実行するためにF - Nトンネリングを使用することによって、プリプログラミング及び消去の速度が増加し、従来技術のアプローチよりも20乃至50倍程度も速くすることができる。

本発明の他の面及び長所は、添付図面、以下の詳細な説明、及び請求の範囲を検討することにより明白になるであろう。

#### 【図面の簡単な説明】

20

図1は、本発明による三重ウェルフラッシュメモリセルの断面図である。

図2は、本発明による複数のチャンネルウェル及びメモリセルアレイを含むフラッシュメモリデバイスの簡易レイアウトである。

図3は、単一のチャンネルウェルを有するフラッシュメモリデバイスの簡易レイアウトである。

図4は、本発明によるフラッシュメモリ集積回路の簡易ブロック図である。

図5A - 5Cは、本発明による消去動作の流れ図である。

#### 詳細な説明

以下に添付図面を参照して本発明の好ましい実施例を詳細に説明する。図1に本発明による三重ウェル浮遊ゲートメモリセルの基本的構造を示す。図1に示すように、半導体基体10は第1の導電型を有している。好ましくは、基体10はp型ドーピングしたシリコンである。深いn型ウェルNWD 11が基体10内に形成される。深いn型ウェル11の内側に、p型ウェルPWI 12が含まれている。n型ソース13及びn型ドレイン14がp型ウェル12の内側に含まれている。浮遊ゲート15及びトンネル絶縁体16を含む浮遊ゲート構造が、ソース13とドレイン14との間のチャンネル領域の上に形成されている。制御ゲート17及び絶縁体18を含む制御ゲート構造が、浮遊ゲート15上に形成されている。

30

深いn型ウェル11は、デバイスの絶縁ウェルとして働く。p型ウェル12はセルのチャンネルウェルになっている。n型ソース及びドレイン構造がp型ウェル内に形成され、絶縁ウェル11によって基体10から絶縁されているp型ウェル内にチャンネルを確立している。図1には、構造のためのバイアス点20 - 24が示されている。バイアス点20は、絶縁に使用される深いn型ウェル11に結合されている。接点21はソース端子13に結合されている。接点22はセルの制御ゲートに結合されている。接点23はドレイン領域14に結合されている。接点24はチャンネルウェル12に結合されている。これらの端子は、本発明によるプログラミング、プリプログラミング、及び消去を達成するためにバイアスされる。

40

図1には、チャンネルウェルPW 1 12と絶縁ウェルNWD 11との間のP - N接合、及び基体10と絶縁ウェルとの間のP - N接合を代表的に表しているダイオード記号30及び31も示されている。基体10が絶縁ウェル11に近い、またはそれより低くバイアスされている限り、ダイオード記号31によって表されるP - N接合は導通しない。ま

50

た、チャネルウェル 12 が絶縁ウェルに近いが、またはそれより低くバイアスされている限り、ダイオード記号 30 によって表される P - N 接合は導通しない。

バイアス回路 35 は、以下に説明するように、ホットエレクトロン注入及び絶縁されたチャネル F - N トンネリングのために端子 20 - 24 に電位を印加する。

接地 25 に結合されている P 型基体 10 のためのプログラミングバイアスを、以下の表 1 に示す。

表 1 - プログラム	
ドレイン	正の高電圧
ソース	接 地
p 型チャネルウェル	接 地
ワードライン	正の高電圧
n 型絶縁ウェル	VDD

このように、伝統的なホットエレクトロンプログラミング技術が、三重ウェルセルをプログラムするために使用されている。( p 型基体は接地されている。 )

消去のために F - N トンネリングが使用される。単一チャネルウェルを全アレイのために使用する ( 図 3 参照 ) 場合には、F - N トンネリングを誘起するためのバイアスは、以下の表 2 に示すようになる。

表 2 - 消 去	
チャネルウェル	正の高電圧
絶縁ウェル	正の高電圧
選択されたワードライン	負の高電圧
選択されないワードライン	正の高電圧



デバイスが、絶縁ウェル内に 1 組のチャネルウェルを含む（図 2 参照）場合には、選択されたブロックを消去する F - N トンネリングのためのバイアス点は、以下の表 3 に示ようになる。

表 3 - 消 去	
選択されたチャネルウェル	正の高電圧
絶縁ウェル	正の高電圧
選択されたワードライン	負の高電圧
選択されないチャネルウェル	0 ボルト
選択されないワードライン	0 ボルト

プリプログラミング動作は、チャネル F - N トンネリングに基づいている。絶縁ウェル内に複数のチャネルウェルが存在する（図 2 参照）場合には、アレイをプリプログラミングするためには、以下の表 4 に示すようにバイアスされる。

表 4 - プリプログラム	
選択されたチャネルウェル	負の高電圧
選択されたワードライン	正の高電圧
絶縁ウェル	VDD
選択されないチャネルウェル	0 ボルト
選択されないワードライン	0 ボルト

アレイのアーキテクチャが複数のセルのブロックのための単一のチャネルウェルを含んでいる（図 3）の場合には、プリプログラミング動作は以下の表 5 に示すようにバイアスさ

10

20

30

40

50

れる。

表 5 - プリプログラム	
チャンネルウェル	負の高電圧
選択されたワードライン	正の高電圧 (プリプログラム)
選択されないワードライン	負の高電圧 (禁止)
絶縁ウェル	VDD

供給電位 VDD は、好ましいシステムでは、約 2 V 乃至約 5 V の範囲である。F - N 消去中にチャンネルウェルに印加される高い正電位は、供給電位より僅かに高いレベルから約 10 V の範囲である。チャンネル消去中にワードラインに印加される負の高電位は、約 - 4 V 乃至約 - 8 V の範囲である。また、F - N トンネリング消去中に図 3 のアーキテクチャ内の選択されないワードラインに印加される高電圧は、供給電位よりは高いが、チャンネルウェルのために使用される高電圧に等しくする必要はない。

高速プリプログラミング動作中に使用される負の高電圧は約 - 4 V 乃至約 - 8 V の範囲であり、一方ワードライン電位は供給電位 VDD から約 10 V の範囲である。図 3 のアーキテクチャによるプリプログラミング動作中に、選択されないセルのワードライン上に使用される負の高電圧は、チャンネルウェルに印加される電圧に近いが、それに等しくする必要はない。

表 4 及び 5 のプリプログラミングにより、トンネル絶縁体障壁 16 を横切る電子のチャネルトンネリングが発生する。何れの場合も、例えば約 - 4 V 乃至約 - 8 V の、または若干の実施例では接地と - 12 V 程度との間の負の電圧が、浮遊ゲート 15 とチャネル 12 との間に印加される。代替として、約 - 4 V 乃至約 - 8 V の、または若干の実施例では接地と - 12 V 程度との間の負の電圧を、ソース 13 及びドレイン 14 の一方に印加し、ソースまたはドレインの導通、及びソースまたはドレイン側のトンネリングを達成する。ソース側のトンネリングにおいては、選択されたセルのソース 13 に負の電圧が印加され、一方ドレイン 14 は浮いた（無接続）ままとしてドレイン 14 内の電流を避ける。このようにすると、浮遊ゲート 15 と、チャネル及びソース 13 との間に F - N トンネリングが発生する。同様に、ドレイン側トンネリングは、選択されたセルのドレイン 14 に高い負の電圧を印加し、ソース 13 をそのままにして浮遊ゲート 15 とドレイン 14 との間にトンネリングを発生させることによって達成する。

本発明による絶縁ウェル及びチャンネルウェルをレイアウトするための 2 つの基本アーキテクチャを図 2 及び図 3 に示す。図 2 は、複数のチャンネルが、図 2 の浮遊ゲートメモリセルの対応する複数の分離したアレイと共に存在する実施例を示しており、半導体基体は外側の箱 100 で示されている。絶縁ウェルはシェード付きの箱 101 である。図のチャンネルウェルはチャンネルウェル 102、チャンネルウェル 103、及びチャンネルウェル 104 を含んでいる。図示のように、複数のチャンネルウェルが、各ウェル内の浮遊ゲートメモリセルの対応するアレイと共に存在することができる。図 2 のデバイス内の浮遊ゲートメモリセ

ルのアレイは簡易化したフォーマットで示されており、ドレイン及びソース拡散領域、及びワードラインが示されている。構造を完成させるために必要な、そして図示していないグローバルビットライン、ブロック選択回路、及び他の回路は、当業者ならば十分に理解されよう。例えば、このアーキテクチャは、本明細書に参考として採り入れている米国特許第5,399,891号、米国特許第5,414,664号、または米国特許第5,526,307号に開示されているように実現することができる。図2及び3のドレイン・ソース・ドレイン構造は現在では好ましいのであるが、連続アレイを有する仮想接地アーキテクチャのような他のアーキテクチャが適当である。

この例では、チャンネルウェル102内に複数のドレイン・ソース・ドレイン構造が示されており、ドレイン拡散106、ソース拡散107、及びドレイン拡散108が2列のセルを限定し、ワードライン110、111、112、113がドレイン拡散106、ソース拡散107、及びドレイン拡散108と交差している。チャンネルウェル102内には、付加的なドレイン・ソース・ドレイン構造115、116が含まれていてチャンネルウェル102内にアレイを作っている。図にシェーディングによって示されているように、絶縁ウェル101、ドレイン拡散領域106及び108、及びソース拡散領域107は全て同じ導電型、好ましくはn型を有している。基体100及びチャンネル領域102は共に、同じ導電型、好ましくはp型である。

他のチャンネルウェル103及び104内のアレイは、同じ構造に構成されている。従って、各チャンネルウェル103のために複数のワードライン120が含まれている。チャンネルウェル103内のドレイン・ソース・ドレイン構造121、122、123は、ワードライン120と交差してフラッシュメモリセルのアレイを形成している。

同じようにして、チャンネルウェル104は、ワードライン130及びドレイン・ソース・ドレイン構造131、132、及び133からなるフラッシュメモリセルのアレイを含んでいる。

このアーキテクチャは、チャンネルウェル103のようなチャンネルウェルのサイズに等しいブロックサイズを有するアレイを消去することが望ましいシステムに適している。チャンネルウェルは、選択されないセルの妨害を避けるために、また基体上のアレイの外側の周辺デバイス上の応力を減少させるために、個々にバイアスすることができる。

より小さいアレイサイズ、及び総サイズが小さい集積回路にとっては、図3のアーキテクチャが適している。図3のアーキテクチャによれば、基体200はp型のような第1の導電型を有している。絶縁ウェル201は、好ましくはn型である第2の導電型を有している。チャンネルウェル202が絶縁ウェル201内に形成され、基体と同一の型の導電型を有している。浮遊ゲートメモリセルの複数のブロックがチャンネルウェル202内に形成され、大きいアレイを発生させている。即ち、第1のブロックは、1組のドレイン・ソース・ドレイン構造210、211、212、及び1組のワードライン213を含んでいる。個々のフラッシュメモリセルは、ソース拡散とドレイン拡散との間で、アレイ内のワードラインの下に位置している。セルの第2のブロックは、ワードライン223を有するドレイン・ソース・ドレイン構造220、221、222からなる。第3の組のセルは、ワードライン233を有するドレイン・ソース・ドレイン構造230、231、232からなる。

図3のアーキテクチャによれば、消去プロセス中に選択されないワードラインは、他のブロックを消去しながらこれらのセルの妨害を防ぐために、チャンネルウェルのレベルに近い正の高電圧に駆動される。また、選択されないワードラインは、選択されないブロックのプリプログラミングを禁止するために、プリプログラミング中にチャンネルのレベルに、またはその近くに駆動される。

図4は、本発明の三重ウェルアーキテクチャを使用する浮遊ゲートメモリアレイを含む集積回路メモリデバイスの簡易図である。即ち、半導体基体400は、絶縁ウェル401、浮遊ゲートメモリセルのアレイ403のための1組のチャンネルウェル402-1、402-2、402-3、及び402-4を含んでいる。好ましい実施例の基体400はp型である。絶縁ウェル401はn型である。チャンネルウェル402-1乃至402-4はp型

10

20

30

40

50

であり、浮遊ゲートメモリアレイ 403 内のセルのソース領域及びドレイン領域は n 型である。

アレイのアーキテクチャは、デバイスが設計されている特定の用途に依存して図 2 のアーキテクチャ、または図 3 のアーキテクチャに従って実現することができる。図 4 においては、図 2 のアーキテクチャが、チャンネルウェル 402 - 1、402 - 2、402 - 3、及び 402 - 4 と共に示されている。

基体 400 上の周辺回路は、アレイ 403 に結合されている。周辺回路は、プリプログラム及び消去の絶縁されたチャンネルプロセス、並びにプログラミング及び読み出しプロセスを制御し、実行するためのロジックを含む制御状態マシン 418 を含んでいる。命令ロジック 500 が、命令シーケンスを検出し、状態マシンによる動作を可能にするために、データ入力/出力ロジック 410 及びアドレス入力/出力ロジック 414 に結合されている。

10

ブロック選択フラグ 501 が含まれている。好ましくは、選択フラグは前記米国特許第 5,914,664 号に示されているもののよう实现し、消去すべき 1 つまたはそれ以上のブロックを選択するロジックに支援を与える。データ入力/出力ロジック 510 が、Y デコーダ 411 に結合されている。Y デコーダ 411 は、アレイ 403 のビットライン 419 に結合され、読み出し及びプログラミングのためにアレイへのアクセスを提供する。

検査コンパレータ 502 が Y デコーダ 411 に結合されており、プリプログラミング中に検査の目的で、ビットライン上で感知された値とプリプログラムされた状態（例えば、16 進数の 00）とを比較するために使用される。また周辺回路は X デコーダ 412 を含み、X デコーダ 412 はアレイ 403 のためのワードライン及びブロック選択ドライバを含んでいる。X デコーダ 412 は、浮遊ゲートメモリアレイ 403 内のセルの行及びブロックにアクセスするために、ワードライン 413 及び他の制御ラインに結合されている。アドレス入力/出力（I/O）ロジック 414 が、ライン 415、ライン 416、及びライン 417 を介して X デコーダ 412 と、Y デコーダ 411 とに結合されている。またアドレス I/O ロジック 414 は状態マシン 418 に結合されている。

20

基体 400 は、電圧供給回路 420 をも含んでいる。電圧供給回路は、ライン 421 を介して外部接地に、またライン 422 を通して外部供給電圧 VDD に結合されている。外部供給電圧 VDD は、好ましいシステムでは、約 2 V またはそれ以下から約 5 V までの範囲であることができる。電圧供給回路 420 は、三重ウェルアーキテクチャの上述したバイアス状態を達成するために、接地、VDD、高い正、及び高い負を、アレイ 403 内の絶縁ウェル 401、チャンネルウェル 402、ソース領域及びドレイン領域、及びワードライン 413 に供給する。

30

従って、電圧供給回路 420 は、メモリデバイスのプログラム、消去、プリプログラム、及び読み出し動作を駆動するためのバイアス電圧を生成するのに使用される分圧器、チャージポンプ、及び他の回路を含んでいる。例えば、図 4 に示すように、電圧供給回路 420 は、ワードライン 413 を通してアレイ内のセルの制御ゲート上のバイアスレベルを制御するために、ライン 425 を通して X デコーダ 412 に結合されている。また電圧供給回路 420 は、ビットライン 419 を通してセルのソース端子及びドレイン端子上のバイアスを制御するために、ライン 429 を通して Y デコーダ 411 に結合されている。代替システムにおいては、ソース電位は、ビットラインには無関係の特別なソースバイアスラインを通して印加することができる。

40

電圧供給回路 420 は、ライン 427 を通して絶縁ウェル 401 に接続されている。電圧供給回路 420 は、各チャンネルウェル毎に 1 つずつの供給ライン 428（個々に制御可能である）を通して複数のチャンネルウェル 402 - 1 乃至 402 - 4 に接続されている。状態マシン 418 は、選択されたチャンネルウェル、絶縁ウェル、及び他の端子を適切にバイアスするために、供給回路を制御する。

図示のように、図 2 のアーキテクチャによれば p 型チャンネルウェルが 4 つのユニット 402 - 1 乃至 402 - 4 内に実現されている。図 3 のアーキテクチャを含む代替システムでは、チャンネルウェルのために単一のバイアスラインだけを必要とする。

50

図5 A - 5 C に、チャンネル F - N トンネリングを使用するブロックレベルプリプログラミング、消去、及び検査を伴う、本発明による埋め込み型プリプログラミング及び消去動作のための詳細な流れ図を示す。アルゴリズムは、図5 A において、入力上の、例えば、20 (16進数、以下 (hex) という) とそれに続く D0 (hex) のシーケンスからなる命令を待機するステップ 600、601、及び 602 からなるループから開始される。即ち、ループはリセットステップ 600 を含み、それから 20 (hex) のための試験 (ステップ 601) へ進む。もし試験に失敗すれば、アルゴリズムはリセットステップ 600 ヘループバックする。もし試験に成功すれば、アルゴリズムはステップ 602 において D0 (hex) を試験する。もし D0 (hex) の試験に失敗すれば、アルゴリズムはリセットステップ 600 ヘループバックする。もしステップ 602 において、20 (hex) ワードとそれに続く D0 (hex) ワードのシーケンスを検出すれば、アルゴリズムはステップ 603 へ進んで L O A D 信号を表明する。これにより、入力アドレスのデコードに応答して、32 のフラグの 1 つがセットされる。この点で、ステップ 604 においてタイマが動作可能にされる。次に、アルゴリズムは P G R E S 信号の表明を試験する。この P G R E S 信号は、出力イネーブルの表明中にチップイネーブルが低になり、チップを別のアドレスにラッチし、別のフラグをセットすべきことを指示する。もしこの信号が高であれば、アドレスはステップ 606 ヘループして R V タイマをリセットし、次いで入力アドレスに응答してフラグをセットする (ステップ 607)。この点で、アドレスはステップ 604 ヘループバックして R V タイマを動作可能にする。

ステップ 605 において、もし P G R E S 信号が高でなければ、アドレスは R V タイマのタイムアウトを試験する (ステップ 608)。好ましいシステムでは、これは約 100 マイクロ秒である。もしタイマがタイムアウトしていなければ、アルゴリズムはステップ 605 ヘループする。もしタイマがタイムアウトしていれば、ステップ 609 において P G L O E N D 信号が表明され、消去すべきブロックをラッチするためのセクタアドレスロードシーケンスの終わりを指示する。ステップ 609 の後に、アルゴリズムは図5 B ヘループする。

図5 B のアルゴリズムは、状態マシンが、アレイ内のブロック 0 のためのフラグを評価するための準備が整った位置にある時に開始される。このステップの後に、消去モードのためのプリプログラミング評価間隔を指示するようにパラメータ P E V A L がセットされる (ステップ 611)。P E V A L がセットされた後に、ステップ 612 においてそのフラグを評価する。もしフラグが 0 に等しくなければ、対応するブロックが消去のために選択されているのであり、アルゴリズムはステップ 613 へ分岐してワードラインセットシーケンスが実行される。ワードラインセットシーケンスにおいては、選択されたブロック内の全てのワードラインがプリプログラムワードライン電位にセットされ、次いでアルゴリズムはブロック 614 へ分岐する。もしステップ 612 において、フラグが 0 にセットされていたのであれば、アルゴリズムはステップ 614 へ分岐する。

複数のブロックが単一のチャンネルウェルを共用する代替アプローチでは、ステップ 612 において、もし特定のブロックのためのフラグがセットされてなく、そのブロックが選択されていないことを指示していれば、その選択されていないブロックのワードラインは、ステップ 700 に示すようにプリプログラム禁止値にセットされる。ワードライン禁止値がセットされた後に、共用チャンネルウェル代替に従って、アルゴリズムはブロック 614 におけるステップへ進む。ブロック 614 においては、セットされたフラグについてアレイ内の最後のブロックが試験されたか否かが決定される。もし否であれば、ステップ 615 においてブロックアドレスがインクリメントされ、アルゴリズムはステップ 611 ヘループバックする。

もし、ステップ 614 において、あるセットされたフラグについて最後のブロックが評価されたと決定され、消去するように選択された全てのブロックのワードラインがプリプログラム電位にプリセットされていれば、アルゴリズムはステップ 616 へ分岐し、プリプログラム・高電圧シーケンスが開始され、P E V A L 信号がリセットされる。

ブロック 616 の後に、選択されたブロックのチャンネルウェルに F - N トンネリングプリ

10

20

30

40

50

プログラム電位が印加される（ステップ617）。チャネルウェルに印加されるプリプログラミングパルスは、特定の実施から選択された、例えばマイクロ秒程度の持続時間を有している。パルスの持続時間及び大きさは、実行された再試行の回数に依存して、及び他の理由から制御することができる。好ましい実施例では、プリプログラムされた状態は高しきい値状態であるので、ワードラインに検査電位が印加されている時にはプリプログラムされたセルは導通しない。

チャネルウェルにプリプログラムを印加した後に、プリプログラム回復間隔に入る（ステップ618）。回復間隔の後に、プリプログラム検査ロジック信号が送られ、検査手順に使用されているアドレスカウンタがリセットされる（ステップ619）。アルゴリズムは、アレイ内の最初のブロックのためのフラグを試験することから開始される（ステップ620）。もしそのフラグが0に等しく、そのブロックが選択されていないことを指示していれば、アルゴリズムはステップ621へ分岐して最後のブロックが試験されたか否かを決定する。もし否であれば、ブロックアドレスがインクリメントされてYアドレスがリセットされ（ステップ622）、アルゴリズムはステップ620へ戻る。

ステップ620において、もしそのフラグが対応するブロックのためにセットされていれば、ステップ623から始まるプリプログラム検査動作が実行される。ステップ623中に、選択されたブロック内のワードラインはプログラム検査電位を受け、Yアドレスによって指示されたバイトまたはワードが試験コンパレータにおいて試験され、プリプログラムされた状態が試験される。次のステップでは、試験コンパレータにおいて一致が見出されたか否かが決定される（ステップ624）。もしバイトの一致が見出されれば、Yアドレスカウンタが試験され、選択されたブロック内のバイトの最後の列が試験されたか否かが決定される。この実施例では、この試験は7ビットカウンタの出力Q6を読むことによって実行される（ステップ625）。もしこの出力が高でなく、最後の列のセットが試験されていないことを指示すれば、アルゴリズムはステップ626へ分岐してYアドレスがインクリメントされ、次いでステップ623へ進んで列の次のセットが検査される。7ビットのカウントは、127バイト幅のブロックに対応する。一実施例では、1024列ブロックに対して、各バイトは8ビットである。代替システムでは、各バイトは16ビットであり、特定の設計の要望に合わせてブロック当たり異なる数の列を実現することができる。

ステップ624において、もし一致が見出されず、バイトの列が検査に合格しなかった少なくとも1つのビットを含んでいることを指示すれば、プリプログラム回復間隔に入り、プリプログラム検査制御信号がリセットされる（ステップ630）。プリプログラム回復間隔の後に、プリプログラム再試行カウンタが試験される（ステップ631）。もし再試行の最大数（この実施例では1f（hex）より大きい）が実行されていれば、プリプログラム失敗状態が指示される（ステップ632）。もし再試行の最大数が実行されていなければ、プリプログラムカウンタがインクリメントされ（ステップ633）、アルゴリズムはステップ617へ戻り、選択されたブロックのプリプログラミングを再び試みる。

ステップ625において、もし最後の列が試験されていれば、アルゴリズムはステップ621へ分岐してアレイ内の最後のブロックが試験されたか否かを決定する。もし最後のブロックが試験されていなければ、アルゴリズムはステップ622へ、次いでステップ620へ分岐し、プリプログラム検査動作を完了する。ステップ621において、もし最後のブロックが検査されていれば、アルゴリズムはステップ635へ分岐してプリプログラム検査回復間隔に入り、プリプログラム及びプリプログラム検査制御信号がリセットされる。

ステップ635の後に、ワードラインリセット動作が遂行され、選択されたブロック及び選択されないブロックの両方のワードライン電圧が、適切にリセットされる（ステップ636）。次に、ステップ637において消去制御信号ERSが高にセットされ、アルゴリズムは消去動作を完了させるために、図5Cへループする。

プリプログラミングシーケンス内のW L S E T及びW L R E Sロジックの動作は、一時に多過ぎるワードラインのスイッチングが発生する（このようになるとパワークラッシュが発生しかねない）のを防ぐように、実行させることができる。これらの信号のタイミング

10

20

30

40

50

及び動作は、本発明の特定の実施例の実現時に決定することができる。

図5Cに示す最初のステップは、上述したようにワードライン及びチャネルウェルに適切な消去電圧を印加することによって消去動作を準備することである。このプロセスは、図5Bに示したプリプログラミングのために行った準備に類似しており、繰り返して説明はしない。消去電圧の準備及び実行は、図5Cのステップ650によって表してある。選択されたブロックに消去電位を印加した後に、消去回復間隔に入る(ステップ651)。

ステップ651における回復の後に、ERSVFY信号が高になり、チップは消去検査動作に入る(ステップ652)。次に、遅延消去検査信号DEVが高になる(ステップ653)。この点で、消去比較ラッチが、アドレスされたセルからデータを受入れる(ステップ654)。その点の後に、アルゴリズムは、不一致、一致且つ信号Q13によって指示されるオーバーフロー、またはFLAG信号が低、を試験する(ステップ655)。もしこれらの条件の何れか1つが満たされず、バイトに一致が見出されなかったこと、またはブロックの終わりに到達していないこと、またはフラグが未だリセットされていることを指示すれば、アルゴリズムはステップ656へループして最下位ビット(LSB)アドレスをインクリメントさせる。ステップ656の後に、アルゴリズムはステップ654へ戻って、次のバイトからのデータをラッチする。

ステップ655において、もしバイトが確認されなかったか、またはバイトは確認されたがアドレスカウンタがオーバーフローしていたか、または被試験ブロックのフラグがリセットされていたかすれば、アルゴリズムはステップ657へループして一致且つオーバーフロー状態を試験する。もし一致が見出されれば、そのブロックのためのフラグがリセットされる(ステップ658)。フラグをリセットした後に、アルゴリズムはステップ659へループバックし、最後のブロックが再試験されたか否かを試験する。同様に、もしステップ657において、ステップ657へ到達した理由が、一致且つLSBカウンタのオーバーフロー以外であったのであれば、アルゴリズムはステップ659へ進む。ステップ659において、もし最後のブロックが試験されていないければ、アルゴリズムはステップ690へループし、ブロックアドレスがインクリメントされ、LSBアドレスがリセットされる。ステップ660から、アルゴリズムはステップ654へループし、フラグがセットされている次のブロックの試験を開始する。

ステップ659において、もし最後のブロックが試験されていれば、アルゴリズムはステップ661へ進んでERSVFY及びDEV信号がリセットされ、回復タイマが始動する。回復タイマがタイムアウトした後に、「全フラグはリセット」を指示する信号が試験される(ステップ662)。信号を試験する際に、もし全てのフラグがリセットされていると決定されれば消去動作は完了し、制御回路はリセットされる(ステップ663)。もし全てのフラグがリセットされていないければ、再試行カウンタPENTが試験され、例えば、1024(8FF(hex))のような選択された値を越えたか否かを決定する。もし選択された値をこえていればエラーが発生し、試みは失敗する(ステップ665)。ステップ664において、もし越えていなければ、それはステップ666においてインクリメントされ、アルゴリズムはステップ650へループして消去検査に合格しなかったブロックを再消去する。

以上のように、本発明は、参照として採り入れられている前記米国特許第5,414,664号に記載されているような、セクタ消去フラッシュメモリチップアーキテクチャのためのプリプログラミング動作を提供する。本発明によれば、プリプログラムプロセスにF-Nチャネルトンネリングが使用されている。F-Nチャネルトンネリングプリプログラムプロセスの場合、1つまたはそれ以上のブロック内の全ての選択されたセルが同時にプリプログラムされる。これは、従来のプロセスが実行していたバイト毎のホットエレクトロンプログラミング動作よりも遥かに速い動作を行う。F-Nトンネリングプリプログラム動作中、選択されたセルのゲートに正の高電圧を印加することができる。チャネルウェルに負の電圧が印加され、選択されたブロック内の全てのセルを通して並列トンネリングを誘起させる。ブロックがプリプログラムされている時に、選択されないブロックがプリプログラムされないように、同一チャネル内のセルのブロックにワードライン禁止電圧を印加する

10

20

30

40

50





【 図 3 】

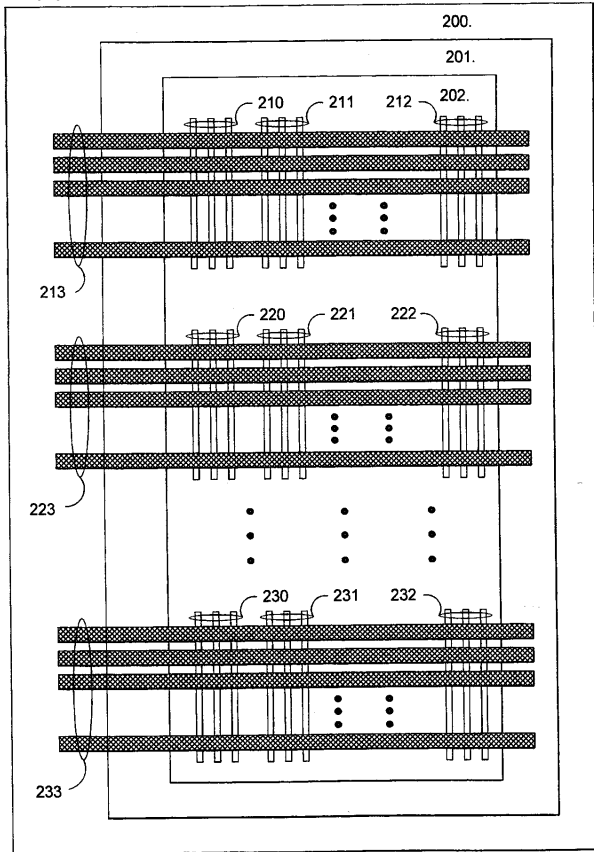


FIG.3

【 図 4 】

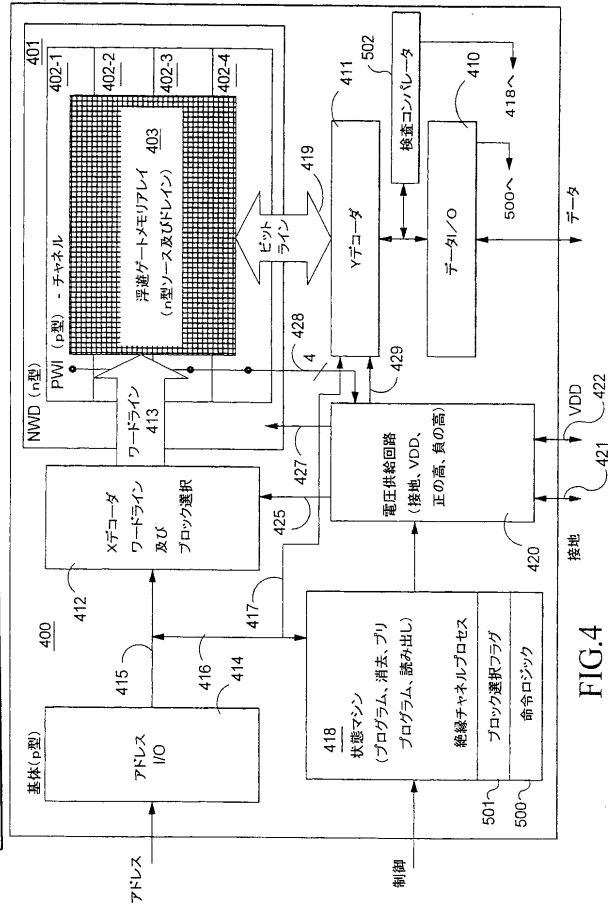


FIG. 4

【 図 5 A 】

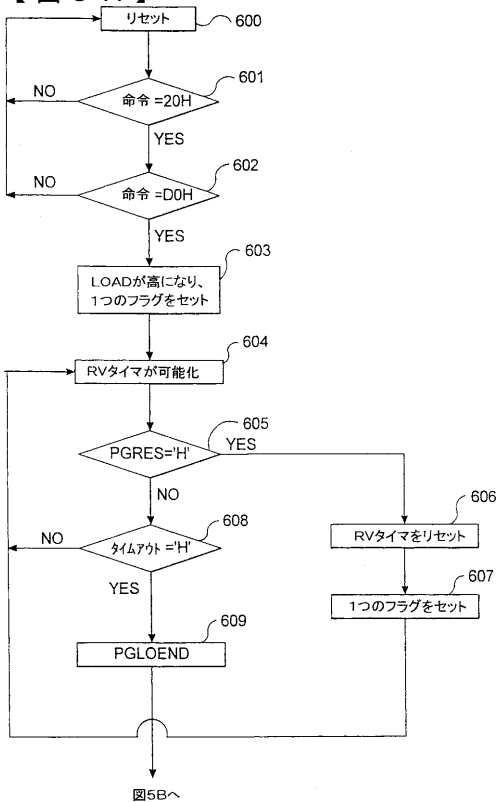


FIG.5A

【 図 5 B 】

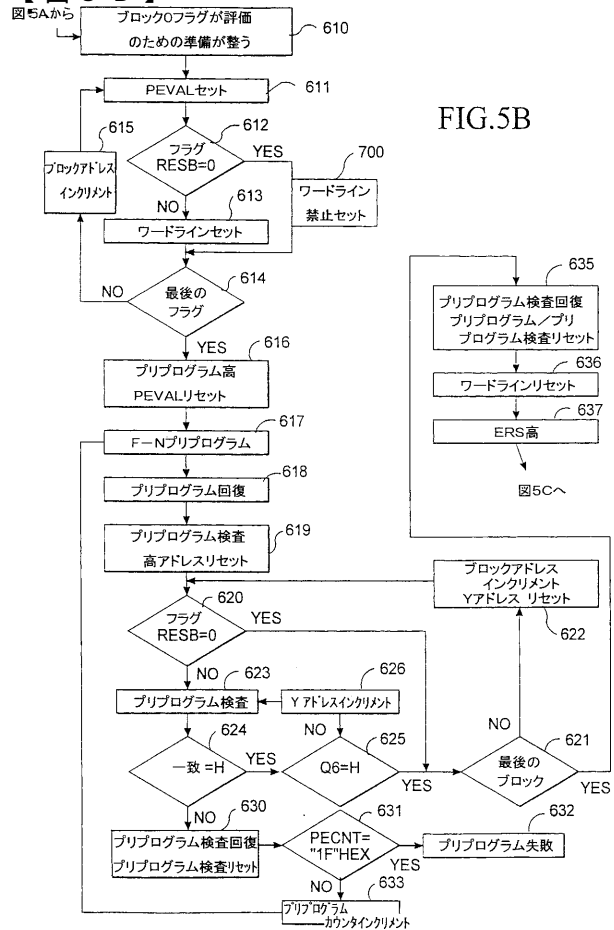


FIG.5B

【図 5 C】

図5Bの  
ブロック637から

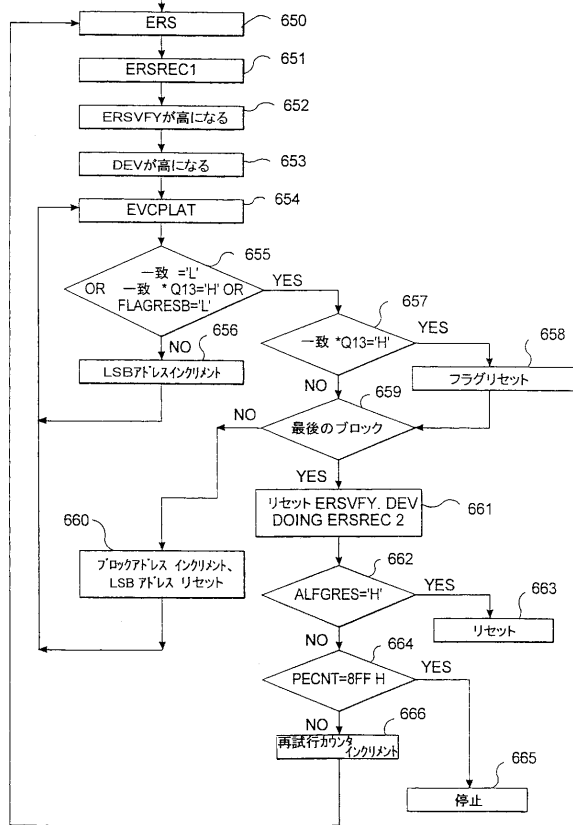


FIG. 5C

## フロントページの続き

(74)代理人

弁理士 今城 俊夫

(74)代理人

弁理士 小川 信夫

(74)代理人

弁理士 村社 厚夫

(72)発明者 ヒュン チュン シウン

台湾 シンチュ 300 ユニヴァーシティー ロード レーン 81 アリー 3 4エフ #  
5

(72)発明者 シアウ ツェン ヒューエイ

台湾 シン チ カウンティー 305 シンプー チュン チェン ロード 595

(72)発明者 チェン ヤオ ウー

台湾 タイペイ 106 セクション 2 ホッピング イースト ロード レーン 118 3  
エフ ナンバー5

(72)発明者 リー アイ ロン

台湾 アイ ラン カウンティー 300 トウ チェルン チン ミエン ロード 471

(72)発明者 ソーン フューチア

台湾 シンチュ 300 サイエンス ベースド インダストリアル パーク ウォーターフロン  
ト ロード ファースト ナンバー2 3エフ

(72)発明者 ワン レイ リン

アメリカ合衆国 カリフォルニア州 94539 フリーモント ウィチトー ドライヴ 709

審査官 石川 正二

(56)参考文献 特開平01-273296(JP,A)

特開平06-204491(JP,A)

特開平07-320488(JP,A)

特開平06-096592(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04