

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/8242	(45) 공고일자 2000년03월 15일
	(11) 등록번호 10-0246162
	(24) 등록일자 1999년12월03일
(21) 출원번호 10-1997-0704922	(65) 공개번호 특1998-0701531
(22) 출원일자 1997년07월 19일	(43) 공개일자 1998년05월 15일
번역문제출일자 1997년07월 19일	
(86) 국제출원번호 PCT/US 96/00615	(87) 국제공개번호 WO 96/22612
(86) 국제출원일자 1996년01월 19일	(87) 국제공개일자 1996년07월 25일
(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 국내특허 : 아일랜드 일본	
(30) 우선권주장 8/376103 1995년01월 19일 미국(US)	
(73) 특허권자 마이크론 테크놀로지, 인크. 로데릭 더블류 루이스	
(72) 발명자 미국 83716-9632 아이다호주 보이즈 피.오. 박스 6 사우쓰 페드럴 웨이 8000 로버츠, 마틴, 세레믹	
(74) 대리인 미국 83706 아이다호주 보이즈 이스트 새디 글렌 드라이브 3679 장수길, 주성민	

심사관 : 김동원

(54) 주변 회로 내의 트랜지스터 형성 방법

요약

본 발명은 다이내믹 랜덤 액세스 메모리 장치(DRAM) 또는 스테틱 랜덤 액세스 메모리 장치(SRAM)의 주변 회로 내 트랜지스터를 형성하는 방법에 관한 것이다. 본 발명에 따르면, 메모리 셀 어레이 내의 트랜지스터 게이트, 커패시터 전극 또는 다른 소자들은 주변 트랜지스터 게이트의 형성과 동시에 형성된다.

대표도

도2

명세서

기술분야

본 발명은 반도체 메모리 장치의 제조에 관한 것으로서, 특히 랜덤 액세스 메모리 장치의 주변 회로 내의 트랜지스터 형성 방법에 관한 것이다.

배경기술

일반적으로, 집적 회로는 단일 반도체 웨이퍼 상에 다수의 동일한 회로 패턴을 형성함으로써 대량 생산된다. 대개 반도체 장치로서 일컬어지는 집적 회로는 전도체, 부도체 또는 반도체로 구성된 각종 물질로 제조된다. 제조 비용을 감소시키고 품질 및 신뢰성을 향상시키기 위하여는 제조 공정 단계를 감소시켜 결함 발생 확률을 감소시키는 것이 유리하다. 이러한 방법을 통해, 전자 장비는 신뢰성이 향상되고 조립 및 패키징 비용이 최소화되며 회로 성능이 향상된다.

DRAM 및 SRAM과 같은 랜덤 액세스 메모리 장치는 데이터를 저장하기 위한 메모리 셀들과, 메모리셀들 내외의 신호들을 스위칭하기 위한 주변 회로들을 포함한다. 전체 장치의 제조에 필요한 공정 단계의 수를 감소시키기 위하여는 메모리 셀 어레이 내에 트랜지스터, 커패시터 및 다른 소자들을 형성함과 동시에 주변 회로 내의 트랜지스터들을 형성하는 것이 바람직하다. 메모리 셀의 형성시, 메모리 셀 소자들을 형성하기 위하여 폴리실리콘 및 산화물 절연체로 된 층들이 침적되고 패터닝되고 에칭된다. 동시에, 이들 폴리실리콘 및 산화물 층들은 주변 회로 트랜지스터들이 형성되는 칩 영역에도 침적되며 어느 정도로는 더 처리된다. 전체 공정 흐름의 효율은 주변 회로 내 트랜지스터의 형성이 메모리 셀 소자들의 형성과 통합될 수 있을 정도로 향상되었다.

<발명의 요약>

본 발명의 일반적인 목적 및 주 목적은 반도체 메모리 장치의 메모리 셀 어레이 내의 저항, 커패시터 및 다른 소자들의 형성과 주변 회로 내의 트랜지스터의 형성을 통합한 방법을 제공하는 데 있다.

상기한 목적 및 다른 목적들을 달성하기 위하여, 기판 상의 메모리 셀 어레이 영역 및 주변 영역에 게이트 산화층, 및 상기 게이트 산화층 상부에 적어도 하나의 폴리실리콘층을 형성하는 단계, 및 상기 폴리실리콘층(들)을 패터닝하고 에칭하여 어레이 영역 내의 저항, 커패시터 전극 또는 다른 소자들 및 주변 영

역 내의 주변 트랜지스터 게이트를 동시에 형성하는 단계를 포함하는 랜덤 액세스 메모리 장치의 주변 영역에 트랜지스터를 형성하는 방법이 개발되었다.

본 발명의 한 특징에 따르면, 주변 트랜지스터 게이트는 스택 랜덤 액세스 메모리(SRAM)의 메모리 셀 어레이 내의 부하 저항의 형성과 동시에 형성된다. 이러한 본 발명의 특징에 따라, 주변 영역 내의 폴리실리콘층을 패터닝하고 에칭하는 단계는 부하 저항의 형성이 완료되는, 메모리 셀 어레이 영역 내의 폴리실리콘층의 패터닝 및 에칭 단계와 동시에, 그리고 그 일부로서 실시된다. 또한, 주변 게이트는 SRAM 메모리 셀 어레이 영역 내의 접지 라인 및 비트 라인 콘택 랜딩(landing) 패드의 형성과 동시에 형성될 수 있다. 즉, 주변 영역 내의 폴리실리콘층의 패터닝 및 에칭 단계는 접지 라인 및 비트 라인 콘택 랜딩 패드가 형성되는, 메모리 셀 어레이 영역 내의 폴리실리콘층의 패터닝 및 에칭과 동시에, 그리고 그 일부로서 실시된다.

본 발명의 다른 특징에 따르면, 주변 트랜지스터 게이트는 다이내믹 랜덤 액세스 메모리(DRAM)의 메모리 셀 어레이 영역 내의 커패시터 전극의 형성과 동시에 형성된다. 이러한 본 발명의 특징에 따라, 주변 영역 내의 폴리실리콘층의 패터닝 및 에칭 단계는 커패시터 전극이 형성되는, 메모리 셀 어레이 영역 내의 폴리실리콘층의 패터닝 및 에칭 단계와 동시에, 그리고 그 일부로서 실시된다.

본 발명의 전술한 목적 및 다른 목적들, 장점들 및 신규한 특징들은 본 발명을 구현하는 최상 방식을 설명함으로써 본 발명의 바람직한 실시예들만을 도시하고 설명한 아래의 상세한 설명으로부터 당해 분야의 기술자들에게 명백해질 것이다. 본 발명의 영역 및 사상을 벗어나지 않고도 본 발명은 여러 상이한 실시예들이 가능하고 다른 응용 분야에서 사용될 수 있으며, 이에 대한 몇몇 세부 사항들은 여러 자명한 측면에서의 변형이 가능하다. 따라서, 도면들 및 설명들은 본질상 제한적인 것이 아니라 예시적인 것으로 고려되어야 한다.

도면의 간단한 설명

도 1은 반도체 메모리 장치의 메모리 셀 어레이 영역 및 주변 영역을 나타내는 개략적인 평면도.

도 2는 본 발명에 따라 구성된 스택 랜덤 액세스 메모리(SRAM)의 일부를 나타내는 단면도.

도 3A-3F는 본 발명의 바람직한 실시예를 나타내는 여러 형성 단계에서의 도 2의 SRAM의 단면도들.

도 4A-4F는 본 발명의 다른 실시예를 나타내는 여러 형성 단계에서의 SRAM의 단면도들.

도 5는 본 발명에 따라 구성된 다이내믹 랜덤 액세스 메모리(DRAM)의 일부를 나타내는 단면도.

도 6A-6F는 본 발명의 다른 실시예를 나타내는 여러 형성 단계에서의 도 4의 DRAM의 단면도들.

도면들은 그에 도시된 반도체 메모리 장치의 부분들의 실제 도면이 아니라 본 발명을 설명하기 위해 사용되는 개략적인 도면들이다.

발명의 상세한 설명

현재, 상보형 금속-산화물-반도체(CMOS) 기술이 가장 보편적으로 사용되는 집적 회로 기술이다. 일반적으로, CMOS는 n 채널 및 p 채널 MOS 전계 효과 트랜지스터(MOSFET)들이 보완적인 방식으로 사용되는 집적 회로를 나타낸다. 본 발명은 주변 p 채널 트랜지스터의 형성과 관련하여 설명될 것이다. 현재, p 채널 및 n 채널 주변 트랜지스터 게이트들은 어레이 내의 n 채널 트랜지스터 게이트의 형성시에 형성된다. 결과적으로, 주변 영역 내의 p 채널 트랜지스터 게이트들에 인접한 기판 콘택 영역들은 n형 도펀트들이 주입되는 것을 방지하기 위하여 n 채널 소스/드레인 영역의 형성시 마스크되어야 한다. 본 발명은 n 채널 소스/드레인 영역의 형성 후에 주변 p 채널 트랜지스터 게이트들이 형성되도록 하여 상기 마스크 단계를 제거할 수 있게 한다. 그러나, 본 발명은 다른 집적 회로 공정들 및 구조들에도 사용될 수 있다.

집적 회로의 형성은 포토리소그래픽 마스크 및 에칭 단계들을 포함한다. 이러한 공정은 형성될 소자의 패턴을 구비한 포토리소그래픽 마스크를 생성하는 공정, 포토레지스트라는 감광 물질을 웨이퍼에 코팅하는 공정, 웨이퍼에 코팅된 포토레지스트를 마스크를 통해 자외선에 노출시켜 포토레지스트의 일부를 연화 또는 경화(포지티브 또는 네가티브 포토레지스트의 사용 여부에 의존)시키는 공정, 포토레지스트의 연화된 부분들을 제거하는 공정, 포토레지스트에 의해 마스크되지 않은 물질들을 에칭하여 제거하는 공정, 및 잔류 포토레지스트를 제거하는 공정으로 이루어진다. 이러한 포토리소그래픽 마스크 및 에칭 공정은 이하 '패터닝 및 에칭 공정'으로 참조된다.

도 1은 메모리 셀 어레이 영역(4) 및 주변 영역(6)을 포함하는 반도체 메모리 장치(2)를 나타내는 개략적인 평면도이다. 메모리 장치(2)는 특히 DRAM들 및 SRAM들을 포함해, 본 발명이 적용될 수 있는 각종 메모리 장치들을 나타낸다. 본 발명에 따라 DRAM 및 SRAM의 주변 회로 내의 p 채널 트랜지스터를 형성하는 방법들이 본 발명의 바람직한 실시예에 따라 형성된 SRAM에 대하여는 도 2 및 3A-3F를, 본 발명의 다른 실시예에 따라 형성된 SRAM에 대하여는 도 4A-4F를, 그리고 DRAM에 대하여는 도 5 및 도 6A-6E를 참조하여 아래에 상세히 설명된다. 이러한 개략적인 단면도들 각각은 도시된 특정 장치의 구조를 형성하기 위하여 실시되는 공정 단계의 수를 나타낸다. 물질 침적, 패터닝 및 에칭, 그리고 이온 주입에 대하여 설명된 기술들은 당해 분야에 공지되어 있다.

도 2를 참조하면, 트랜지스터(104) 및 부하 저항(106)을 포함한 트랜지스터 SRAM 메모리 셀의 일부가 도 2의 좌측에 도시되어 있으며, 주변 회로 내 하나의 주변 p 채널 트랜지스터(108)가 도 2의 우측에 도시되어 있다. 트랜지스터(104)는 메모리 셀 어레이 내의 액세스 트랜지스터 또는 풀다운 트랜지스터를 나타낸다. 간단히 하기 위하여, 이하 트랜지스터(104)는 액세스 트랜지스터로 참조된다. 이제, 도 2에 도시된 장치를 제조하는 공정이 도 3A-3F를 참조하여 설명된다.

도 3A를 참조하면, p형 단결정 실리콘 기판(112)이 산화되어 게이트 산화물층(114) 및 두꺼운 필드 산화물 영역(110)이 형성된다. 필드 산화물 영역(110)은 메모리 셀 어레이와 주변부 사이 및 어레이 내 개별

메모리 셀들 간의 전기적 절연을 제공한다. 바람직한 실시예에서는 게이트 산화물층(114) 상부에 화학 기상 침적(CVD) 방식으로 선택 폴리실리콘층(116)이 형성된다. 폴리실리콘층(116)은 매몰 콘택(118)의 원하는 위치에 기판의 일부를 노출시키도록 패터닝되고 에칭된다. 선택 폴리실리콘층(116)의 사용은 매몰 콘택(118)의 위치를 정확히 정의하고 후속으로 형성되는 노출된 콘택 영역(도 2 및 3F에 도시됨)의 깊이를 감소시키기 위하여 선호된다.

도 3B를 참조하면, 선택 폴리실리콘층(116) 및 기판(112)의 노출부 상부에 제1 폴리실리콘층(120)이 형성된다. 제1 폴리실리콘층(120)의 상부에 제1 산화물층(122)이 형성된다. 도 3C를 참조하면, 메모리 셀 어레이 내의 제1 산화물층(122) 및 폴리실리콘층들(120, 116)이 패터닝되고 에칭되어 액세스 트랜지스터 게이트가 형성되고 액세스 트랜지스터의 원하는 소스/드레인 영역의 위치에 기판(112)을 노출시킨다. 도 3A-3F에 도시된 바람직한 실시예에서, 부하 저항(106)(도 3F 참조)의 형성시에 주변 p 채널 트랜지스터 게이트(140)가 형성되며, 전술한 액세스 트랜지스터 게이트의 에칭시 주변부는 마스크된다.

기판(112)의 노출부에 n형 불순물을 이온 주입함으로써 저농도 드레인(LDD)이 형성된다. 그 다음, 도 3C에 도시된 바와 같이, 에칭된 폴리실리콘 및 산화물층의 측벽상에 산화물 스페이서(126)가 형성된다. 전술한 LDD 형성시 사용된 것보다 높은 이온 주입 농도로 기판(112)의 나머지 노출부에 불순물을 이온 주입함으로써 소스/드레인 영역(124)의 형성이 완료된다.

도 3D를 참조하면, 기판(112) 상부에 제2 산화물층(128)이 적층된다. 제2 산화물층(128)은 패터닝되고 에칭되어 메모리 셀 어레이 내 접지 라인(도시되지 않음) 및 비트 라인 콘택 랜딩 패드(130)(도 3E 참조)의 원하는 위치에 기판(112)을 노출시킨다. 선택적으로, 주변부의 제2 산화물층(128)이 제거된다. 기판(112)의 상부에 제2 폴리실리콘층(132)이 적층된다. 도 3E를 참조하면, 제2 폴리실리콘층(132)이 패터닝되고 에칭되어 메모리 셀 어레이 내에 접지 라인(도시되지 않음) 및 비트 라인 콘택 랜딩 패드(130)가 형성되며 주변부로부터 제2 폴리실리콘층(132)이 제거된다.

도 3F를 참조하면, 기판(112) 상부에 제3 산화물층(134)이 적층된다. 제3, 제2 및 제1 산화물층들(134, 128, 122)이 패터닝되고 에칭되어 어레이 내에 노출 콘택 영역(136)이 형성되고 주변부들로부터는 이들 층들이 제거된다. 그 다음, 기판(112) 상부에 제3 폴리실리콘층(138)이 적층된다. 어레이 내 제3 폴리실리콘층(138)이 패터닝되고 에칭되어 부하 저항(106)의 형성이 완료된다. 바람직한 실시예에서, 이러한 에칭은 주변부에서 사용되어 폴리실리콘층들(120, 116)을 통해 에칭을 계속함으로써 주변 p 채널 트랜지스터 게이트(140)가 형성된다. 주변부에서의 폴리실리콘층들의 연속 에칭시 제3 산화물층(134)은 어레이 내 하부 소자들의 적절한 보호를 제공한다. 또한, 주변부는 독립적으로 패터닝되고 에칭되어 주변 p 채널 트랜지스터 게이트(140)가 형성될 수 있다. 그 다음, 주변 p 채널 트랜지스터 게이트(140)에 인접한 기판(112)에 p형 불순물을 이온 주입함으로써 주변부에 소스/드레인 영역(142)이 형성되며, 따라서 주변 p 채널 트랜지스터(108)의 형성이 완료된다. 최상부 폴리실리콘층이 접지 라인 및 비트 라인 콘택 랜딩 패드(p 채널 부하 트랜지스터를 구비한 6 트랜지스터 SRAM의 경우)를 형성하는 SRAM 구조에서는 접지 라인 및 비트 라인 랜딩 패드를 형성하는 데 사용되는 동일 패터닝 및 에칭 단계시에 주변 p 채널 트랜지스터 게이트가 형성된다.

도 2를 다시 참조하면, 그 다음, 전에 형성된 구조의 노출 상부면 위에 두꺼운 산화물층(143) 및 붕소포스도프러스 실리케이트 글래스(BPSG)층(144)이 형성된다. BPSG층(144) 및 두꺼운 산화물층(143)이 패터닝되고 에칭되어 금속 기둥(146)을 위한 개구가 형성된다. 금속 기둥(146) 및 비트 라인(148)은 당해 분야에 잘 알려진 금속 침적 기술을 사용하여 형성된다.

도 4A-4F에 도시된 본 발명의 다른 실시예에서는 주변 p 채널 트랜지스터 게이트(140)는 비트 라인 랜딩 패드(130)의 형성과 동시에 형성된다. 편리를 위해 도 4A-4F에 사용되는 참조 부호들은 도 2 및 3A-3F의 바람직한 실시예에 사용된 것과 동일하다. 도 4A를 참조하면, 기판(112)이 산화되어 게이트 산화물층(114) 및 두꺼운 필드 산화물 영역(114)이 형성된다. 선택 폴리실리콘층(116)이 게이트 산화물층(114)의 상부에 형성된다. 선택 폴리실리콘층(116)이 패터닝되고 에칭되어 매몰 콘택(118)의 원하는 위치에 기판(112)의 일부가 노출된다. 제1 폴리실리콘층(120)이 선택 폴리실리콘층(116) 및 기판(112)의 노출부 상부에 형성된다.

도 4B를 참조하면, 메모리 셀 어레이 내 폴리실리콘층들(120, 116)이 패터닝되고 에칭되어 액세스 트랜지스터 게이트(123)가 형성되고 액세스 트랜지스터(104)의 원하는 소스/드레인 영역의 위치에 기판이 노출된다. 기판(112)의 노출부에 n형 불순물을 이온 주입함으로써 저농도 드레인(LDD)이 형성된다. 그 다음, 전에 에칭된 폴리실리콘층의 측벽상에 산화물 스페이서(126)가 형성된다. LDD 형성시 사용된 것보다 높은 이온 주입 농도로 기판(112)의 나머지 노출부에 불순물을 이온 주입함으로써 소스/드레인 영역의 형성(124)이 완료된다.

도 4C 및 4D를 참조하면, 기판(112) 상부에 산화물층(128)이 적층된다. 산화물층(128)은 패터닝되고 에칭되어 메모리 셀 어레이 내 비트 라인 콘택 랜딩 패드(130)의 원하는 위치에 기판(112)이 노출되며, 주변부의 산화물층(128)이 제거된다. 기판(112)의 상부에 제2 폴리실리콘층(132)이 적층되고 제2 폴리실리콘층(132)이 패터닝되고 에칭되어 메모리 셀 어레이 내에 비트 라인 콘택 랜딩 패드(130)가 형성된다. 주변부의 폴리실리콘층들(132, 120, 116)이 동시에 에칭되어 주변 p 채널 게이트(140)가 형성된다.

도 4E를 참조하면, 기판(112) 상부에 산화물층(134)이 적층된다. 산화물층들(134, 128)이 패터닝되고 에칭되어 어레이 내에 노출 콘택 영역(136)이 형성되고 주변부에 산화물 캡(cap)(139)이 형성된다. 그 다음, 기판(112) 상부에 제3 폴리실리콘층(138)이 적층된다. 어레이 내의 제3 폴리실리콘층(138)이 패터닝되고 에칭되어 부하 저항의 형성이 완료된다. 동시에 주변부로부터 제3 폴리실리콘층(138)이 제거된다. 그 다음, 주변 p 채널 트랜지스터 게이트(140)에 인접한 기판(112)에 p형 불순물을 이온 주입함으로써 주변부에 소스/드레인 영역(142)이 형성되며, 따라서 주변 p 채널 트랜지스터(108)의 형성이 완료된다.

그 다음, 바람직한 실시예에서 설명되고 도 4F에 도시된 바와 같이 장치의 형성이 완료된다.

이제, 도 5를 참조하면, DRAM 메모리 셀 어레이 내 액세스 트랜지스터(10) 및 커패시터(12)를 포함하는 하나의 메모리 셀이 좌측에 도시되어 있고 주변 회로 내 하나의 주변 p 채널 트랜지스터(14)가 우측에 도

시되어 있다. 이제, 도 4에 도시된 장치의 형성 공정이 도 6A-6F를 참조하여 설명된다.

도 6A를 참조하면, p형 단결정 실리콘 기판(18)이 산화되어 게이트 산화물층(20) 및 두꺼운 필드 산화물 영역(16)이 형성된다. 필드 산화물 영역(16)은 메모리 셀 어레이와 주변부 사이 및 어레이 내 개별 메모리 셀들 간의 전기적 절연을 제공한다. 게이트 산화물층(20) 상부에 화학 기상 침적(CVD) 방식으로 제1 폴리실리콘층(22)이 형성된다.

도 6B를 참조하면, 어레이 내의 제1 폴리실리콘층(22)이 패터닝되고 에칭되어 액세스 트랜지스터(10)의 게이트(24)(워드 라인 26A) 및 워드 라인(26B)이 형성된다. 그 다음, 기판(18)의 표면에 불순물이 이온 주입되어 소스/드레인 영역(28, 30)이 형성된다. 도 6C를 참조하면, 기판(18) 상부에 제2 산화물층(32)이 적층된다. 어레이 내의 제2 산화물층(32)이 패터닝되고 에칭되어 소스/드레인 영역(28)에 매몰 콘택 영역(34)이 형성되고, 소스/드레인 영역(30)에 비트 라인 콘택(36)이 형성되며, 게이트(24)와 워드 라인(26B)에 인접하게 측벽(38)이 형성된다. 이러한 에칭의 일부로서, 주변부로부터 제2 산화물층(32)이 제거된다. 도 6D를 참조하면, 기판(18) 상부에 제2 폴리실리콘층(39)이 적층된다. 어레이 내의 제2 폴리실리콘층(39)이 패터닝되고 에칭되어 커패시터(12)의 하부 전극(42)이 형성된다. 주변부에서 폴리실리콘층들(39, 22)이 동시에 에칭되어 주변 p 채널 트랜지스터 게이트(50)가 형성된다. 주변 p 채널 트랜지스터 게이트(50)에 인접한 기판(18) 표면에 불순물이 이온 주입되어 소스/드레인 영역(52)이 형성되며, 따라서 주변 p 채널 트랜지스터(14)의 형성이 완료된다. 하부 전극(42)은 소스/드레인 영역(28)을 따라 접촉한 상태로 게이트(24)로부터 워드 라인(26B)까지 연장된다. 그 다음, 하부 전극(42) 상부에 유전층(44)이 형성된다. 유전층(44)은 질화물 박막, 산화물-질화물-산화물(ONO)막 또는 다른 적절한 물질로 이루어진다. 그 다음, 도 6E에 도시된 바와 같이, 기판(18) 상부에 제3 폴리실리콘층(46)이 적층된다.

도 6E 및 6F를 참조하면, 제3 폴리실리콘층(46)이 패터닝되고 에칭되어 어레이 내에 상부 전극(48)이 형성되고 주변부로부터 제3 폴리실리콘층(46) 및 유전층(44)이 제거된다.

다시 도 4를 참조하면, 전에 형성된 구조의 노출 상부면 위에 두꺼운 BPSG층(56) 또는 다른 적절한 절연체가 형성된다. BPSG층(56)이 패터닝되고 에칭되어 금속 기둥(58)을 위한 개구가 형성된다. 금속 기둥(58) 및 비트 라인(60)은 당해 분야에 잘 알려진 금속 침적 기술을 사용하여 형성된다.

전술한 본 발명의 바람직한 실시예들의 각종 변형 및 응용이 가능하다. 예컨대, 본 발명은 다른 메모리 셀/주변 회로 장치들 및 구조들의 형성에 사용될 수 있으며, 공정 단계 및 물질에 대한 변형이 이루어질 수 있다. 따라서, 본 발명은 첨부된 청구 범위에 의해서만 제한된다.

(57) 청구의 범위

청구항 1

스태틱 랜덤 액세스 메모리 장치(SRAM)의 주변 회로 내에 트랜지스터를 형성하는 방법에 있어서,

- 상기 SRAM의 메모리 셀 어레이 영역 및 주변 영역의 기판 상부에 적어도 하나의 폴리실리콘층을 형성하는 단계; 및
- 상기 메모리 셀 어레이 영역 내에 부하 저항을 형성하는 것과 동시에 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하여 주변 트랜지스터 게이트를 형성하는 단계

를 포함하는 트랜지스터 형성 방법.

청구항 2

제1항에 있어서, 상기 메모리 셀 어레이 영역 내의 상기 적어도 하나의 폴리실리콘층을 패터닝하고 에칭하여 부하 저항의 형성을 완료하는 단계를 더 포함하되, 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계는 상기 메모리 셀 어레이 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계와 동시에, 그 일부로서 실시되는 트랜지스터 형성 방법.

청구항 3

스태틱 랜덤 액세스 메모리 장치(SRAM)의 주변 회로 내에 트랜지스터를 형성하는 방법에 있어서,

- 상기 SRAM의 메모리 셀 어레이 영역 및 주변 영역의 기판 상부에 적어도 하나의 폴리실리콘층을 형성하는 단계; 및
- 상기 메모리 셀 어레이 영역 내에 비트 라인 콘택 랜딩 패드(bitline contact landing pad)를 형성하는 것과 동시에 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하여 주변 트랜지스터 게이트를 형성하는 단계

를 포함하는 트랜지스터 형성 방법.

청구항 4

제3항에 있어서, 상기 메모리 셀 어레이 영역 내의 상기 적어도 하나의 폴리실리콘층을 패터닝하고 에칭하여 비트 라인 콘택 랜딩 패드를 형성하는 단계를 더 포함하되, 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계는 상기 메모리 셀 어레이 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계와 동시에, 그 일부로서 실시되는 트랜지스터 형성 방법.

청구항 5

스태틱 랜덤 액세스 메모리 장치(SRAM)의 주변 회로 내에 트랜지스터를 형성하는 방법에 있어서,

- 상기 SRAM의 메모리 셀 어레이 영역 및 주변 영역의 기판 상부에 적어도 하나의 폴리실리콘층을 형

성하는 단계; 및

- b. 상기 메모리 셀 어레이 영역 내에 접지 라인을 형성하는 것과 동시에 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하여 주변 트랜지스터 게이트를 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 6

제5항에 있어서, 상기 메모리 셀 어레이 영역 내의 상기 적어도 하나의 폴리실리콘층을 패터닝하고 에칭하여 접지 라인을 형성하는 단계를 더 포함하되, 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계는 상기 메모리 셀 어레이 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계와 동시에, 그 일부로서 실시되는 트랜지스터 형성 방법.

청구항 7

스태틱 랜덤 액세스 메모리 장치(SRAM)의 주변 회로 내에 트랜지스터를 형성하는 방법에 있어서,

- a. 상기 SRAM의 메모리 셀 어레이 영역 및 주변 영역의 기판 상부에 게이트 산화물층을 형성하는 단계;
- b. 원하는 매몰 콘택(buried contact) 위치에 상기 메모리 셀 어레이 영역 내의 상기 기판의 일부를 노출시키는 단계;
- c. 상기 노출된 기판 부분과 접촉되도록 상기 메모리 셀 어레이 영역 및 상기 주변 영역 내의 상기 기판 상부에 제1 폴리실리콘층을 형성하여 상기 매몰 콘택을 형성하는 단계;
- d. 상기 어레이 영역 내의 상기 제1 폴리실리콘층을 패터닝하고 에칭하여 메모리 트랜지스터 게이트들을 형성하고 상기 메모리 트랜지스터 게이트들에 인접한 상기 기판의 일부를 노출시키는 단계;
- e. 상기 어레이 영역 내의 상기 제1 폴리실리콘층 및 상기 기판의 노출 부분들 상부에 제1 절연층을 형성하는 단계;
- f. 상기 제1 절연층을 패터닝하고 에칭하여 원하는 비트 라인 콘택 랜딩 패드 위치에 상기 기판의 일부를 재노출시키는 단계;
- g. 상기 어레이 영역 내의 상기 제1 절연층 및 상기 재노출된 기판 부분들 상부 및 상기 주변 영역 내의 상기 제1 폴리실리콘층 상부에 제2 폴리실리콘층을 형성하는 단계;
- h. 상기 어레이 영역 내의 상기 제2 폴리실리콘층을 패터닝하고 에칭하여 비트 라인 콘택 랜딩 패드들을 형성하는 단계;
- i. 상기 어레이 영역 내의 상기 제1 절연층 및 상기 제2 폴리실리콘층 상부에 제2 절연층을 형성하는 단계;
- j. 상기 메모리 셀 어레이 영역 내의 상기 제2 및 제1 절연층들을 패터닝하고 에칭하여 상기 매몰 콘택 상부의 원하는 노출 콘택(exhumed contact) 위치에 상기 제1 폴리실리콘층의 일부를 노출시키는 단계;
- k. 상기 어레이 영역 내의 상기 제2 절연층 및 상기 제1 폴리실리콘층의 노출 부분들 및 상기 주변 영역 내의 상기 제2 폴리실리콘층 상부에 제3 폴리실리콘층을 형성하는 단계; 및
- l. 상기 어레이 영역 내의 상기 제3 폴리실리콘층을 패터닝하고 에칭하여 상기 매몰 콘택에서 상기 기판과 접촉하는 상기 제2 폴리실리콘층과 접촉하는 상기 제3 폴리실리콘층을 포함하는 부하 저항을 형성하는 동시에, 상기 주변 영역 내의 상기 폴리실리콘층들을 패터닝하고 에칭하여 주변 트랜지스터 게이트를 형성하고 상기 주변 트랜지스터 게이트에 인접한 상기 기판의 일부를 노출시키는 단계를 포함하는 트랜지스터 형성 방법.

청구항 8

제7항에 있어서, 상기 주변 트랜지스터 게이트에 인접한 상기 기판의 노출 부분들 내에 불순물 도핑 영역들을 형성하여 상기 SRAM의 주변 영역에 주변 트랜지스터를 형성하는 단계를 더 포함하는 트랜지스터 형성 방법.

청구항 9

제7항에 있어서, 상기 단계들 (h)와 (l)은, 상기 주변 트랜지스터 게이트가 상기 어레이 영역 내의 상기 비트 라인 콘택 랜딩 패드의 형성과 동시에 형성되도록 조합되는 트랜지스터 형성 방법.

청구항 10

제8항에 있어서, 상기 주변 트랜지스터는 p 채널 트랜지스터인 트랜지스터 형성 방법.

청구항 11

다이내믹 랜덤 액세스 메모리 장치(DRAM)의 주변 회로 내에 트랜지스터를 형성하는 방법에 있어서,

상기 DRAM의 메모리 셀 어레이 영역 및 주변 영역 내의 기판 상부에 게이트 산화물층, 및 상기 게이트 산화물층 상부의 적어도 하나의 폴리실리콘층을 형성하는 단계;

상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하여 주변 트랜지스터 게이트를 형성하고 상기 주변 트랜지스터 게이트에 인접한 상기 기판의 일부를 노출시키는 단계; 및

상기 노출된 기판 부분들 내에 불순물이 도핑된 소스 및 드레인 영역들을 형성하여 상기 DRAM의 주변 영

역 내에 상기 주변 트랜지스터를 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 12

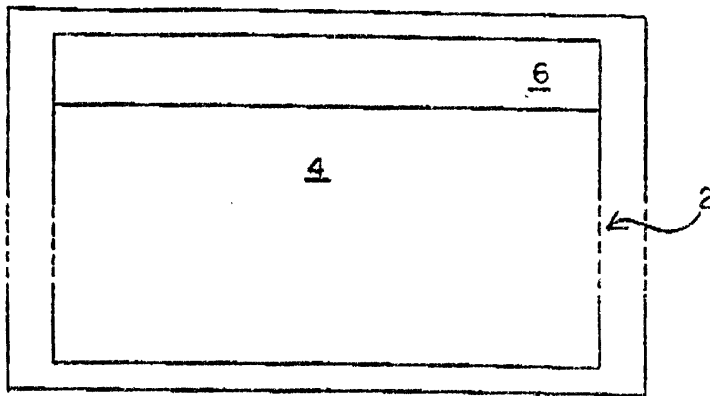
제11항에 있어서, 상기 주변 트랜지스터 게이트는 상기 메모리 셀 어레이 영역 내의 커패시터 전극의 형성과 동시에 형성되는 트랜지스터 형성 방법.

청구항 13

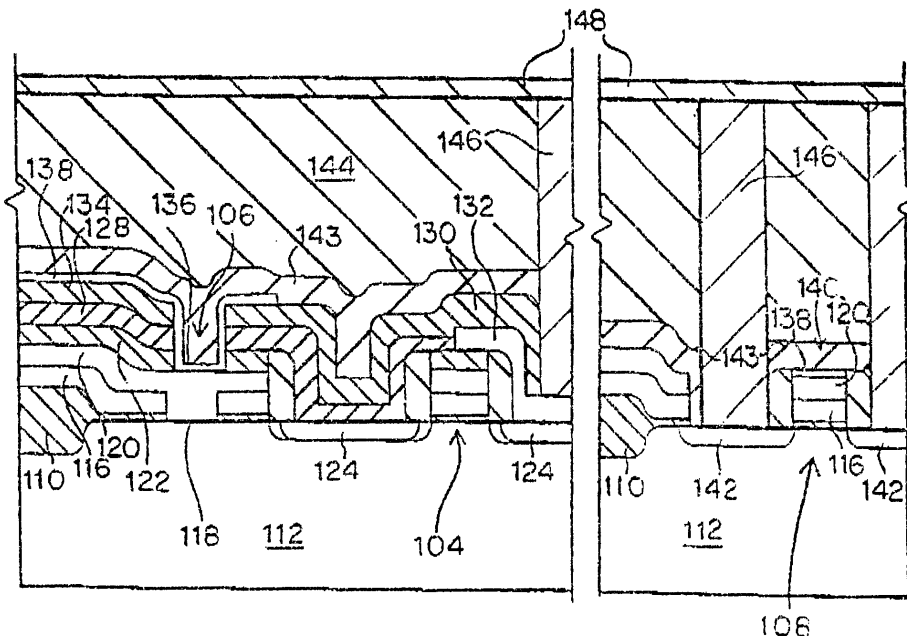
제12항에 있어서, 상기 메모리 셀 어레이 영역 내의 상기 적어도 하나의 폴리실리콘층을 패터닝하고 에칭하여 커패시터 전극을 형성하는 단계를 더 포함하되, 상기 주변 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계는 상기 메모리 셀 어레이 영역 내의 상기 폴리실리콘층(들)을 패터닝하고 에칭하는 단계와 동시에, 그 일부로서 실시되는 트랜지스터 형성 방법.

도면

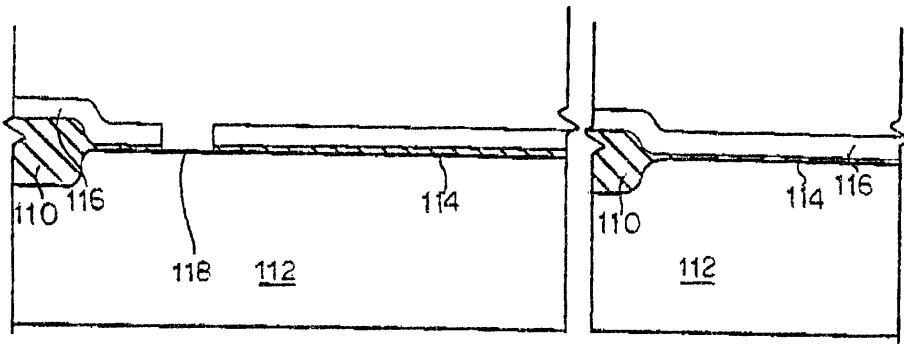
도면1



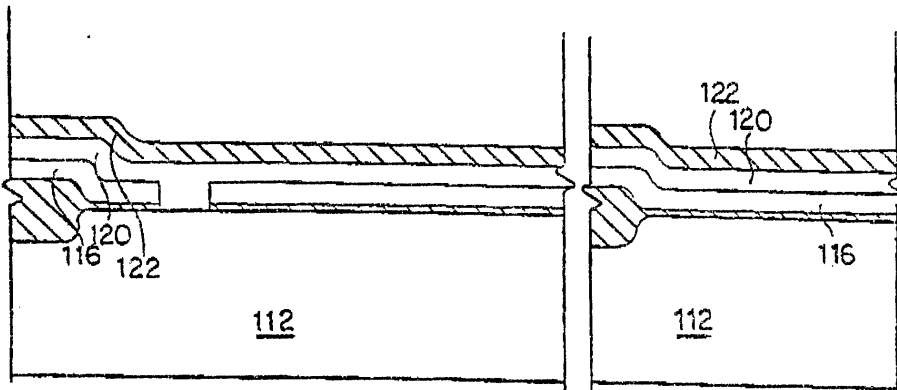
도면2



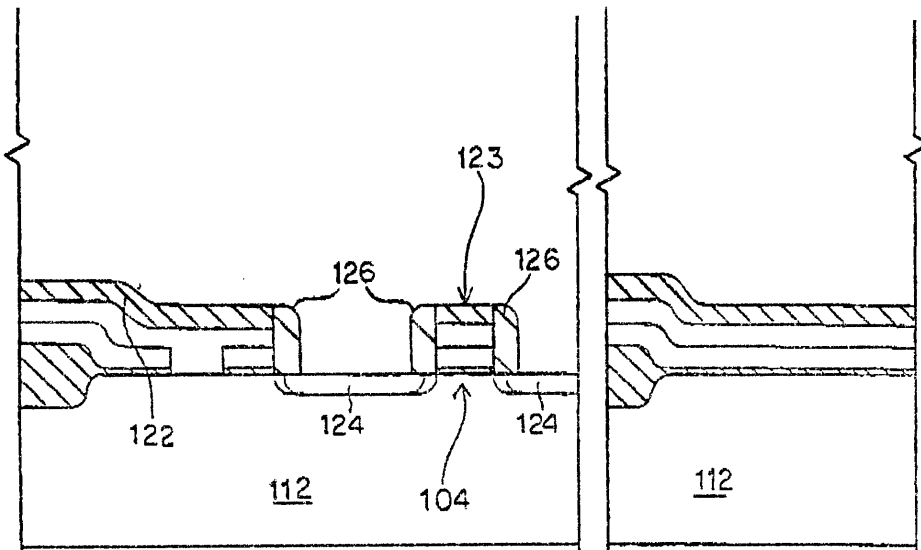
도면3a



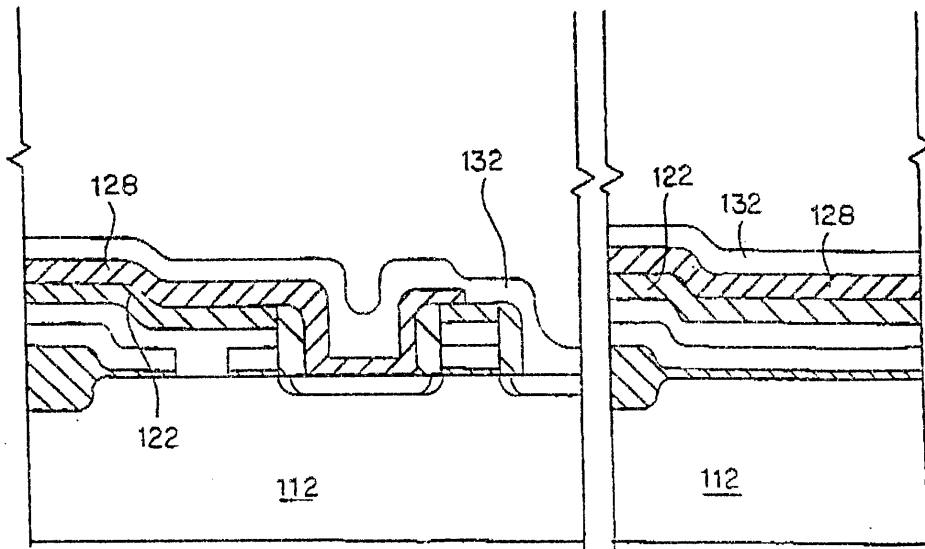
도면3b



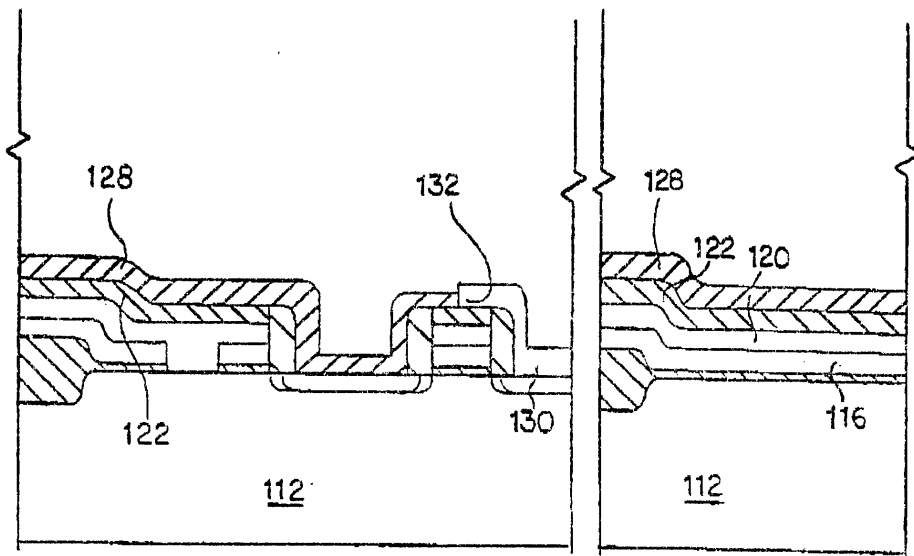
도면3c



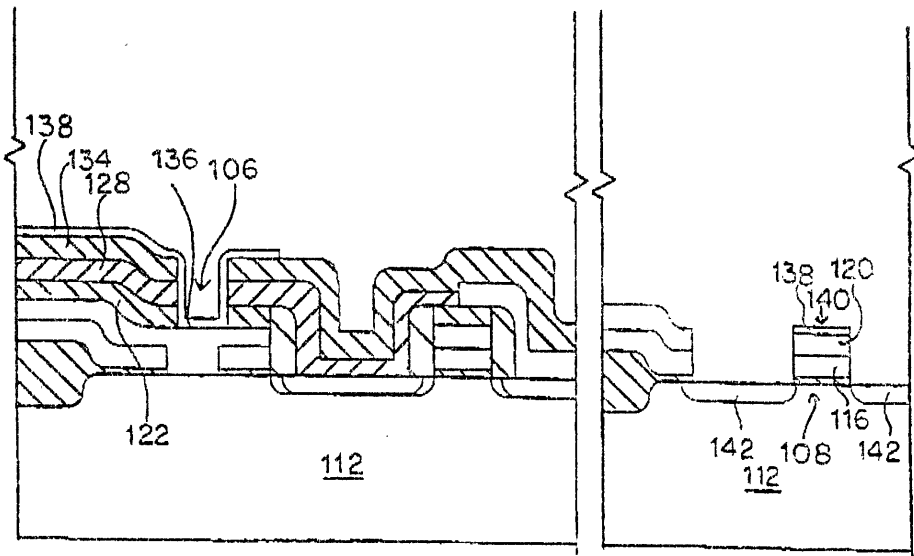
도면3d



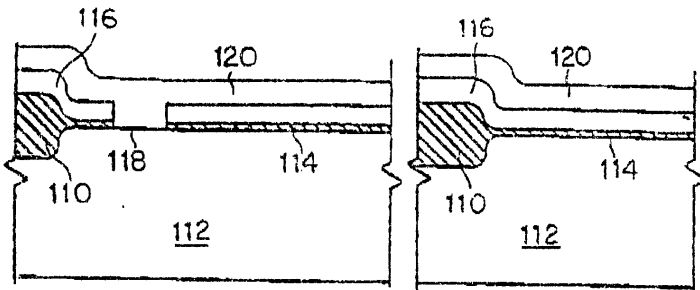
도면3e



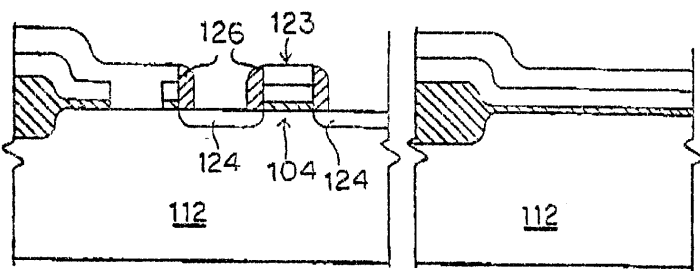
도면3f



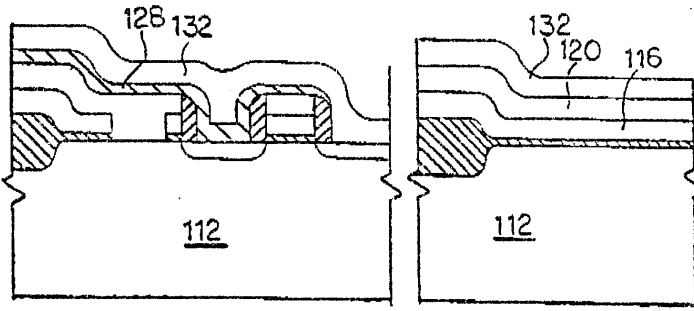
도면4a



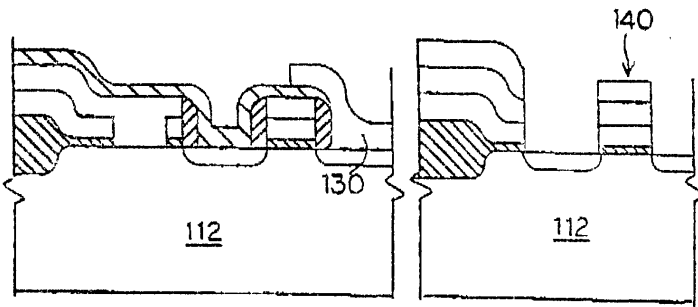
도면4b



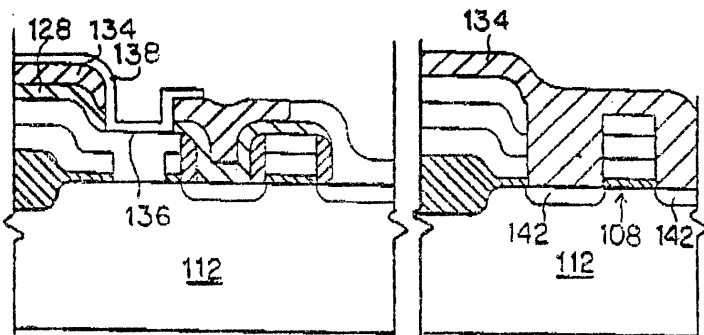
도면4c



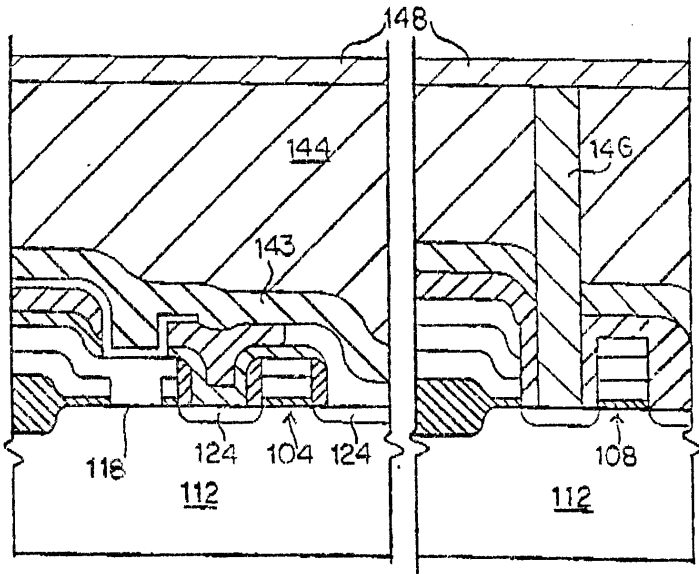
도면4d



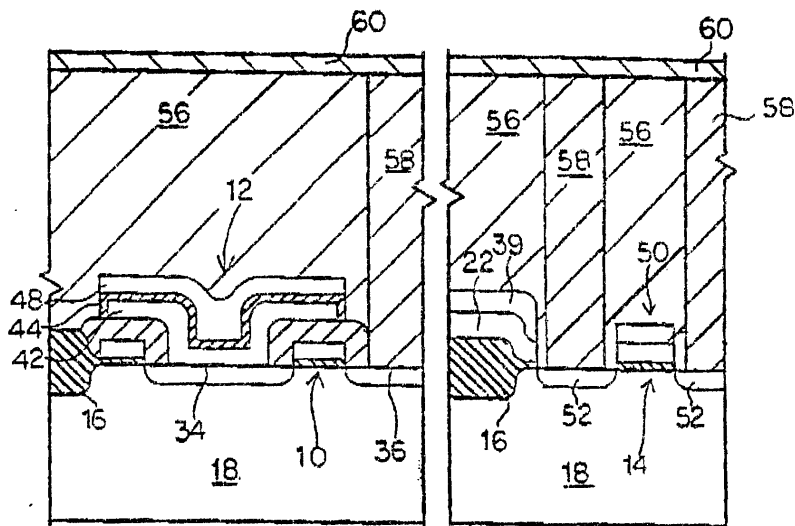
도면4e



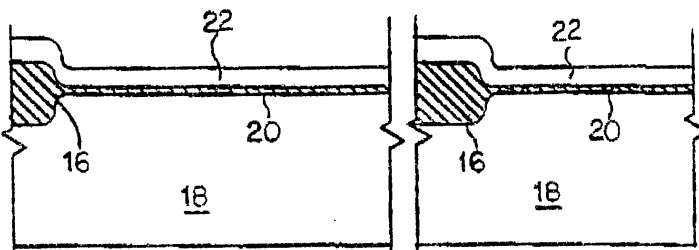
도면4f



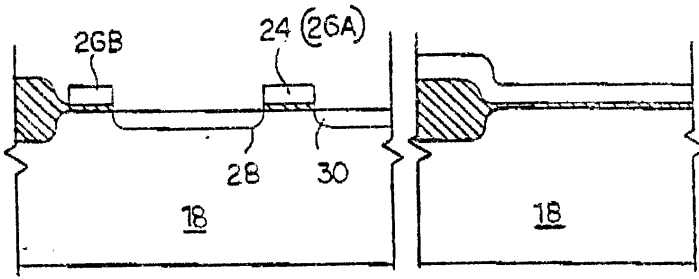
도면5



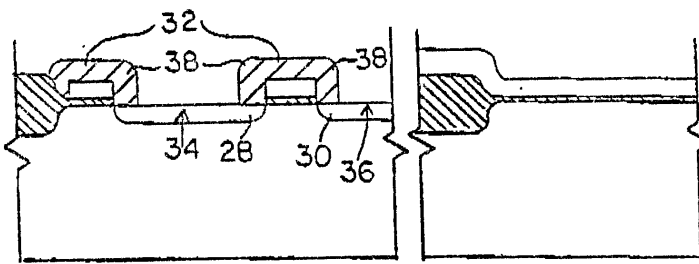
도면6a



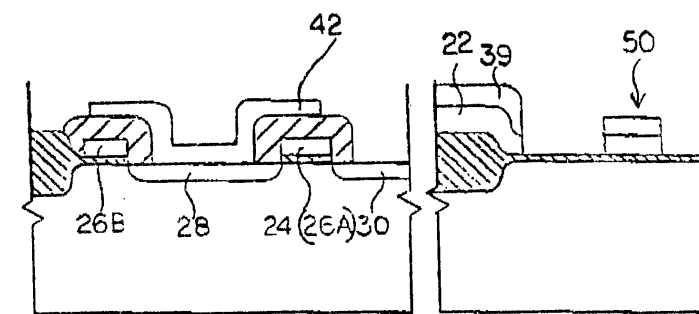
도면6b



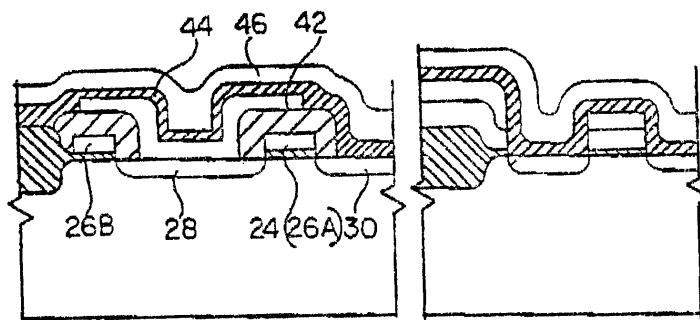
도면6c



도면6d



도면6e



도면6f

