



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 198 578

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 16 12 77
(21) PV 8456 - 77

(11)

(B1)

(51) Int. Cl.³ H 03 K 13/00

(40) Zveřejněno 17 09 79
(45) Vydáno 01 11 82

(75)

Autor vynálezu MAJERECH MILOSLAV ing., PARDUBICE

(54) Dekodér následné kombinace signálů

1

Vynález se týká dekodéru následné kombinace signálů, které dá na výstupu logický signál při dodržení časové následnosti kódových signálů na vstupu a při dodržení tolerancí v délce trvání jednotlivých kódových signálů.

Pro dekódování následné kombinace několika kódových signálů se používají buď systémy asynchronní, nebo systémy synchronní. Systémy synchronní dekódují časovou posloupnost kódových signálů bez ohledu na dodržení tolerancí v délce trvání jednotlivých kódových signálů. Mají proto poměrně jednoduchou dekódovací část, ale jejich odolnost proti poruchám je nízká. Pro dosažení dobré odolnosti kódové kombinace proti poruchám v těchto systémech musí být odolné jednotlivé kódové signály - používají se například tónové impulsy dvou frekvencí trvání stovek milisekund až jednotek sekund. Takovýto systém bývá výhodný při malém počtu potřebných kódových kombinací. Při zvětšování kapacity kódu se neúměrně prodlužuje doba potřebná pro přenos jedné kódové kombinace.

Synchronní systémy mají odolnost proti poruchám nepoměrně vyšší. Jestliže pravděpodobnost náhodného vytvoření jednoho kódového signálu poruchou v daném časovém úseku je rovna P , přičemž $P \ll 1$, neboť jinak by přenos informace neměl smysl, potom pravděpodobnost nasimulování náhodnými poruchami celé kódové kombinace skládající se z n signálů je rovna P^n . Tato pravděpodobnost se zmenšuje geometrickou řadou a prodlužující se kódovou kombinací. To umožňuje používat kódové signály poměrně málo odolné proti poruchám, například

198 578

tónové impulsy jedné frekvence trvání jednotek až desítek milisekund. Dekódování následné kombinace takto málo odolných kódových signálů asynchronním dekodérem by mělo malý praktický význam, neboť by se příliš často vyhodnocovaly poruchy jako správné kódové kombinace.

Synchronních dekodérů je celá řada, ale v podstatě jsou pouze dva principiálně odlišné typy. První typ se používá pro dekodování kódů, u kterých kódová kombinace neobsahuje informaci o synchronizaci. Před každou takovou kódovou kombinací musí být umístěn zvláštní spouštěcí impuls, který na přijímací straně spustí synchronizační generátor, který po dobu trvání kódové kombinace zajistí synchronizaci přijímací a vysílací strany. Spouštěcí impuls musí být několikanásobně odolnější proti poruchám než jednotlivé kódové signály, většinou to bývá kódová kombinace z několika kódových signálů. Celková délka kódu narůstá a s délkou kódu rostou i nároky na přesnost zařízení.

Druhý typ se používá pro dekodování takových kódů, kde každý kódový signál v kódové kombinaci obsahuje kromě přenášené informace i údaj o synchronizaci. Na přijímací straně potom synchronizaci zajišťují různé zpožďovací obvody, paměťové obvody a podobně, propojené různě k výstupům detektorů jednotlivých kódových signálů a k vyhodnocovacím logickým obvodům. Je mnoho variant takového uspořádání, které se liší jak typy paměťových obvodů a logickou funkcí, kterou vytvářejí, tak i vlastní vyhodnocovací logikou a ve výsledku potom složitostí a odolností proti poruchám.

Výše uvedené nedostatky jsou odstraněny dekodérem následné kombinace signálů, sestávajícího z řetězce dvouvstupých negovaných hradel a logických paměťových obvodů, jehož podstatou je, že výstup dvouvstupého negovaného hradla, každého kromě posledního, je spojen se vstupem svého logického paměťového obvodu a výstup téhož logického paměťového obvodu je spojen s prvním vstupem následujícího dvouvstupého negovaného hradla a druhé vstupy následujících dvouvstupých negovaných hradel spolu s propojenými vstupy prvního hradla jsou podle použité kódové kombinace připojeny k výstupům detektorů jednotlivých kódových signálů a výstup zapojení je tvořen výstupem posledního dvouvstupého negovaného hradla.

Výhodou tohoto vynálezu je, že při vysoké odolnosti proti poruchám si zachovává jednoduchost asynchronních systémů. Zapojení logických paměťových obvodů umožňuje ve vyhodnocovací logice použití hradel pouze se dvěma vstupy, zatímco pro dosažení obdobné odolnosti při jejich jiném zapojení jsou nezbytná třívstupá hradla. Tím vzniká úspora materiálu i objemu.

Vynález je podrobněji vysvětlen na připojeném výkrese, kde obr. 1 znázorňuje blokové zapojení dekodéru následné kombinace signálů podle vynálezu, obr. 2 znázorňuje jedno z možných konkrétních zapojení logického paměťového obvodu s funkcí vhodnou pro aplikaci v zapojení podle vynálezu.

Podle obr. 1 dekodér sestává z dvouvstupých negovaných hradel $1Q, 2Q, 3Q \dots nQ, nQ$ a logických paměťových obvodů $10Q, 20Q, 30Q \dots n0Q$, propojených do řetězce. Počet hradel v řetězci n je určen počet kódových signálů v dekodované následné kódové kombinaci, počet logických paměťových obvodů $m = n - 1$. První logický paměťový obvod $10Q$ si během

určené doby pamatuje stav, že přišel z detektoru 1 první kódový signál na spojené vstupy 11, 12 prvního hradla 10 a již skončil. Napětí logické úrovně "H" z výstupu tohoto logického paměťového obvodu je přivedeno na první vstup 21 druhého dvouvstupého negovaného hradla 20, na jehož druhý vstup 22 je přiveden výstup detektoru 2 druhého kódového signálu. Napětí logické úrovně "L" na výstupu 23 druhého dvouvstupého negovaného hradla 20 se tedy objeví pouze v případě, že přišel první kódový signál a již skončil a ve správné časové toleranci následoval druhý kódový signál. Druhý logický paměťový obvod 200 zaznamená tento signál a po skončení druhého kódového signálu na vstupu 22 druhého dvouvstupého negovaného hradla 20 si dekodování prvních dvou kódových signálů po určitou dobu pamatuje. Napětí logické úrovně "H" z výstupu tohoto logického paměťového obvodu 200 je přivedeno na první vstup 31 třetího dvouvstupého negovaného hradla 30. Na druhý vstup 32 tohoto hradla 30 je přiveden výstup detektoru 3 třetího kódového signálu. Napětí logické úrovně "L" na výstupu 33 tohoto hradla 30 se tedy objeví pouze v případě, že přišla ve správných tolerancích posloupnost prvních dvou kódových signálů a již skončila a přišel další, to je třetí kódový signál. Třetí logický paměťový obvod 300 zaznamená tento stav a po skončení třetího kódového signálu na vstupu 32 třetího dvouvstupého negovaného hradla 30 bude udržovat během určené doby na vstupu 41 čtvrtého dvouvstupého negovaného hradla 40 napětí logické úrovně "H". Tento řetězec je možné libovolně prodlužovat, aniž by se zhoršila jeho dekodovací funkce. To umožňuje jednoduché rozšiřování celého systému a jeho značnou variabilitu. První negované hradlo 10 je možné nahradit invertorem, avšak při použití integrovaných obvodů nepřináší tato náhrada žádný efekt.

Jedno z možných konkrétních zapojení logického paměťového obvodu podle obr. 2 sestává z prvního tranzistoru a s odporem báze d, tvořícím vstup 101, 201, 301, m01 logického paměťového obvodu a se zatěžovacím odporem e v kolektoru, který je propojený pomocí kondenzátoru c s bází druhého tranzistoru b, jehož odpor báze f je připojený na kladný pól napájecího napětí U_b , stejně jako zatěžovací odpor g, přičemž kolektor druhého tranzistoru b tvoří výstup 102, 202, 302 .. m02 logického paměťového obvodu.

Zapojení může být použito v různých systémech pro přenos informace, která je zakódována na následnou kombinaci kódových signálů, například tónových impulsů různé frekvence. Může to být selektivní volba účastníka v různých spojovacích systémech, část zařízení pro přenos dat a podobně.

P Ě D M Ě T V Y N Á L E Z U

1. Dekodér následné kombinace signálů sestávající z řetězce dvouvstupých negovaných hradel a logických paměťových obvodů, vyznačený tím, že výstup (13, 23, 33 ... m3) dvouvstupého negovaného hradla (10, 20, 30 ... m0) je spojen se vstupem (101, 201, 301 ... m01) logického paměťového obvodu (100, 200, 300 ... m00) a výstup (102, 202, 302 ... m02) téhož logického paměťového obvodu (100, 200, 300 ... m00) spojen s prvním vstupem (21, 31 ... n1) následujícího dvouvstupého negovaného hradla (20, 30 ... n0) a druhé

vstupy (22, 32 ... n2) následujících dvou vstupných hradel (20, 30 ... n0) spolu s propojenými vstupy (11, 12) prvního hradla (10) jsou podle použité kódové kombinace připojeny k výstupům detektorů (1, 2, 3 ... n) jednotlivých kódových signálů a výstup dekodéru je tvořen výstupem (n3) posledního dvou vstupného negovaného hradla (n0).

2. Dekodér následné kombinace signálů podle bodu 1, vyznačený tím, že první hradlo (10) je tvořeno invertorem.

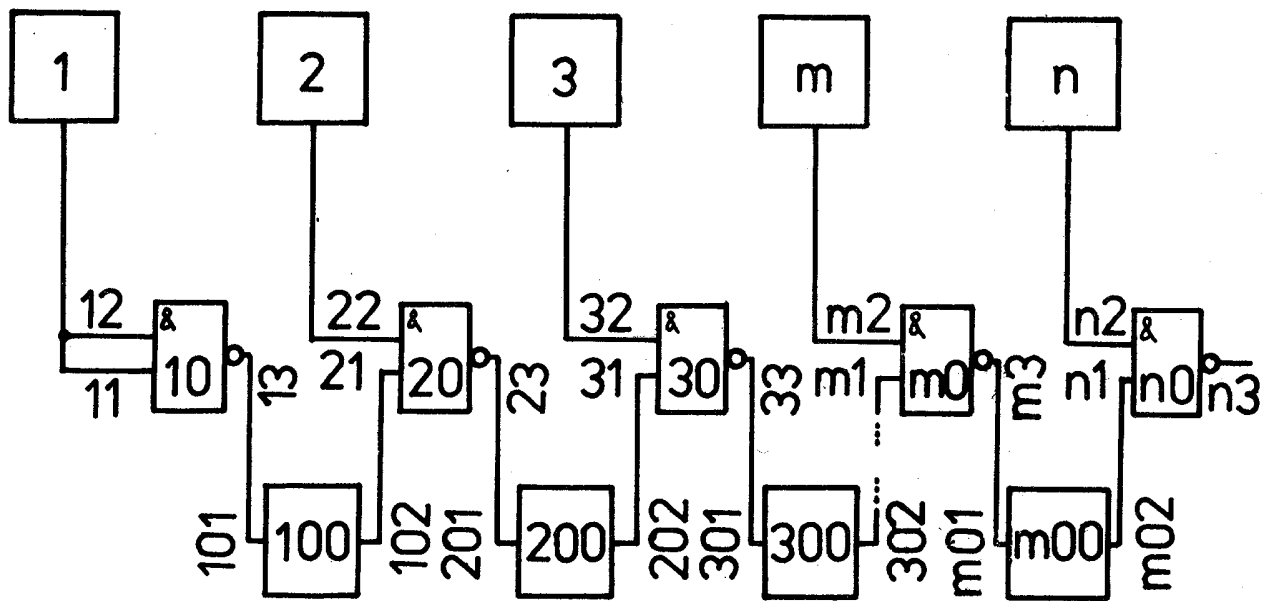
2. výkresy

První výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10). Druhý výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10).

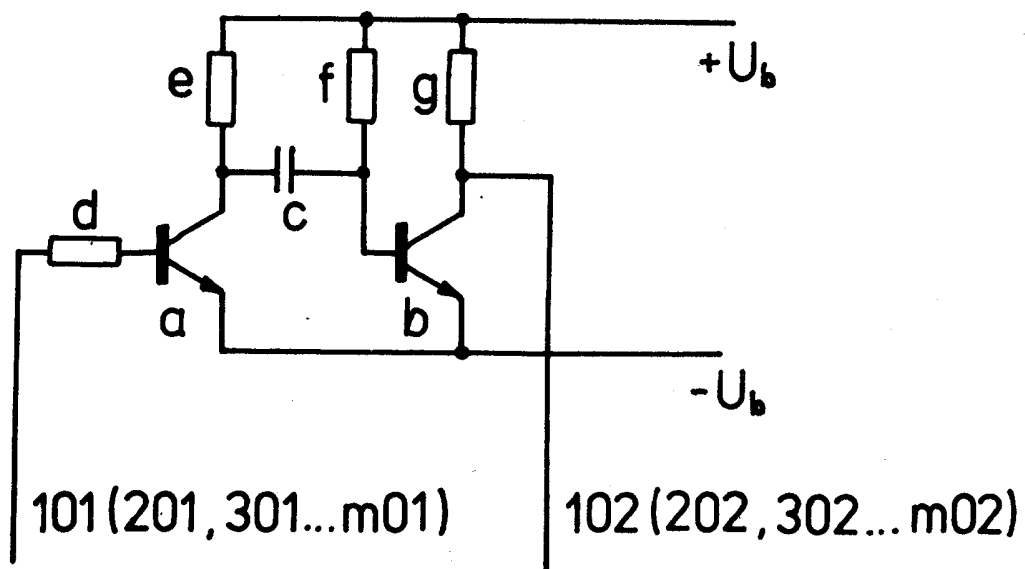
Třetí výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10). Čtvrtý výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10).

Pátý výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10). Šestá výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10).

Seventh výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10). Osmý výkres je schéma k přechodu z detekce kódových signálů, kde každý kódový signál v rámci kódu je zpracováván prostřednictvím invertoru a jeho výstup je připojen k vstupu prvního hradla (10).



Obr. 1



Obr. 2