

## (19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.  
G11C 11/407 (2006.01)

(45) 공고일자 2006년04월26일  
(11) 등록번호 10-0573534  
(24) 등록일자 2006년04월18일

(21) 출원번호 10-1999-0028147  
(22) 출원일자 1999년07월13일

(65) 공개번호 10-2000-0011667  
(43) 공개일자 2000년02월25일

(30) 우선권주장 98-198590 1998년07월14일 일본(JP)

(73) 특허권자 후지쓰 가부시끼가이샤  
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1-1

(72) 발명자 가나자시가즈유키  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시  
키가이샤나이

우치다도시아  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시  
키가이샤나이

오쿠다마사키  
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쓰가부시  
키가이샤나이

(74) 대리인 김진환  
김두규

심사관 : 고재현

### (54) 메모리 디바이스

#### 요약

본 발명은 동기용 클록의 공급 횟수를 줄여 소비 전류를 절감하는 것을 목적으로 한다.

본 발명은 메모리의 비 파워 다운 상태에서, 데이터 출력 회로로의 클록의 공급을 판독 커맨드 수신후의 판독 상태로 한정하여, 액티브 상태나 기록 상태일 때에는 클록의 공급을 행하지 않는 것을 특징으로 한다. 또한, 최선의 형태에 있어서는, 데이터 출력 회로로의 클록의 공급을, 판독 커맨드 수신후의 판독 상태에서, 판독 커맨드를 수령하고 나서, 설정된 CAS 지연 시간(latency)에 대응하는 클록수 후에 시작하고, 상기 데이터 출력 회로로부터의 독출 데이터의 출력이 시작된 후, 설정된 버스트 길이에 대응하는 클록수 후에 정지한다. 따라서, 비 파워 다운 상태라도, 독출 데이터가 데이터 출력 회로로부터 외부로 실제로 출력되는 기간동안만 클록을 공급함으로써, 대전류 구동이 필요한 클록 공급 횟수를 줄일 수 있다.

#### 대표도

도 1

## 명세서

### 도면의 간단한 설명

도 1은 본 발명에 따른 SDRAM의 칩 전체를 도시한 도면.

도 2는 SDRAM 칩의 전체를 도시한 도면.

도 3은 클록 공급 제어 신호를 생성하는 회로 구성을 도시한 도면.

도 4는 클록 공급의 동작을 도시한 타이밍 차트.

도 5는 클록 공급의 동작을 도시한 다른 타이밍 차트.

도 6은 클록 공급 제어 신호 생성 회로의 회로도.

〈도면의 주요부분에 대한 부호의 설명〉

MCA : 메모리 셀 어레이

CLK : 공급 클록

I-CLK : 내부 클록

CLK1, CLK2, CLK3 : 클록

DQ : 입출력 단자

14 : 입력 버퍼, 어드레스 버퍼

30 : 데이터 독출 내부 회로

40 : 데이터 출력 회로

52 : 커맨드 디코더

56 : 클록 공급 회로

72 : 클록 공급 제어 신호 생성 회로

78 : 모드 레지스터

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클록에 동기하여 내부의 회로가 동작하는 고속 메모리 디바이스에 관한 것으로, 특히 클록의 공급에 따른 소비 전류를 절약한 메모리 디바이스에 관한 것이다.

클록 동기형 동기 DRAM(SDRAM)은 공급되는 클록에 동기하여 입력 버퍼가 외부 공급 신호를 입력하고, 클록에 동기하여 내부의 회로를 파이프 라인 방식으로 동작시켜, 클록에 동기하여 독출한 데이터를 데이터 출력 회로로부터 출력한다. 클록에 동기시킴으로써 고속 동작을 실현하고 있다.

이러한 SDRAM은 클록에 동기하여 공급되는 제어 신호의 조합으로부터, 액티브 상태, 판독 상태, 기록 상태, 그리고 프리차지 상태 등으로 제어된다. 그리고, 일반적으로는, 액티브 상태로 제어하는 액티브 커맨드를 수신한 후에, 판독 상태로 하는 판독 커맨드 또는 기록 상태로 하는 기록 커맨드가 공급되고, 마지막으로 프리차지 커맨드를 수신하고 나서 스탠바이 상태가 된다. 또한, 파워 다운 상태 이외의 기간에서는, 외부로부터 공급되는 클록을 취입하여, 내부 클록을 발생시키고, 그 내부 클록을 내부의 회로에 공급한다. 또한, 파워 다운 상태에서는 클록의 취입이 금지되어 내부 클록이 발생되지 않는다.

내부 클록이 공급되는 내부의 회로는 첫째로, 데이터나 어드레스 등의 신호를 클록에 동기하여 입력하는 입력 버퍼, 둘째로, 클록 동기형 파이프 라인 구성으로 메모리 셀로부터의 데이터를 독출하는 독출 내부 회로, 셋째로, 독출된 데이터를 클록에 동기하여 외부로 출력하는 데이터 출력 회로를 포함한다. 따라서, 종래의 SDRAM 등의 클록 동기형 메모리 디바이스에서는, 비 파워 다운 상태에서, 취입한 클록이 분기되어, 상기 입력 버퍼, 독출 내부 회로 및 데이터 출력 회로에 각각 공급된다.

### 발명이 이루고자 하는 기술적 과제

그러나, 클록 동기형 메모리 디바이스에서는 고속화와 함께 저소비 전력화의 요청이 있다. 고속화를 위해 클록의 주파수를 보다 고주파로 하는 것은, 내부 회로의 클록의 공급에 따른 구동 동작의 빈도를 보다 높게 하며, 그에 따라 소비 전력이 높아지는 것을 의미하며, 고속화와 저소비 전력화라는 각각 상반되는 요청이다.

특히, 내부 클록이 공급되는 지점의 하나인 데이터 출력 회로는 칩상에 복수 배치되는 데이터 입출력 단자(DQ 단자)에 인접하여 배치된다. 따라서, 내부 클록을 공급하는 클록 공급 배선은 클록 공급 회로로부터 복수의 데이터 출력 회로까지 장거리에 걸쳐 연장되는 배선이다. 이러한 장거리로 연장되는 복수의 클록 공급 배선은 큰 부하를 가지며, 이러한 부하를 구동하는 클록 공급 회로는 대형의 구동트랜지스터를 필요로 하여, 그 결과, 소비 전류의 증대를 초래하고 있다.

그래서, 본 발명의 목적은 내부의 회로로 클록을 공급하는 클록 공급 회로의 소비 전류를 삭감한 클록 동기형 메모리 디바이스를 제공하는 데에 있다.

또한, 본 발명의 목적은 클록 공급 회로의 데이터 출력 회로의 클록 공급에 따른 소비 전류를 작게 한 클록 동기형 메모리 디바이스를 제공하는 데에 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 메모리의 비 파워 다운 상태에서, 데이터 출력 회로의 클록의 공급을 판독 커맨드 수신후의 판독 상태로 한정하여, 액티브 상태나 기록 상태일 때에는 클록의 공급을 행하지 않는 것을 특징으로 한다. 또한, 최선의 형태에 있어서는, 데이터 출력 회로의 클록의 공급을, 판독 커맨드 수신후의 판독 상태에 있어서, 판독 커맨드를 수령하고 나서, 설정된 CAS 지연 시간에 대응하는 클록수 후에 시작하고, 상기 데이터 출력 회로로부터의 독출 데이터의 출력이 시작된 후, 설정된 버스트 길이에 대응하는 클록수 후에 정지한다. 따라서, 비 파워 다운 상태라도, 독출 데이터가 데이터 출력 회로로부터 외부로 실제로 출력되는 기간만, 클록을 공급함으로써, 대전류 구동이 필요한 클록 공급 횟수를 줄일 수 있다.

한편, 본 발명의 다른 형태에 있어서, 또한, 공급되는 데이터나 어드레스의 신호를 클록에 동기하여 입력하는 입력 버퍼로의 클록의 공급은 비 파워 다운 상태에서, 판독 상태에서와 판독 상태가 아닌 상태에서도 행해진다. 또한, 클록에 동기하여 상기 메모리 셀 영역내의 데이터를 독출하는 독출 내부 회로도 판독 상태에서와 판독 상태가 아닌 상태에서도 클록의 공급을 행한다. 메모리의 비 파워 다운 상태에서, 입력 버퍼로의 입력 신호의 타이밍은 미리 예측할 수 없기 때문에, 입력 버퍼로의 클록의 공급은 판독 상태와 관계없이 계속된다. 또한, 메모리의 비 파워 다운 상태에서, 독출 내부 회로는 파이프 라인 동작하고 있으므로, 클록의 정지는 파이프 라인 동작의 혼란을 초래하기 때문에, 독출 내부 회로의 클록의 공급은 판독 상태와 관계없이 계속된다.

상기 목적을 달성하기 위하여, 본 발명은, 공급되는 클록을 내부의 회로에 공급하고, 상기 클록에 동기하여 상기 내부의 회로가 동작하는 메모리 디바이스에 있어서,

데이터를 기억하는 메모리 셀 영역과,

상기 클록에 동기하여 공급되는 신호를 입력하는 입력 버퍼와,

상기 클록에 동기하여 상기 메모리 셀 영역내의 데이터를 독출하는 독출 내부 회로와,

상기 클록에 동기하여 상기 독출 내부 회로로부터의 독출 데이터를 출력하는 데이터 출력 회로와,

상기 공급된 클록을 상기 데이터 출력회로로 공급하는 클록 공급 회로를 가지며,

상기 클록 공급 회로는 상기 데이터 출력 회로로부터 상기 독출 데이터가 출력되는 판독 상태일 때, 상기 클록을 상기 데이터 출력 회로에 공급하고, 상기 판독 상태 이외일 때에, 상기 클록을 상기 데이터 출력 회로에 공급하지 않는 것을 특징으로 한다.

또한, 보다 바람직한 발명에서는, 또한, 상기 클록 공급 회로는 판독 커맨드 수신후의 상기 판독 상태에서, 상기 판독 커맨드를 수령하고 나서, 설정된 CAS 지연 시간에 대응하는 클록수 후에서부터, 상기 데이터 출력 회로로부터의 독출 데이터의 출력이 시작된 후, 설정된 버스트 길이에 대응하는 클록수 후까지의 기간동안 상기 클록을 상기 데이터 출력 회로에 공급하는 것을 특징으로 한다.

이하, 본 발명의 실시 형태에 대해서 도면을 참조하여 설명한다. 그러나, 본 발명의 기술적 범위가 그 실시 형태에 한정되는 것은 아니다.

도 1은 본 발명의 실시예의 SDRAM의 전체 구성도이다. 메모리 셀 어레이 MCA에는 복수의 워드선(WL)과 비트선(BL, /BL)이 설치되고, 그 교차부에 1 트랜지스터와 1 커패시터로 이루어진 메모리 셀이 설치된다. 행 방향의 로우 어드레스는 어드레스 버퍼(10)로 취입되어, 로우 디코더(12)로 디코드되고, 선택된 워드선(WL)이 구동된다. 워드선(WL)의 구동에 따라, 비트선 쌍(BL, /BL)에 기억 데이터에 따라 미소 전압이 생성되며, 비트선 쌍에 접속된 센스 증폭기(SA)에 의해, 그 미소 전압이 증폭된다. 여기까지가 행측(RAS계)의 동작이다.

센스 증폭기(SA)에 의해 검출된 독출 데이터는 칼럼 어드레스 버퍼(14)로 취입된 어드레스를 디코드하는 칼럼 디코더(16)에 의해 선택되고, 데이터 버스선 쌍(DB, /DB)에 출력된다. 데이터 버스선 쌍(DB, /DB)은 데이터 버스 증폭기(18)로 증폭되고, 증폭된 독출 데이터가 파이프 라인 게이트(20), 데이터 버스 제어 회로(22)를 통해 데이터 출력 회로(40)에 공급된다. 상기 데이터 버스 증폭기(18) 및 데이터 버스 제어 회로(22) 등에 의해, 데이터 독출 내부 회로(30)가 구성된다. 이 데이터 독출 내부 회로(30)는 칼럼 어드레스의 취입 이후의 칼럼계의 독출 내부 회로에 해당한다.

데이터 출력 회로(40)는 도시하지 않은 데이터 입력 회로와 함께 입출력 단자(DQ)에 접속된다. 데이터 출력 회로(40)에는 독출 내부 회로(30)로부터의 독출 데이터(DA)와, 출력단의 CMOS 인버터(48, 49)의 트랜지스터를 하이 임피던스 상태로 제어하는 하이 임피던스 제어 신호(Hz)가 공급된다. 하이 임피던스 제어 신호(Hz)가 H 레벨이면, NOR 게이트(47)의 출력은 L 레벨이 되고, NAND 게이트(46)의 출력은 H 레벨이 되며, 그 결과, 트랜지스터(48, 49)는 모두 비도통 상태가 되고, 입출력 단자(DQ)에 대하여 하이 임피던스 상태가 된다. 이 때에, 도시하지 않은 데이터 입력 회로측에 데이터가 취입된다. 하이 임피던스 제어 신호(Hz)가 L 레벨일 때에는 NOR 게이트(47) 및 NAND 게이트(46)의 출력은 독출 데이터(DA)의 레벨 순서로, H 또는 L 레벨이 되고, 어느 한쪽 트랜지스터(48, 49)가 도통하여 입출력 단자(DQ)를 구동한다.

커맨드 디코더(52)에는 외부로부터 커맨드용 제어 신호(/CAS, /RAS, /WE, /CS)가 공급되고, 디코드되어, 대응하는 도시하지 않은 모드 제어 신호가 출력되며, 내부의 대응하는 회로에 그 동작 제어를 위해 공급된다.

SDRAM의 하나의 특징은 클록(CLK)에 동기하여 외부로부터의 신호를 취입하고, 내부의 회로가 동작하여, 외부에 데이터를 출력하는 데에 있다. 따라서, 외부로부터 공급된 클록(CLK)은 도시된 바와 같이, 클록 입력 버퍼(54)로 입력되고, 증폭되어 내부 클록(I-CLK)으로서, 각각의 대응하는 회로에 공급된다. 즉, 데이터 출력 회로(40)에 대해서는 제1 클록 공급 회로(56)를 통해 제어 클록(CLK1)이 공급된다. 이 제어 클록(CLK1)에 응답하여, 데이터 출력 회로(40)의 게이트(42, 44)가 개방되고, 독출 데이터(DA) 및 하이 임피던스 제어 신호 Hz가 공급되어, 데이터 출력 회로(40)가 동작한다.

메모리 셀 어레이로부터 데이터를 꺼내는 데이터 독출 내부 회로(30)에는 제2 클록 공급 회로(58)(인버터로 이루어짐)를 통해 제어 클록(CLK2)이 공급된다. 데이터 독출 내부 회로(30)는 파이프 라인 구성을 이루고, 제어 클록(CLK2)에 응답하여, 파이프 라인 게이트(20)가 개방되어, 내부의 동작이 클록에 동기한다. 또한, 어드레스 신호를 입력하는 어드레스 버퍼(10, 14)에는 제3 클록 공급 회로(60)를 통해 제어 클록(CLK3)이 공급된다. 그리고, 어드레스 버퍼(10, 14)에서는, 이 제어 클록(CLK3)의 상승 엣지의 타이밍에서, 외부로부터의 어드레스 신호(Add)가 입력된다.

이상과 같이, 외부로부터 공급된 클록(CLK)은 비 파워 다운 상태일 때, 내부로 취입되어, 분기되고, 각각의 클록 공급 회로를 통하여 데이터 출력 회로(40), 데이터 독출 내부 회로(30) 및 어드레스 버퍼(10, 14)에 각각 공급된다. 각각의 회로(40, 30, 14)는 그 공급된 제어 클록(CLK1, CLK2, CLK3)에 응답하여 각각의 동작을 행한다. 또한, 파워 다운 상태일 때에는 파워 다운 모드 신호(PD)에 의해, 외부로부터의 클록(CLK)의 내부로의 취입은 금지된다. 따라서, 내부 회로에는 클록이 공급되지 않는다.

도 2는 SDRAM의 칩 전체를 도시한 도면이다. 도 2에는 칩(1)내의 입출력 단자군(DQ0~DQ7), 그것에 대응하는 데이터 출력 회로(40), 클록 입력 단자(CLK), 클록 공급 회로(56)가 도시된다. 도 2에 도시된 바와 같이, 복수의 데이터 입출력 단자(DQ)가 칩내의 넓은 범위에 걸쳐 배치되고, 각각의 입출력 단자에 인접하여 데이터 출력 회로(40)가 배치된다. 따라서, 이들 데이터 출력 회로(40)에 클록(CLK)을 공급하기 위해서는 클록 공급 회로(56)가 거리가 길고 부하가 무거운 클록 공급 배선(70)을 구동할 필요가 있다. 이 클록 공급 배선(70)은 배선 길이가 길고, 용량 부하가 크기 때문에, 그 구동에는 많은 전류 소비를 필요로 한다.

따라서, 도 1에 도시된 바와 같이, 데이터 출력 회로(40)로의 클록의 공급에 있어서, 액티브 커맨드가 공급된 액티브 상태에서부터 프리차지 커맨드가 공급되어 프리차지 상태가 될 때까지의 기간중에서, 데이터 출력 회로(40)의 독출 데이터의 출력이 필요한 기간동안만, 제어 클록(CLK1)을 데이터 출력 회로(40)에 공급한다. 그 때문에, 클록 공급 회로(56)에는 NAND 게이트(63)가 설치되고, 그 한쪽 입력에 클록(I-CLK)이 공급되며, 그 다른쪽 입력에, 클록 공급 제어 신호(Readz, Redcz)로부터 생성되는 인버터(64)의 출력 신호가 공급된다. 따라서, 이들 클록 공급 제어 신호(Readz, Redcz) 중 어느 한쪽이 H 레벨인 동안, NAND 게이트(63)가 개방되어, 클록(I-CLK)이 제어 클록(CLK1)으로서 데이터 출력 회로(40)에 공급된다.

이 클록 공급 제어 신호(Readz, Redcz)는 예컨대 액티브 상태후의 판독 상태에서, 클록 공급을 허가하는 H 레벨이 된다. 액티브 상태나 기록 상태에서는 클록 공급 제어 신호(Readz, Redcz)는 클록 공급을 금지하는 L 레벨이 된다.

실제로 더욱 바람직한 또다른 예에서는 클록 공급 제어 신호(Readz, Redcz)는 판독 커맨드를 수신한 후의 판독 상태의 기간내에서, 판독 커맨드를 수신하고 나서, 설정된 CAS 지연 시간분의 클록 주기 후에서부터 클록 공급 허가 상태(H 레벨)가 되고, 버스트 길이의 독출 데이터의 출력이 완료되고 나서, 클록 공급 금지 상태(L 레벨)가 된다.

이들 CAS 지연 시간이나 버스트 길이는 미리 상위의 메모리 컨트롤러에 의해 설정된다. 따라서, 이 설정치에 따라서 데이터 출력 회로(40)로의 클록의 공급의 개시 타이밍과 종료 타이밍은 최적화되도록 제어된다.

도 3은 클록 공급 제어 신호(Readz, Redcz)를 생성하는 회로 구성을 도시한 도면이다. 이 예에서는, 상기 다른 바람직한 예를 실현한다. 클록 공급 제어 신호(Readz, Redcz)는 클록 공급 제어 신호 생성 회로(72)에 의해 생성된다. 메모리 디바이스에는 상위의 메모리 컨트롤러로부터 제어 신호(/CAS, /RAS, /WE, /CS)가 공급된다. 이들 제어 신호는 입력 버퍼(74)로 제어 클록(CLK3)에 동기하여 내부로 취입된다. 이들 제어 신호는 커맨드 디코더(52)내에서 디코드된다. 즉, 제어 신호의 조합이 도시하지 않은 NAND 게이트 등으로 이루어지는 디코드 회로로 디코드되어, 각각의 제어 신호를 출력한다. 도 3에는 판독 커맨드 신호(READ)와 인터럽트 신호(INT), 모드 레지스터 세트 신호(MRS)가 도시된다. 이들 디코드의 결과 생성되는 제어 신호에 따라 내부의 각 회로가 제어된다.

모드 레지스터 설정 회로(76)는 커맨드 디코더(52)로부터 공급되는 모드 레지스터 세트 신호(MRS)에 응답하여, 데이터 입력 단자(DATA)로부터 공급되는 CAS 지연 시간의 값(CL)과 버스트 길이의 값(BL)을 모드 레지스터(78)내의 대응하는 레지스터(CL, BL)에 각각 세트한다. 이 모드 레지스터(78)로의 설정은 통상적으로 메모리 디바이스의 전원 기동시에 상위의 메모리 디바이스로부터의 데이터에 따라서 행해진다.

CAS 지연 시간이란, 판독 커맨드를 수령하고 나서 최초의 독출 데이터가 입출력 단자(DQ)로부터 출력될 때까지의 클록수이다. 또한, 버스트 길이란 버스트 모드에서의 연속하는 출력 데이터의 수이다. 이들 변수는 메모리 디바이스의 기동시에 모드 레지스터(78)에 설정된다.

커맨드 디코더(52)는 제어 신호의 조합으로부터 판독 커맨드를 수령한 것을 검출하여, 판독 커맨드 신호(READ)를 출력한다. 이 판독 커맨드 신호(READ)는 클록 공급 제어 신호 생성 회로(72)에 공급되어, 클록 공급 제어 신호의 생성을 재촉한다. 또한, 커맨드 디코더(52)는 제어 신호의 조합으로부터 기록 커맨드를 수령한 것을 검출하여, 도시하지 않은 기록 커맨드 신호와 함께 인터럽트 신호(INT)를 출력한다. 이 인터럽트 신호(INT)는 도시하지 않은 내부 회로와 함께 클록 공급 제어 신호 생성 회로(72)에도 공급되어 클록 공급 제어 신호의 정지를 재촉한다.

클록 공급 제어 신호 생성 회로(72)는 판독 커맨드 신호(READ)를 래치하고 그것에 응답하여, CAS 지연 시간(CL)과 버스트 길이(BL)에 따른 기간 동안, 클록 공급 제어 신호를 발생하여, 클록 공급 회로(56)에 클록(I-CLK)의 공급을 허가한다. 그 이외의 기간동안에는 클록 공급 회로(56)로부터의 클록(I-CLK)의 공급이 금지된다.

도 4는 클록 공급의 동작을 나타내는 타이밍 차트이다. 도 4는 CAS 지연 시간 CL=2, 버스트 길이 BL=4로 설정된 경우의 타이밍 차트이다. 메모리 디바이스의 내부에는 비 파워 다운 모드의 기간에서, 외부로부터의 클록(CLK)이 내부 클록(I-CLK)으로서 취입된다. 그리고, 비 파워 다운 모드의 기간에서, 그 내부 클록(I-CLK)은 각각 제어 클록(CLK2, CLK3)으로서, 데이터 독출 내부 회로(30)나 어드레스 버퍼(14) 등에 계속적으로 공급된다.

도 4의 예에서는, 시각(t0)에서, 액티브 커맨드(ACTIVE)가 공급된 후에, 시각(t1)에서, 판독 커맨드(READ)가 공급된다. 액티브 커맨드(ACTIVE)에 응답하여, 로우 어드레스가 취입되고, 로우 디코더(12)에 의해 워드선(WL)이 선택되어, 구동된다. 그리고, 비트선 쌍(BL, /BL)에 발생한 미소 전압이 센스 증폭기(SA)에 의해 검출되어 증폭된다.

다음에, 시각(t1)에서, 판독 커맨드(READ)가 공급되면, 그것에 응답하여, 칼럼 어드레스가 어드레스 버퍼(14)로 취입되어, 칼럼 디코더(16)에 의해 칼럼이 선택되고, 선택된 칼럼의 센스 증폭기(SA)의 출력이 데이터 버스트 쌍(DB, /DB)에 접속된다. 그리고, CAS계의 회로인 데이터 독출 내부 회로(30)내의 파이프 라인 게이트가 제어 클록(CLK2)에 응답하여 개방되어, 데이터의 독출 동작이 행해진다. 그리고, 판독 커맨드(READ)가 공급되고 나서 설정된 CAS 지연 시간 CL=2의 클록수 후의 타이밍으로부터, 데이터 출력 회로(40)가 독출 데이터(DA0)를 출력한다. 그 후, 버스트 길이 BL=4의 수의 데이터(DA0~DA3)가 클록(CLK)의 상승 엣지에 동기하여 출력된다.

따라서, 데이터 출력 회로(40)에는 적어도 독출 데이터(DA0~DA3)를 출력하는 시각 t3 에서 t6까지의 기간동안, 제어 클록(CLK1)이 공급될 필요가 있다. 그래서, 클록 공급 제어 신호 생성 회로(72)는 판독 커맨드 신호(READ)에 응답하여, 모드 레지스터(78)에 설정되어 있는 CAS 지연 시간 CL=2를 참조하여, 시각(t1)으로부터 2 클록후의 시각(t3)보다 1개 전의 클록(I-CLK)의 상승 엣지(시각 t)에 응답하여, 제1 클록 공급 제어 신호(Readz)를 H 레벨로 한다. 또한, 시각(t2)의 상승 엣지로부터 클록의 1주기 기간만큼 제2 클록 공급 제어 신호(Redcz)를 H 레벨로 한다.

도 1에 있어서, 이들 클록 공급 제어 신호의 H 레벨은 클록 공급 회로(56)에 공급되고, NOR 게이트(65), 인버터(64)를 통해 NAND 게이트(63)를 개방하여, 클록(I-CLK)의 공급이 허가된다. 그 결과, 데이터 출력 회로(40)로의 제어 클록(CLK1)은 시각(t3)에서부터 공급이 시작된다. 도 3에는 클록 공급 회로(56)의 상세한 구성이 도시된다. 즉, 클록(I-CLK)의 L 레벨에서 개방하는 게이트(66)와, NOR 게이트(65)의 출력을 래치하는 래치 회로(67)가 설치된다. 따라서, 도 4의 예에서는 시각(t2)의 클록의 상승 엣지에 응답하여 생성되는 제2 클록 공급 제어 신호(Redcz)의 H 레벨이 다음 클록의 하강 엣지에서 래치 회로(67)에 래치되고, 그 반전 신호에 의해, NAND 게이트(63)가 개방된다. 따라서, 확실하게 시각(t3)의 상승 엣지로부터 클록(I-CLK)의 공급이 시작된다.

제2 클록 공급 제어 신호(Redcz)가 L 레벨로 내려 간 후에는 제1 클록 공급 제어 신호(Readz)는 H 레벨로 되기 때문에, 동일하게, NAND 게이트(63)는 개방된 상태를 유지하고, 그 후 제어 클록(CLK1)의 공급을 계속한다. 내부 회로의 구성에서, 시각(t2) 후에, 제1 클록 공급 제어 신호(Readz)의 H 레벨로의 변화가 지연되는 경우에도, 도 4에 도시된 바와 같이, 그것보다 먼저 클록 1주기분만큼 제어 신호(Redcz)가 H 레벨이 되기 때문에, 확실하게 시각(t3)에서부터 클록(CLK1)의 공급이 시작된다.

다음에, 버스트 길이 BL=4와 같은 수의 독출 데이터(DA0~DA3)가 출력되면, 더 이상 데이터 출력 회로(40)에 제어 클록(CLK1)을 공급할 필요가 없게 된다. 따라서, 클록 공급 제어 신호 생성 회로(72)는 시각(t3)에서부터 버스트 길이 BL=4분의 클록후의 시각(t6)의 상승 엣지에 응답하여, 제1 클록 공급 제어 신호(Readz)를 L 레벨로 전환한다. 그 결과, 시각(t7) 이후의 클록(CLK1)의 공급은 금지된다.

이상과 같이, 클록 공급 제어 신호 생성 회로(72)는 설정된 CAS 지연 시간(CL)과 버스트 길이(BL)를 참조하여 독출 데이터(DA0~DA3)이 출력되는 기간동안만, 제어 클록(CLK1)을 데이터 출력 회로(40)에 공급하도록 클록 공급 제어 신호를 생성한다. 그 이외의 기간은 제어 클록(CLK1)의 공급을 금지하도록 클록 공급 제어 신호를 생성한다. 따라서, 제어 클록(CLK1)의 구동 횟수가 최소한으로 한정되고 구동에 따른 대전류 소비가 최소한으로 억제된다.

도 5는 클록 공급의 동작을 도시한 다른 타이밍 차트이다. 도 5의 예는 CAS 지연 시간(CL)이 CL=3으로 설정되고, 버스트 길이 BL이 BL=6으로 설정되는 경우의 동작 타이밍 차트이다. 도 4의 경우와 같이, 비 파워 다운 상태에서, 외부 클록(CLK)이 내부에 취입되어, 판독 상태에 관계없이 제어 클록(CLK2, CLK3)이 데이터 독출 내부 회로(30)나 어드레스 버퍼(14)에 계속적으로 공급된다.

그리고, 도 5의 예에서는, CAS 지연 시간 CL=3이기 때문에, 도 4보다 1클록분 느린 시각(t3)의 클록의 상승 엣지에 응답하여, 제2 클록 공급 제어 신호(Redcz)가 H 레벨이 되고, 더욱 지연되어 제1 클록 공급 제어 신호(Readz)가 H 레벨이 된다. 그리고, 제1 클록 공급 제어 신호(Readz)의 H 레벨 상태는 버스트 길이 BL=6에 따른 시각(t9)의 상승 엣지에 응답하여 종료된다. 따라서, 데이터 출력 회로(40)로의 제어 클록(CLK1)의 공급은 시각(t4)의 상승 엣지로부터 시작되고, 시각(t9)의 상승 엣지 후에 종료된다. 그 동안에, 버스트 길이 BL=6에 대응하는 갯수의 독출 데이터(DA0~DA5)가 데이터 출력 회로(40)로부터 입출력 단자(DQ)에 출력된다.

도 5에는 버스트 독출중인 시각(t7)의 클록의 상승 엣지에서, 기록 커맨드(WRITE)가 공급된 경우의 제1 클록 공급 제어 신호(Readz)의 파형이 점선으로 도시된다. 즉, 시각(t7)에서의 클록의 상승 엣지에서 기록 커맨드(WRITE)가 공급되면, 커맨드 디코더(52)는 도시하지 않는 기록 커맨드 신호를 생성하는 동시에 인터럽트 신호(INT)를 생성한다. 기록 커맨드의 생성은 그 이후 판독 동작을 취소하고 기록 동작을 행하는 것을 의미한다. 따라서, 기록 커맨드의 수령후에는 데이터 출력 회로(40)로의 제어 클록(CLK1)의 공급은 불필요하게 된다. 따라서, 이 인터럽트 신호(INT)에 응답하여, 클록 공급 제어 신호 생성 회로(72)는 제1 클록 공급 제어 신호(Readz)를 L 레벨로 제어한다. 그 결과, 시각(t8) 이후의 제어 클록(CLK1)의 공급은 정지된다.

도 3에 도시한 클록 공급 제어 신호 생성 회로(72)는 판독 커맨드 신호(READ)를 래치하고, 그것에 응답하여 클록 공급 제어 신호를 H 레벨로 함으로써 판독 상태의 기간만큼, 제어 클록(CLK1)을 데이터 출력 회로(40)에 공급할 수 있다. 판독 커맨드 신호(READ)의 래치 상태는 예컨대 다른 커맨드 신호에 의해 해제하도록 함으로써 제어 클록(CLK1)의 공급을 정지할 수 있다.

또한, 상기 실시 형태에 나타낸 바와 같이, 클록 공급 제어 신호 생성 회로(72)가 CAS 지연 시간(CL)이나 버스트 길이(BL)를 참조하여 판독 상태의 실제로 데이터 출력 회로(40)로부터 독출 데이터(DA)가 출력되는 기간만큼 제어 클록(CLK1)을 공급하도록 함으로써 소비 전류의 절약을 도모할 수 있다.

도 6은 클록 공급 제어 신호 생성 회로의 회로도이다. 클록 공급 제어 신호 생성 회로(72)는 제2 제어 신호(Redcz)를 발생시키기 위한 CL 카운터와, 제1 클록 공급 제어 신호(Readz)를 발생시키기 위한 BL 카운터를 포함한다. 판독 커맨드 신호(READ)와, 인터럽트 신호(INT) 및 내부 클록(I-CLK)이 이 클록 공급 제어 신호 생성 회로(72)에 공급된다. 또한, CAS 지연 신호(CL2, CL3)는 CL 카운터에 공급된다. CAS 지연 신호(CL2, CL3)는 CAS 지연이 각각 2와 3일 때 H 레벨이 된다. 유사하게, 버스트 길이 신호(BL1, BL2, BL3, BL4,...BL16)는 BL 카운터에 공급되고 버스트 길이가 각각 1, 2, 3, 4,...16 일 때 H 레벨이 된다.

CL 카운터는 전송 게이트(101, 102, 103, 104)와 래치 회로(L101, L102, L103, L104)를 포함한다. H 레벨 판독 커맨드 신호(READ)는 내부 클록(I-CLK)의 하강 엣지에 응답하여 전송 게이트(101, 103)를 경유하여 각 래치 회로(L101, L103)에 전송되고, 또한 내부 클록(I-CLK)의 상승 엣지에 응답하여 전송 게이트(102, 104)를 경유하여 각 래치 회로(L102, L104)에 전송된다.

CAS 지연 값이 2로 설정되는 경우에, 도 4에 도시된 바와 같이, CL2=H 이며, 전송 게이트(102)가 t2에서 내부 클록(I-CLK)의 상승 엣지에 응답하여 H 레벨 판독 커맨드 신호(READ)를 래치 회로(L102)에 전송할 때, NAND 게이트(85)는 제2 클록 공급 제어 신호(Redcz)를 H 레벨로 하기 위해 L 레벨을 출력한다. 판독 커맨드 신호(READ)는 1 클록 사이클 동안 H 레벨인 펄스 신호이기 때문에, 제어 신호(Redcz)는 다음 내부 클록(I-CLK)에서 L 레벨이 된다.

CAS 값이 3으로 설정되는 경우에, 도 5에 도시된 바와 같이, CL3=H 이며, 전송 게이트(104)가 t3에서 내부 클럭(I-CLK)의 상승 엣지에 응답하여 H 레벨 판독 커맨드 신호(READ)를 래치 회로(L104)에 전송할 때, NAND 게이트(86)는 제2 클럭 공급 제어 신호(Redcz)를 H 레벨로 하기 위하여 L 레벨을 출력한다.

H 레벨 제어 신호(Redcz)는 제1 클럭 공급 제어 신호(Readz)가 H 레벨이 되도록 NOR 게이트(94, 95)에 포함된 래치 회로에 의해 래치된다. 그러므로, 도 4(도 5)에 도시된 바와 같이, 제어 신호(Readz)는 t2(t3)에서 내부 클럭(I-CLK)의 상승 엣지에 응답하여 H 레벨이 된다.

BL 카운터는 CL 카운터와 유사한 클럭 전송 회로를 갖는다. 전송 게이트(105, 107, 109, 111, 113, ..)는 내부 클럭(I-CLK)의 각 하강 엣지에 응답하여 제어 신호(Redcz)를 전송하기 위해 도통된다. 전송 게이트(106, 108, 110, 112, ..)는 내부 클럭(I-CLK)의 각 상승 엣지에 응답하여 도통된다. 또한, 래치 회로(L105~L112)는 전송 게이트들 사이에 제공된다.

버스트 길이(BL)가 4로 설정되는 경우에, 도 4에 도시된 바와 같이 BL4=H 이며, 전송 게이트(106, 108, 110, 112)는 H 레벨 제2 제어 신호(Redcz)를 t3, t4, t5, t6 에서 다음의 래치 회로(L106, L108, L110, L112)에 각각 전송하고, NAND 게이트(92)는 래치 회로(L112)가 H 레벨(Redcz)을 유지할 때 H 레벨을 출력한다. 그러므로, NAND 게이트(93)의 출력은 제1 클럭 공급 제어 신호(Readz)를 L 레벨로 하기 위해 94와 95로 구성된 래치 회로를 리셋한다.

도 6에 도시된 바와 같이, BL 카운터는 버스트 길이 신호(BL1-BL16)에 의해 설정된 타이밍에서 제1 클럭 공급 제어 신호(Readz)를 L 레벨로 한다.

또한, 인터럽트 신호(INT)가 기록 커맨드(WRITE)에 응답하여 H 레벨이 될 때, 제2 제어 신호(Redcz)는 제1 제어 신호(Readz)가 또한 그후에 L 레벨이 되도록 인터럽트 신호(INT)에 의해 래치 회로(L102, L104)를 경유하여 L 레벨이 된다.

## 발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 클럭 동기형 메모리 디바이스에 있어서, 데이터 출력 회로로의 제어 클럭의 공급 기간을 판독 상태일 때로 한정함으로써, 제어 클럭의 공급에 따른 구동 전류의 소비를 적게 할 수 있다.

또한, 본 발명에 따르면, 클럭 동기형 메모리 디바이스에 있어서, 데이터 출력 회로로의 제어 클럭의 공급 기간을 판독 상태에서, 미리 설정되어 있는 CAS 지연 시간과 버스트 길이에 따라서 추가로 한정된 기간에 대해서만 제어 클럭의 공급을 제한함으로써, 공급 클럭의 공급에 따른 구동 전류의 소비를 더욱 적게 할 수 있다.

## (57) 청구의 범위

### 청구항 1.

클럭 신호에 동기하여 동작하는 메모리 디바이스로서,

데이터를 저장하는 메모리 셀 영역과,

클럭 신호에 동기하여 상기 메모리 셀 영역으로 신호를 입력하는 입력 버퍼와,

판독(read) 상태(mode)에서 CAS 지연 신호의 값에 대응하는 지연 시간 후에 상기 클럭 신호에 동기하여 상기 메모리 셀 영역으로부터 독출(read out)된 데이터를 출력하는 데이터 출력 회로와,

상기 판독 상태가 유효한 지 여부에 관계없이 상기 클럭 신호를 상기 입력 버퍼에 공급하고, 상기 판독 상태에서 상기 CAS 지연 신호의 상기 값에 대응하는 상기 지연 시간 후에 상기 클럭 신호를 상기 데이터 출력 회로에 공급하는 클럭 신호 공급 회로

를 포함하는 메모리 디바이스.

## 청구항 2.

제1항에 있어서, 상기 클럭 신호 공급 회로는 상기 판독 상태가 유효한 지 여부와 관계없이 상기 클럭 신호를 독출 내부 회로로 공급하는 것인 메모리 디바이스.

## 청구항 3.

클럭 신호에 동기하여 동작하는 메모리 디바이스로서,

데이터를 저장하는 메모리 셀 영역과,

상기 클럭 신호에 동기하여 상기 메모리 셀 영역으로 신호를 입력하는 입력 버퍼와,

상기 클럭 신호에 동기하여 상기 메모리 셀 영역으로부터 독출되는 데이터를 출력하는 데이터 출력 회로 - 여기서, 데이터 출력 회로로 공급되는 상기 클럭 신호는 판독 상태에서 버스트(burst) 길이 신호의 값에 대응하는 지연 시간 후에 그 공급이 중단됨 - 와,

상기 판독 상태가 유효한 지 여부에 관계없이 상기 클럭 신호를 상기 입력 버퍼에 공급하고, 상기 판독 상태에서, 상기 데이터 출력 회로에 상기 클럭 신호를 공급하며, 상기 버스트 길이 신호의 값에 대응하는 지연 시간 후에 상기 데이터 출력 회로로의 상기 클럭 신호의 공급을 중단하는 클럭 신호 공급 회로

를 포함하는 메모리 디바이스.

## 청구항 4.

제1항에 있어서, 상기 판독 커맨드를 수령하고 나서, 설정된 CAS 지연 시간에 대응하는 클럭 펄스 수의 완료 이전에 규정된(prescribed) 시간 주기에서 상기 클럭 신호의 공급을 유효화하는 두번째 클럭 공급 제어 신호를 생성하는 클럭 공급 제어 신호 생성 회로를 더 포함하고,

상기 클럭 신호 공급 회로는 상기 두번째 클럭 공급 제어 신호에 응답하여 상기 클럭 신호를 상기 데이터 출력 회로로 공급하는 것인 메모리 디바이스.

## 청구항 5.

클럭 신호에 동기하여 동작하는 메모리 디바이스로서,

데이터를 저장하는 메모리 셀 영역과,

클럭 신호에 동기하여 상기 메모리 셀 영역으로 신호를 입력하는 입력 버퍼와,

CAS 지연 신호 및 버스트 길이 신호의 값들에 대응하는 판독 상태에서의 상기 클럭 신호에 동기하여 상기 메모리 셀 영역으로부터 독출된 데이터를 출력하는 데이터 출력 회로와,

상기 판독 상태가 유효한 지 여부에 관계없이 상기 클럭 신호를 상기 입력 버퍼에 공급하고, 상기 CAS 지연 신호 및 상기 버스트 길이 신호의 값들에 대응하는 상기 판독 상태에서의 상기 클럭 신호를 상기 데이터 출력 회로에 공급하는 클럭 신호 공급 회로

를 포함하는 메모리 디바이스.

## 청구항 6.

제5항에 있어서, 상기 클록 신호 공급 회로는 상기 판독 상태가 유효한 지 여부에 관계없이 상기 클록 신호를 독출 내부 회로로 공급하는 것인 메모리 디바이스.

## 청구항 7.

제5항에 있어서, 상기 클록 공급 회로는,

상기 판독 커맨드를 수령하고 나서 설정된 CAS 지연에 대응하는 클록 펄스 수의 완료에 앞서 규정된 시간 주기 동안에, 상기 판독 커맨드의 수령 후의 상기 판독 모드에서, 상기 클록 신호를 상기 데이터 출력 회로에 또한 제공하는 것인 메모리 디바이스.

## 청구항 8.

제3항에 있어서,

상기 클록 신호에 동기하여 공급된 신호를 입력하는 입력 버퍼를 더 포함하며, 상기 클록 신호 공급 회로는 상기 판독 모드가 유효한 지 여부에 관계없이 상기 클록 신호를 상기 입력 버퍼에 공급하는 것인 메모리 디바이스.

## 청구항 9.

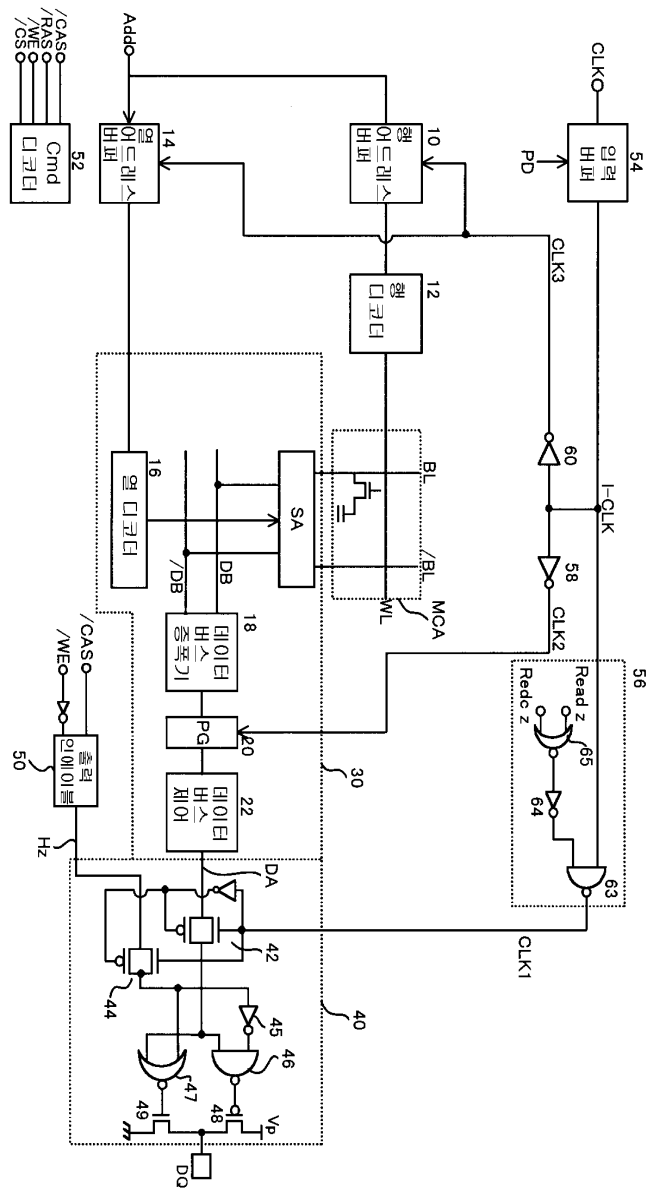
삭제

## 청구항 10.

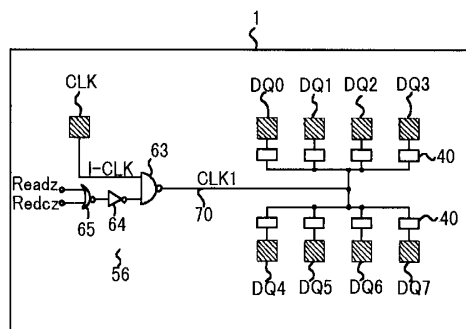
삭제

도면

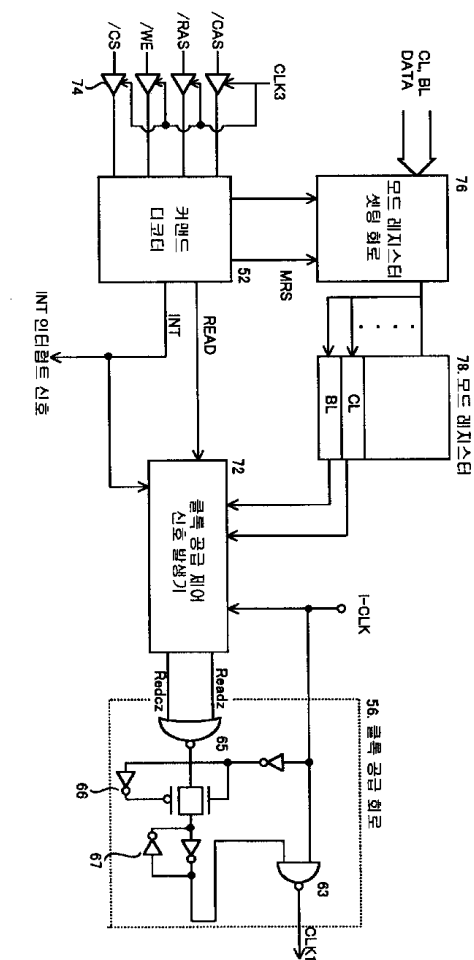
도면1



도면2

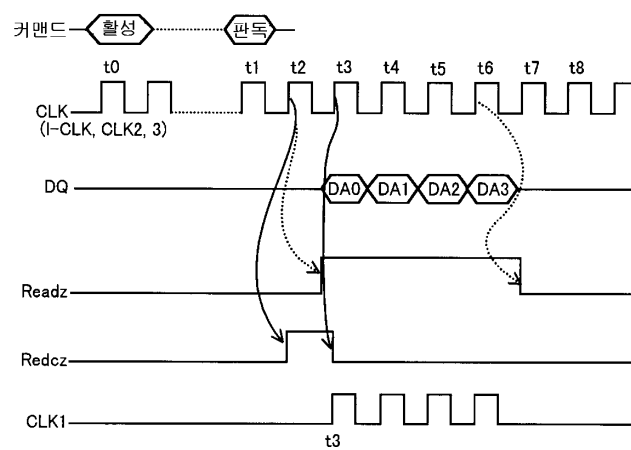


도면3

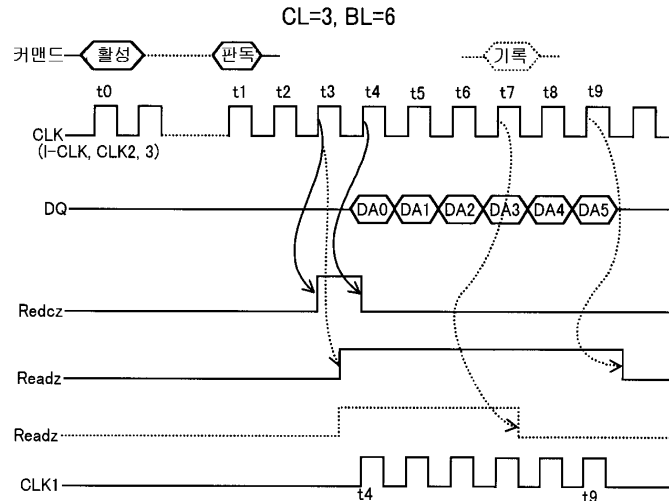


도면4

CL=2, BL=4



도면5



도면6

