



# (12) 发明专利

(10) 授权公告号 CN 109964407 B

(45) 授权公告日 2024. 03. 08

(21) 申请号 201780064950.2

(22) 申请日 2017.08.28

(65) 同一申请的已公布的文献号  
申请公布号 CN 109964407 A

(43) 申请公布日 2019.07.02

(30) 优先权数据  
62/381,376 2016.08.30 US

(85) PCT国际申请进入国家阶段日  
2019.04.19

(86) PCT国际申请的申请数据  
PCT/US2017/048917 2017.08.28

(87) PCT国际申请的公布数据  
W02018/044799 EN 2018.03.08

(73) 专利权人 天工方案公司  
地址 美国马萨诸塞州

(72) 发明人 颜燕 J·李

(74) 专利代理机构 北京市正见永申律师事务所  
11497

专利代理师 黄小临

(51) Int.Cl.  
H03H 7/25 (2006.01)  
H03H 7/54 (2006.01)

(56) 对比文件  
US 2012141133 A1, 2012.06.07  
US 2015326205 A1, 2015.11.12  
CN 1774857 A, 2006.05.17  
US 2015326204 A1, 2015.11.12  
CN 104953983 A, 2015.09.30  
CN 103050976 A, 2013.04.17  
KR 20130103073 A, 2013.09.23  
US 2015318889 A1, 2015.11.05  
JP 2003309454 A, 2003.10.31  
US 2016118959 A1, 2016.04.28

李仲秋; 胡锦涛; 陈迪平. 三阶电荷泵锁相环的稳定性分析. 电子器件. 2006, (02), 全文.

审查员 毕爽君

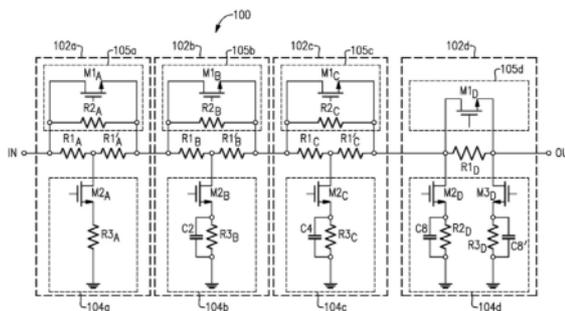
权利要求书5页 说明书16页 附图16页

## (54) 发明名称

具有补偿电路的二进制加权衰减器

## (57) 摘要

具有补偿电路的二进制加权衰减器。在一些实施例中, 射频 (RF) 衰减器电路可包括串联设置在输入节点和输出节点之间的多个衰减块, 其中所述多个衰减块的每个衰减块包括旁路路径。所述 RF 衰减器电路可进一步包括相位补偿电路, 所述相位补偿电路为针对具有相应的旁路路径的所述衰减块中的至少一些衰减块的每个衰减块而实现。所述相位补偿电路可配置为补偿与对应的旁路路径相关联的关断电容效应。



1. 一种射频衰减器电路,包括:

多个衰减块,其串联设置在输入节点和输出节点之间,所述多个衰减块中的每一个包括旁路路径;

相位补偿电路,其针对具有相应的旁路路径的所述衰减块中的至少一些衰减块中的每一个而实现,所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应;

全局旁路路径,所述全局旁路路径包括配置为在处于全局旁路模式中时导通并且在处于全局衰减模式中时关断的全局旁路开关晶体管,使得在处于所述全局衰减模式中时所述全局旁路开关晶体管提供全局关断电容;以及

全局相位补偿电路,配置为在所述衰减器电路处于所述全局衰减模式中时补偿所述全局关断电容。

2. 如权利要求1所述的衰减器电路,其中所述衰减块具有二进制加权衰减值。

3. 如权利要求2所述的衰减器电路,其中所述二进制加权衰减值包括N个值,其中第i个值为 $A2^{i-1}$ ,其中A为步进衰减值且i为从1至N的正整数。

4. 如权利要求3所述的衰减器电路,其中所述步进衰减值A为1dB。

5. 如权利要求3所述的衰减器电路,其中数量N包括2、3、4、5、6、7或8。

6. 如权利要求1所述的衰减器电路,其中至少一个衰减块不具有相位补偿电路。

7. 如权利要求6所述的衰减器电路,其中不具有相位补偿电路的所述至少一个衰减块包括具有最低衰减值衰减值的衰减块。

8. 如权利要求1所述的衰减器电路,其中所述衰减块中的至少一个配置为pi衰减器。

9. 如权利要求8所述的衰减器电路,其中具有所述pi衰减器的至少一个衰减块包括具有最高衰减值衰减值的衰减块。

10. 如权利要求8所述的衰减器电路,其中具有所述pi衰减器的所述衰减块的所述旁路路径包括旁路开关晶体管,所述旁路开关晶体管配置为在所述衰减块处于旁路模式中时导通且在处于衰减模式中时关断,使得在处于衰减模式中时所述旁路开关晶体管提供关断电容。

11. 如权利要求10所述的衰减器电路,其中具有所述pi衰减器的所述衰减块的所述相位补偿电路包括配置为在所述衰减器块处于衰减模式中时补偿所述关断电容的相位补偿电路。

12. 如权利要求11所述的衰减器电路,其中所述pi衰减器包括电阻、实现在所述电阻的一端和地之间的第一分流路径、实现在所述电阻的另一端和所述地之间的第二分流路径,所述第一分流路径包括第一分流电阻,所述第二分流路径包括第二分流电阻。

13. 如权利要求12所述的衰减器电路,其中与所述pi衰减器相关联的所述相位补偿电路包括:布置为与所述第一分流电阻电并联的第一补偿电容,以及布置为与所述第二分流电阻电并联的第二补偿电容。

14. 如权利要求13所述的衰减器电路,其中所述旁路开关晶体管的所述关断电容导致相位超前变化,且所述相位补偿电路配置为提供相位滞后变化来补偿所述相位超前变化。

15. 如权利要求14所述的衰减器电路,其中所述第一分流电阻和所述第二分流电阻具有相同的值,且所述第一补偿电容和所述第二补偿电容具有相同的值。

16. 如权利要求15所述的衰减器电路,其中所述相位超前变化的量计算为

$\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}(\omega \frac{R_1 R_L}{R_1 + R_L} C_{off})$ , 且所述相位滞后变化的量可计算为

$\phi = -\tan^{-1}(\frac{\omega R_1 R_2' C_C}{R_1 + R_2'})$ , 其中  $\omega$  为  $2\pi$  乘以频率,  $R_L$  为负载阻抗,  $R_1$  为电阻,  $C_C$  为第一本地补偿电容,  $C_{off}$  为所述旁路开关晶体管的所述关断电容, 以及  $R_2'$  为所述第一分流电阻和所述负载阻抗的并联布置的等效电阻。

17. 如权利要求16所述的衰减器电路, 其中选择所述第一补偿电容的值使得所述相位滞后变化的幅值与所述相位超前变化的幅值相同。

18. 如权利要求16所述的衰减器电路, 其中选择所述补偿电容的值使得所述衰减块的增益在一选定频率范围上为平坦的。

19. 如权利要求1所述的衰减器电路, 其中所述衰减块中的至少一个配置为桥接T型衰减器。

20. 如权利要求19所述的衰减器电路, 其中具有所述桥接T型衰减器的所述衰减块的所述旁路路径包括旁路开关晶体管, 所述旁路开关晶体管配置为在所述衰减块处于旁路模式中时导通且在处于衰减模式中时关断, 使得在处于所述衰减模式中时所述旁路开关晶体管提供关断电容。

21. 如权利要求20所述的衰减器电路, 其中具有所述桥接T型衰减器的所述衰减块的所述相位补偿电路包括配置为在处于衰减模式中时补偿所述关断电容的相位补偿电路。

22. 如权利要求21所述的衰减器电路, 其中所述桥接T型衰减器包括串联连接的两个第一电阻、与所述两个第一电阻的串联组合相电并联的第二电阻、以及实现在地和所述两个第一电阻之间的节点之间的分流路径, 所述分流路径包括分流电阻。

23. 如权利要求22所述的衰减器电路, 其中与所述桥接T型衰减器相关联的所述相位补偿电路包括布置为与所述分流电阻电并联的补偿电容。

24. 如权利要求23所述的衰减器电路, 其中所述旁路开关晶体管的所述关断电容导致相位超前变化, 且所述相位补偿电路配置为提供相位滞后变化来补偿所述相位超前变化。

25. 如权利要求24所述的衰减器电路, 其中所述相位超前变化的量计算为

$\phi = \tan^{-1}(\omega R_2 C_{off}) - \tan^{-1}(\frac{\omega R_2 C_{off}}{1 + \frac{R_2}{R_L}})$ , 且所述相位滞后变化的量可计算为  $\phi = -\tan^{-1}(\frac{\omega R_1 R_3' C_C}{R_1 + R_3'})$ ,

其中  $\omega$  为  $2\pi$  乘以频率,  $R_L$  为负载阻抗,  $R_1$  为第一电阻,  $R_2$  为第二电阻,  $C_C$  为补偿电容,  $C_{off}$  为所述旁路开关晶体管的所述关断电容, 以及  $R_3'$  为所述分流电阻与所述第一电阻和所述负载阻抗的串联组合的负载阻抗的并联布置的等效电阻。

26. 如权利要求25所述的衰减器电路, 其中选择所述补偿电容的值使得所述相位滞后变化的幅值与所述相位超前变化的幅值相同。

27. 如权利要求25所述的衰减器电路, 其中选择所述补偿电容的值使得所述衰减块的增益在一选定频率范围上为平坦的。

28. 如权利要求1所述的衰减器电路, 其中所述全局相位补偿电路包括串联布置在所述输入节点和所述输出节点之间的第一全局补偿电阻和第二全局补偿电阻, 所述全局相位补偿电路进一步包括实现在地与所述第一全局补偿电阻和所述第二全局补偿电阻之间的节点之间的全局补偿电容。

29. 如权利要求28所述的衰减器电路,其中所述全局旁路开关晶体管的所述全局关断电容导致相位超前变化,且所述全局相位补偿电路配置为提供相位滞后变化来补偿所述相位超前变化。

30. 如权利要求29所述的衰减器电路,其中所述第一全局补偿电阻和所述第二全局补偿电阻具有相同的值。

31. 如权利要求30所述的衰减器电路,其中所述相位超前变化的量计算为  $\phi = \tan^{-1}(2\omega R_{G1} C_{off}) - \tan^{-1}(\frac{2}{3}\omega R_{G1} C_{off})$ ,且所述相位滞后变化的量可计算为  $\phi = -\tan^{-1}(\frac{2}{3}\omega R_{G1} C_G)$ ,其中  $\omega$  为  $2\pi$  乘以频率,  $R_L$  为负载阻抗,  $R_{G1}$  为第一全局补偿电阻,  $C_{off}$  为所述全局旁路开关晶体管的所述全局关断电容,以及  $C_G$  为全局补偿电容。

32. 如权利要求31所述的衰减器电路,其中选择所述第一全局补偿电阻和所述全局补偿电容的值使得所述相位滞后变化的幅值与所述相位超前变化的幅值相同。

33. 如权利要求31所述的衰减器电路,其中选择所述全局补偿电容的值使得所述衰减器电路的全局增益在一选定频率范围上为平坦的。

34. 一种具有射频电路的半导体晶片,所述半导体晶片包括:  
半导体衬底;以及

衰减器电路,其实现在所述半导体衬底上,所述衰减器电路包括串联设置在输入节点和输出节点之间的多个衰减块,所述多个衰减块中的每一个包括旁路路径,所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的所述衰减块中的至少一些衰减块中的每一个而实现,所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应,所述衰减器电路还包括全局旁路路径,所述全局旁路路径包括配置为在处于全局旁路模式中时导通并且在处于全局衰减模式中时关断的全局旁路开关晶体管,使得在处于所述全局衰减模式中时所述全局旁路开关晶体管提供全局关断电容,并且所述衰减器电路还包括全局相位补偿电路,所述全局相位补偿电路配置为在所述衰减器电路处于所述全局衰减模式中时补偿所述全局关断电容。

35. 一种射频模块,包括:

封装衬底,其配置为容纳多个组件;以及

射频衰减器电路,其实现在所述封装衬底上,所述衰减器电路包括串联设置在输入节点和输出节点之间的多个衰减块,所述多个衰减块中的每一个包括旁路路径,所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的所述衰减块中的至少一些衰减块中的每一个而实现,所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应,所述衰减器电路还包括全局旁路路径,所述全局旁路路径包括配置为在处于全局旁路模式中时导通并且在处于全局衰减模式中时关断的全局旁路开关晶体管,使得在处于所述全局衰减模式中时所述全局旁路开关晶体管提供全局关断电容,并且所述衰减器电路还包括全局相位补偿电路,所述全局相位补偿电路配置为在所述衰减器电路处于所述全局衰减模式中时补偿所述全局关断电容。

36. 如权利要求35所述的射频模块,其中所述射频衰减器电路的一些或全部实现在半导体晶片上。

37. 如权利要求36所述的射频模块,其中所述射频衰减器电路的全部实现在所述半导体晶片上。

38. 如权利要求35所述的射频模块,其中所述射频模块配置为对接收的射频信号进行处理。

39. 如权利要求38所述的射频模块,其中所述射频模块为分集接收模块。

40. 如权利要求35所述的射频模块,其进一步包括控制器,所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。

41. 如权利要求40所述的射频模块,其中所述控制器配置为提供移动产业处理器接口控制信号。

42. 一种无线装置,包括:

天线,其配置为接收射频信号;

收发器,其与所述天线通信;

信号路径,其位于所述天线和所述收发器之间;以及

射频衰减器电路,其沿着所述信号路径实现,所述衰减器电路包括串联布置在输入节点和输出节点之间的多个衰减块,所述多个衰减块中的每一个包括旁路路径,所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的所述衰减块中的至少一些衰减块中的每一个而实现,所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应,所述衰减器电路还包括全局旁路路径,所述全局旁路路径包括配置为在处于全局旁路模式中时导通并且在处于全局衰减模式中时关断的全局旁路开关晶体管,使得在处于所述全局衰减模式中时所述全局旁路开关晶体管提供全局关断电容,并且所述衰减器电路还包括全局相位补偿电路,所述全局相位补偿电路配置为在所述衰减器电路处于所述全局衰减模式中时补偿所述全局关断电容。

43. 如权利要求42所述的无线装置,其进一步包括控制器,所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。

44. 如权利要求43所述的无线装置,其中所述控制器配置为提供移动产业处理器接口控制信号。

45. 一种信号衰减器电路,包括:

多个本地二进制加权衰减块,其串联布置在输入节点和输出节点之间,每个本地二进制加权衰减块包括本地旁路路径;

全局旁路路径,其实现在所述输入节点和所述输出节点之间;

本地相位补偿电路,其与所述多个本地二进制加权衰减块中的至少一个相关联,所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应;以及

全局相位补偿电路,其配置为补偿与所述全局旁路路径相关联的关断电容效应。

46. 一种半导体晶片,包括:

半导体衬底;以及

信号衰减器电路,其实现在所述半导体衬底上,且包括串联布置在输入节点和输出节点之间的多个本地二进制加权衰减块,每个本地二进制加权衰减块包括本地旁路路径,所述信号衰减器电路进一步包括实现在所述输入节点和所述输出节点之间的全局旁路路径以及与所述多个本地二进制加权衰减块中的至少一个相关联的本地相位补偿电路,所述本

地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应,所述信号衰减器电路还包括全局相位补偿电路,所述全局相位补偿电路配置为补偿与所述全局旁路路径相关联的关断电容效应。

47. 一种射频模块,包括:

封装衬底,其配置为容纳多个组件;以及

信号衰减器电路,其实现于所述封装衬底上,且包括串联布置在输入节点和输出节点之间的多个本地二进制加权衰减块,每个本地二进制加权衰减块包括本地旁路路径,所述信号衰减器电路进一步包括实现于所述输入节点和所述输出节点之间的全局旁路路径以及与所述多个本地二进制加权衰减块中的至少一个相关联的本地相位补偿电路,所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应,所述信号衰减器电路进一步包括全局相位补偿电路,所述全局相位补偿电路配置为补偿与所述全局旁路路径相关联的关断电容效应。

48. 一种无线装置,包括:

天线,其配置为接收射频信号;

收发器,其与所述天线通信;

信号路径,其位于所述天线和所述收发器之间;以及

信号衰减器电路,其沿着所述信号路径实现,且包括串联布置在输入节点和输出节点之间的多个本地二进制加权衰减块,每个本地二进制加权衰减块包括本地旁路路径,所述信号衰减器电路进一步包括实现于所述输入节点和所述输出节点之间的全局旁路路径以及与所述多个本地二进制加权衰减块中的至少一个相关联的本地相位补偿电路,所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应,所述信号衰减器电路进一步包括全局相位补偿电路,所述全局相位补偿电路配置为补偿与所述全局旁路路径相关联的关断电容效应。

## 具有补偿电路的二进制加权衰减器

[0001] 相关申请的交叉引用

[0002] 本申请要求享有2016年8月30日提交的、发明名称为“BINARY-WEIGHTED ATTENUATOR HAVING COMPENSATION CIRCUIT”(具有补偿电路的二进制加权衰减器)的美国临时申请第62/381,376号的优先权,特此通过引用而将其整体公开内容合并于此。

### 技术领域

[0003] 本申请涉及用于电子应用的衰减器。

### 背景技术

[0004] 在诸如射频(RF)应用的电子应用中,有时期望对信号进行放大或衰减。例如,待发射信号可通过功率放大器进行放大,以及接收信号可通过低噪声放大器进行放大。在另一示例中,可视需要或期望沿着前述发射和接收路径的任一个或两者来实现一个或多个衰减器以衰减相应信号。

### 发明内容

[0005] 根据一些实施方式,本申请涉及一种射频衰减器电路,其包括串联设置在输入节点和输出节点之间的多个衰减块,其中所述多个衰减块的每一个包括旁路路径。所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的所述衰减块中的至少一些衰减块的每一个而实现。所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应。

[0006] 在一些实施例中,所述衰减块可具有二进制加权衰减值。所述二进制加权衰减值可包括N个值,其中第i个值为 $A2^{i-1}$ ,其中A为步进衰减值且i为从1至N的正整数。所述步进衰减值A可例如为大约1dB。数量N可例如包括2、3、4、5、6、7或8。

[0007] 在一些实施例中,至少一个所述衰减块可不具有相位补偿电路。不具有相位补偿电路的所述至少一个衰减块可包括具有最低衰减值的衰减块。

[0008] 在一些实施例中,至少一个衰减块可配置为pi衰减器。具有pi衰减器的所述至少一个衰减块可包括具有最高衰减值的衰减块。

[0009] 在一些实施例中,具有所述pi衰减器的所述衰减块的所述旁路路径可包括旁路开关晶体管,所述旁路开关晶体管配置为在所述衰减块处于旁路模式中时导通且在处于衰减模式中时关断,使得在处于衰减模式中时所述旁路开关晶体管提供关断电容(off-capacitance)。具有所述pi衰减器的所述衰减块的所述相位补偿电路可包括配置为在所述衰减块处于衰减模式中时补偿所述关断电容的相位补偿电路。所述pi衰减器可包括电阻、实现在所述电阻的一端和地之间的第一分流路径、以及实现在所述电阻的另一端和地之间的第二分流路径。所述第一分流路径和所述第二分流路径的每一个可包括分流电阻。

[0010] 在一些实施例中,与所述pi衰减器相关联的所述相位补偿电路可包括布置为与所述第一分流电阻电并联的第一补偿电容、以及布置为与所述第二分流电阻电并联的第二补

偿电容。所述旁路开关晶体管的所述关断电容可导致相位超前变化,且所述相位补偿电路可配置为提供相位滞后变化来补偿所述相位超前变化。所述第一分流电阻和所述第二分流电阻可具有基本上相同的值,且所述第一补偿电容和所述第二补偿电容具有基本上相同的值。

[0011] 在一些实施例中,所述相位超前变化的量可计算为  $\phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}(\omega \frac{R_1 R_L}{R_1 + R_L} C_{off})$ ,

且所述相位滞后变化的量可计算为  $\phi = -\tan^{-1}(\frac{\omega R_1 R_2' C_C}{R_1 + R_2'})$ , 其中  $\omega$  为  $2\pi$  乘以频率,  $R_L$  为负

载阻抗,  $R_1$  为电阻,  $C_C$  为第一本地补偿电容, 以及  $R_2'$  为所述第一分流电阻和所述负载阻抗的并联布置的等效电阻。可选择所述第一补偿电容的值, 使得所述相位滞后变化的幅值和所述相位超前变化的幅值基本上相同。可选择所述补偿电容的值, 使得所述衰减块的增益在一选定频率范围上为近似平坦的。

[0012] 在一些实施例中, 至少一个衰减块可配置为桥接T型衰减器。具有所述桥接T型衰减器的所述衰减块的所述旁路路径可包括旁路开关晶体管, 其配置为在所述衰减块处于旁路模式中时导通且在处于衰减模式中时关断, 使得在处于衰减模式中时所述旁路开关晶体管提供关断电容。具有所述桥接T型衰减器的所述衰减块的所述相位补偿电路可包括配置为在所述衰减块处于衰减模式中时补偿所述关断电容的相位补偿电路。

[0013] 在一些实施例中, 所述桥接T型衰减器可包括串联连接的两个第一电阻、与所述两个第一电阻的串联组合电并联的第二电阻、以及实现在地和所述两个第一电阻之间的节点之间的分流路径, 所述分流路径包括分流电阻。与所述桥接T型衰减器相关联的相位补偿电路可包括布置为与所述分流电阻电并联的补偿电容。

[0014] 在一些实施例中, 所述旁路开关晶体管的所述关断电容可导致相位超前变化, 且所述相位补偿电路可配置为提供相位滞后变化来补偿所述相位超前变化。所述相位超前变

化的量可计算为  $\phi = \tan^{-1}(\omega R_2 C_{off}) - \tan^{-1}(\frac{\omega R_2 C_{off}}{1 + \frac{R_2}{R_L}})$ , 且所述相位滞后变化的量可

计算为  $\phi = -\tan^{-1}(\frac{\omega R_1 R_3' C_C}{R_1 + R_3'})$ , 其中  $\omega$  为  $2\pi$  乘以频率,  $R_L$  为负载阻抗,  $R_1$  为第一电阻,  $R_2$  为

第二电阻,  $C_C$  为补偿电容, 且  $R_3'$  为所述分流电阻与所述第一电阻和所述负载阻抗的串联组合的并联布置的等效电阻。可选择所述补偿电容的值, 使得所述相位滞后变化的幅值和所述相位超前变化的幅值基本上相同。可选择所述补偿电容的值, 使得所述衰减块的增益在一选定频率范围上为近似平坦的。

[0015] 在一些实施例中, 所述衰减器电路可进一步包括全局旁路路径, 所述全局旁路路径包括配置为在处于全局旁路模式中时导通且在处于全局衰减模式中时关断的全局旁路开关晶体管, 使得在处于全局衰减模式中时所述全局旁路开关晶体管提供全局关断电容。在一些实施例中, 所述衰减器可进一步包括配置为在所述衰减器电路处于全局衰减模式中时补偿所述全局关断电容的全局相位补偿电路。所述全局相位电路可包括串联布置在输入节点和输出节点之间的第一全局补偿电阻和第二全局补偿电阻。所述全局相位补偿电路可进一步包括实现在地与所述第一全局补偿电阻和所述第二全局补偿电阻之间的节点之间的全局补偿电容。所述全局旁路开关晶体管的所述全局关断电容可导致相位超前变化, 且

所述全局相位补偿电路可配置为提供相位滞后变化来补偿所述相位超前变化。所述第一全局补偿电阻和所述第二全局补偿电阻可具有基本上相同的值。

[0016] 在一些实施例中,所述相位超前变化的量可计算为  $\theta = \tan^{-1}(2\omega R_{G1}C_{off}) - \tan^{-1}(\frac{2}{3}\omega R_{G1}C_{off})$ ,

且所述相位滞后变化的量可计算为  $\theta = -\tan^{-1}(\frac{2}{3}\omega R_{G1}C_G)$ , 其中  $\omega$  为  $2\pi$  乘以频率,  $R_L$  为负载阻抗,  $R_{G1}$  为第一全局补偿电阻, 以及  $C_G$  为全局补偿电容。可选择所述第一全局补偿电阻和所述全局补偿电容的值使得所述相位滞后变化的幅值与所述相位超前变化的幅值基本上相同。可选择所述全局补偿电容的值使得衰减器电路的全局增益在一选定频率范围上为近似平坦的。

[0017] 在一些教导中,本申请涉及一种具有射频电路的半导体晶片。所述半导体晶片包括半导体衬底、以及实现在所述半导体衬底上的衰减器电路。所述衰减器电路包括串联布置在输入节点和输出节点之间的多个衰减块,其中所述多个衰减块的每一个包括旁路路径。所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的衰减块中的至少一些衰减块的每一个而实现。所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应。

[0018] 根据一些教导,本申请涉及一种射频模块,其包括:封装衬底,其配置为容纳多个部件;以及射频衰减器电路,其实现在所述封装衬底上。所述衰减器电路包括串联布置在输入节点和输出节点之间的多个衰减块,其中所述多个衰减块的每一个包括旁路路径。所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的衰减块中的至少一些衰减块的每一个而实现。所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应。

[0019] 在一些实施例中,所述射频衰减器电路的一些或全部可实现在半导体晶片上。在一些实施例中,基本上所述射频衰减器电路的全部可实现在所述半导体晶片上。

[0020] 在一些实施例中,所述射频模块可配置为对接收的射频信号进行处理。所述射频模块可例如为分集接收模块。

[0021] 在一些实施例中,所述射频模块可进一步包括控制器,所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。所述控制器可配置为提供例如移动产业处理器接口控制信号。

[0022] 根据一些实施例,本申请涉及一种无线装置,其包括:天线,其配置为接收射频信号;收发器,其与所述天线通信;以及信号路径,其位于所述天线和所述收发器之间。所述无线装置进一步包括沿所述信号路径实现的射频衰减器电路。所述衰减器电路包括串联布置在输入节点和输出节点之间的多个衰减块,其中所述多个衰减块的每一个包括旁路路径。所述衰减器电路进一步包括相位补偿电路,所述相位补偿电路为针对具有相应的旁路路径的衰减块中的至少一些衰减块的每一个而实现。所述相位补偿电路配置为补偿与对应的旁路路径相关联的关断电容效应。

[0023] 在一些实施例中,所述无线装置可进一步包括控制器,所述控制器与所述射频衰减器电路通信且配置为提供用于所述射频衰减器电路的操作的控制信号。所述控制器可配置为提供例如移动产业处理器接口控制信号。

[0024] 在一些实施方式中,本申请涉及一种信号衰减器电路,其包括:串联布置在输入节

点和输出节点之间的多个本地二进制加权衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路可进一步包括实现在输入节点和输出节点之间的全局旁路路径,以及与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0025] 在一些实施例中,所述信号衰减器电路可进一步包括配置为补偿与所述全局旁路路径相关联的关断电容效应的全局相位补偿电路。

[0026] 在一些实施方式中,本申请涉及一种半导体晶片,其包括:半导体衬底,以及实现在所述半导体衬底上的信号衰减器电路。所述信号衰减器电路包括串联布置在输入节点和输出节点之间的多个本地二进制加权衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在输入节点和输出节点之间的全局旁路路径,以及与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0027] 在一些实施方式中,本申请涉及一种射频模块,其包括:配置为容纳多个部件的封装衬底,以及实现在所述封装衬底上的信号衰减器电路。所述信号衰减器电路还包括串联布置在输入节点和输出节点之间的多个本地二进制加权衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在输入节点和输出节点之间的全局旁路路径,以及与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0028] 在一些实施方式中,本申请涉及一种无线装置,其包括:天线,配置为接收射频信号;收发器,其与所述天线通信;以及信号路径,其位于所述天线和所述收发器之间。所述无线装置进一步包括沿着所述信号路径实现的信号衰减器电路,以及包括串联布置在输入节点和输出节点之间的多个本地二进制加权衰减块,其中每个衰减块包括本地旁路路径。所述信号衰减器电路进一步包括实现在输入节点和输出节点之间的全局旁路路径,以及与所述一个或多个本地衰减块中的至少一个相关联的本地相位补偿电路。所述本地相位补偿电路配置为补偿与相应的本地旁路路径相关联的关断电容效应。

[0029] 为概述本发明的目的,本文中已描述本发明的某些方面、优点以及新颖特征。应理解,不必根据本发明的任何特定实施例而实现所有这些优点。因此,可以实现或优化如本文所教导的一个优点或一组优点而不必实现如本文所教导的其它优点的方式来体现或实施本发明。

## 附图说明

[0030] 图1示出了配置为在输入节点处接收信号并在输出节点处产生衰减信号的衰减器电路。

[0031] 图2显示了具有实现在二进制加权配置中的多个衰减块的衰减电路的框图。

[0032] 图3显示了可为图2的衰减电路的更具体示例的衰减电路。

[0033] 图4单独显示了图3的第四个衰减块。

[0034] 图5显示了图4的示例衰减块的电路图,其中各种开关晶体管表示为关断电容或导通电阻。

[0035] 图6显示了可表示图3的第二衰减块和第三衰减块中的每一个的单个衰减块。

[0036] 图7显示了图6的示例衰减块的电路图,其中各种开关晶体管表示为关断电容或导通电阻。

[0037] 图8A显示了图3的衰减电路的操作模式,其中旁路每个衰减块以提供大约0dB的总衰减。

[0038] 图8B显示了图3的衰减电路的操作模式,其中由第一衰减块提供衰减,且旁路第二衰减块至第四衰减块中的每一个,以提供大约1dB的总衰减。

[0039] 图8C显示了图3的衰减电路的操作模式,其中由第二衰减块提供衰减,且旁路第一衰减块、第三衰减块和第四衰减块中的每一个,以提供大约2dB的总衰减。

[0040] 图8D显示了图3的衰减电路的操作模式,其中由第一衰减块和第二衰减块中的每一个提供衰减,且旁路第三衰减块和第四衰减块中的每一个,以提供大约3dB的总衰减。

[0041] 图8E显示了图3的衰减电路的操作模式,其中由第二衰减块至第四衰减块中的每一个提供衰减,且旁路第一衰减块,以提供大约4dB的总衰减。

[0042] 图8F显示了图3的衰减电路的操作模式,其中由第一衰减块至第四衰减块中的每一个提供衰减,以提供大约5dB的总衰减。

[0043] 图9A显示了包括本地补偿电容的补偿路径。

[0044] 图9B显示了在一些实施例中,图9A的电容可实现为配置为提供期望电容值的晶体管器件。

[0045] 图10显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路可由控制器控制。

[0046] 图11显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路的一些或全部可实现在半导体晶片上。

[0047] 图12显示了一示例,其中具有本文所述的一个或多个特征的衰减电路的一些或全部可实现在封装模块上,且此封装模块可包括类似于图11的示例的半导体晶片。

[0048] 图13显示了另一示例,其中具有本文所述的一个或多个特征的衰减电路的一些或全部可实现在封装模块上,且此封装模块可包括多个半导体晶片。

[0049] 图14显示了具有本文所述的一个或多个特征的衰减器如何可实现在射频系统中的非限制性示例。

[0050] 图15显示了分集接收模块的示例,其包括具有本文所述的一个或多个特征的衰减器。

[0051] 图16示出了具有本文所述的一个或多个有利特征的示例无线装置。

## 具体实施方式

[0052] 本文提供的标题(若有)仅为方便起见而不一定影响本发明的范围或含义。

[0053] 本文公开了可用于例如射频(RF)应用的衰减器相关的电路、装置及方法的各种示例。虽然本文是以RF应用为背景描述了各种示例,但应理解,与衰减器相关的这些电路、装置及方法可用于其它电子应用中。

[0054] 图1示出了衰减器电路100,其配置为在输入节点(IN)处接收RF信号并且在输出节点(OUT)处产生衰减RF信号。这样的衰减器电路可包括本文所述的一个或多个特征以提供期望功能性,诸如相移补偿、增益补偿和/或低损耗旁路能力。如本文所述,这样的相位补偿

可提供例如由衰减块和/或衰减器电路本身引起的近似零相移。还如本文所述,此增益补偿可在一频率范围上提供例如近似平坦的增益。

[0055] 注意,在输入信号通过衰减器时,通常不期望有相位变化和增益斜率,因为这些效应可导致通信链路中的性能下降。在一些实施例中,图1的衰减电路100可包括本地补偿方案以解决相位变化的问题。在一些实施例中,这样的衰减电路还可包括全局补偿方案以解决相位变化问题。如本文所述,这些补偿方案可配置为解决这些相位变化的来源。还如本文所述,这些补偿方案还可在一相对宽频率范围上提供近似平坦的增益。另外如本文所述,这些补偿方案还可提供具有相对较低损耗的旁路路径,这对于在某些情形下(例如,当不使用衰减路径时)将信号衰减保持为最小值是所期望的。

[0056] 出于描述目的,衰减电路也可被称为衰减器组件或简称为衰减器。此衰减电路、衰减器组件、衰减器等描述可应用于一个或多个衰减块(本文中也称为本地衰减)、整体衰减电路(本文也称为全局衰减)或其任何组合。

[0057] 图2显示了衰减电路100的框图,该衰减电路配置为在输入节点(IN)处接收RF信号并在输出节点(OUT)处提供输出RF信号。这样的输出RF信号可被衰减一个或多个衰减值,或当不期望衰减时与输入RF信号基本上相同(例如,通过旁路功能性)。本文中更详细地描述如何可以实现此衰减值和旁路功能性的示例。本文中描述了如何可以以一本地衰减水平、一全局水平或其任意组合来实现相位补偿的示例。

[0058] 在图2的示例中,多个衰减块显示为实现在二进制加权配置中。例如,四个衰减块(102a、102b、102c、102d)显示为串联布置在输入节点(IN)和输出节点(OUT)之间,且显示为分别提供1dB、2dB、4dB、8dB衰减。通过这些衰减(和/或旁路)的不同组合,衰减电路100可以以1dB的增量提供0dB至15dB的总衰减。本文中更详细地描述了可如何获得这些不同的总衰减相关的示例。

[0059] 在图2的示例中,以及在基于图2的其它示例中,利用四个二进制加权衰减块。然而,将理解,还可将本申请的一个或多个特征实现在具有更多或更少数量的衰减块的衰减电路中。例如,可利用三个衰减块来以1dB的增量提供0dB至7dB衰减值。在另一示例中,可利用五个衰减块来以1dB的增量提供0dB至31dB衰减值。

[0060] 在本文所述的各种示例中,假定步进衰减值值为1dB。然而,将理解这样的步进衰减值可具有除1dB之外的值。因此,将理解,本申请的一个或多个特征可实现在衰减电路中,该衰减电路具有能够基于二进制加权方案提供衰减值值的多个衰减块,在该二进制加权方案中第*i*个衰减块能够提供 $A2^{i-1}$ 的衰减,其中*A*为步进衰减值(例如,0.5dB、1dB、2dB等)。例如,在图2的示例中,*A*=1dB,使得第一衰减块(*i*=1)提供 $1\text{dB} \times 2^0 = 1\text{dB}$ 的衰减;第二衰减块(*i*=2)提供 $1\text{dB} \times 2^1 = 2\text{dB}$ 的衰减;依此类推。

[0061] 在另一示例中,假定对于与图2的示例中类似的衰减范围(例如,0至15.5dB)期望更精细粒度(例如,0.5dB)的衰减。在这样的示例中,第一衰减块(*i*=1)可提供 $0.5\text{dB} \times 2^0 = 0.5\text{dB}$ 的衰减,第二衰减块(*i*=2)可提供 $0.5\text{dB} \times 2^1 = 1.0\text{dB}$ 的衰减,第三衰减块(*i*=3)可提供 $0.5\text{dB} \times 2^2 = 2.0\text{dB}$ 的衰减,第四衰减块(*i*=4)可提供 $0.5\text{dB} \times 2^3 = 4.0\text{dB}$ 的衰减,且第五衰减块(*i*=5)可提供 $0.5\text{dB} \times 2^4 = 8.0\text{dB}$ 的衰减。在具有这五个二进制加权衰减块的情况下,可以0.5dB的增量提供从0dB至15.5dB的衰减值。

[0062] 在图2的示例中,衰减块102a、102b、102c、102d中的每个显示为包括相应的相位补

偿电路(104a、104b、104c、104d)。本文中更详细地描述与这样的相位补偿电路有关的示例。在图2的示例中,所有的衰减块显示为具有相应的相位补偿电路。然而,应当理解,在一些实施例中,一个或多个衰减块可以具有或不具有这样的(多个)相位补偿电路。

[0063] 在图2的示例中,将理解,衰减块102a、102b、102c、102d可具有或不具有类似衰减配置。例如,衰减块中的一个或多个可具有T型衰减配置,且衰减块中的一个或多个可具有pi衰减配置。因此,将理解,图2的衰减电路100可在衰减块中包括一种或多种类型的衰减配置。还将理解,可将其它类型的衰减配置实现在一个或多个衰减块中。

[0064] 图3显示了可为图2的衰减电路100的更具体示例的衰减电路100。在图3的示例中,三个衰减块102a、102b、102c中的每一个显示为包括桥接T型衰减器配置以及对应的旁路路径(105a、105b或105c)。例如,第一衰减块102a显示为包括布置为桥接T型配置的电阻 $R_{1A}$ 、 $R'_{1A}$ 、 $R_{2A}$ 、 $R_{3A}$ 。电阻 $R_{1A}$ 和 $R'_{1A}$ 显示为串联且实现在第一衰减块102a的输入节点和输出节点之间。电阻 $R_{2A}$ 显示为实现在输入节点和输出节点之间以便与 $R_{1A}$ 和 $R'_{1A}$ 的串联组合相电并联。电阻 $R_{3A}$ 显示为实现在地与 $R_{1A}$ 和 $R'_{1A}$ 之间的节点(本文中也称为T型节点)之间。

[0065] 类似地,第二衰减块102b显示为包括布置为桥接T型配置的电阻 $R_{1B}$ 、 $R'_{1B}$ 、 $R_{2B}$ 、 $R_{3B}$ 。电阻 $R_{1B}$ 和 $R'_{1B}$ 显示为串联且实现在第一衰减块102b的输入节点和输出节点之间。电阻 $R_{2B}$ 显示为实现在输入节点和输出节点之间以便与 $R_{1B}$ 和 $R'_{1B}$ 的串联组合相电并联。电阻 $R_{3B}$ 显示为实现在地与 $R_{1B}$ 和 $R'_{1B}$ 之间的节点(本文中也称为T型节点)之间。

[0066] 类似地,第三衰减块102c显示为包括布置为桥接T型配置的电阻 $R_{1C}$ 、 $R'_{1C}$ 、 $R_{2C}$ 、 $R_{3C}$ 。电阻 $R_{1C}$ 和 $R'_{1C}$ 显示为串联且实现在第一衰减块102c的输入节点和输出节点之间。电阻 $R_{2C}$ 显示为实现在输入节点和输出节点之间以便与 $R_{1C}$ 和 $R'_{1C}$ 的串联组合相电并联。电阻 $R_{3C}$ 显示为实现在地与 $R_{1C}$ 和 $R'_{1C}$ 之间的节点(本文中也称为T型节点)之间。

[0067] 在图3的示例中,第四衰减块102d显示为包括布置为pi配置的电阻 $R_{1D}$ 、 $R_{2D}$ 、 $R_{3D}$ 。电阻 $R_{1D}$ 显示为实现在第四衰减块102d的输入节点和输出节点之间。电阻 $R_{2D}$ 显示为实现在输入节点和地之间;类似地,电阻 $R_{3D}$ 显示为实现在输出节点和地之间。

[0068] 在图3的三个衰减块102a、102b、102c中的每一个的桥接T型配置中,可在对应的T型节点和分流电阻( $R_{3A}$ 、 $R_{3B}$ 或 $R_{3C}$ )的一端之间设置开关FET( $M_{2A}$ 、 $M_{2B}$ 或 $M_{2C}$ ),其中分流电阻的另一端耦接至地。这样的开关FET( $M_{2A}$ 、 $M_{2B}$ 或 $M_{2C}$ )可在针对对应的衰减块启用衰减时导通,且在通过对应的旁路路径(105a、105b或105c)旁路衰减时关断。这样的旁路路径可包括例如对应开关FET( $M_{1A}$ 、 $M_{1B}$ 或 $M_{1C}$ ),其可在针对对应的衰减块启用衰减时关断且在通过旁路路径旁路衰减时导通。

[0069] 在图3的第四衰减块102d的pi配置中,可在输入节点和电阻 $R_{2D}$ 的一端之间提供开关FET  $M_{2D}$ ,其中电阻 $R_{2D}$ 的另一端耦接至地。类似地,可在输出节点和电阻 $R_{3D}$ 的一端之间设置开关FET  $M_{3D}$ ,其中电阻 $R_{3D}$ 的另一端耦接至地。这些开关FET( $M_{2D}$ 和 $M_{3D}$ )可在针对第四衰减块102d启用衰减时导通,且在通过旁路路径105d旁路衰减时关断。这样的旁路路径(105d)可包括例如开关FET  $M_{1D}$ ,其可在针对第四衰减块102d启用衰减时关断且在通过旁路路径105d旁路衰减时导通。

[0070] 在图3的第二衰减块102b的桥接T型配置中,可设置电容C2以与电阻 $R_{3B}$ 电并联。如本文所述,可选择这样的电容来补偿在RF信号经过衰减块时发生的相移。还如本文所述,这样的电容还可允许衰减块在一相对较宽频率范围上提供期望的平坦的增益分布。

[0071] 类似地,在图3的第三衰减块102c的桥接T型配置中,可设置电容C4以与电阻 $R_{3c}$ 电并联。如本文所述,可选择这样的电容来补偿在RF信号经过衰减块时发生的相移。还如本文所述,这样的电容还可允许衰减块在一相对较宽频率范围上提供期望的平坦的增益分布。

[0072] 在图3的第四衰减块102d的pi配置中,可提供电容C8以与电阻 $R_{2d}$ 电并联。类似地,可提供电容C8'以与电阻 $R_{3d}$ 电并联。如本文所述,可选择这样的电容来补偿在RF信号经过衰减块时发生的相移。还如本文所述,这样的电容还可允许衰减块在一相对较宽频率范围上提供期望的平坦的增益分布。

[0073] 在图3的示例中,应注意,第一衰减块102a并不包括补偿电容。在一些实施例中,具有较低衰减值的衰减块可能不会产生显著相移量;因此,补偿电路(例如,补偿电容)可以提供或不提供显著补偿益处。

[0074] 在衰减块102b中,如本文所述,与电阻 $R_{3b}$ 并联的电容C2的存在允许实现相位补偿。还如本文所述,这样的相位补偿还可取决于与衰减块102b相关联的一个或多个电阻的值以及开关晶体管 $M_{2b}$ 的导通电阻值( $R_{on}$ )。因此,将理解,标示为104b的方块可包括相应的相位补偿电路的电路元件中的一些或全部电路元件,或包括可影响此相位补偿的电路元件中的一些或全部电路元件。

[0075] 类似地,在衰减块102c中,如本文所述,与电阻 $R_{3c}$ 并联的电容C4的存在允许实现相位补偿。还如本文所述,这样的相位补偿还可取决于与衰减块102c相关联的一个或多个电阻的值以及开关晶体管 $M_{2c}$ 的导通电阻值( $R_{on}$ )。因此,将理解,指示为104c的方块可包括相应的相位补偿电路的电路元件中的一些或全部电路元件,或包括可影响此相位补偿的电路元件中的一些或全部电路元件。

[0076] 在衰减块102d中,如本文所述,与其相应的电阻 $R_{2d}$ 和 $R_{3d}$ 并联的电容C8和C8'的存在允许实现相位补偿。还如本文所述,这样的相位补偿还可取决于电阻 $R_{2d}$ 和 $R_{3d}$ 的值以及开关晶体管 $M_{2d}$ 和 $M_{3d}$ 的导通电阻值( $R_{on}$ )。因此,将理解,标示为104d的方块包括相位补偿电路的电路元件中的一些或全部电路元件,或包括可影响此相位补偿的电路元件中的一些或全部电路元件。

[0077] 在图3的示例中,各种开关FET的一些或全部可被实现为例如绝缘体上硅(SOI)器件。应当理解,虽然这样的各种开关FET被描述为NFET,本申请的一个或多个特征也可利用其它类型的FET来实现。还应理解,图3的示例中的各种开关还可实现为包括非FET晶体管的其它类型的晶体管。

[0078] 图4和5显示了可如何针对图3的示例的衰减块102d实现相位补偿的一个示例。图6和7显示了可如何针对图3的示例的衰减块102b、102c中的每一个实现相位补偿的一个示例。

[0079] 图4单独显示了衰减块102d,且此衰减块可表示图3的第四个衰减块102d。在图4的示例中,衰减块102d处于其衰减模式中,使得在本地输入节点(IN)处接收的RF信号被衰减且在本地输出节点(OUT)处提供该RF信号。因此,旁路路径105d的旁路开关FET  $M_{1d}$ 为关断,且电路104d的开关FET  $M_{2d}$ 和 $M_{3d}$ 的每一个为导通。

[0080] 图5显示了图4的示例衰减块102d的电路图120,其中各种开关FET被表示为关断电容或导通电阻。例如, $M_{1d}$ 的关断状态被表示为关断电容 $C_{off}$ ,且 $M_{2d}$ 和 $M_{3d}$ 的每一个的导通状态被表示为导通电阻 $R_{on}$ 。出于描述目的,假设图4的pi衰减器配置大体上是对称的。因此,

$M_{2D}$ 可类似于 $M_{3D}$ ,使得 $M_{2D}$ 的 $R_{on}$ 与 $M_{3D}$ 的 $R_{on}$ 近似相同;因此,图5将 $M_{2D}$ 和 $M_{3D}$ 的每个描绘为 $R_{on}$ 。类似地,假设图4中的电阻 $R_{2D}$ 和 $R_{3D}$ 近似相同;因此,图5将 $R_{2D}$ 和 $R_{3D}$ 的每一个描绘为具有电阻 $R_2$ 。类似地,假设图4的电容 $C_8$ 和 $C_8'$ 近似相同;因此,图5将 $C_8$ 和 $C_8'$ 的每个描绘为具有补偿电容 $C_c$ 。

[0081] 在图5中,电路图120显示为在本地输入(IN)处具有源阻抗 $R_s$ 且在本地输出(OUT)处具有负载阻抗 $R_L$ 。这些阻抗值可相同或可不相同。然而,出于描述目的,假设 $R_s$ 和 $R_L$ 的值在一特征阻抗 $Z_0$ (例如,50 $\Omega$ )下是相同的。

[0082] 利用上述假设,在图5的示例中的 $R_1$ 和 $R_2$ 的值可通过如下获得:

$$[0083] \quad R_1 = \frac{Z_0}{2} \cdot \frac{K-1}{K+1} \quad (1)$$

$$[0084] \quad R_2 = Z_0 \cdot \frac{K+1}{K-1} \quad (2)$$

[0085] 在式1及2中,参数 $K$ 表示衰减块120的衰减值。应注意,随着衰减变大, $R_1$ 通常增加,且 $R_2$ 通常减小。

[0086] 参考图5,且假设 $M_{2D}$ 和 $M_{3D}$ 的每一个的导通电阻 $R_{on}$ 近似为零,衰减块120的一部分(被标示为网络1)可贡献于衰减块120的前向增益和相移(例如,相位超前)为:

$$[0087] \quad \frac{V_{out}}{V_{in}} = \frac{R_L(1+sR_1C_{off})}{(R_L+R_1)+sR_LR_1C_{off}} \quad (3)$$

$$[0088] \quad \phi = \tan^{-1}(\omega R_1 C_{off}) - \tan^{-1}\left(\omega \frac{R_1 R_L}{R_1 + R_L} C_{off}\right) \quad (4)$$

[0089] 在图5中,衰减块120的一部分(被标示为网络2)可贡献于衰减块120的前向增益和相移(例如,相位滞后)为:

$$[0090] \quad \frac{V_{out}}{V_{in}} = \frac{R'_2}{(R'_2+R_1)+sR'_2R_1C_c} \quad (5)$$

$$[0091] \quad \phi = -\tan^{-1}\left(\frac{\omega R_1 R'_2 C_c}{R_1 + R'_2}\right) \quad (6)$$

[0092] 在式3-6中, $\omega = 2\pi f$ ,其中 $f$ 为频率,且 $R'_2$ 为 $R_2$ 和 $R_L$ 的并联布置的电阻值。

[0093] 参考图4和5以及式4和6,应注意,通常针对一给定频率、特征阻抗、开关FET配置和衰减值而设定参数 $\omega$ 、 $R_L$ 、 $C_{off}$ 、 $R_1$ 和 $R_2$ 。然而,在一些实施例中,可调整补偿电容 $C_c$ 的值,使得式6的相位滞后补偿式4的相位超前。此相位补偿可允许与图4和5的衰减块102d/120相关联的相位处于或接近一期望值。例如,与衰减块102d/120相关联的补偿相位可具有与参考模式中基本上相同的相位变化。

[0094] 参考图4和5,注意到因为 $C_{off}$ 与 $R_1$ 并联布置,其阻抗 $1/(j\omega C_{off})$ 将使得输入节点和输出节点之间的等效串联阻抗随着频率增加而变小,从而导致在较高频率下具有更小衰减。相反,较高衰减可产生在较低频率下。

[0095] 还应注意,补充电容 $C_c$ 布置为与对应分流电阻 $R_2$ 并联。因此,补偿电容 $C_c$ 的阻抗

$(1/(j\omega C_c))$ 将使分流臂的等效阻抗变得更小,从而导致衰减块有更多衰减。因此,在一些实施例中,可选择补偿电容 $C_c$ 以补偿 $C_{off}$ 对增益的影响,且由此在一宽频率范围上实现衰减块的期望增益分布(例如,近似平坦分布)。在一些实施例中,可选择补偿电容 $C_c$ 以补偿 $C_{off}$ 对增益的影响,且由此在一宽频率范围上实现衰减块的期望增益分布(例如,近似平坦分布)。在一些实施例中,可选择补偿电容 $C_c$ 以给衰减块提供本文所述的至少一些相位补偿,以及提供本文所述的至少一些增益补偿。

[0096] 图6和7显示了可如何针对图3的示例的衰减块102b、102c中的每一个实现相位补偿的示例。图6显示了单个衰减块102,且此衰减块可表示图3的两个示例衰减块102b、102c中的每一个。因此,衰减块102的多种元件的参考标记没有显示下标。

[0097] 在图6的示例中,衰减块102处于其衰减模式中,使得在本地输入节点(IN)处接收的RF信号被衰减且在本地输出节点(OUT)处提供该RF信号。因此,旁路路径105的旁路开关FET M1为关断的,且电路104的开关FET M2为导通的。

[0098] 图7显示了图6的示例衰减块102的电路图130,其中各种开关FET表示为关断电容或导通电阻。例如,M1的关断状态表示为关断电容 $C_{off}$ ,且M2的导通状态表示为导通电阻 $R_{on}$ 。出于描述的目的,假设图6的桥接T型衰减器配置为大体上对称的。因此,假设图6中的电阻 $R_1$ 和 $R_1'$ 近似相同;因此,图7将 $R_1$ 和 $R_1'$ 的每一个描绘为具有电阻 $R_1$ 。在图7中,假设图6的电容 $C_2$ 为具有补偿电容 $C_c$ 。

[0099] 在图7中,电路图130显示为在本地输入(IN)处具有源阻抗 $R_s$ ,且在本地输出(OUT)处具有负载阻抗 $R_L$ 。这些阻抗值可相同或可不相同。然而,出于描述的目的,假设 $R_s$ 和 $R_L$ 的值在一特定阻抗 $Z_0$ 下(例如,在 $50\Omega$ 下)是相同的。此外,可假设电阻 $R_1$ 具有相同的特征阻抗 $Z_0$ (例如,在 $50\Omega$ 下)。

[0100] 在前述假设的情况下,可如下获得在图7的示例中的 $R_2$ 和 $R_3$ 的值:

$$[0101] \quad R_2 = R_1 \cdot (K-1) \quad (7)$$

$$[0102] \quad R_3 = \frac{R_1}{K-1} \quad (8)$$

[0103] 在式7和8中,参数 $K$ 表示衰减块130的衰减值。应注意,随着衰减变大, $R_2$ 通常增大,且 $R_3$ 通常减小。

[0104] 参考图7,且假设M2的导通电阻 $R_{on}$ 近似为零,衰减块130的一部分(标示为网络1)可贡献于衰减块130的前向增益和相移(例如,相位超前),如下:

$$[0105] \quad \frac{V_{out}}{V_{in}} = \frac{1 + sR_2C_{off}}{\left(1 + \frac{R_2}{R_L}\right) + sR_2C_{off}} \quad (9)$$

$$[0106] \quad \phi = \tan^{-1}(\omega R_2 C_{off}) - \tan^{-1}\left(\frac{\omega R_2 C_{off}}{1 + \frac{R_2}{R_L}}\right) \quad (10)$$

[0107] 在图7中,衰减块130的一部分(标示为网络2)可贡献于衰减块130的前向增益和相移(例如,相位滞后),如下:

$$[0108] \quad \frac{V_{out}}{V_{in}} = \frac{0.5 \cdot R'_3}{(R'_3 + R_1) + sR'_3 R_1 C_C} \quad (11)$$

$$[0109] \quad \phi = -\tan^{-1} \left( \frac{\omega R_1 R'_3 C_C}{R_1 + R'_3} \right) \quad (12)$$

[0110] 在式9-12中,  $\omega = 2\pi f$ , 其中f为频率, 且 $R'_3$ 为 $R_3$ 和 $(R_1+R_L)$ 的并联布置的电阻值。

[0111] 参考图6和7以及式10和12, 应注意, 参数 $\omega$ 、 $R_L$ 、 $C_{off}$ 、 $R_1$ 、 $R_2$ 和 $R_3$ 通常为针对一给定频率、特征阻抗、开关FET配置和衰减值而设定。然而, 在一些实施例中, 补偿电容 $C_c$ 的值可调整使得式12的相位滞后补偿式12的相位超前。这样的相位补偿可允许与图6和7的衰减块102/130相关联的相位处于或接近一期望值。例如, 与衰减块102/130相关联的补偿相位可具有与在一参考模式中基本上相同的相位变化。

[0112] 参考图6和7, 注意到因为 $C_{off}$ 与 $R_2$ 并联布置, 所以其阻抗 $1/(j\omega C_{off})$ 将使得输入节点和输出节点之间的等效串联阻抗随着频率增加而变小, 从而导致在一较高频率下有更小衰减。相反, 较高衰减可产生在一较低频率下。

[0113] 还应注意, 补偿电容 $C_c$ 布置为与对应的分流电阻 $R_3$ 并联。因此, 补偿电容 $C_c$ 的阻抗 $(1/(j\omega C_c))$ 将使分流臂的等效阻抗变得更小, 从而导致衰减块有更多衰减。因此, 在一些实施例中, 可选择补偿电容 $C_c$ 以补偿 $C_{off}$ 对增益的影响, 且由此在一宽频率范围上实现衰减块的期望增益分布(例如, 近似平坦分布)。在一些实施例中, 可选择补偿电容 $C_c$ 以给衰减块提供本文所述的至少一些相位补偿, 以及提供本文所描述的至少一些增益补偿。

[0114] 图8A-8F显示了可针对图3的衰减电路100实现的不同操作模式的示例。在图8A中, 衰减电路100显示为处于整体旁路模式中, 使得衰减电路100提供总计大约为0dB衰减。在此模式中, 旁路开关 $M1_A$ 、 $M1_B$ 、 $M1_C$ 、 $M1_D$ 的每一个为导通, 且分流开关 $M2_A$ 、 $M2_B$ 、 $M2_C$ 、 $M2_D$ (假设 $M2_D$ 与图3中的 $M3_D$ 基本上相同)的每一个为关断。因此, RF信号显示为如路径140所指示的被路由。在此模式中, RF信号通常不受 $C_{off}$ 电容影响; 因此, 通常不会发生非期望的相移。

[0115] 在图8B中, 衰减电路100显示为处于用以提供总计大约1dB衰减的模式中。在此模式中, 旁路开关 $M1_A$ 为关断的, 且其余旁路开关 $M1_B$ 、 $M1_C$ 、 $M1_D$ 中的每一个为导通的。此外, 分流开关 $M2_A$ 为导通的, 且其余分流开关 $M2_B$ 、 $M2_C$ 、 $M2_D$ 中的每一个为关断的。因此, RF信号显示为由路径142所指示的被路由。在此模式中, RF信号通常仅受到旁路开关 $M1_A$ 的 $C_{off}$ 电容的影响; 且如本文所述, 此模式可需要或可不需要相位补偿。

[0116] 在图8C中, 衰减电路100显示为处于用以提供总计大约2dB衰减的模式中。在此模式中, 旁路开关 $M1_B$ 为关断的, 且其余旁路开关 $M1_A$ 、 $M1_C$ 、 $M1_D$ 中的每一个是导通的。此外, 分流开关 $M2_B$ 是导通的, 且其余分流开关 $M2_A$ 、 $M2_C$ 、 $M2_D$ 中的每一个是关断的。因此, RF信号显示为由路径144所指示的被路由。在此模式中, 因此, RF信号通常受到旁路开关 $M1_B$ 的 $C_{off}$ 电容的影响; 且如本文所述, 可通过为电容 $C_2$ 提供适当值而实现相位补偿。

[0117] 在图8D中, 衰减电路100显示为处于用以提供总计大约3dB衰减的模式中。在此模式中, 旁路开关 $M1_A$ 、 $M1_B$ 为关断的, 且其余旁路开关 $M1_C$ 、 $M1_D$ 中的每一个是导通的。此外, 分流开关 $M2_A$ 、 $M2_B$ 中的每一个是导通的, 且其余分流开关 $M2_C$ 、 $M2_D$ 中的每一个是关断的。因此, RF信号显示为由路径146所指示的被路由。在此模式中, RF信号通常受到旁路开关 $M1_A$ 、 $M1_B$ 中的每一个的 $C_{off}$ 电容的影响; 且如本文所述, 可通过为电容 $C_2$ 提供适当值而实现相位补偿。

[0118] 可以类似方式提供较高衰减值:通过由二进制加权衰减块的不同组合以1dB步进递增。继续衰减的这样增加,可由衰减电路100提供大约14dB的总衰减,如图8E所示。在此模式中,旁路开关 $M1_B$ 、 $M1_C$ 、 $M1_D$ 中的每一个是关断的,且其余旁路开关 $M1_A$ 是导通的。此外,分流开关 $M2_B$ 、 $M2_C$ 、 $M2_D$ 中的每一个是导通的,且其余分流开关 $M2_A$ 是关断的。因此,RF信号显示为如路径148所指示的被路由。在此模式中,RF信号通常受到旁路开关 $M1_B$ 、 $M1_C$ 、 $M1_D$ 中的每一个的Coff电容的影响;且如本文所述,可通过为电容C2、C4、C8提供适当值而实现相位补偿。

[0119] 如图8F所示,可由衰减电路100提供大约15dB的总衰减。在此模式中,旁路开关 $M1_A$ 、 $M1_B$ 、 $M1_C$ 、 $M1_D$ 中的每一个是关断的,且分流开关 $M2_A$ 、 $M2_B$ 、 $M2_C$ 、 $M2_D$ 中的每一个是导通的。因此,RF信号显示为如路径150所指示的被路由。在此模式中,RF信号通常受到旁路开关 $M1_A$ 、 $M1_B$ 、 $M1_C$ 、 $M1_D$ 中的每一个的Coff电容的影响;且如本文所述,可通过为电容C2、C4、C8提供适当值而实现相位补偿。

[0120] 如本文所述,补偿电路(例如,图3中的104b、104c、104c)可包括补偿电容(例如,图3的C2、C4、C8以及图5和7中的Cc)。图9A显示了包括此本地补偿电容(被指示为C)的补偿路径170。此补偿路径还显示为具有与C并联的电阻R。

[0121] 图9B显示了在一些实施例中,图9A的电容C可实现为FET器件172(例如,MOSFET器件),该FET器件配置为提供一期望电容值C。例如,FET器件172的源极和漏极可连接到电阻R的两端,且FET器件172的栅极可在没有栅极偏压的情况下接地,使得FET器件172用作类似于图9A的C的电容。

[0122] 当如图9B的示例中一样实现补偿电容时,可实现多个期望特征。例如,补偿电容元件可基本上与各种FET(例如,图3中的旁路FET  $M1_B$ 、 $M1_C$ 、 $M1_D$ )制造在一起。在另一示例中,且假设上述制造工艺通用性,用作电容的FET器件172受到与影响其它FET(包括本地旁路FET  $M1_B$ 、 $M1_C$ 、 $M1_D$ )的基本上相同的工艺偏差的影响。因此,可在例如FET器件172和其它FET之间实现工艺独立性。

[0123] 图10显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路100可进一步包括全局旁路路径106和全局相位补偿电路108。可通过允许将在输入节点(IN)处接收的RF信号经过全局旁路路径106路由到输出节点(OUT)而启用全局旁路路径。在此全局旁路模式中,输入节点和第一节点110之间的第一开关S1与第二节点和输出节点之间的第二开关S2中的每一个可断开以总的隔离二进制加权衰减块(共同标示为102)和其中的一个或多个本地相位补偿电路(共同标示为104)。

[0124] 在衰减电路100处于衰减模式中时,如本文所述地操作二进制加权衰减块102及其本地相位补偿电路104,且可禁用全局旁路路径106。因此,可通过闭合的第一开关S1、二进制加权衰减块102以及闭合的第二开关S2将在输入节点(IN)处接收的RF信号路由到输出节点(OUT)。在此衰减模式中,可以用全局相位补偿电路108来补偿与禁用的全局旁路路径106相关联的相移(例如,相位超前)中的一些或全部。标题为“具有相移和增益补偿电路的衰减器”(ATTENUATORS HAVING PHASE SHIFT AND GAIN COMPENSATION CIRCUITS)的美国专利申请第15/687,475号中描述了关于此全局旁路路径和全局相位补偿的额外细节,该申请与本申请在同一日期提交,且特此以引用方式全部并入本文中,且被认为是本申请的说明书的部分。

[0125] 图10进一步显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路

100可由控制器180控制。此控制器可提供各种控制信号,以例如操作各种开关以实现各种衰减模式(例如,如图8A-8F)。在一些实施例中,控制器180可配置为包括MPI(移动产业处理器接口)功能性。

[0126] 图11显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路100的一些或全部可实现在半导体晶片200上。此晶片可包括衬底202,且相位/增益补偿电路204的至少一些(例如,图3的相位补偿电路104a、104b、104c、104d)可实现在衬底202上。例如,补偿电容C2、C4、C8、C8'的一些或全部可实现为晶片上电容器(on-die capacitor)。

[0127] 图12和13显示了在一些实施例中,具有本文所述的一个或多个特征的衰减电路100的一些或全部可实现在封装模块300上。此模块可包括封装衬底302,其配置为容纳多个组件,诸如一个或多个晶片以及一个或多个无源组件。

[0128] 图12显示了在一些实施例中,封装模块300可包括类似于图11的示例的半导体晶片200。因此,此晶片可包括衰减电路100的一些或全部,其中相位/增益补偿电路204的至少一些(例如,图3相位补偿电路104a、104b、104c、104d)实现在晶片200上。

[0129] 图13显示了在一些实施例中,封装模块300可包括具有衰减电路100的一些的第一半导体晶片210,而衰减电路100的剩余部分实现在另一晶片212上、在一晶片外部(例如,在封装衬底302上)或其任意组合。在此配置中,相位/增益补偿电路204的一些(例如,图3的相位补偿电路104a、104b、104c、104d)可实现在第一晶片210上,且相位/增益补偿电路204的剩余部分可实现在另一晶片212上、在一晶片外部(例如,在封装衬底302上)或其任意组合。

[0130] 图14显示了如何可在RF系统400中实现具有本文所述的一个或多个特征的衰减器的非限制性示例。此RF系统可包括配置为促使RF信号接收和/或发射的天线402。在接收情况下,由天线402接收的RF信号可滤波(例如,由带通滤波器410),且经过衰减器100,随后由低噪声放大器(LNA)412放大。此LNA放大的RF信号可滤波(例如,由带通滤波器414)、通过衰减器100,并被路由至混频器440。混频器440可用振荡器(未显示)操作以产生一中频(IF)信号。此IF信号可滤波(例如,由带通滤波器442),且经过衰减器100,随后被路由至中频(IF)放大器416。沿着接收路径的前述衰减器100的一些或全部可包括本文所述的一个或多个特征。

[0131] 在发射情况下,IF信号可被提供至IF放大器420。IF放大器420的输出可滤波(例如,由带通滤波器444),且经过衰减器100,随后被路由至混频器446。混频器446可用振荡器(未显示)操作以产生RF信号。此RF信号可滤波(例如,由带通滤波器422),且经过衰减器100,随后被路由至功率放大器(PA)424。被PA放大的RF信号可通过衰减器100和滤波器(例如,带通滤波器426)被路由至天线402以进行发射。沿着发射路径的前述衰减器100的一些或全部可包括本文所述的一个或多个特征。

[0132] 在一些实施例中,与RF系统400相关联的各种操作可由系统控制器430控制和/或促成。此系统控制器可包括例如处理器432以及诸如非瞬态计算机可读介质(CRM)434的存储介质。在一些实施例中,与RF系统400中的一个或多个衰减器100的操作相关联的至少一些控制功能性可由系统控制器430执行。

[0133] 在一些实施例中,具有本文所述的一个或多个特征的衰减电路可沿着接收(Rx)链路实现。例如,可实现分集接收(DRx)模块,使得可在分集天线附近实现对接收信号的处理。图15显示了此DRx模块的示例。

[0134] 在图15中,分集接收机模块300可为图12和13的模块300的示例。在一些实施例中,此DRx模块可耦接至模块外滤波器513。DRx模块300可包括配置为接纳多个部件的封装衬底501以及实现在封装衬底501上的接收系统。DRx模块300可包括一个或多个信号路径,其被路由远离DRx模块300且可用于系统集成商、设计者或制造商以支持用于任何期望频带的滤波器。

[0135] 图15的DRx模块300显示为包括DRx模块300的输入和输出之间的多个路径。DRx模块300还显示为包括输入和输出之间由旁路开关519激活的旁路路径,其中旁路开关519由DRx控制器502控制。虽然图15描绘了单个旁路开关519,但是在一些实施方式中,旁路开关519可包括多个开关(例如,设置为物理上靠近输入的第一开关和物理上靠近输出的第二开关)。如图15中所示,旁路路径不包括滤波器或放大器。

[0136] DRx模块300显示为包括多个复用器路径,其包括第一复用器511和第二复用器512。复用器路径包括多个模块上(on-module)路径,其包括第一复用器511、实现在封装衬底501上的带通滤波器613a-613d、实现在封装衬底501上的放大器614a-614d以及第二复用器512。复用器路径包括一个或多个模块外(off-module)路径,其包括第一复用器511、实现在封装衬底501外的带通滤波器513、放大器514以及第二复用器512。放大器514可为实现在封装衬底501上的宽频放大器,或还可实现在封装衬底501外部。在一些实施例中,放大器614a-614d、514可为可变增益放大器和/或可变电流放大器。

[0137] DRx控制器502可配置为选择性激活输入和输出之间的多个路径的一个或多个。在一些实施方式中,DRx控制器502配置为基于由DRx控制器502(例如,从通信控制器)接收的频带选择信号来选择性地激活多个路径的一个或多个。DRx控制器502可通过例如断开或闭合旁路开关519从而启用或禁用放大器614a-614d,514、控制复用器511,512、或通过其它机制来选择性地启动路径。例如,DRx控制器502可沿着路径(例如,在滤波器613a-613d,513和放大器614a-614d,514之间)或通过将放大器614a-614d,514的增益设置为基本为零来断开或闭合开关。

[0138] 在图15的示例DRx模块300中,放大器614a-614d、514的一些或全部可被提供具有本文所述的一个或多个特征的衰减电路100。例如,这些放大器的每一个显示为在其输入侧上实现有衰减电路100。在一些实施例中,一给定放大器可在其输入侧和/或其输出侧上具有衰减电路。

[0139] 在一些实施方式中,具有本文所述的一个或多个特征的架构、装置和/或电路可包含于诸如无线装置的RF装置中。此架构、装置和/或电路可直接以本文所述的一个或多个模块化形式或以其一些组合实现在无线装置中。在一些实施例中,此无线装置可包括例如蜂窝电话、智能电话、具有或不具有电话功能性的手持无线装置、无线平板电脑、无线路由器、无线接入点、无线基站等。虽然在无线装置的背景下进行了描述,但应理解,本申请的一个或多个特征还可实现在诸如基站的其它RF系统中。

[0140] 图16描绘了具有本文所述的一个或多个特征的示例无线装置700。如图14和15所述,具有本文所述的一个或多个特征的一个或多个衰减器可实现在此无线装置中的多个位置。例如,在一些实施例中,这些有利特征可实现在诸如具有一个或多个低噪声放大器(LNA)的分集接收(DRx)模块300中。此DRx模块可如本文中参考图12、13和15所述而配置。在一些实施例中,具有本文所述的一个或多个特征的衰减器可沿着LNA之前和/或之后的RF信

号路径而实现。

[0141] 在图16的示例中,功率放大器(PA)模块712中的PA可从收发器710接收其相应RF信号,该收发器710配置和操作为产生待放大和发射的RF信号且处理接收的信号。收发器710显示为与基带子系统708交互,该基带子系统708配置为提供适用于用户的数据和/或话音信号与适用于收发器710的RF信号之间的转换。收发器710还显示为连接至功率管理组件706,该功率管理组件706配置为管理用于操作无线装置700的功率。此功率管理还可控制基带子系统708和无线装置700的其它部件的操作。

[0142] 基带子系统708显示为连接至用户接口702以促使话音和/或数据的各种输入和输出被提供至用户以及从用户接收该输入和输出。基带子系统708还可连接至配置为存储数据和/或指令的存储器704以促使无线装置的操作和/或提供用于用户的信息存储。

[0143] 在图16的示例中,DRx模块300可实现在一个或多个分集天线(例如,分集天线730)与ASM 714之间。此配置可允许处理通过分集天线730接收的RF信号(在一些实施例中,包括由LNA的放大),该处理使得来自分集天线730的RF信号很少或没有损耗和/或很少或没有附加噪声。接着可通过一个或多个信号路径将来自DRx模块300的被处理的信号路由至ASM。

[0144] 在图16的示例中,主天线720可配置为例如促使来自PA模块712的RF信号的发射。在一些实施例中,还可通过主天线实现接收操作。

[0145] 多个其它无线装置配置可利用本文所述的一个或多个特征。例如,无线装置不必是多频带装置。在另一示例中,无线装置可包括附加天线(诸如,分集天线)和附加连接能力特征(诸如,Wi-Fi、蓝牙和GPS)。

[0146] 除非上下文清楚地另有要求,否则贯穿说明书和权利要求书,要按照与排他性或穷尽性的意义相反的包括性的意义,也就是说,按照“包括但不限于”的意义来阐释术语“包括(comprise)”、“包括(comprising)”等。如在本文一般使用的词语“耦接”是指两个或更多元件可以直地连接、或者借助于一个或多个中间元件来连接。另外,当在本申请中使用术语“本文”、“上面”、“下面”和相似含义的术语应该是指作为整体的本申请,而不是本申请的任何具体部分。在上下文允许时,使用单数或复数的以上某些实施例的详细描述中的术语也可以分别包括复数或单数。提及两个或更多项目的列表时的术语“或”,这个术语涵盖该术语的以下解释中的全部:列表中的任何项目、列表中的所有项目、和列表中项目的任何组合。

[0147] 本发明实施例的以上详细描述不意欲是穷尽性的,或是将本发明限于上面所公开的精确形式。尽管上面出于说明的目的描述了本发明的具体实施例和用于本发明的示例,但是如本领域技术人员将认识到的,在本发明范围内的各种等效修改是可能的。例如,尽管按照给定顺序呈现了处理或块,但是替换的实施例可以执行具有不同顺序的步骤的处理,或采用具有不同顺序的块的系统,并且一些处理或块可以被删除、移动、添加、减去、组合和/或修改。可以按照各种不同的方式来实现这些处理或块中的每一个。同样地,尽管有时将处理或块示出为串行地执行,但是可替代地,这些处理或块也可以并行地执行,或者可以在不同时间进行执行。

[0148] 可以将在这里提供的本发明的教导应用于其他系统,而不必是上述的系统。可以对上述的各个实施例的元素和动作进行组合,以提供进一步的实施例。

[0149] 尽管已经描述了本发明的一些实施例,但是已经仅仅借助于示例呈现了这些实施

例,并且所述实施例不意欲限制本公开的范围。其实,可以按照多种其它形式来实施本文描述的新颖方法和系统;此外,可以做出本文所述的方法和系统的形式上的各种省略、替换和改变,而没有脱离本申请的精神。随附权利要求及其等同物旨在涵盖如将落入本申请的范围和精神内的这些形式或修改。

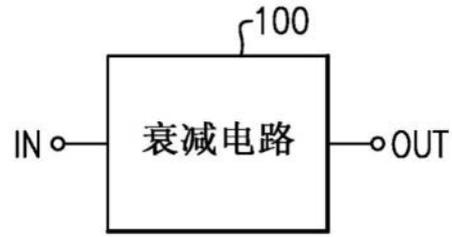


图1

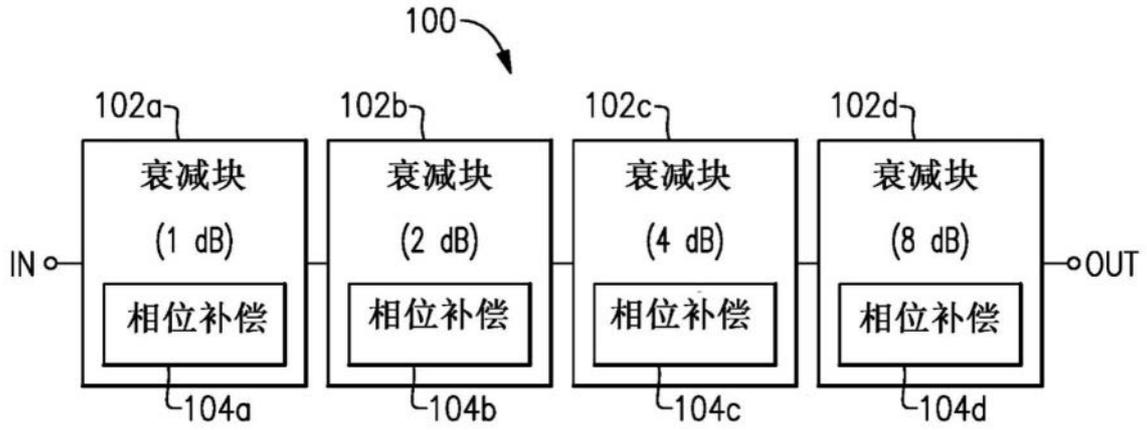


图2

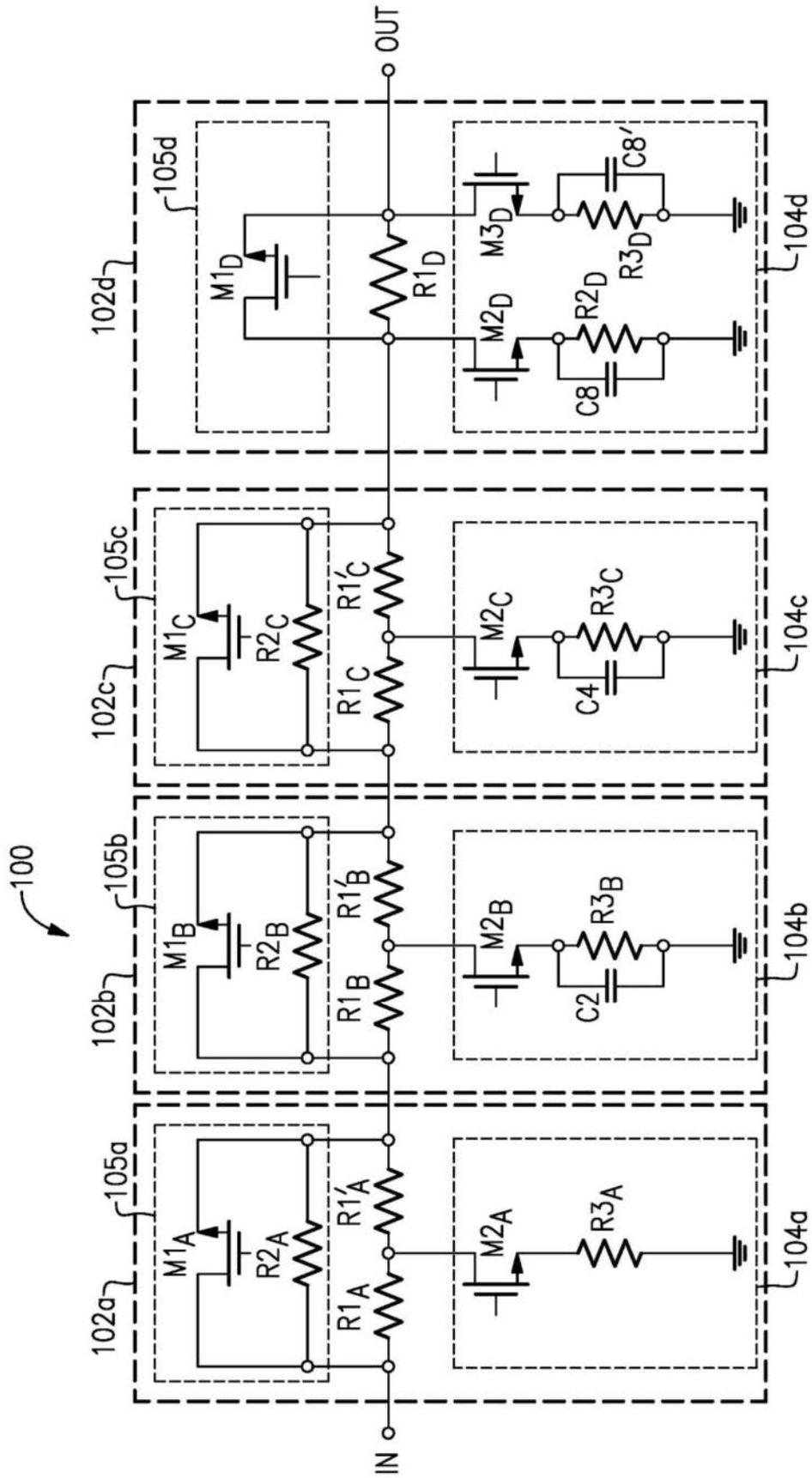


图3

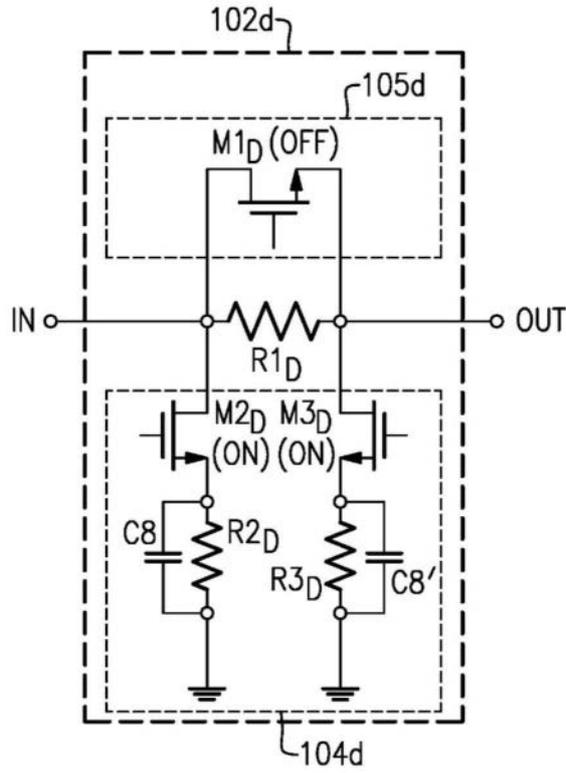


图4

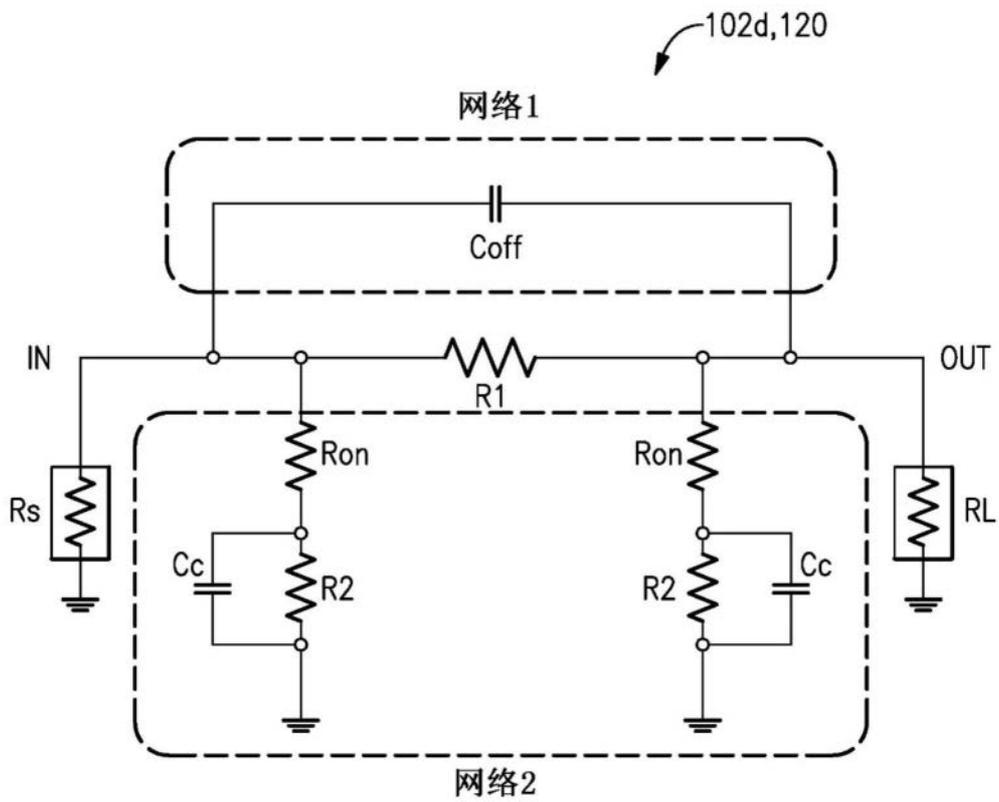


图5

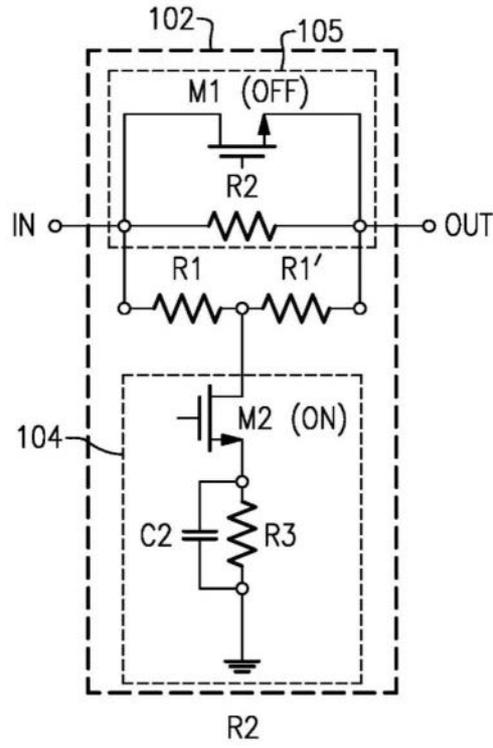


图6

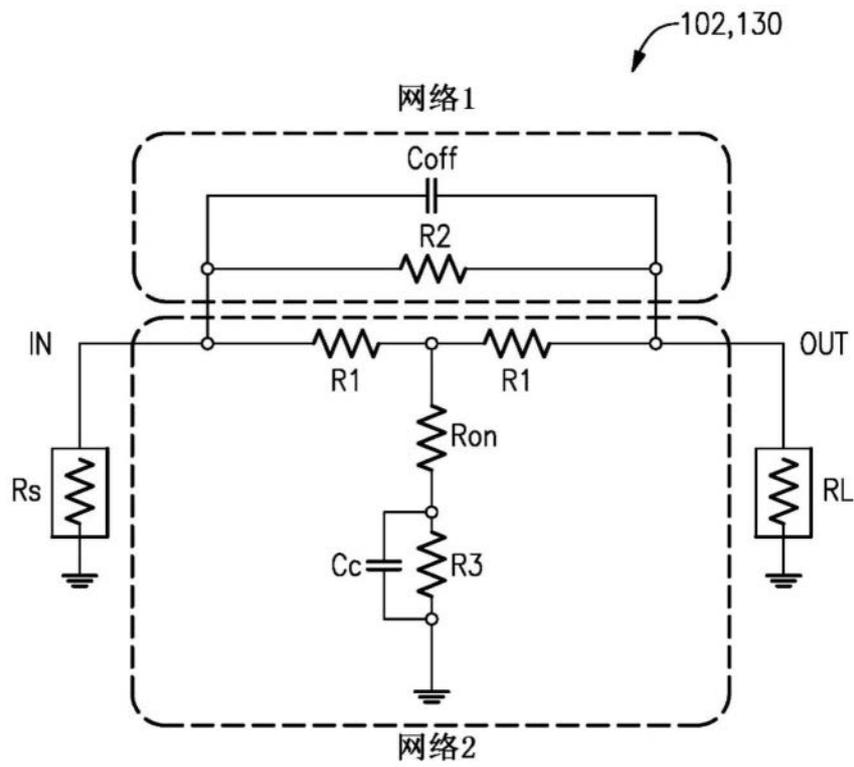


图7

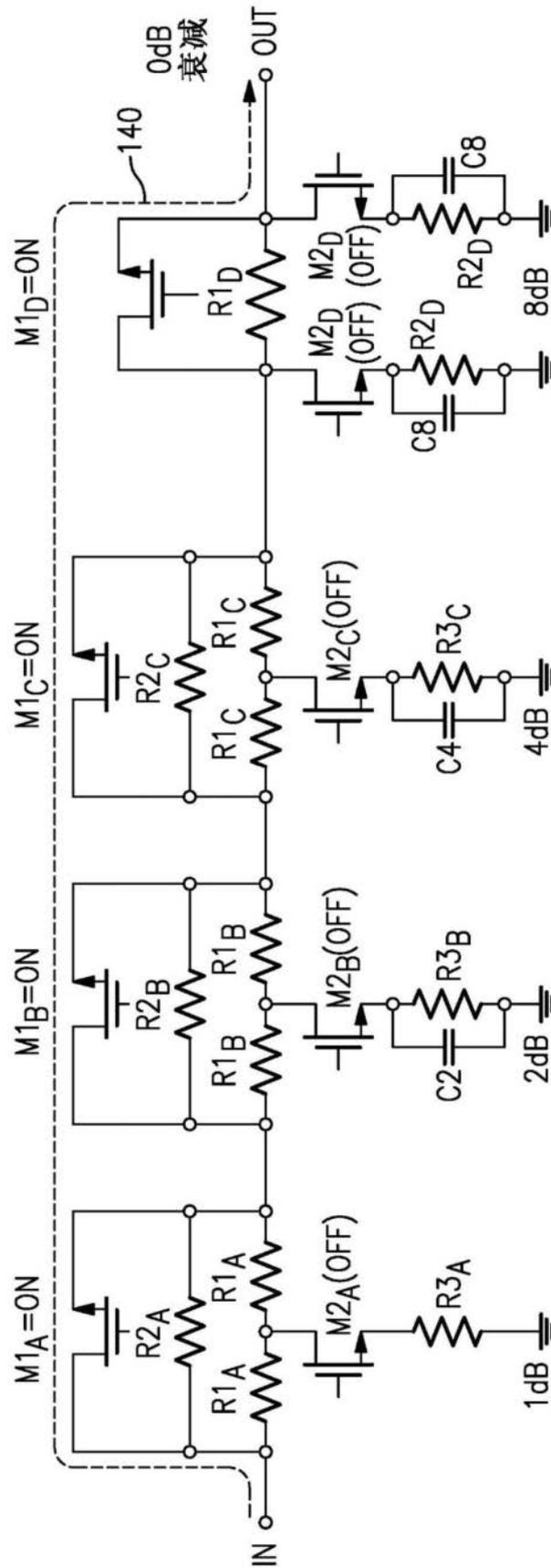


图8A

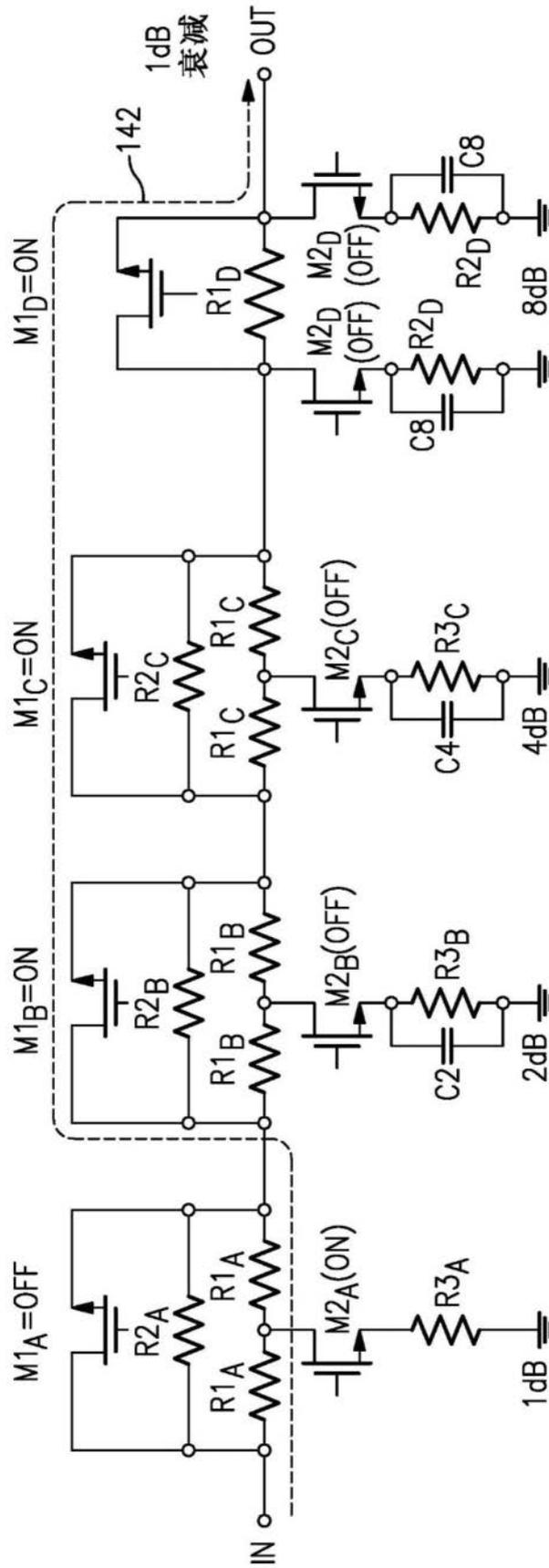


图8B

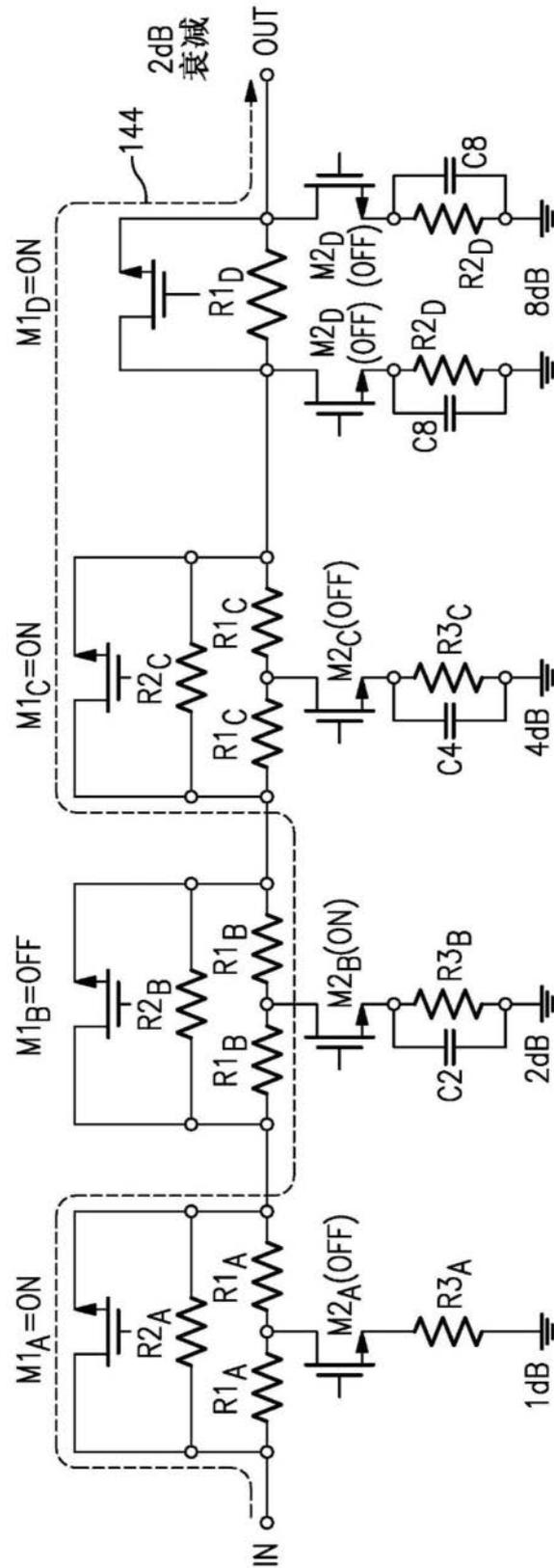


图8C

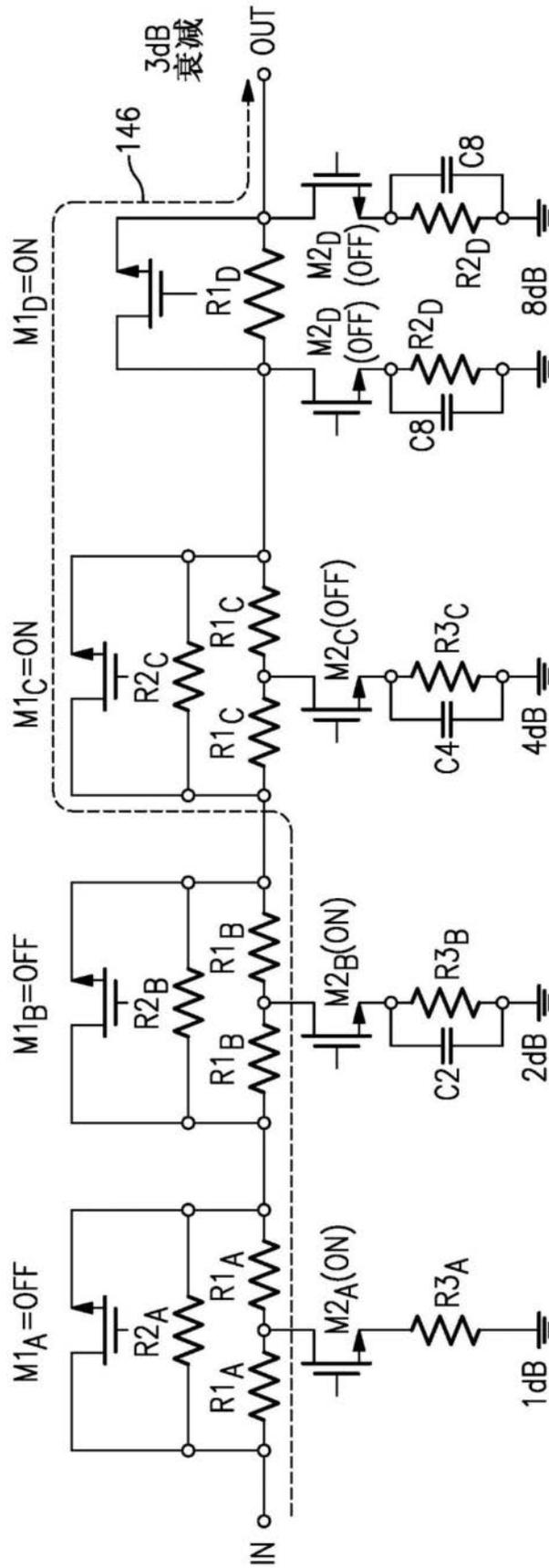


图8D

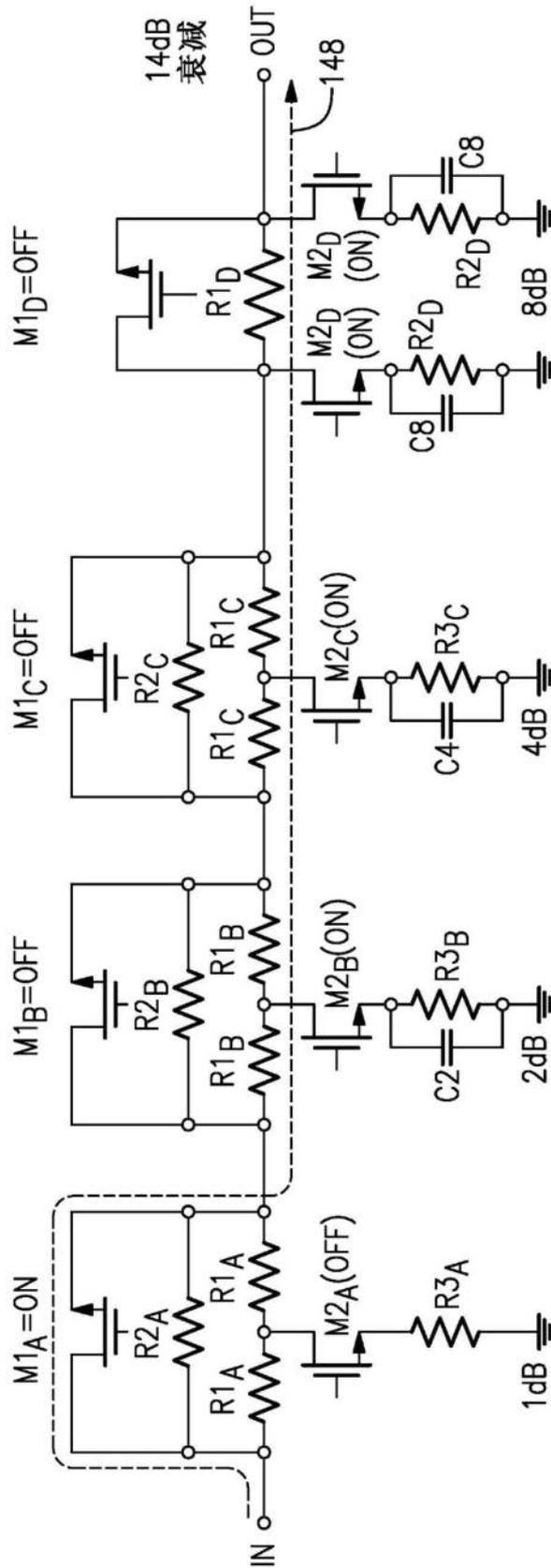


图8E

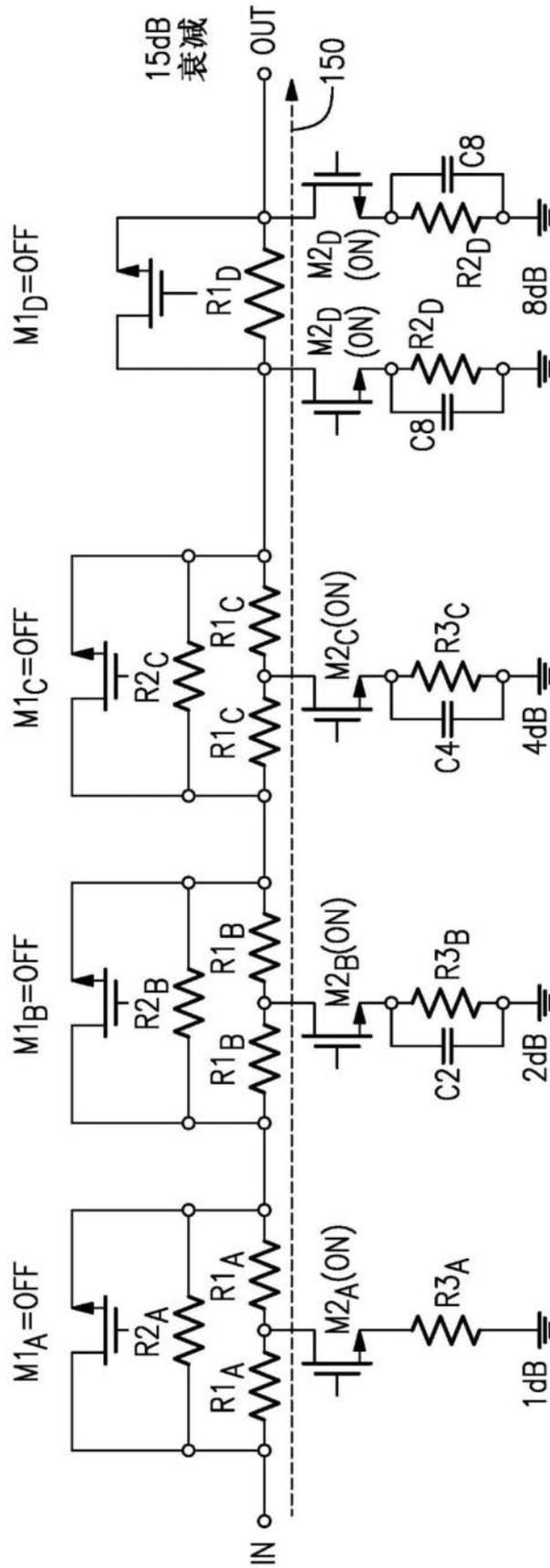


图8F

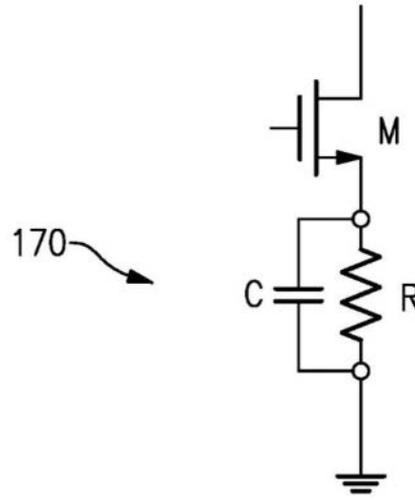


图9A

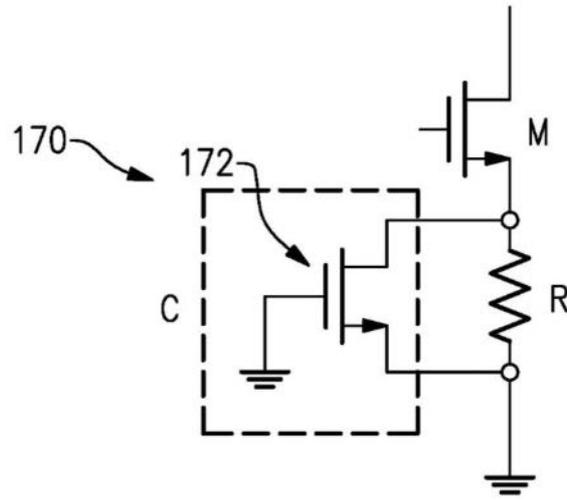


图9B

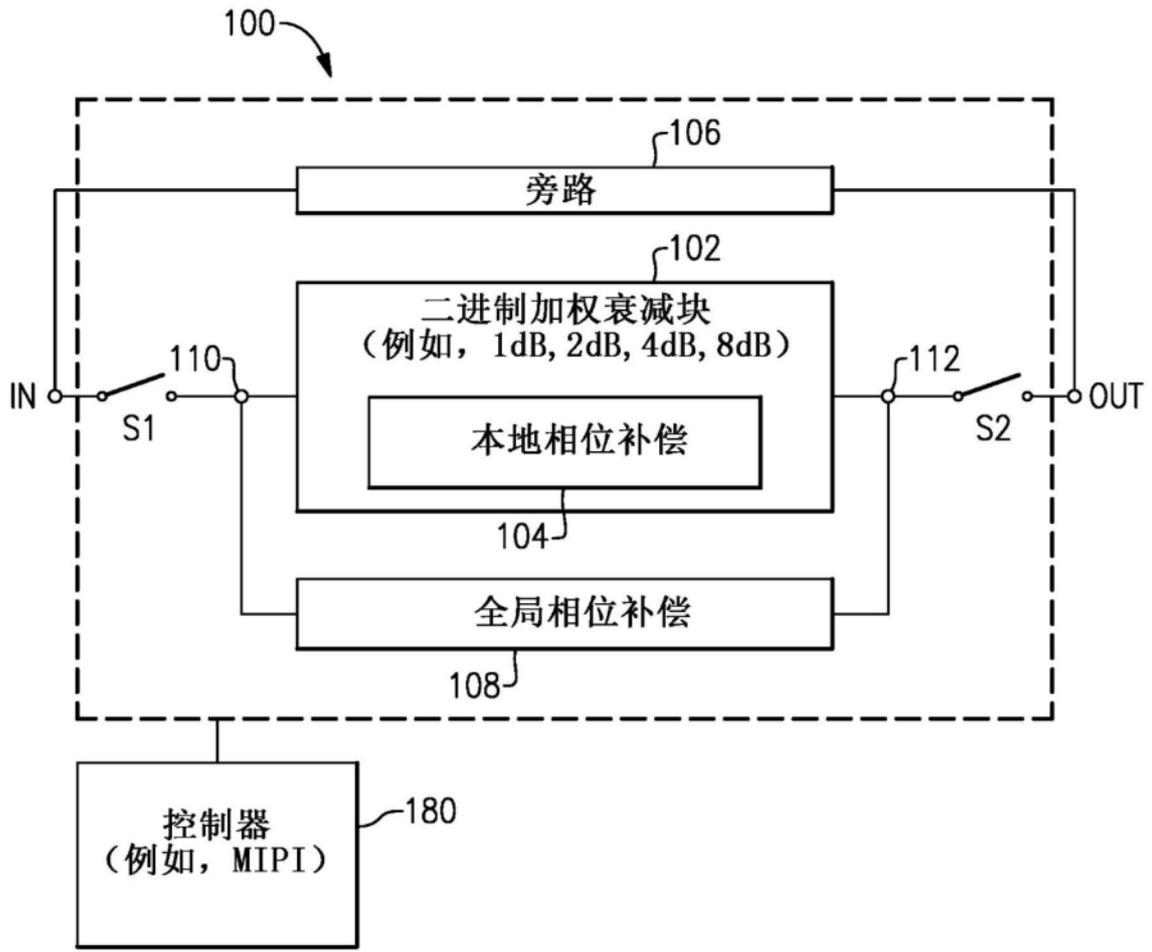


图10

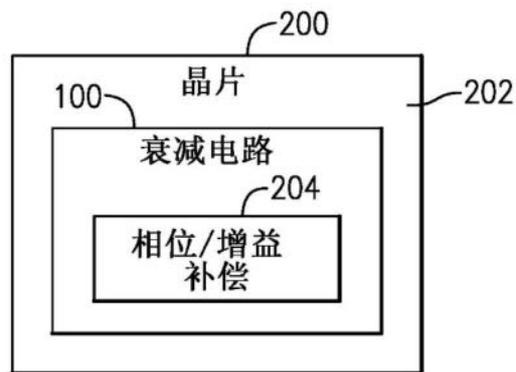


图11

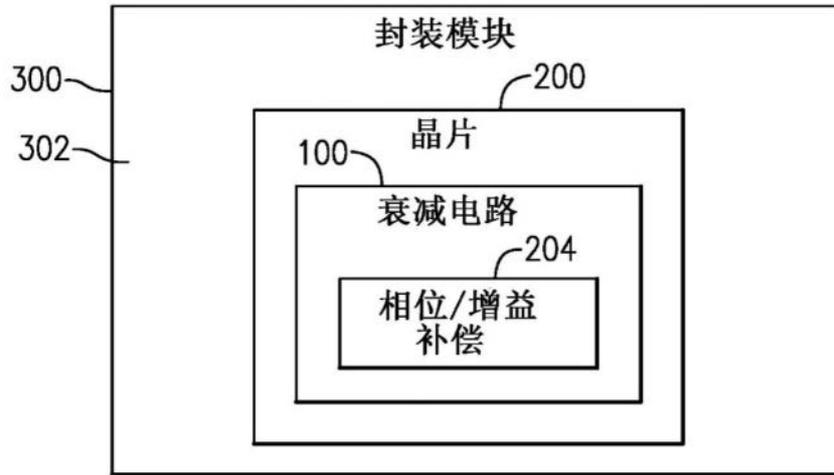


图12

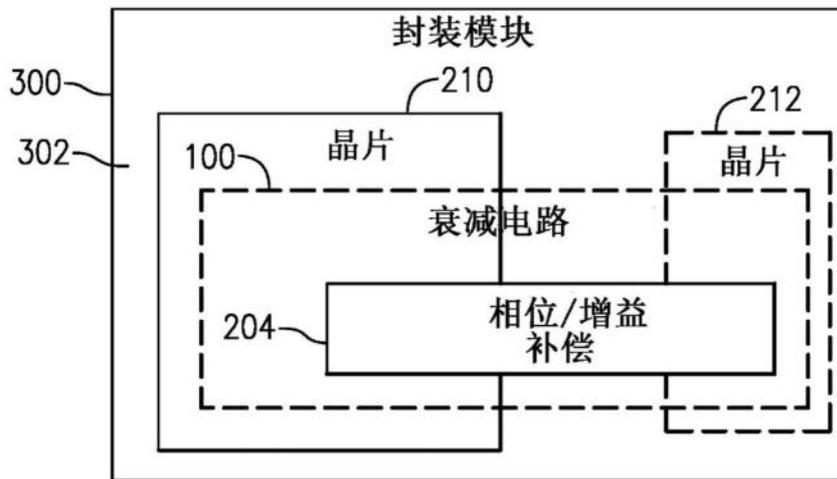


图13

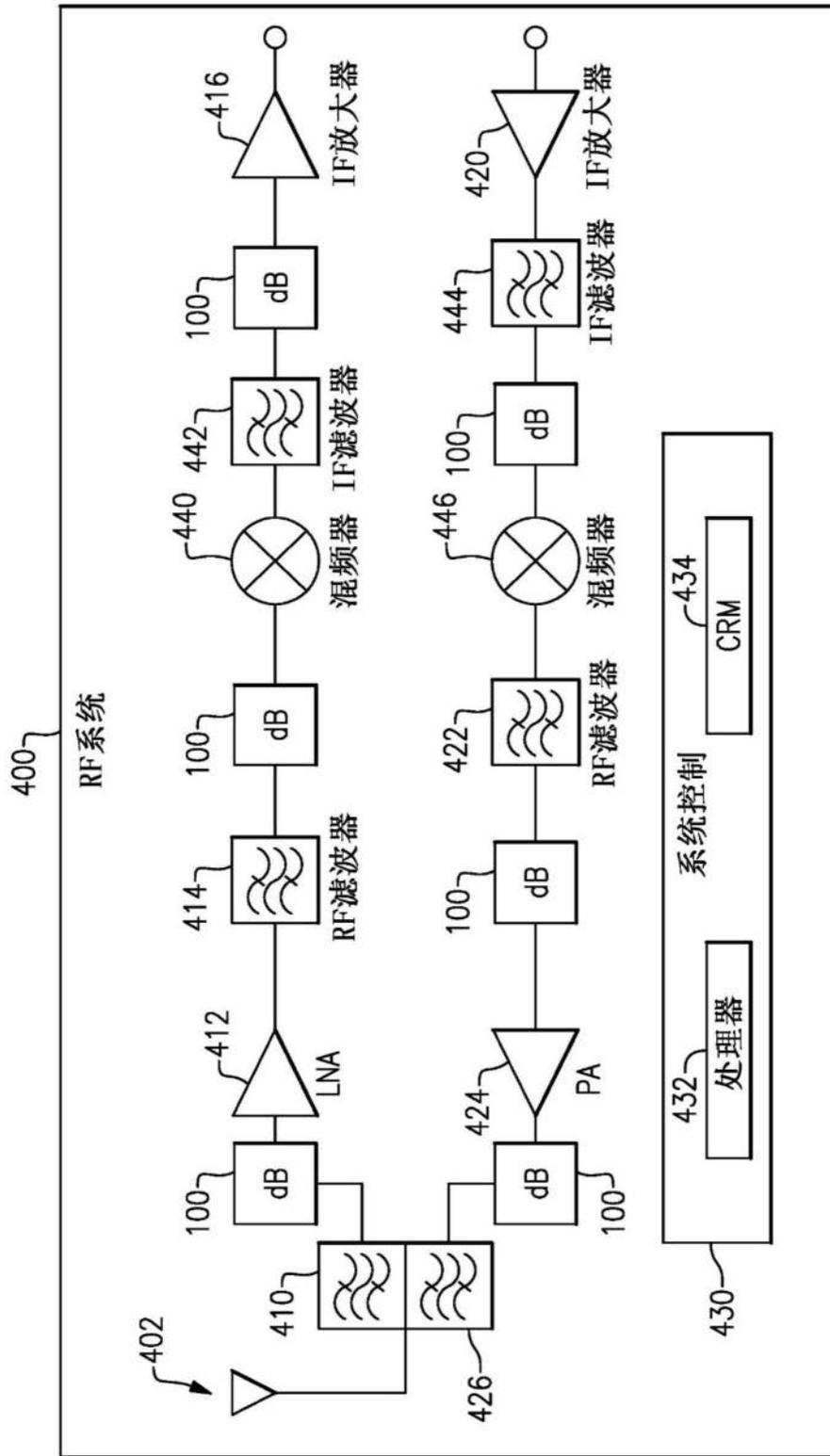


图14

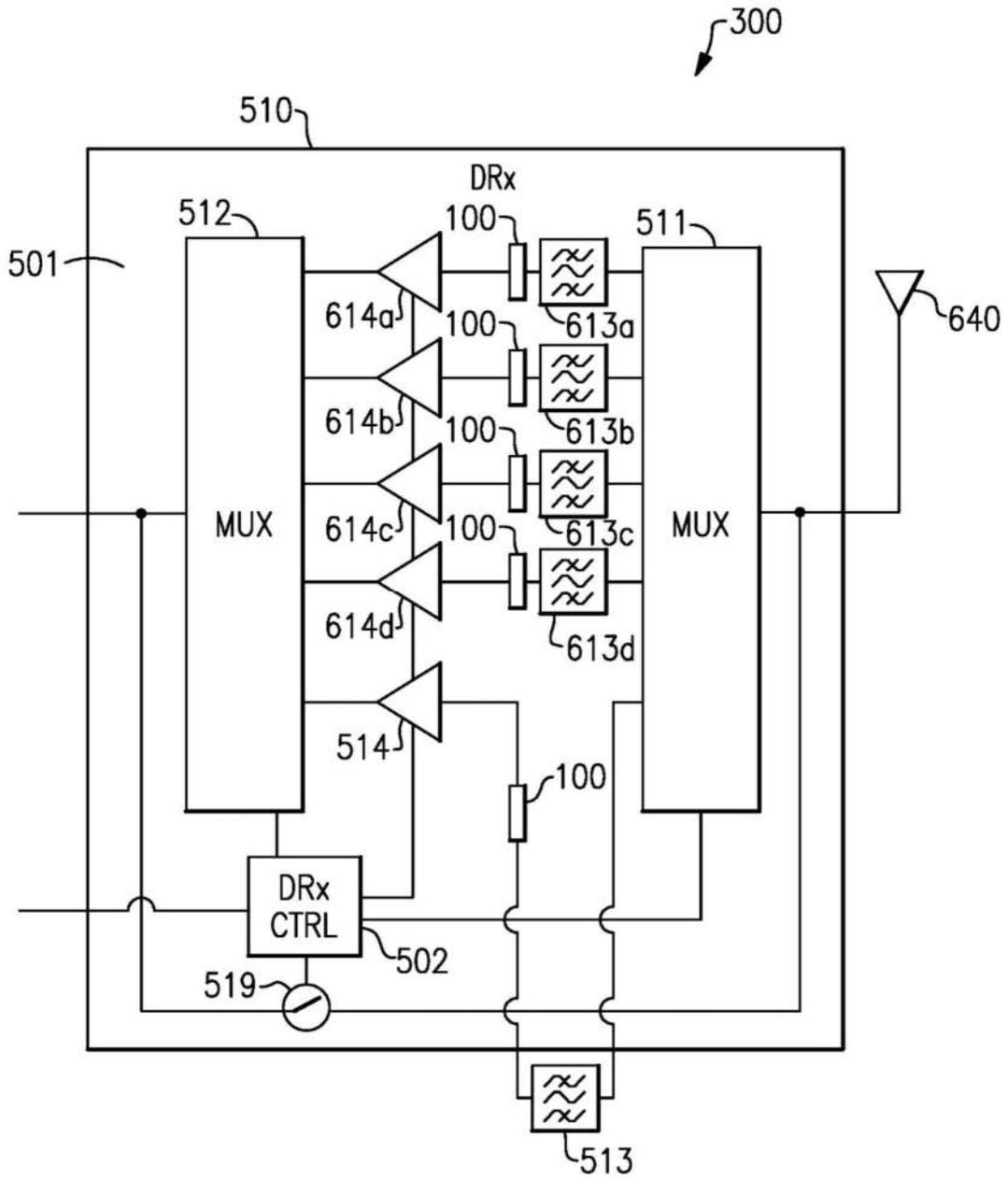


图15

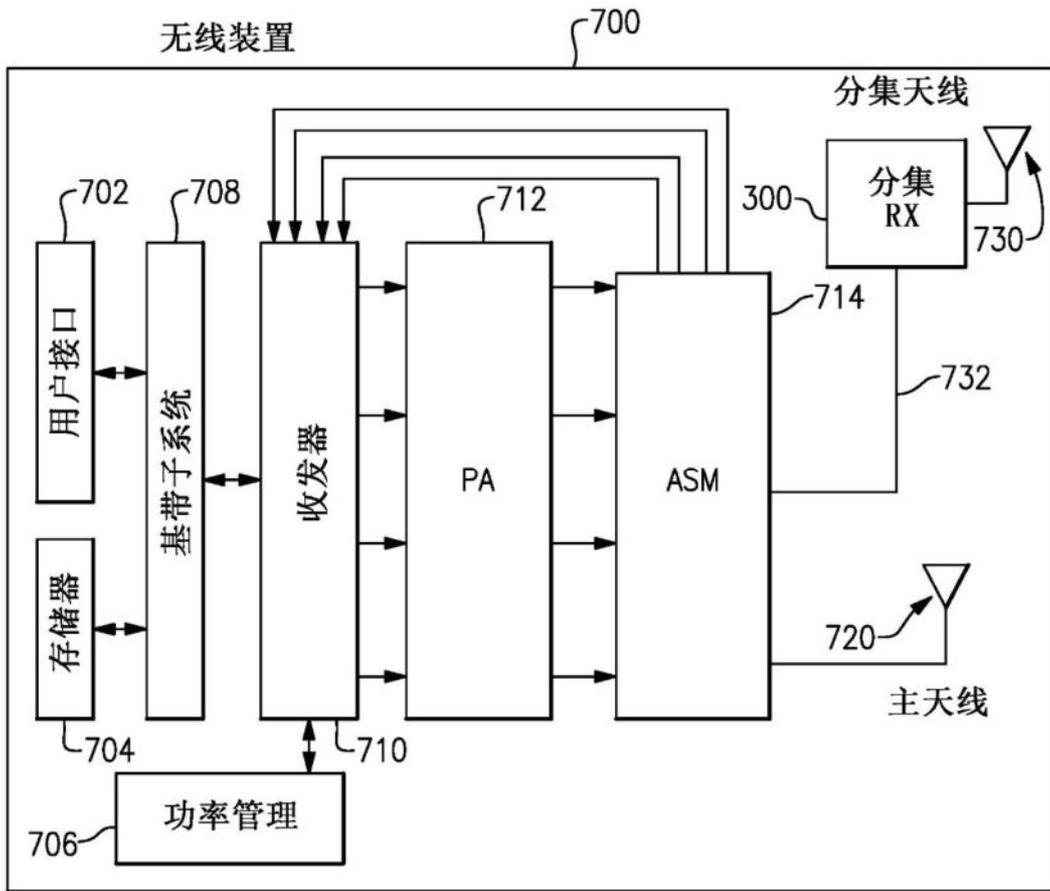


图16