



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UIBM

|                           |                        |
|---------------------------|------------------------|
| <b>DOMANDA NUMERO</b>     | <b>102000900876450</b> |
| <b>Data Deposito</b>      | <b>22/09/2000</b>      |
| <b>Data Pubblicazione</b> | <b>22/03/2002</b>      |

|                |               |                    |               |                    |
|----------------|---------------|--------------------|---------------|--------------------|
| <b>Sezione</b> | <b>Classe</b> | <b>Sottoclasse</b> | <b>Gruppo</b> | <b>Sottogruppo</b> |
| G              | 06            | F                  |               |                    |

Titolo

CIRCUITO DI COMANDO DI UN REGOLATORE DI TENSIONE VARIABILE DI UNA MEMORIA  
NON VOLATILE CON DECODIFICA GERARCHICA DI RIGA.

## DESCRIZIONE

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

5 con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: SACCO Andrea, KHOURI Osama, MICHELONI Rino,

TORELLI Guido

\*\*\* \*\*\*\*\*

La presente invenzione è relativa ad una memoria  
10 non volatile con decodifica gerarchica di riga, e più in  
particolare ad circuito di comando di un regolatore di  
tensione variabile facente parte di tale memoria non vo-  
latile.

Come è noto, le memorie non volatili sono tipica-  
15 mente organizzate a matrice, nella quale linee di parola  
connettono i terminali di porta delle celle di memoria  
poste su una stessa riga e linee di bit connettono i  
terminali di pozzo delle celle di memoria poste su una  
stessa colonna.

20 Le righe della matrice di memoria sono indirizzate  
mediante un decodificatore di riga ricevente in ingresso  
un indirizzo codificato ed avente lo scopo di polarizza-  
re la linea di parola della riga di volta in volta indi-  
rizzata ad una tensione stabile e precisa, il cui valore  
25 dipende dal tipo di operazione che si effettua sulle

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

celle di memoria di tale riga (lettura, programmazione, verifica, cancellazione).

In alcune memorie non volatili, inoltre, la matrice di memoria è organizzata secondo linee di parola globali e linee di parola locali. In particolare, la matrice di memoria comprende linee di parola globali ed una pluralità di linee di parola locali per ciascuna linea di parola globale, le quali sono collegate alla relativa linea di parola globale attraverso rispettivi stadi interruttori aventi lo scopo di consentire, quando accesi, il trasferimento della tensione presente sulla linea di parola globale alla rispettiva linea di parola locale ed alle quali sono poi fisicamente collegate le celle di memoria.

Un decodificatore di riga globale indirizza le linee di parola globali ed un decodificatore di riga locale indirizza le linee di parola locali. In particolare, il decodificatore di riga globale è direttamente collegato alle linee di parola globali e polarizza di volta in volta quella o quelle selezionate, mentre il decodificatore di riga locale comanda gli stadi interruttori in modo da consentire il collegamento selettivo fra le linee di parola locali e la rispettiva linea di parola globale.

Per il loro corretto funzionamento, ciascuno degli

BERGADANO MIRKO  
(iscritto all'Albo n. 8438)

stadi interruttori necessita di ricevere una tensione di polarizzazione stabile, precisa e variabile per valori discreti in un certo intervallo, in cui l'estremo inferiore dell'intervallo è minore della tensione di alimentazione.

In particolare, gli stadi interruttori presentano tipicamente una struttura di tipo CMOS e sono formati da un transistor PMOS e da un transistor NMOS aventi terminale di sorgente e, rispettivamente, terminale di pozzo collegati assieme ed alla linea di parola globale, terminale di pozzo e, rispettivamente, terminale di sorgente collegati assieme ed alla linea di parola locale e terminali di porta ricevanti rispettivi segnali di comando complementari fra loro.

Il transistor NMOS presenta inoltre un terminale di bulk che deve essere polarizzato ad una tensione che è pari ad una tensione di massa durante le fasi di lettura e programmazione delle celle di memoria ed è pari ad una tensione di cancellazione negativa, ad esempio - 8V, durante la fase di cancellazione, mentre il transistor PMOS presenta un terminale di bulk che deve essere polarizzato ad una tensione che tipicamente assume un valore di circa 6 V durante la fase di lettura, un valore di circa 1,5 V durante la fase di cancellazione e presenta un andamento a gradinata con un passo prefissa-

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

to durante la fase di programmazione, in cui i valori  
iniziale e finale della gradinata dipendono dal tipo di  
celle di memoria utilizzate; ad esempio, per celle di  
memoria a quattro livelli (ossia celle di memoria in  
grado di memorizzare 2 bit per cella) la tensione di  
programmazione varia fra 1,5 e 9 V con un passo di circa  
300 mV.

È altresì noto, però, che le memorie non volatili  
sono tipicamente del tipo a singola tensione di alimen-  
tazione, ossia ricevono dall'esterno una sola tensione  
di alimentazione avente valore compreso ad esempio fra  
2,5 e 3,8 V.

Conseguentemente, la suddetta tensione variabile  
fra 1,5 e 9 volt, così come, in generale, tutte le ten-  
sioni che presentano andamenti a gradinata, viene gene-  
rata internamente alla memoria non volatile nel modo il-  
lustrato nella figura 1, ossia mediante uno stadio ali-  
mentatore 1 formato da un circuito elevatore di tensione  
2 ed un regolatore di tensione 3 collegati fra loro in  
cascata.

In particolare, il circuito elevatore di tensione  
2, generalmente noto con il nome di "survoltage di ten-  
sione" o di "pompa di carica", viene alimentato con la  
tensione di alimentazione  $V_{cc}$  fornita dall'esterno alla  
memoria non volatile e fornisce in uscita una tensione

BERGADANO MIRKO  
(Iscritto all'Albo n. 843B)

survoltata  $V_{HV}$  maggiore della tensione di alimentazione  $V_{CC}$ . La tensione survoltata  $V_{HV}$ , essendo poco stabile in tensione, viene quindi fornita in ingresso al regolatore di tensione 3, il quale fornisce in uscita una tensione regolata  $V_{REG}$ , la quale è stabile in tensione e presenta l'andamento a gradinata con i valori sopra menzionati.

In particolare, il regolatore di tensione 3 presenta tipicamente una struttura circuitale del tipo ad amplificatore operazionale retroazionato a guadagno variabile mostrata nella figura 2, ossia comprende essenzialmente un amplificatore operazionale 4 ed una rete di retroazione 8 di tipo resistivo.

In dettaglio, l'amplificatore operazionale 4 presenta un terminale di alimentazione ricevente la tensione survoltata  $V_{HV}$  generata dal circuito elevatore di tensione 2, un terminale non invertente ricevente una tensione di riferimento  $V_{REF}$ , un terminale invertente collegato ad un nodo 6, ed un terminale di uscita fornente la tensione regolata  $V_{REG}$ , mentre la rete di retroazione 8 è costituita da un partitore resistivo formato da un primo resistore di retroazione 10 di tipo variabile collegato fra il terminale di uscita dell'amplificatore operazionale 4 ed il nodo 6 ed avente una resistenza  $R_A$ , e da un secondo resistore di retroazione 12 collegato fra il nodo 6 ed il terminale inver-

tente dell'amplificatore operazionale 4 ed avente una  
resistenza  $R_B$ .

Con la struttura circuitale mostrata nella figura  
2, la tensione regolata  $V_{REG}$  è pertanto legata alla ten-  
sione di riferimento  $V_{REF}$  dalla nota relazione:

$$V_{REG} = V_{REF} \cdot \left( 1 + \frac{R_A}{R_B} \right)$$

Dato che il secondo resistore di retroazione 12  
presenta una resistenza  $R_B$  costante, facendo variare la  
resistenza  $R_A$  del primo resistore di retroazione 10 si  
fa conseguentemente variare la tensione regolata  $V_{REG}$  in  
funzione del rapporto fra le resistenze  $R_A$  ed  $R_B$  di re-  
troazione.

Il primo resistore di retroazione 10 è generalmente  
realizzato nel modo mostrato nella figura 3, ossia è  
formato da N resistori, indicati con 14.1, 14.2,..., 14.N,  
collegati in serie ed uguali fra loro, e da una plurali-  
tà di interruttori, indicati rispettivamente con 16.1,  
16.2, ..., 16.N, collegati, ciascuno, in parallelo ad un  
rispettivo resistore 14.1-14.N e per mezzo dei quali è  
possibile cortocircuitare ciascuno dei resistori 14.1-  
14.N indipendentemente l'uno dall'altro.

Gli interruttori 16.1-16.N sono tipicamente inter-  
ruttori CMOS pass-gate e ciascuno di essi riceve, su un

BERGADANO MIRKO  
(iscritto all'Albo n. 8438)

primo ed un secondo terminale di controllo, un primo e, rispettivamente, un secondo segnale di comando complementari fra loro, i quali sono indicati nella figura 3 con  $\phi_1$ ,  $\bar{\phi}_1$  per il primo interruttore 16.1, con  $\phi_2$ ,  $\bar{\phi}_2$  per il secondo interruttore 16.2, e così via.

In particolare, attraverso l'opportuno comando in apertura o in chiusura degli interruttori 16.1-16.N, è possibile realizzare una resistenza variabile fra un valore minimo pari a zero, quando tutti gli interruttori 16.1-16.N sono comandati in chiusura e cortocircuitano i rispettivi resistori 14.1-14.N, ed un valore massimo pari alla somma delle resistenze di tutti i resistori 14.1-14.N, quando tutti gli interruttori 16.1-16.N sono comandati in apertura e non cortocircuitano i rispettivi resistori.

La precisione ottenuta sulla tensione regolata  $V_{REG}$  è tanto maggiore quanto minore è la resistenza degli interruttori 16.1-16.N che sono chiusi.

Infatti, ipotizzando che degli N resistori 14.1-14.N che formano il primo resistore di retroazione 10, K non siano cortocircuitati, ossia che K interruttori siano aperti e che N-K interruttori siano chiusi, allora la tensione regolata  $V_{REG}$  ideale, ossia che si avrebbe se tutti gli interruttori fossero ideali e quindi non presentassero una loro resistenza, è:

BERGADANO MIRKO  
(iscritto all' Albo n. 843B)

$$V_{REG} = V_{REF} \cdot \left( 1 + \frac{K \cdot R_s}{R_B} \right)$$

in cui  $R_s$  è la resistenza di ciascuno dei resistori 14.1-14.N, mentre la tensione regolata  $V_{REG}$  reale, ossia che si ha tenendo conto della resistenza degli interruttori, è:

$$V_{REG} = V_{REF} \cdot \left( 1 + \frac{K \cdot R_s + (N - K) \cdot R_I}{R_B} \right)$$

in cui  $R_I$  è la resistenza di ciascuno degli interruttori 14.1-14.N quando questi sono chiusi.

Pertanto, l'errore assoluto  $E$  commesso sul valore della tensione regolata  $V_{REG}$  vale:

$$E = V_{REF} \cdot \frac{(N - K) \cdot R_I}{R_B}$$

Come si può notare, l'errore assoluto  $E$  commesso sul valore della tensione regolata  $V_{REG}$  risulta direttamente proporzionale alla resistenza degli interruttori 16.1-16.N ed al loro numero, per cui risulta evidente come la minimizzazione di tale errore assoluto  $E$  possa essere effettuata minimizzando la loro resistenza, ovvero rendendo i transistori NMOS e PMOS formanti tali interruttori sufficientemente conduttivi.

Nella figura 4 è mostrato lo schema circuitale di uno degli interruttori 16.1-16.N, in particolare

l'interruttore 16.1, il quale è formato da un transistore PMOS 18.1 e da un transistore NMOS 20.1 aventi terminale di sorgente e, rispettivamente, terminale di pozzo collegati assieme e definenti un primo nodo A collegato a sua volta ad un primo terminale del relativo resistore 14.1, terminale di pozzo e, rispettivamente, terminale di sorgente collegati assieme e definenti un secondo nodo B collegato a sua volta ad un secondo terminale del relativo resistore 14.1, e terminali di porta ricevanti il segnale di comando  $\phi_1$  e, rispettivamente, il segnale di comando  $\bar{\phi}_1$ .

I segnali di comando  $\phi_1$  e  $\bar{\phi}_1$  sono generati da un circuito di comando, indicato in figura 4 con 22, avente un ingresso di alimentazione ricevente una tensione di alimentazione  $V_{PG}$ , un ingresso di segnale ricevente segnali di controllo S generati da un opportuno circuito di controllo (non mostrato), ed una pluralità di coppie di uscite, una per ciascuno degli interruttori 16.1-16.N, fornenti i segnali di comando  $\phi_1, \bar{\phi}_1, \dots, \phi_N, \bar{\phi}_N$  per gli interruttori 16.1-16.N stessi.

Al fine di minimizzare la resistenza dell'interruttore 16.1 quando questo è chiuso, ossia la resistenza che si vede fra i nodi A e B, le ampiezze dei segnali di comando  $\phi_1$  e  $\bar{\phi}_1$  forniti ai terminali di porta dei transistori PMOS ed NMOS 18.1, 20.1 devono essere

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

sufficientemente elevate. Infatti, se i nodi A e B si trovano ad un potenziale relativamente basso, il transistor PMOS 18.1 condurrà poca corrente, mentre sarà il transistor NMOS 20.1 a condurre la maggior parte della corrente, realizzando così un cortocircuito che sarà tanto più efficace quanto più elevata è l'ampiezza del segnale di comando  $\bar{\phi}_1$  fornita al terminale di porta del transistor NMOS 20.1 stesso.

Se invece i nodi A e B si trovano ad un potenziale relativamente alto, il transistor NMOS 20.1 contribuirà poco alla conduzione di corrente, la quale scorrerà prevalentemente nel transistor PMOS 18.1, e sarà pertanto quest'ultimo a realizzare un cortocircuito efficace. In questa condizione di polarizzazione dei nodi A e B, inoltre, lo spegnimento del transistor PMOS 18.1 può essere effettuato in modo efficace soltanto fornendo al suo terminale di porta un segnale di comando  $\phi_1$  avente ampiezza elevata, in particolare un segnale di comando almeno pari alla tensione del nodo A.

Per polarizzare i terminali di porta dei transistori PMOS ed NMOS degli interruttori 16.1-16.N in modo da garantire una buona conduttività di questi ultimi, è stato in passato proposto di fornire al circuito di comando 22, come tensione di alimentazione  $V_{EG}$ , la tensione survoltata  $V_{HV}$  generata dal circuito elevatore di

BERGADANO MIRKO  
(iscritto all'Albo n. 8438)

tensione 2. In questo modo, infatti, essendo la tensione  
survoltata  $V_{HV}$  più elevata della tensione regolata  $V_{REG}$   
generata dal regolatore di tensione 3, i segnali di co-  
mando forniti agli interruttori 16.1-16.N presentano am-  
piezze che sono le più elevati possibili.

Essendo però la tensione survoltata  $V_{HV}$  caratteriz-  
zata da un andamento pulsante molto marcato, tramite  
l'accoppiamento capacitivo costituito dalle capacità  
porta-sorgente e porta-pozzo dei transistori PMOS ed  
NMOS 18 e 20 e gli interruttori 16.1-16.N, tale andamento  
pulsante viene riportato sull'uscita del regolatore di  
tensione 3 e costituisce un disturbo indesiderato pre-  
sente sulla tensione regolata  $V_{REG}$  generata dal regola-  
tore di tensione 3.

Pertanto, tale soluzione risulta soddisfacente per  
quanto riguarda la conduttività dei transistori PMOS ed  
NMOS 18 e 20, ma insoddisfacente per quanto riguarda la  
reiezione al rumore.

Per ovviare a tale inconveniente, è stata proposta  
una soluzione alternativa che consiste nel fornire al  
circuito di comando 22, come sua tensione di alimenta-  
zione  $V_{PG}$ , la tensione regolata  $V_{REG}$  fornita dal regola-  
tore di tensione 3, ossia. Tale soluzione risulta soddi-  
sfacente sia dal punto di vista della conduttività dei  
transistori PMOS ed NMOS 18 e 20 che dal punto di vista

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

della reiezione al rumore fintantoché la tensione regolata  $V_{REG}$  fornita dal regolatore di tensione 3 risulta sufficientemente elevata, mentre perde efficacia nel momento in cui si richieda al regolatore di tensione 3 di  
5 fornire una tensione regolata  $V_{REG}$  relativamente bassa, anche inferiore a quella di alimentazione  $V_{CC}$  fornita dall'esterno alla memoria non volatile.

In questa condizione, infatti, i transistori PMOS ed NMOS 18 e 20 degli interruttori 16.1-16.N, che si  
10 vorrebbero assimilabili a dei cortocircuiti, verrebbero ad essere di fatto equiparabili a dei resistori le cui resistenze sono funzione della tensione regolata  $V_{REG}$  fornita dal regolatore di tensione 3 e contribuirebbero quindi direttamente a determinare la resistenza del pri-  
15 mo resistore di retroazione 10, e quindi il valore della tensione regolata  $V_{REG}$  stessa, con evidente perdita di precisione o, in caso estremo, del controllo del valore desiderato della tensione regolata  $V_{REG}$ .

Scopo della presente invenzione è quello di realizzare una memoria non volatile provvista di regolatore di  
20 tensione comandato da un circuito di comando che consenta di superare almeno in parte gli inconvenienti dei circuiti di comando sopra descritti.

Secondo la presente invenzione viene realizzata una  
25 memoria non volatile, come definita nella rivendicazione 1.

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

Per una migliore comprensione della presente invenzione viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

5       - la figura 1 mostra uno schema circuitale di uno stadio alimentatore generante una tensione regolata utilizzata in una memoria non volatile con decodifica gerarchica di riga;

10       - la figura 2 mostra uno schema circuitale di principio di un regolatore di tensione variabile facente parte dello stadio alimentatore di figura 1;

      - la figura 3 mostra uno schema circuitale più dettagliato di una parte del regolatore di tensione variabile di figura 2;

15       - la figura 4 mostra uno schema circuitale di un interruttore CMOS pass-gate e di un relativo circuito di comando; e

20       - la figura 5 mostra l'architettura di una memoria non volatile con decodifica gerarchica di riga comprendente un circuito commutatore realizzato secondo la presente invenzione ed utilizzato in combinazione con il circuito di comando di figura 4.

      Nella figura 5 è mostrata l'architettura di una memoria non volatile con decodifica gerarchica di riga,  
25   Per semplicità illustrativa, la figura 5 mostra una sola

BERGADANO MIRKO  
(Iscritto all' Albo n. 843B)

delle linee di parola globali ed alcune delle linee di parola locali ad essa associate ed è relativa unicamente alla generazione delle alte tensioni positive necessarie per la polarizzazione delle linee di parola durante le  
5 fasi di lettura e programmazione delle celle di memoria.

In particolare, secondo quanto illustrato nella figura 5, la memoria non volatile, indicata nel suo insieme con 30, comprende una matrice di memoria 32 organizzata secondo linee di parola globali 34 e linee di parola locali 36 ed includente una pluralità di celle di memoria 38, in particolare, celle di memoria multilivello, organizzate a loro volta secondo righe e colonne, in cui le linee di parola globali 34 sono indirizzate mediante un decodificatore di riga globale 40 e le linee di parola locali 36 sono indirizzate mediante un decodificatore di riga locale 42.  
15

In particolare, a ciascuna linea di parola globale 34 sono associate una pluralità di linee di parola locali 36, le quali sono collegate alla rispettiva linea di parola globale 34 attraverso rispettivi transistori PMOS 44 di selezione presentanti, ciascuno, terminale di sorgente collegato alla linea di parola globale 34, terminale di pozzo collegato alla linea di parola locale 36 e terminale di porta collegato al decodificatore di riga locale 42 attraverso una rispettiva linea di controllo  
20  
25

BERGADANO MIRKO  
(iscritto all' Albo n. 843B)

46 distinta dalle linee di controllo 46 a cui sono collegati gli altri transistori PMOS 44 e sulla quale riceve un relativo segnale di comando.

In dettaglio, il decodificatore di parola globale  
5 40 comprende una circuiteria di decodifica globale 50  
atta ad identificare la linea di parola globale 34 da  
indirizzare ed una pluralità di stadi di pilotaggio globali di uscita 52, uno per ciascuna linea di parola globale 34 (uno solo dei quali è mostrato nella figura),  
10 interposti fra la circuiteria di decodifica globale 50 e  
le linee di parola globali 34 ed atti a polarizzare le  
linee di parola globali 34 stesse alle tensioni che di  
volta in volta sono necessarie.

Analogamente, il decodificatore di riga locale 42  
15 comprende una circuiteria di decodifica locale 54 atta  
ad identificare la linea di parola locale 36 da indirizzare ed una pluralità di stadi di pilotaggio locali di uscita 56, uno per ciascuna linea di parola locale 36,  
interposti fra la circuiteria di decodifica locale 54 e  
20 rispettive linee di controllo 46 collegate ai terminali  
di porta dei transistori PMOS 44 ed atti a comandare  
l'accensione e lo spegnimento dei transistori PMOS 44  
stessi per consentire o meno il trasferimento della tensione presente sulla linea di parola globale 34 alle linee di parola locali 36.  
25

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

L'indirizzamento delle linee di parola globali 34 può essere alternativamente effettuato mediante un unico decodificatore di riga globale 40 o più decodificatori di riga globali 40 fra loro distinti, così come  
5 l'indirizzamento delle linee di parola locali 36 può essere alternativamente effettuata mediante un unico decodificatore di riga locale 42 o più decodificatori di riga locali 42 fra loro distinti.

La memoria non volatile 30 comprende inoltre un  
10 primo stadio alimentatore 60 del decodificatore di riga globale 40; un secondo stadio alimentatore 62 del decodificatore di riga locale 42; ed un terzo stadio alimentatore 64 per la polarizzazione del terminale di pozzo delle celle di memoria in fase di programmazione ed il  
15 terminale di sorgente (ed eventualmente del triplo well) in fase di cancellazione.

In particolare, gli stadi alimentatori 60, 62, 64 presentano una struttura circuitale del tutto identica a quella dello stadio alimentatore 1, ossia comprendono,  
20 ciascuno, un circuito elevatore di tensione 70, 72, 74 avente un ingresso collegato ad una linea di alimentazione 76 posta alla tensione di alimentazione  $V_{CC}$  fornita dall'esterno alla memoria non volatile 30, ed una uscita fornente una tensione survoltata  $V_{HV1}$ ,  $V_{HV2}$ ,  $V_{HV3}$   
25 avente ampiezza maggiore della tensione di alimentazione

BERGADANO MIRKO  
(iscritto all' Albo n. 8438)

$V_{CC}$  (ad esempio 10 V); ed un regolatore di tensione 80, 82, 84 avente un ingresso collegato all'uscita del relativo circuito elevatore di tensione 70, 72, 74 ed una uscita collegata ad una linea di alimentazione 86, 88, 90, sulla quale fornisce una tensione regolata  $V_{REG1}$ ,  $V_{REG2}$ ,  $V_{REG3}$ .

Alla linea di alimentazione 86 sono collegati la circuiteria di decodifica globale 50, gli stadi di pilotaggio globali di uscita 52 e tutti i terminali di bulk dei transistori PMOS 44, in modo da essere polarizzati alla tensione più alta al fine di evitare sia la polarizzazione diretta temporanea delle giunzioni PN (fenomeno del "latch-up") che il cosiddetto "effetto body". Alla linea di alimentazione 88 sono invece collegati sia la circuiteria di decodifica locale 54 che gli stadi di pilotaggio locali di uscita 56.

I regolatori di tensione 80, 82, 84 presentano una struttura circuitale del tutto identica a quella del regolatore di tensione 3, la quale pertanto non verrà nuovamente descritta in dettaglio, e ciascuno di essi riceve in ingresso un rispettivo set di segnali di comando per i propri interruttori CMOS pass-gate. In particolare, nella figura 5 i segnali di comando forniti al primo regolatore di tensione 80 sono indicati con  $\phi_{1_1}$ ,  $\bar{\phi}_{1_1}$ , ...,  $\phi_{1_N}$ ,  $\bar{\phi}_{1_N}$ , i segnali di comando forniti al secondo rego-

BERGADANO MIRKO  
(iscritto all' Albo n. 8438)

latore di tensione 82 sono indicati con  $\phi_{2_1}, \bar{\phi}_{2_1}, \dots, \phi_{2_N}, \bar{\phi}_{2_N}$ , ed i segnali di comando forniti al terzo regolatore di tensione 84 sono indicati con  $\phi_{3_1}, \bar{\phi}_{3_1}, \dots, \phi_{3_N}, \bar{\phi}_{3_N}$ .

I segnali di comando  $\phi_{1_1}, \bar{\phi}_{1_1}, \dots, \phi_{1_N}, \bar{\phi}_{1_N}, \phi_{2_1}, \bar{\phi}_{2_1}, \dots, \phi_{2_N}, \bar{\phi}_{2_N}$  e  $\phi_{3_1}, \bar{\phi}_{3_1}, \dots, \phi_{3_N}, \bar{\phi}_{3_N}$  forniti ai regolatori di tensione 80, 82, 84 sono generati da un circuito di comando 92 simile al circuito di comando 22 e presentante un ingresso di alimentazione riceventi una tensione di alimentazione  $V_{PG}$ , un ingresso di segnale ricevete  
 10 segnali di controllo S1 generati da un opportuno circuito di controllo non mostrato, ed una pluralità di coppie di uscite, una per ciascun interruttore CMOS pass-gate dei regolatori di tensione 80, 82, 84, fornenti i summenzionati segnali di comando.

15 Nella tabella seguente è mostrato un esempio delle tensioni regolate  $V_{REG1}, V_{REG2}, V_{REG3}$  generate dai tre regolatori di tensione 80, 82, 84 nelle varie fasi di funzionamento della memoria non volatile 32 alla quale viene fornita una tensione di alimentazione  $V_{CC}$  di 3 V.

20

|            | LETTURA  | PROGRAMMAZIONE                                       | CANCELLAZIONE        |
|------------|----------|------------------------------------------------------|----------------------|
| $V_{REG1}$ | 6 V      | 1,5-9 V passo 300 mV                                 | 1,5 V                |
| $V_{REG2}$ | 6,5 V    | 6,5 V se $V_{REG1} < 6$ V<br>9 V se $V_{REG1} > 6$ V | 1,5 V                |
| $V_{REG3}$ | $V_{CC}$ | 4.2 v                                                | 3,6-9 V passo 300 mV |

BERGADANO MIRKO  
 (iscritto all' Albo n. 8438)

Dall'analisi della precedente tabella, si nota come durante la fase di lettura, la tensione regolata  $V_{REG2}$  viene mantenuta fissa ad un valore leggermente superiore a quello della tensione regolata  $V_{REG1}$ , mentre durante la  
5 fase di programmazione la tensione regolata  $V_{REG2}$  può assumere soltanto due valori che sono comunque maggiori di quelli della tensione regolata  $V_{REG1}$ .

Durante la fase di cancellazione, invece, la tensione regolata  $V_{REG3}$  varia a passi di 300 mV ed il suo  
10 valore iniziale è almeno pari alla massima tensione di alimentazione ammissibile per la memoria (3,6 V) e quindi garantisce un potenziale minimo adeguato.

Volendo pertanto alimentare il circuito di comando  
90 con una tensione regolata generata da un regolatore di tensione, alla luce di quanto emerge dall'analisi della tabella precedente risulta pertanto evidente che il regolatore di tensione 82, cioè quello che fornisce in uscita la tensione regolata  $V_{REG2}$  per la polarizzazione del decodificatore di riga locale 42, sarebbe quello  
15 più indicato durante le fasi di lettura e programmazione, mentre il regolatore di tensione 84, cioè quello che fornisce in uscita la tensione regolata  $V_{REG3}$  per la polarizzazione dei terminali di pozzo e di sorgente delle celle di memoria 38, sarebbe quello più indicato durante  
20 la fase di cancellazione.  
25

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

Secondo la presente invenzione, pertanto, la tensione di alimentazione  $V_{PG}$  del circuito di comando 92 viene selezionata fra le tensioni regolate  $V_{REG2}$  e  $V_{REG3}$  mediante un circuito commutatore 94 formato da un primo e da un secondo interruttore 96, 98, realizzati ad esempio mediante transistori MOS, comandati in controfase mediante un primo ed un secondo segnale di comando S2 ed S3 generati da un circuito generatore di segnale non mostrato, ed aventi primi terminali collegati alle linee di alimentazione 88, 90 (collegate a loro volta alle uscite del regolatore di tensione 82 e, rispettivamente, del regolatore di tensione 84), e secondi terminali collegati assieme ed all'ingresso di alimentazione del circuito di comando 92 per fornire a quest'ultimo la tensione di alimentazione  $V_{PG}$ .

In particolare, i segnali di comando S2 ed S3 determinano, in base alla fase di funzionamento in cui della memoria non volatile 30 (lettura, programmazione, cancellazione), da quale, fra il regolatore di tensione 82 ed il regolatore di tensione 84, viene alimentato il circuito di comando 92, ossia in base a quale, fra le tensioni regolate  $V_{REG2}$  e  $V_{REG3}$ , vengono generati i segnali di comando degli interruttori dei regolatori di tensione 80, 82, 84.

In dettaglio, i segnali di comando S2 ed S3 determinano la chiusura dell'interruttore 96 e l'apertura

dell'interruttore 98 durante le fasi di lettura e di programmazione delle celle di memoria 38, determinando conseguentemente l'alimentazione del circuito di comando 92 con la tensione regolata  $V_{REG2}$ , e l'apertura 5 dell'interruttore 96 e la chiusura dell'interruttore 98 durante la fase di cancellazione delle celle di memoria 38, determinando così l'alimentazione del circuito di comando 92 con la tensione regolata  $V_{REG3}$ .

Per non introdurre perturbazioni indesiderate sulle 10 tensioni regolate  $V_{REG1}$ ,  $V_{REG2}$ ,  $V_{REG3}$  generate dai regolatori di tensione 80, 82, 84 durante la commutazione degli interruttori 96, 98, è necessario che i segnali di comando S2 ed S3 siano opportunamente temporizzati in modo tale da non essere sovrapposti temporalmente fra loro. 15 In particolare, occorre che l'interruttore 96, 98 che è chiuso si apra prima che venga chiuso il suo complementare, evitando così di mettere in cortocircuito, anche solo per un breve tempo, le uscite dei regolatori di tensione 80, 82, 84.

20 Da un esame delle caratteristiche della presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

Innanzitutto, la presente invenzione mantiene i vantaggi dei regolatori di tensione noti sia dal punto 25 di vista della conduttività degli interruttori pass-gate

BERGADANO MIRKO  
[iscritto all' Albo n. 8438]

del partitore resistivo che dal punto di vista della re-  
iezione al rumore.

Inoltre, scegliendo, attraverso un circuito commu-  
tatore, con le opportune temporizzazioni, quale sia il  
5 regolatore di tensione che garantisce di volta in volta  
la tensione di alimentazione del circuito di comando 92  
più elevata in base alla fase di funzionamento corrente  
della memoria, consente di ottenere la massima conduttivi-  
tà di quegli interruttori dei regolatori di tensione  
10 80, 82, 84 che devono in quel momento realizzare un cor-  
tocircuito del relativo resistore.

Risulta infine chiaro che alla presente invenzione  
qui descritta ed illustrata possono essere apportate mo-  
difiche e varianti senza per questo uscire dall'ambito  
15 protettivo della presente invenzione, come definito nel-  
le rivendicazioni allegate.

Ad esempio, i segnali di comando forniti ai regola-  
tori di tensione 80, 82, 84 potrebbero essere generati,  
anziché da un unico circuito di comando 92, da tre cir-  
20 cuiti di comando distinti, uno per ciascun regolatore di  
tensione 80, 82, 84, ciascuno dei quali presenta un in-  
gresso di alimentazione collegato all'uscita del circui-  
to commutatore 94 ed una pluralità di coppie di uscite  
sulle quali sono presenti i segnali di comando forniti  
25 al rispettivo regolatore di tensione 80, 82, 84.

BERGADANO MIRKO  
(iscritto all'Albo n. 843B)

## R I V E N D I C A Z I O N I

1. Memoria non volatile (30) comprendente una matrice di memoria (32) organizzata secondo linee di parola globali (34) e linee di parola locali (36) e comprendente una pluralità di celle di memoria (38); mezzi decodificatori di riga globali (40); mezzi decodificatori di riga locali (42); primi mezzi alimentatori (60) per alimentare detti mezzi decodificatori di riga globali (40); secondi mezzi alimentatori (62) per alimentare detti mezzi decodificatori di riga locali (42); e terzi mezzi alimentatori (64) per polarizzare terminali di dette celle di memoria (38); detti primi, secondi e terzi mezzi alimentatori (60, 62, 64) comprendendo, ciascuno, una pluralità di componenti elettronici (14.1-14.N) collegati in serie fra loro, ed una pluralità di primi mezzi interruttori controllati (16.1-16.N) collegati, ciascuno, in parallelo ad un rispettivo di detti componenti elettronici (14.1-14.N); mezzi di comando (92) essendo previsti per comandare l'apertura e la chiusura di ciascuno di detti primi mezzi interruttori controllati (16.1-16.N); caratterizzata dal fatto di comprendere inoltre mezzi commutatori (94) per collegare selettivamente un ingresso di alimentazione di detti mezzi di comando (92) ad una uscita di detti secondi mezzi alimentatori (62) e ad una uscita di detti terzi mezzi alimen-

BERGADANO MIRKO  
(iscritto all' Albo n. 843B)

tatori (64) in funzione della fase di funzionamento di detta memoria non volatile (30).

2. Memoria non volatile secondo la rivendicazione 1, caratterizzata dal fatto che detti mezzi commutatori (94) collegano detto ingresso di alimentazione di detti mezzi di comando (92) a detta uscita di detti secondi mezzi alimentatori (62) durante le fasi di lettura e programmazione di dette celle di memoria (38) e a detta uscita di detti terzi mezzi alimentatori (64) durante una fase di cancellazione di dette celle di memoria (38).

3. Memoria non volatile secondo una qualsiasi delle rivendicazioni precedenti, caratterizzata dal fatto che detti mezzi commutatori (94) comprendono secondi mezzi interruttori controllati (96) interposti fra detto ingresso di alimentazione di detti mezzi di comando (92) e detta uscita di detti secondi mezzi alimentatori (62), e terzi mezzi interruttori controllati (98) interposti fra detto ingresso di alimentazione di detti mezzi di comando (92) e detta uscita di detti terzi mezzi alimentatori (64).

4. Memoria non volatile secondo la rivendicazione 3, caratterizzata dal fatto che detti secondi e terzi mezzi interruttori controllati (96, 98) ricevono, su rispettivi ingressi di controllo, rispettivi segnali di

BERGADANO MIRKO  
(iscritto all' Albo n. 843B)

comando (S2, S3) non sovrapposti temporalmente fra loro.

5. Memoria non volatile secondo una qualsiasi delle rivendicazioni precedenti, caratterizzata dal fatto che detti primi mezzi interruttori controllati comprendono 5 mezzi interruttori CMOS pass-gate (16.1-16.N).

6. Memoria non volatile secondo una qualsiasi delle rivendicazioni precedenti, caratterizzata dal fatto che detti componenti elettronici comprendono rispettivi resistori (14.1-14.N).

10 7. Memoria non volatile secondo una qualsiasi delle rivendicazioni precedenti, caratterizzata dal fatto che detti primi, secondi e terzi mezzi alimentatori (60, 62, 64) comprendono, ciascuno, mezzi elevatori di tensione (70, 72, 74) e mezzi regolatori di tensione (80, 82, 84) 15 collegati fra loro in cascata; detti mezzi regolatori di tensione (80, 82, 84) comprendendo mezzi amplificatori retroazionati (4) provvisti di una rete di retroazione (8) comprendente detti componenti elettronici (14.1-14.N) e detti primi mezzi interruttori controllati 20 (16.1-16.N).

8. Memoria non volatile secondo la rivendicazione 7, caratterizzata dal fatto che detti mezzi commutatori (92) collegano selettivamente detto ingresso di alimentazione di detti mezzi di comando (92) ad una uscita dei 25 mezzi regolatori di tensione (82) di detti secondi mezzi

BERGADANO MIRKO  
(iscritto all'Albo n. 8438)

alimentatori (62) e ad una uscita dei mezzi regolatori di tensione (84) di detti terzi mezzi alimentatori (64).

9. Memoria non volatile, sostanzialmente come descritta con riferimento ai disegni allegati.

5 p.i.: STMICROELECTRONICS S.R.L.

BERGADANO MIRKO  
(Iscritto all' Albo n. 843B)

  
  
AIAA  
Roma

BERGADANO MIRKO  
(Iscritto all' Albo n. 843B)

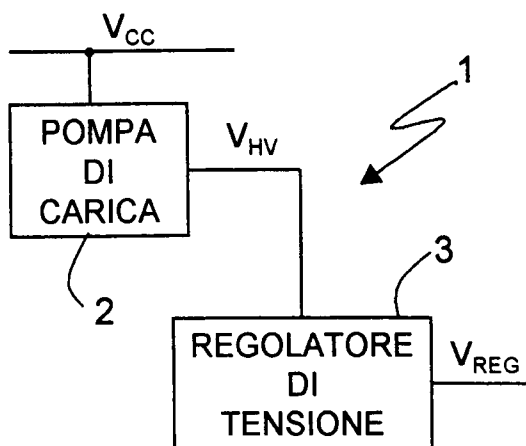


Fig.1

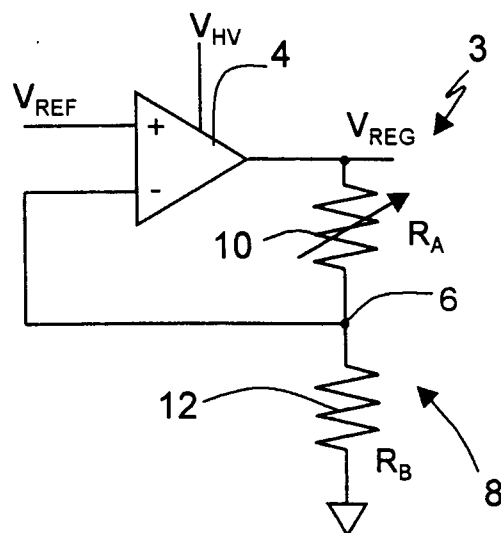


Fig.2

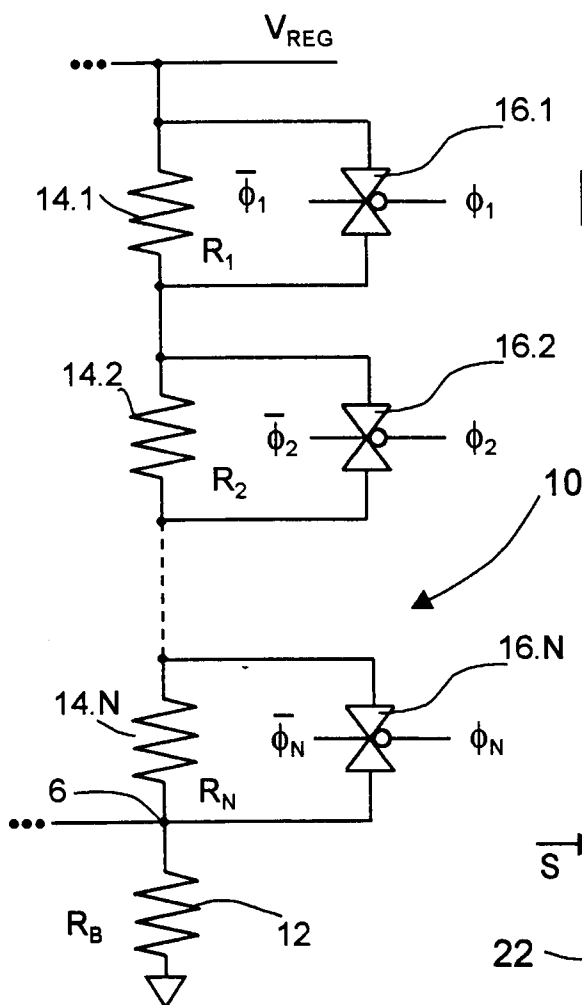


Fig.3

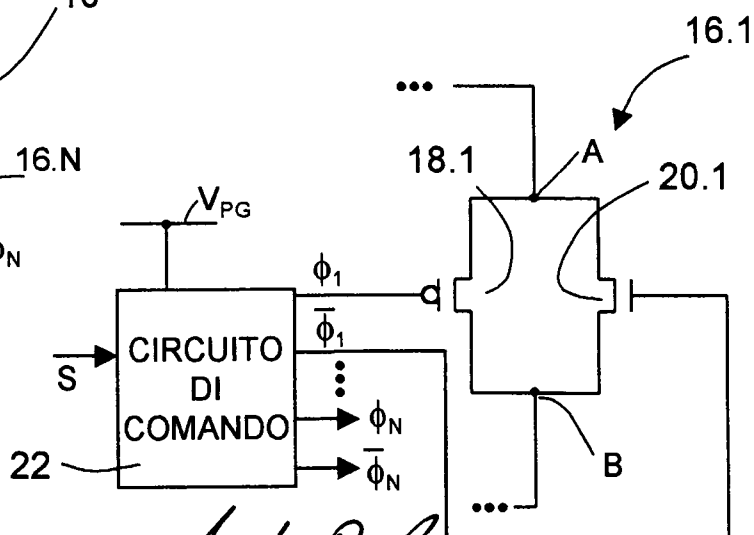


Fig.4

Fig.5

