

[12] 发明专利说明书

[21] ZL 专利号 97111732.2

[45] 授权公告日 2002 年 7 月 3 日

[11] 授权公告号 CN 1087103C

[22] 申请日 1997.4.24

[21] 申请号 97111732.2

[30] 优先权

[32]1996.4.25 [33]JP [31]103037

[73] 专利权人 日本电气株式会社

地址 日本东京

[72] 发明人 平田守央

[56] 参考文献

EP 248608A1 1987.12.9 H03K19003

审查员 赵百令

[74] 专利代理机构 中原信达知识产权代理有限责任公司

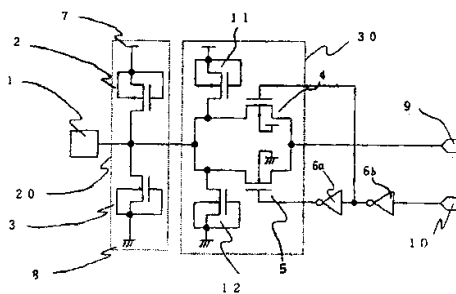
代理人 穆德骏

权利要求书 2 页 说明书 11 页 附图页数 13 页

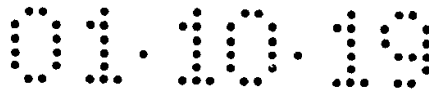
[54] 发明名称 半导体装置

[57] 摘要

本发明的目的是要提供一种对外来过电压具有高的保护性能的半导体装置。该装置在其模拟开关 30 中有一个其漏极端子连接于一个 P 型传输门 4 的外侧中的 P 型扩散层,并且其栅极和源极端子连接于电源电位的 P 型虚拟晶体管 11, 和一个其漏极端子连接于一个 N 型传输门 5 的外侧中的 N 型扩散层,并且其栅极和源极端子连接于接地电位的 N 型虚拟晶体管 12, 并且当从外部施加一个过电压时,使得过电流经过 P 型和 N 型虚拟晶体管 11 和 12 流向电源电位或接地电位。



ISSN 1008-4274



权 利 要 求 书

1. 一种半导体装置包括：

多个用于进行信号输入和输出的焊接区；

5 一个具有 P 型和 N 型 MOS 晶体管，用于在所述焊接区之间或是在
所述焊接区与内部模拟电路之间传送信号的模拟开关； 和

 一个具有 P 型和 N 型保护 MOS 晶体管，用于保护所述模拟开关的
保护电路，

10 其中所述模拟开关中的一个区域中还具有一个 N 型虚拟晶体管，
在该区域中的被所述 N 型 MOS 晶体管的栅极分割的扩散层的端点连接
于所述焊接区，所述 N 型虚拟晶体管是通过利用所述扩散层作为漏极并
且一个栅极和一个源极连接于接地电位而形成的。

2. 一种半导体装置包括：

15 多个用于进行信号输入和输出的焊接区；

 一个具有 P 型和 N 型 MOS 晶体管，用于在所述焊接区之间或是在
所述焊接区与内部模拟电路之间传送信号的模拟开关； 和

 一个具有 P 型和 N 型保护 MOS 晶体管，用于保护所述模拟开关的
保护电路，

20 其中所述模拟开关中的一个区域中还具有一个 P 型虚拟晶体管，
在该区域中的被所述 P 型 MOS 晶体管的栅极分割的扩散层的端点连接
于所述焊接区，所述 P 型虚拟晶体管是通过利用所述扩散层作为漏极并
且一个栅极和一个源极连接于电源电位而形成的。

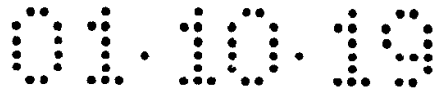
25 3. 如权利要求 1 所述的半导体装置，其中所述模拟开关中的一个
区域中还具有一个 P 型虚拟晶体管，在该区域中的被所述 P 型 MOS 晶
体管的栅极分割的扩散层的端点连接于所述焊接区，所述 P 型虚拟晶体
管是通过利用所述扩散层作为漏极并且一个栅极和一个源极连接于电
源电位而形成的。

30

 4. 如权利要求 1 和 2 之一所述的半导体装置，其中所述虚拟晶体
管具有与所述保护 MOS 晶体管相同的结构。

5. 一种半导体装置包括：

35 多个用于进行信号输入和输出的焊接区；



一个具有两个或更多的相互串联连接在一个电源电位和所述焊接区之间的 P 型 MOS 晶体管的输出电路；和

一个具有 P 型和 N 型保护 MOS 晶体管，用于保护所述输出电路的保护电路，

5 其中所述输出电路中的一个区域还具有一个 P 型虚拟晶体管，该区域中的被所述 P 型 MOS 晶体管的栅极分割的扩散层的端点连接于所述焊接区，所述 P 型虚拟晶体管是通过利用所述扩散层作为漏极并且一个栅极和一个源极连接于所述电源电位而形成的。

10 6. 如权利要求 5 所述的半导体装置，其中所述输出电路是一个 NOR 型输出电路。

7. 一种半导体装置包括：

多个用于进行信号输入和输出的焊接区；

15 一个具有两个或更多的相互串联连接在一个接地电位和所述焊接区之间的 N 型 MOS 晶体管的输出电路；和

一个具有 P 型和 N 型保护 MOS 晶体管，用于保护所述输出电路的保护电路，

20 其中所述输出电路中的一个区域还具有一个 N 型虚拟晶体管，该区域中的被所述 N 型 MOS 晶体管的栅极分割的扩散层的端点连接于所述焊接区，所述 N 型虚拟晶体管是通过利用所述扩散层作为漏极并且一个栅极和一个源极连接于所述接地电位而形成的。

25 8. 如权利要求 7 所述的半导体装置，其中所述输出电路是一个 NAND 型输出电路。

9. 如权利要求 5 至 8 中任意一个所述的半导体装置，其中所述虚拟晶体管具有与所述保护 MOS 晶体管相同的结构。

说明书

半导体装置

5 本发明涉及一种半导体集成电路,特别是涉及一种使用绝缘栅电场效应管(以下称为MOS晶体管)的传输门。

图1是一个电路图,显示了一种现有的半导体装置的结构例子。

10 参考图1,这个现有的半导体装置包括一个用于把模拟信号从输入焊接区传送到输出焊接区的模拟开关130,和一个保护模拟开关130的保护电路20。从模拟信号9输入的信号通过模拟开关130和保护电路20传送到焊接区1,从焊接区1输入的信号经过保护电路20和模拟开关130传送到模拟信号9,等等。在模拟开关130中并排提供有一个P型传输门4和一个N型传输门5,倒相器6a和6b分别将反相控制信号10输入到它们的栅极端子。在保护电路20中提供有一个P型保护晶体管2,其源极和栅极端子连接于电源电位7,其漏极端子连接于焊接区1,和一个N型保护晶体管3,其源极和栅极端子连接于接地电位,其漏极端子连接于焊接区1。

20 图2显示了图1所示模拟开关130的布置的例子。

图3(a)是图2所示模拟开关130沿C-C'线的剖视图,图3(b)是图2所示的模拟开关130沿D-D'线的剖视图。

25 参考图2,焊接区1通过一个第二层金属接线101-1和第一层金属接线102-1和102-4连接于N型传输门4的N型扩散层104-1和104-3,以及P型传输门5的P型扩散层103-2和103-4。因此使焊接区1与模拟开关130相互连接。

30 在这里,在N型传输门5内侧的一个N型扩散层104-2和在P型传输门4内侧的一个P型扩散层103-3经过一个第一层金属接线102-7连接于一个内部电路。

35 此外,为了防止闭锁超载,N型传输门5由一个连接于接地电位

(V_{ss}) 8 的 P 型扩散层 103-1 包围。 P 型传输门 4 也被一个连接于电源电位 (V_{dd}) 7 的 N 型扩散层 104-4 包围。

以下说明具有这种构造的模拟开关的操作。

5

当控制信号 10 是低电平时，使得 P 型传输门 4 和 N 型传输门 5 都是不导电的，因此芯片的外部 and 内部是相互电屏蔽的。

10

当控制信号 10 是高电平时，使得 P 型传输门 4 和 N 型传输门 5 都是导电的，因此一个具有在接地电位 8 和电源电位 7 之间的任选电位的信号从外部焊接区 1 传送到内部的模拟信号 9，或从内部模拟信号 9 传送到外部焊接区 1。

15

接下来说明用于防止构成模拟开关 130 的晶体管击穿的保护电路 20 的操作。当从外部施加一个静电之类的过电压时，会发生这种击穿。

20

当从外部向接地端施加一个正的过电压时，在 N 型保护晶体管 3 的漏极端子的栅极端子侧的 N 型扩散层中首先产生击穿，因此使得电流流到 P 型阱中。在这种场合击穿电压称为 BVDS。

25

随后，流入 P 型阱中的电流造成电压降低，源极端子的 N 型扩散层和一个由 P 型阱形成的二极管具有正向偏压，使得由漏极端子，P 型阱和源极端子形成的一个寄生 NPN 型双极晶体管处于操作状态（此后称为快反向 (snapback) 操作状态），并使得来自外部的过电流流向接地端。

30

在快反向操作状态实现之后，使得 N 型保护晶体管 3 的连接在 N 型传输门 5 的焊接区 1 上的漏极端子的电位固定在一个低于 N 型扩散层的击穿电压的值，因而保护了模拟开关 130 不会被击穿。

35

当从外部向接地端施加一个负的过电压时，N 型保护晶体管 3 的漏极扩散层具有正向偏压，使得电流通过 P 型阱流向接地端，因此保护了模拟开关 130 不被击穿。

当从外部向电源施加一个正的过电压时，P 型保护晶体管 2 的漏极扩散层具有正向偏压，使得电流通过 N 型阱流向电源，因而保护了模拟

开关 130 不被击穿。

5 当从外部向电源施加一个负的过电压时，首先在 P 型保护晶体管 2 的漏极端子的栅极端子侧的 P 型扩散层中发生击穿，因而使得电流流向 N 型阱。

10 随后流入 N 型阱中的电流造成电压降低，源极端子的 P 型扩散层和一个 N 型阱形成的二极管具有正向偏压，使得由漏极端子，N 型阱和源极端子构成的一个寄生 PNP 型双极晶体管处于快反向操作状态，因而使来自外部的过电流流向电源。

15 在快反向操作状态实现之后，P 型保护晶体管的连接在 P 型传输门 4 的焊接区 1 上的漏极端子的电位固定在一个低于 P 型扩散层的击穿电压，因而保护了模拟开关不会被击穿。

图 4 是一个电路图，显示了一种现有半导体装置的另一种结构的例子。

20 参考图 4，本例的现有半导体装置包括一个 NOR 型输出电路 140，和一个保护 NOR 型输出电路 140 的保护电路 20。从数据信号 18 输入的信号通过 NOR 型输出电路 140 和保护电路 20 传送到焊接区 1，从焊接区 1 输入的信号经过保护电路 20 和 NOR 型输出电路 140 传送到数据信号 18，等等。在 NOR 型输出电路 140 中提供有连接于控制信号 17 的一个 P 型晶体管 13 和一个 N 型晶体管 16，以及连接于数据信号 18 的一个 P 型晶体管 14 和一个 N 型晶体管 15。在保护电路 20 中，提供有一个其源极和栅极端子连接于电源电位 7 并且其漏极端子连接于焊接区 1 的 P 型保护晶体管 2，和一个其源极和栅极端子连接于接地电位并且其漏极端子连接于焊接区 1 的 N 型保护晶体管 3。

30 图 5 显示了图 4 所示的一种 NOR 型输出电路的布置的例子。

35 参考图 5，在一个垂直放置的 P 型晶体管的漏极部分中的 P 型扩散层 103-4 经过一个第一层金属接线 102-1，一个在第一和第二层金属接线之间的接触导线 C2 和一个第二层金属接线 101-1 连接于焊接区。

与图 2 中所示的半导体装置的情况一样，由于在扩散层中形成的转

角部分，当从外部施加一个过电压时，过电流以集中形式流向转角部分，结果扩散层被破坏。

5 以下详细地说明向包括 N 型传输门 5 的接地端施加正过电压的情况。

N 型保护晶体管 3 的漏极端子与 N 型传输门 5 的 N 型扩散层总是处于相同的电位，这是由于它们由一个低电阻金属接线相互连接在一起。

10 对于 N 型传输门 5 的 N 型扩散层，击穿发生在它的场氧化膜端。在这种场合击穿电压称为 BVJ。

在这里，BVJ 依赖于模拟开关的布置。

15 图 6 显示了图 2 所示的半导体装置的击穿电压。

20 参考图 6，当某一侧的扩散层端没有与另一侧的扩散层端相交时，如图 2 中所示的 N 型扩散层 104-2 的情况，BVJ1 是击穿电压。当某一侧的扩散层端与另一扩散层端相交时，如 N 型扩散层 104-1 和 104-3 的情况，BVJ2 是击穿电压。BVDS 是 N 型保护晶体管 3 的击穿电压。

25 在 N 型扩散层 104-1 和 104-3 中，扩散层的转角部分中先于扩散层边缘发生击穿，这是由于电场集中在那里。结果，BVJ2 低于 BVJ1，BVJ1 是当扩散层中没有转角部分时的击穿电压。

30 如图 6 中所示，当 N 型传输门的 N 型扩散层的 BVJ2 小于 N 型保护晶体管的 BVDS 时，如果从外部施加一个过电压，在 N 型传输门的 N 型扩散层的转角部分中先于作为保护晶体管的 N 型保护晶体管发生击穿，并且由于电流集中在扩散层的狭窄的转角部分，扩散层遭到破坏。

35 上述的说明是针对当一个正的过电压施加于接地端这种情况的。但是，应当理解，当把一个负的过电压施加于电源端时，用 P 型传输门 4 的 P 型扩散层和 P 型保护晶体管 2 分别替代上述的 N 型传输门 5 的 N 型扩散层和 N 型保护晶体管 3，那么过电压使 P 型传输门的 P 型扩散层损坏。

从上面的说明中可以看到, 现有的半导体装置存在着一个内在的问题。特别是当从外部施加一个过电压时, 装置有被一个低于保护晶体管的击穿电压的电压击穿的可能性。

5

本发明是鉴于现有技术的上述内在缺陷而做出的, 本发明的目的是要提供一种半导体装置, 这种装置对于外部施加的过电压具有高的保护性能。

10

本发明的目的是通过一种半导体装置实现的, 该半导体装置包括多个用于进行信号输入和输出的焊接区, 一个具有 P 型和 N 型 MOS 晶体管的, 用于在焊接区之间或是在焊接区与一个内部模拟电路之间传送信号的模拟开关, 和一个具有 P 型和 N 型保护 MOS 晶体管的, 用于保护模拟开关的保护电路, 模拟开关设置在一个部位, 其中扩散层的被 N 型 MOS 晶体管的栅极分割的各端点连接在焊接区上, 通过利用扩散层作为漏极并将一个栅极和一个源极连接于接地电位形成了一个 N 型虚拟晶体管。

15

20

本发明的目的也可以通过另一种半导体装置实现, 该装置包括多个用于进行信号输入和输出的焊接区, 一个具有 P 型和 N 型 MOS 晶体管的, 用于在焊接区之间或是在焊接区与一个内部模拟电路之间传送信号的模拟开关, 和一个具有 P 型和 N 型保护 MOS 晶体管的, 用于保护模拟开关的保护电路, 模拟开关设置在一个部位, 其中扩散层的被 P 型 MOS 晶体管的栅极分割的各端点连接在焊接区上, 通过利用扩散层作为漏极并将一个栅极和一个源极连接于电源电位形成了一个 P 型虚拟晶体管, 并且该虚拟晶体管具有与保护 MOS 晶体管相同的结构。

25

30

本发明的目的还可以通过另一种半导体装置实现, 该装置包括多个用于进行信号输入和输出的焊接区, 一个具有串联连接在电源电位和焊接区之间的两个或更多的 P 型 MOS 晶体管的输出电路, 和一个具有 P 型和 N 型保护 MOS 晶体管的, 用于保护输出电路的保护电路, 输出电路设置在一个部位, 其中扩散层的被 P 型 MOS 晶体管的栅极分割的各端点连接在焊接区上, 通过利用扩散层作为漏极并将一个栅极和一个源极连接于电源电位形成了一个 P 型虚拟晶体管, 并且该输出电路是一个 NOR 型输出电路。

35

本发明的目的还可以通过另一种半导体装置实现，该装置包括多个用于进行信号输入和输出的焊接区，一个具有串联连接在接地电位和焊接区之间的两个或更多的 N 型 MOS 晶体管的输出电路，和一个具有 P 型和 N 型保护 MOS 晶体管的，用于保护输出电路的保护电路，输出电路设置在一个部位，其中扩散层的被 N 型 MOS 晶体管的栅极分割的各端点连接在焊接区上，通过利用扩散层作为漏极并将一个栅极和一个源极连接于接地电位形成了一个 N 型虚拟晶体管，该输出电路是一个 NAND 型输出电路，并且该虚拟晶体管具有与保护 MOS 晶体管相同的结构。

根据提供了一种如此构造的半导体装置的本发明，当一个静电之类的过电压经过焊接区施加于半导体装置时，虚拟晶体管使过电流流向接地端，因而可以防止低于保护晶体管的击穿电压的电压造成击穿，并可以防止 MOS 晶体管的击穿。

为了更完整地理解本发明及其优点，现在结合附图对本发明加以说明。

图 1 是显示一个现有的半导体装置的构造的例子的电路图。

图 2 显示了图 1 中所示的一个模拟开关的布置的例子。

图 3 (a) 图 2 所示的模拟开关的沿 C-C'线的截面图。

图 3 (b) 图 2 所示的模拟开关的沿 D-D'线的截面图。

图 4 是显示一个现有的半导体装置的另一种构造的例子的电路图。

图 5 显示了图 4 中所示的模拟开关的布置的例子。

图 6 显示了图 2 所示的半导体装置的击穿电压。

图 7 显示了本发明的半导体装置的第一实施例的电路图。

图 8 显示了图 7 中所示的模拟开关的布置的例子。

图 9 (a) 是图 8 所示的模拟开关的沿 A-A'线的截面图。

图 9 (b) 是图 8 所示的模拟开关的沿 B-B'线的截面图。

图 10 显示了图 7 中所示的保护电路的布置的例子。

图 11 显示了图 7 所示的模拟开关在一个芯片中的安排。

图 12 显示了本发明的半导体装置的第二实施例的电路图。

图 13 显示了图 12 中所示的 NOR 型输出电路的布置的例子。

以下参考附图对本发明的半导体装置的优选实施例进行说明。

(第一实施例)

图 7 显示了本发明的半导体装置的第一实施例的电路图。

5 参考图 7，在第一实施例中，半导体装置包括一个用于进行信号输入和输出的焊接区 1，一个用于在焊接区 1 与其它焊接区（未示出）之间，或是在焊接区 1 与一个内部模拟电路（未示出）之间传送模拟信号的模拟开关 30，一个用于保护模拟开关 30 的保护电路 20。一个从模拟信号 9 输入的信号经过模拟开关 30 和保护电路 20 传送到焊接区 1，
10 一个从焊接区 1 输入的信号经过保护电路 20 和模拟开关 30 传送到模拟信号 9，等等。模拟开关 30 具有一个作为 P 型 MOS 晶体管的 P 型传输门 4，和一个作为 N 型 MOS 晶体管的 N 型传输门 5，通过倒相器 6a 和 6b 分别将反相控制信号 10 输入到它们的栅极端子，一个 P 型虚拟晶体管 11，其漏极端子连接于 P 型传输门 4 外部的 P 型扩散层，其栅极和源极端子连接于电源电位，以及一个 N 型虚拟晶体管 12，其漏极端子连接于 N 型传输门 5 外部的 N 型扩散层，其栅极和源极端子连接于接地电位。保护电路 20 是以一个 P 型保护晶体管 2 作为 P 型保护晶体管的，其源极和栅极端子连接于电源电位 7，其漏极端子连接于焊接区 1，和以一个 N 型保护晶体管 3 作为 N 型保护晶体管的，其源极和栅极端子连接于接地电位，其漏极端子连接于焊接区 1。
15
20

图 8 显示了图 7 中所示的模拟开关 30 的布置的例子。

25 图 9 (a) 是图 8 所示的模拟开关 30 的沿 A-A'线的截面图，图 9 (b) 是图 8 所示的模拟开关 30 的沿 B-B'线的截面图。

图 10 显示了图 7 中所示的保护电路 20 的布置的例子。

30 参考图 8，焊接区 1 经过一个第二层金属接线 101-1 和第一层金属接线 102-1 和 102-4 连接于 N 型传输门 4 的 N 型扩散层 104-1 和 104-3，以及 P 型传输门 5 的扩散层 103-2 和 103-4。焊接区 1 和模拟开关 130 以这种方式相互连接。

35 在这里 N 型传输门 4 内侧的 N 型扩散层 104-2 和 P 型传输门 5 内侧的 P 型扩散层 103-3 通过一个第一层金属接线 102-7 连接于一个内部电路。

对于位于一个与 N 型扩散层 104-1 内部连接的 N 型扩散层 104-2 对面的 N 型传输门 5 的 N 型扩散层 104-1, 设计了一个 N 型虚拟晶体管, 该虚拟晶体管共用 N 型扩散层 104-1 作为漏极, 并利用经过一个第一层金属接线 102-3 连接于接地电位的一个栅电极 105-3 和一个 N 型扩散层 104-6 分别作为栅极和源极。

同样地, 对于位于一个与 N 型扩散层 104-3 内部连接的 N 型扩散层 104-2 相反一面的 N 型传输门 5 的 N 型扩散层 104-3, 设计了一个 N 型虚拟晶体管, 该虚拟晶体管共用 N 型扩散层 104-3 作为漏极, 并利用经过一个第一层金属接线 102-2 连接于接地电位的一个栅电极 105-4 和一个 N 型扩散层 104-7 分别作为栅极和源极。

在这里, 作为 N 型虚拟晶体管的漏极的 N 型扩散层 104-1 和 104-3 具有与作为图 10 中所示的 N 型保护晶体管的漏极的 N 型扩散层 104-1 和 104-3 相同的结构。

对于位于一个与 P 型扩散层 103-2 内部连接的 P 型扩散层 103-3 对面的 P 型传输门 4 的 P 型扩散层 103-2, 设计了一个 P 型虚拟晶体管, 该虚拟晶体管共用 P 型扩散层 103-2 作为漏极, 并利用经过一个第一层金属接线 102-5 连接于电源电位的一个栅电极 106-3 和一个 P 型扩散层 103-6 分别作为栅极和源极。

同样地, 对于位于一个与 P 型扩散层 103-4 内部连接的 P 型扩散层 103-3 相反一面的 P 型传输门 4 的 P 型扩散层 103-4, 设计了一个 P 型虚拟晶体管, 该虚拟晶体管共用 P 型扩散层 103-4 作为漏极, 并利用经过一个第一层金属接线 102-6 连接于电源电位的一个栅电极 106-4 和一个 P 型扩散层 103-7 分别作为栅极和源极。

在这里, 作为 P 型虚拟晶体管的漏极的 P 型扩散层 103-2 和 103-4 具有与作为图 10 中所示的 P 型保护晶体管的漏极的 P 型扩散层 103-2 和 103-4 相同的结构。

此外, 为了防止闭锁超载, N 型传输门 5 由一个与接地电位 (V_{ss}) 8 连接的 P 型扩散层 103-1 包围。P 型传输门 4 也由一个与电源电位 (V_{dd}) 7 连接的 N 型扩散层 104-4 包围。

图 11 显示了图 7 所示的模拟开关在一个芯片中的安排。

5 参考图 11，当在保护电路 20 的场合，模拟开关 30 安排在一个被一个保护环 210 与一个内部区域 220 分割开的缓冲区 200 中。

下面说明当过电压从外部施加于模拟开关时上述构造的半导体装置的操作。

10 当一个正的过电压施加于接地端时，因为连接于 N 型传输门 5 外部的 N 型扩散层 104-1 和 104-3 具有与 N 型保护晶体管 3 的漏极相同的构造，与 N 型保护晶体管 3 的漏极 BVDS 相同的电压会在这些扩散层中造成击穿，和在适当的时间实现快反向操作状态。在快反向操作状态实现后，如在 N 型保护晶体管 3 的情况一样，使得过电流经过 N 型虚拟晶体管 12 的源极流向接地端。

15 20 当一个负的过电压施加于电源端时，因为连接于 P 型传输门 4 外部的 P 型扩散层 103-2 和 103-4 具有与 P 型保护晶体管 2 的漏极相同的构造，与 P 型保护晶体管 2 的漏极 BVDS 相同的电压会在这些扩散层中造成击穿，和在适当的时间实现快反向操作状态。在快反向操作状态实现后，如在 P 型保护晶体管 2 的情况一样，使得过电流经过 P 型虚拟晶体管 11 的源极流向电源端。

25 如上所述，在本实施例的模拟开关中，与现有的模拟开关不同，扩散层不会被电流集中破坏，因而提供了对抗外部过电压的高保护性能。

30 此外，当从外部施加过电压时，P 型和 N 型虚拟晶体管 11 和 12 发挥作用，以便像 P 型和 N 型保护晶体管 2 和 3 的情况一样，将过电压转向电源和接地端。

35 结果，甚至当 P 型和 N 型保护晶体管 2 和 3 的沟道宽度减少得比现有的情况更多时，也能够获得与现有例子相同或更高的 ESD（静电放电）性能。此外，当 P 型和 N 型虚拟晶体管 11 和 12 的沟道宽度较大时，即使没有提供 P 型和 N 型保护晶体管 2 和 3，也可以获得足够的 ESD 性能。

(第二实施例)

图 12 显示了本发明的半导体装置的第二实施例的电路图。

5 参考图 12，半导体装置包括一个 NOR 型输出电路 40，和一个保护 NOR 型输出电路 40 的保护电路 20。一个从数据信号 18 输入的信号经过 NOR 型输出电路 40 和保护电路 20 传送到焊接区 1，一个从焊接区 1 输入的信号经过保护电路 20 和 NOR 型输出电路 40 传送到数据信号 18，等等。NOR 型输出电路 40 具有连接于一个控制信号 17 的 P 型和 N 型晶体管 13 和 16，连接于数据信号 18 的 P 型和 N 型晶体管 14 和 15，和一个其栅极和源极连接于电源电位 7 并且其漏极连接于保护电路 20 的 P 型虚拟晶体管 19。保护电路 20 具有一个其源极和栅极端子连接于电源电位 7 并且其漏极端子连接于焊接区 1 的 P 型保护晶体管 2，和一个其源极和栅极端子连接于接地电位并且其漏极端子连接于焊接区 1 的 N 型保护晶体管 3。

15 图 13 显示了图 12 所示的 NOR 型输出电路 40 的布置的例子。

20 参考图 13，在垂直设置的 P 型晶体管的漏极部分的 P 型扩散层 103-4 的侧面设计了一个共用该 P 型扩散层 103-4 作为漏极的 P 型虚拟晶体管 19。

25 因此，如同第一实施例的情况一样，使得来自外部的过电压经过 P 型虚拟晶体管 19 流向电源，和可以提高 ESD 保护性能，而不会击穿 P 型晶体管。

30 通过参考图 12 和 13，对 NOR 型输出电路进行了解释，它是由两个相互串联连接在电源电位和焊接区之间的 P 型晶体管 13 和 14 构成的。但是，本发明并不局限于 NOR 型输出电路。利用具有两个或更多的串联连接在电源电位和焊接区之间的 P 型晶体管的电路，或是具有两个或更多的串联连接在焊接区和接地电位之间的 N 型晶体管的电路，例如带有两个串联连接在焊接区和接地电位之间的 N 型晶体管的 NAND 电路，也可以获得同样的效果。在具有两个或更多的串联连接的 P 型晶体管的电路的场合，通过在电源电位和焊接区之间提供一个 P 型虚拟晶体管，在具有两个或更多的串联连接的 N 型晶体管的电路的场合，通过
35 在焊接区和接地电位之间提供一个 N 型虚拟晶体管，可以达到本发明的效果。

5 从上面的说明可以看到，根据本发明，由于在一个区域中——其中被 MOS 晶体管的栅极分割的扩散层端点连接于焊接区——提供了一个以扩散层作为漏极并且其栅极和源极连接于接地电位或电源电位的虚拟晶体管，假如将一个静电之类的过电压经过焊接区施加于半导体装置，虚拟晶体管会使过电流流向电源端或接地端，因而可以防止在低于保护晶体管击穿电压的电压击穿的趋势。结果，可以防止 MOS 晶体管的击穿。

10 尽管已经对本发明的优选实施例做了详细的说明，但应当理解可以进行各种的改变，替代和选择，而不脱离权利要求所限定的本发明的精神和范围。

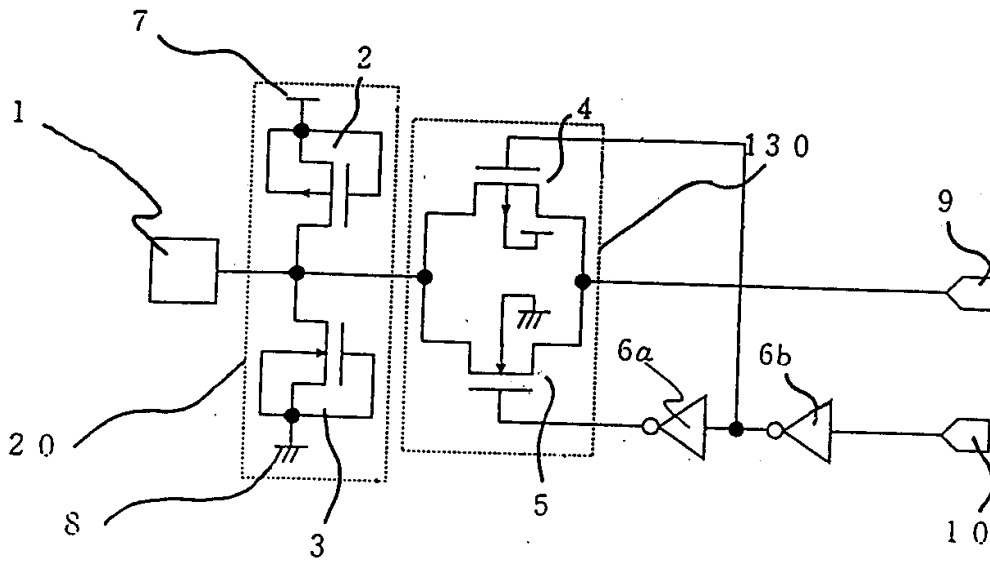


图 1
(现有技术)

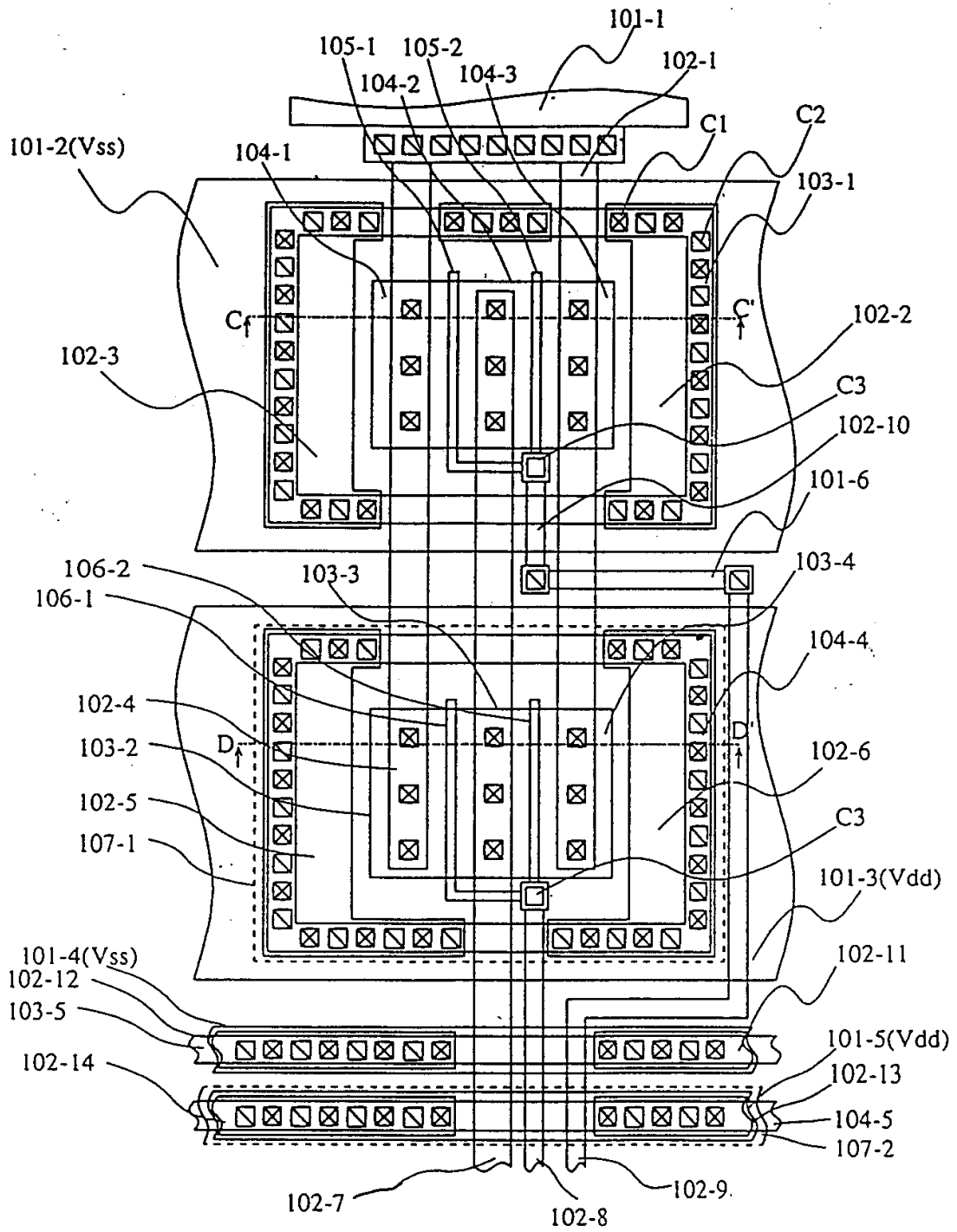


图 2
(现有技术)

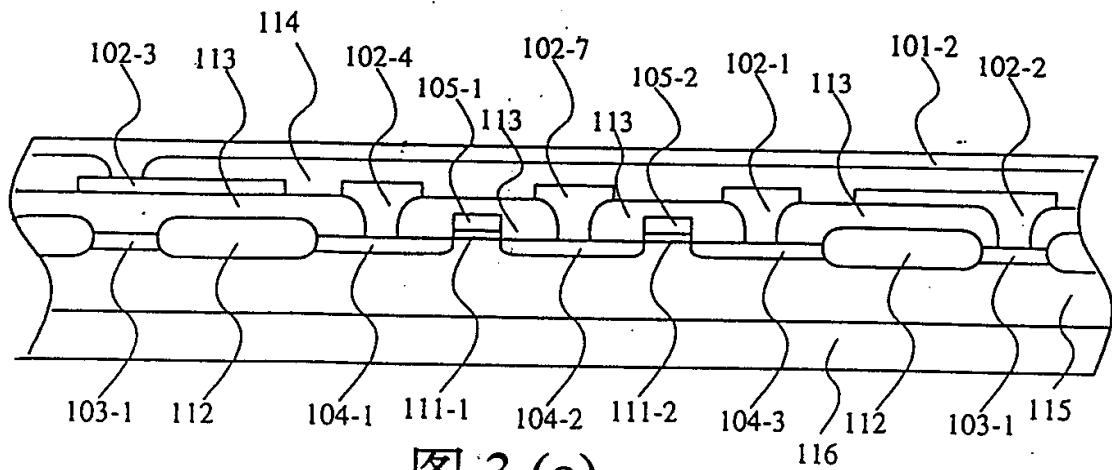


图 3 (a)

(现有技术)

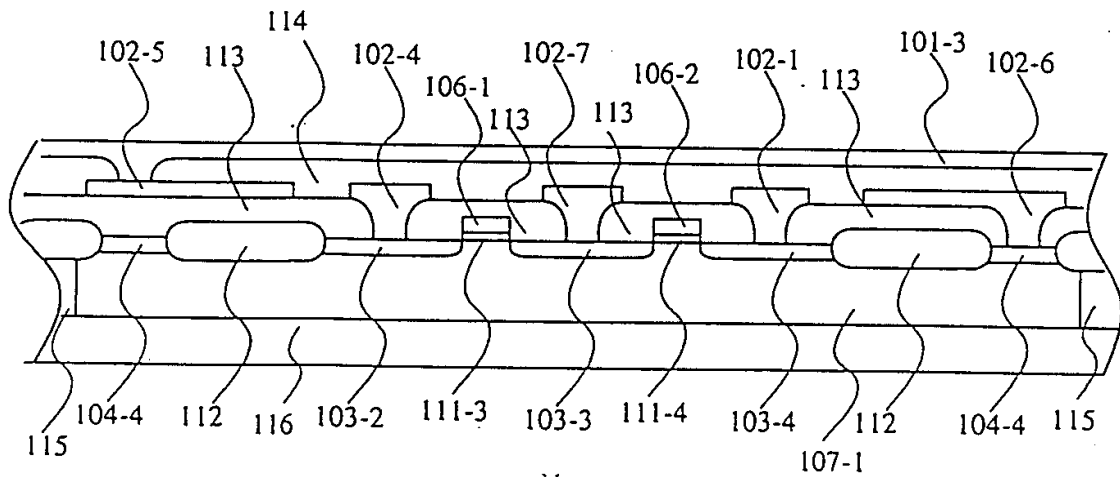


图 3 (b)

(现有技术)

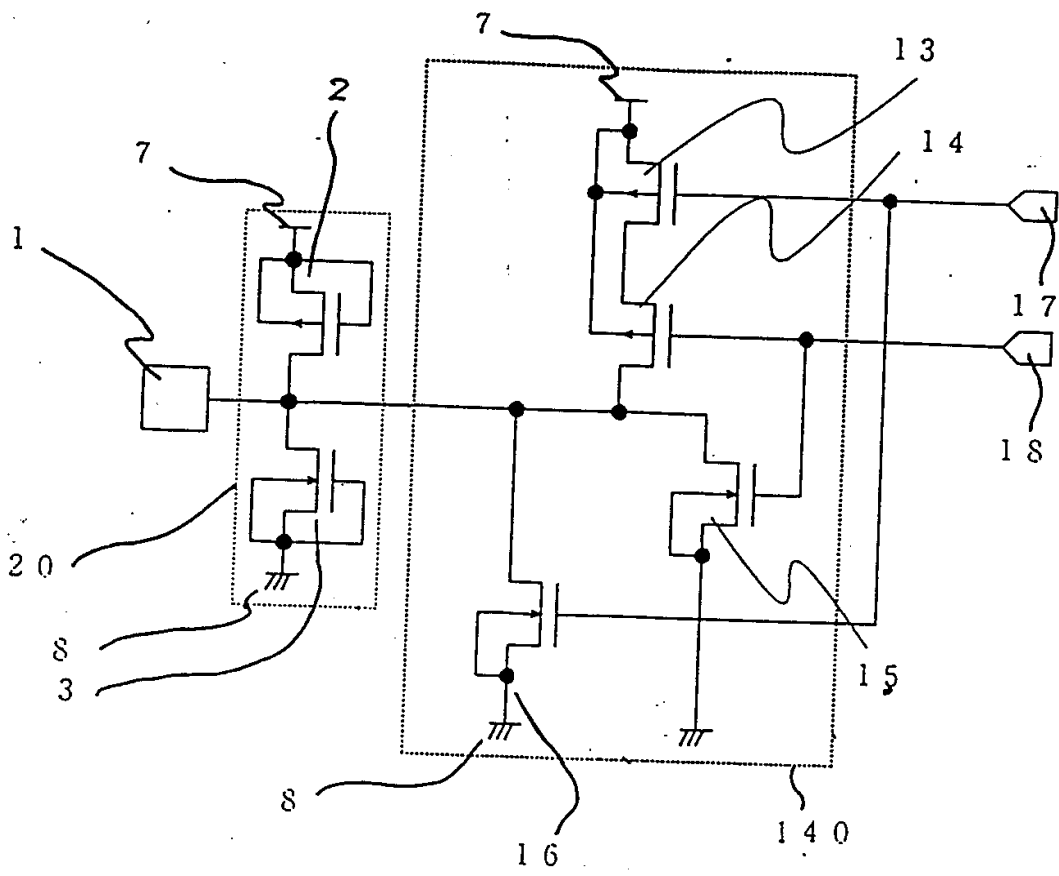


图 4
(现有技术)

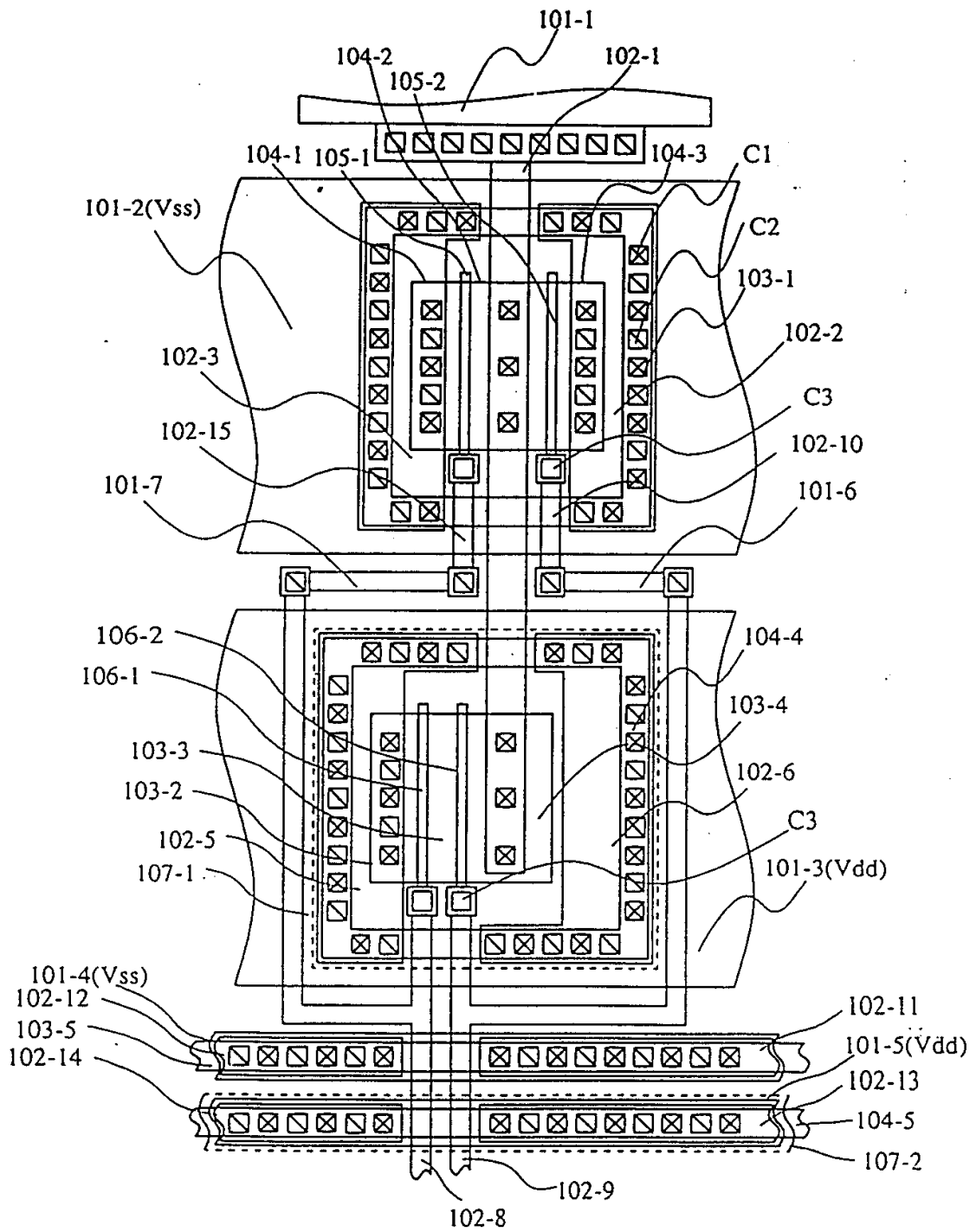


图 5
(现有技术)

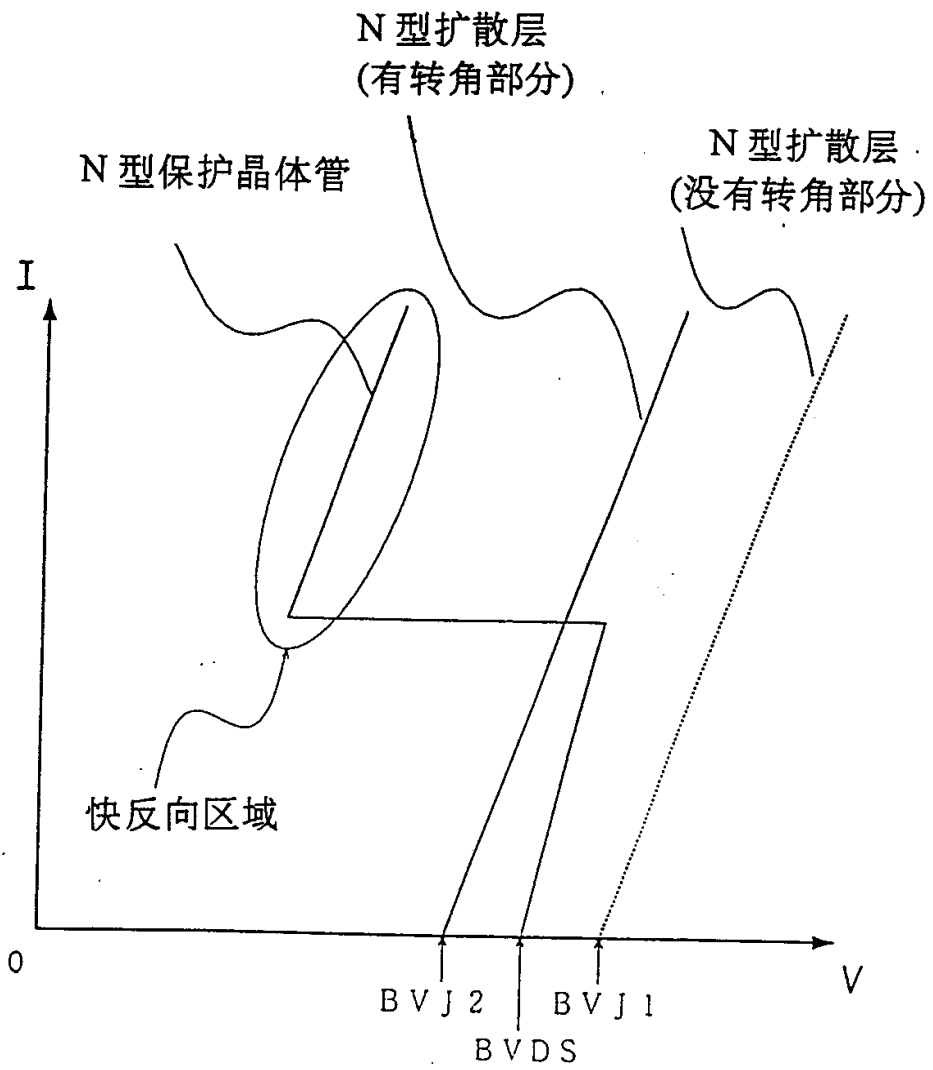


图 6
(现有技术)

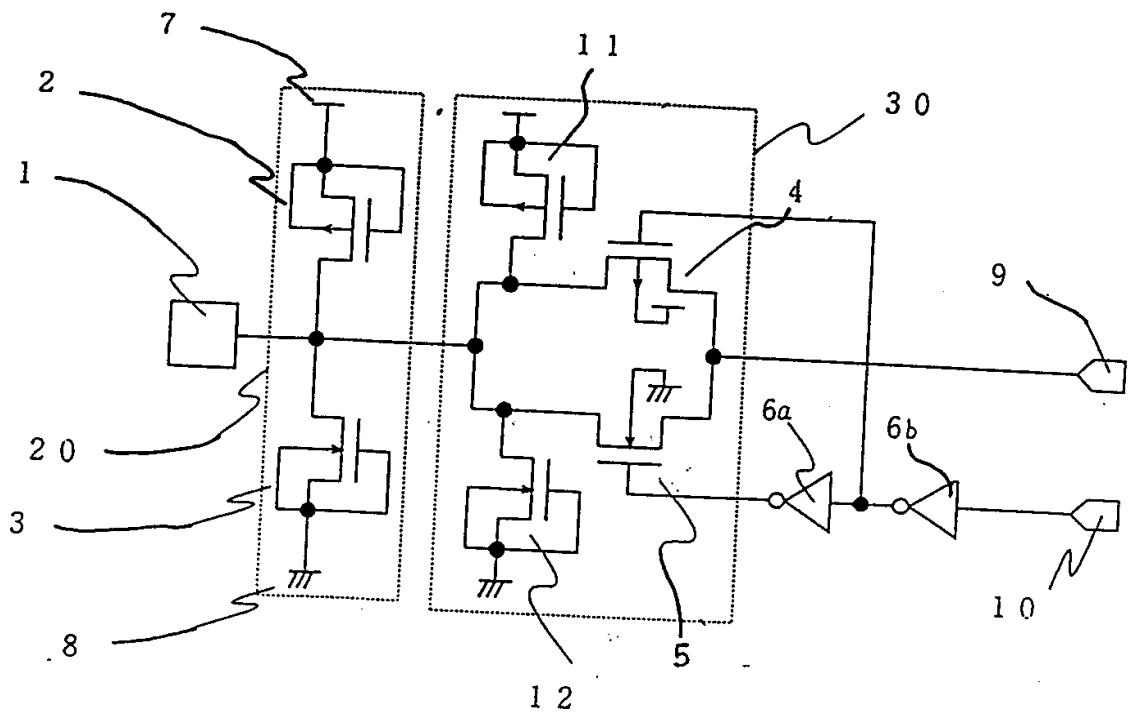


图 7

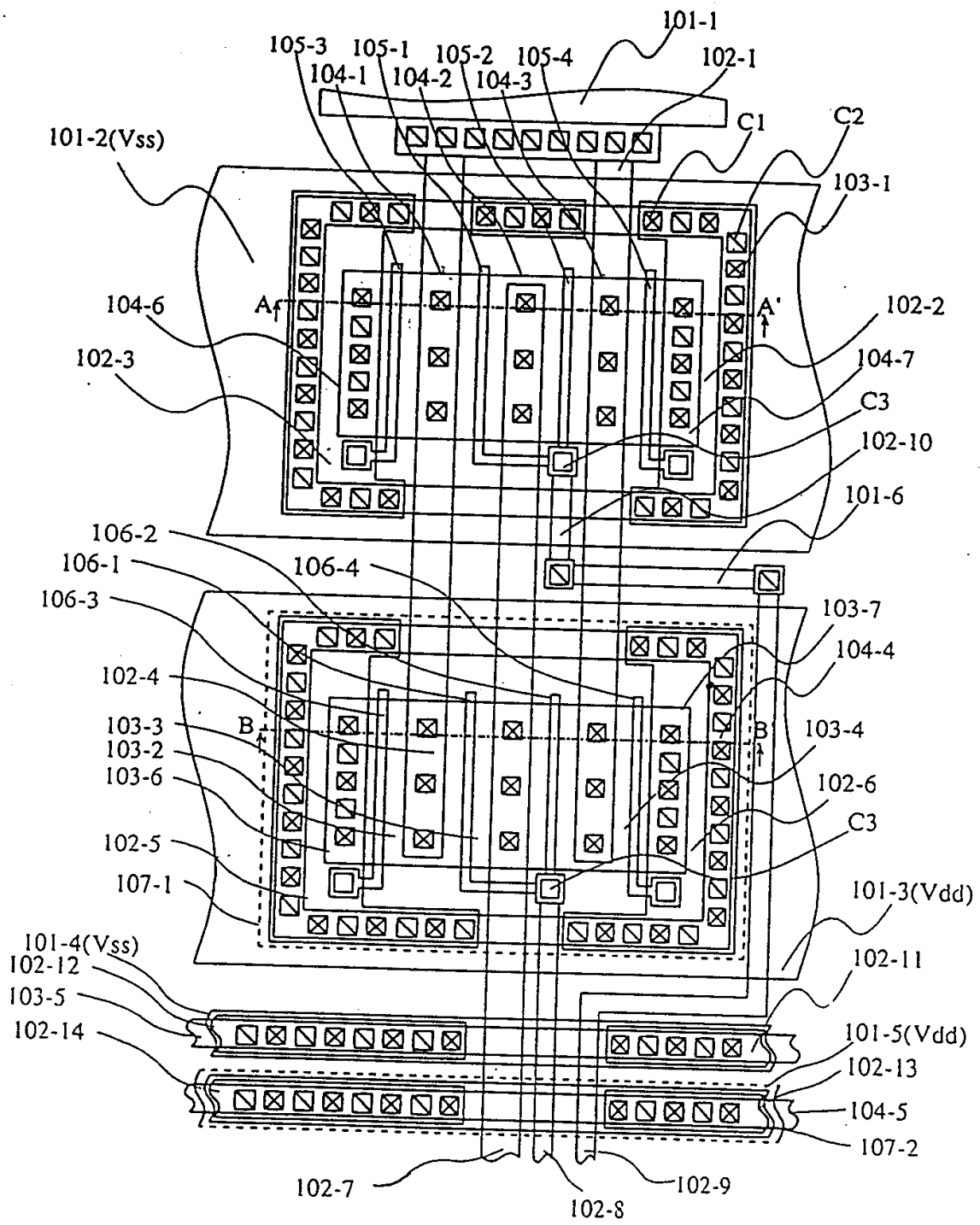


图 8

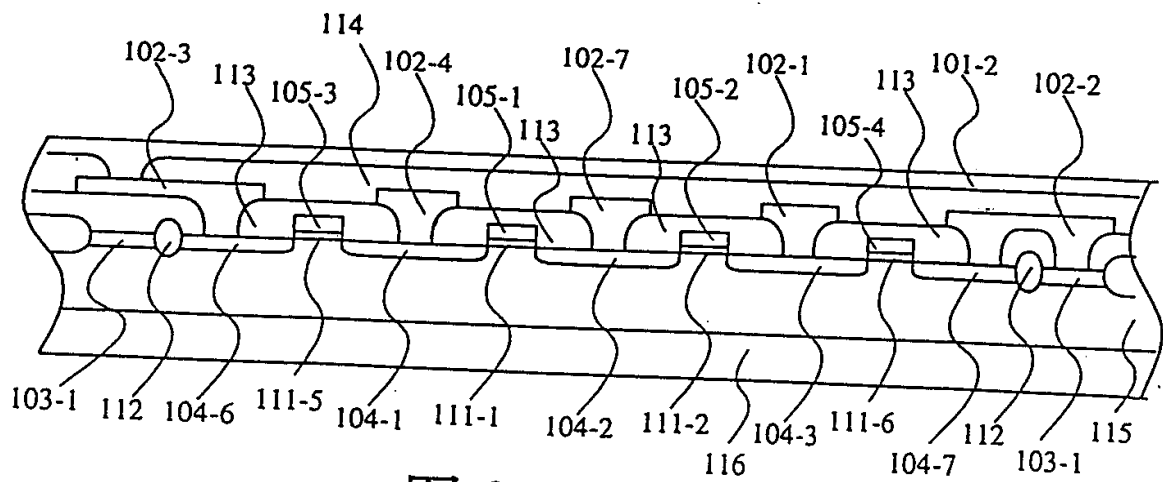


图 9 (a)

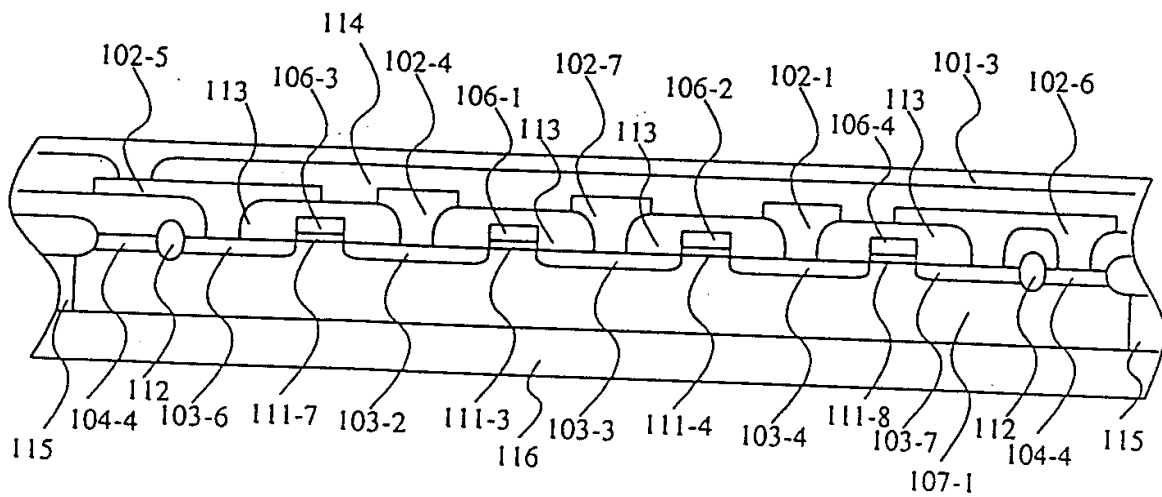


图 9 (b)

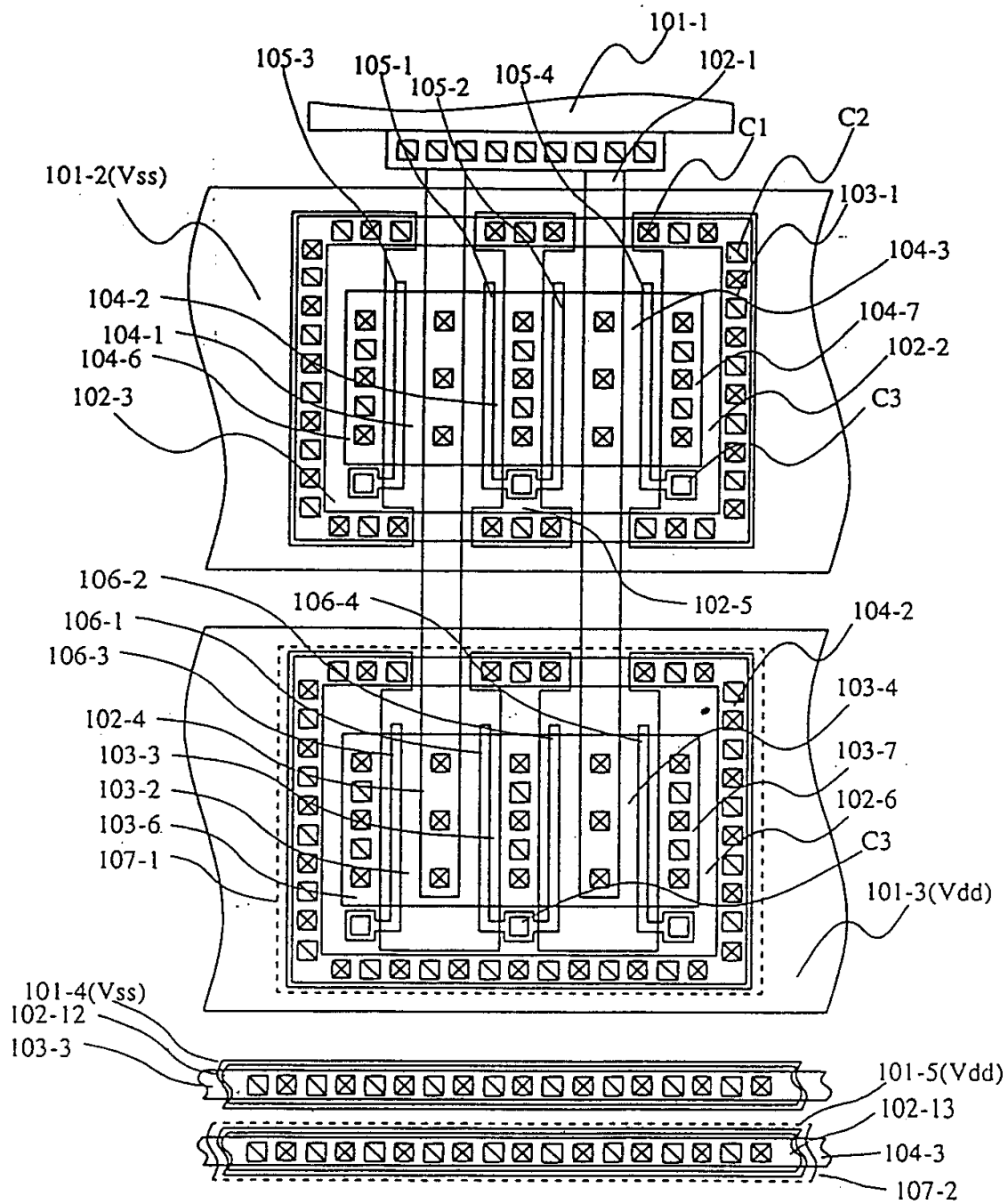


图 10

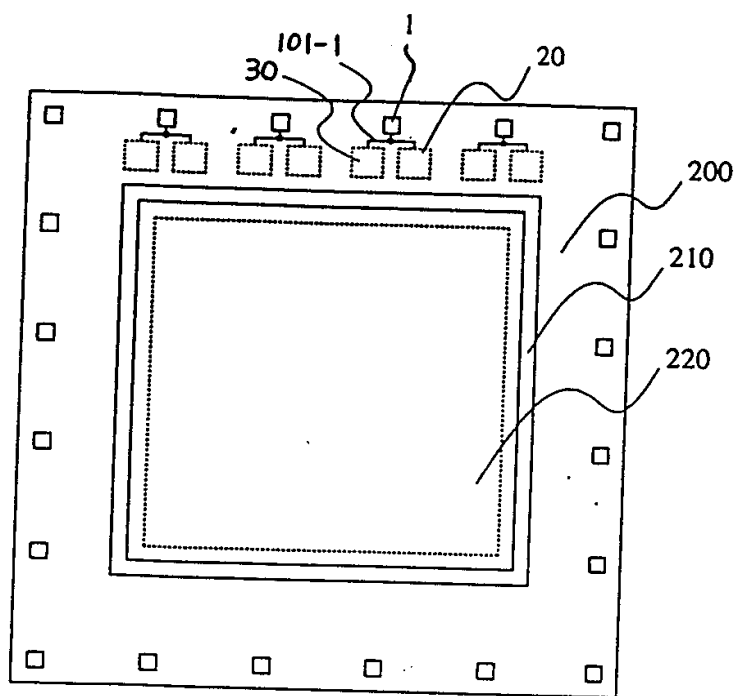


图 11

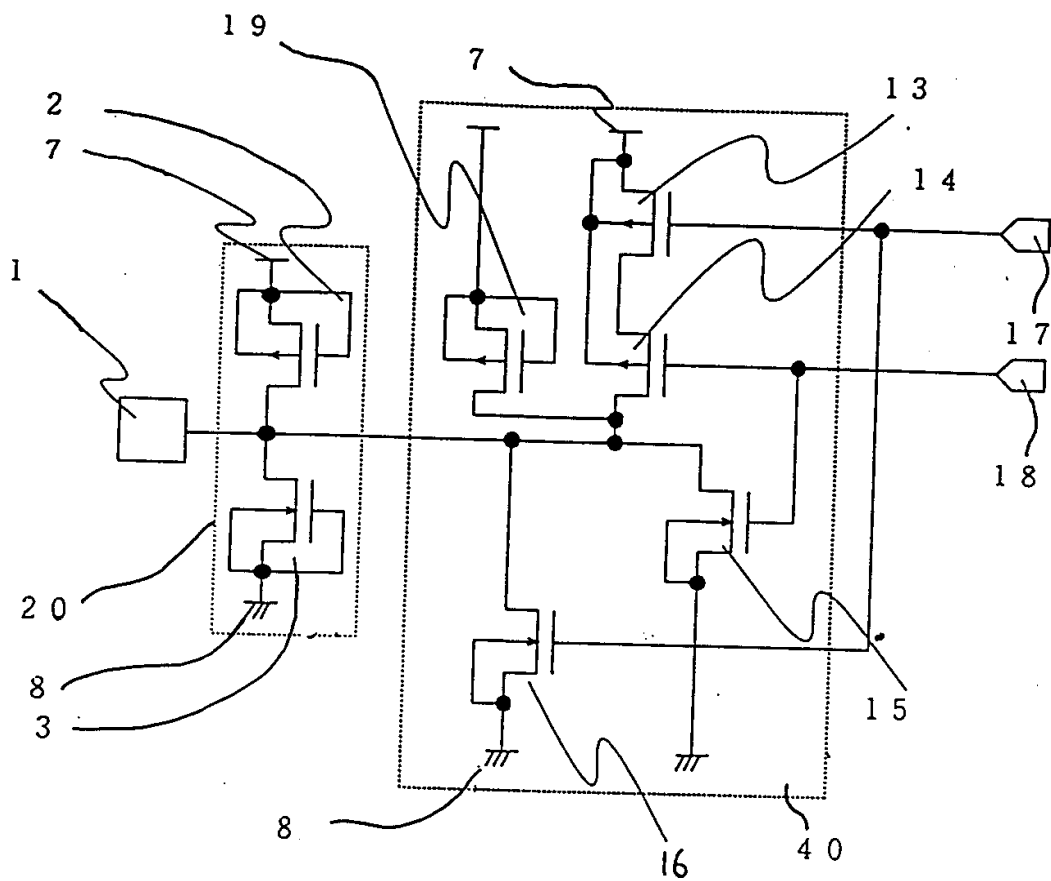


图 12

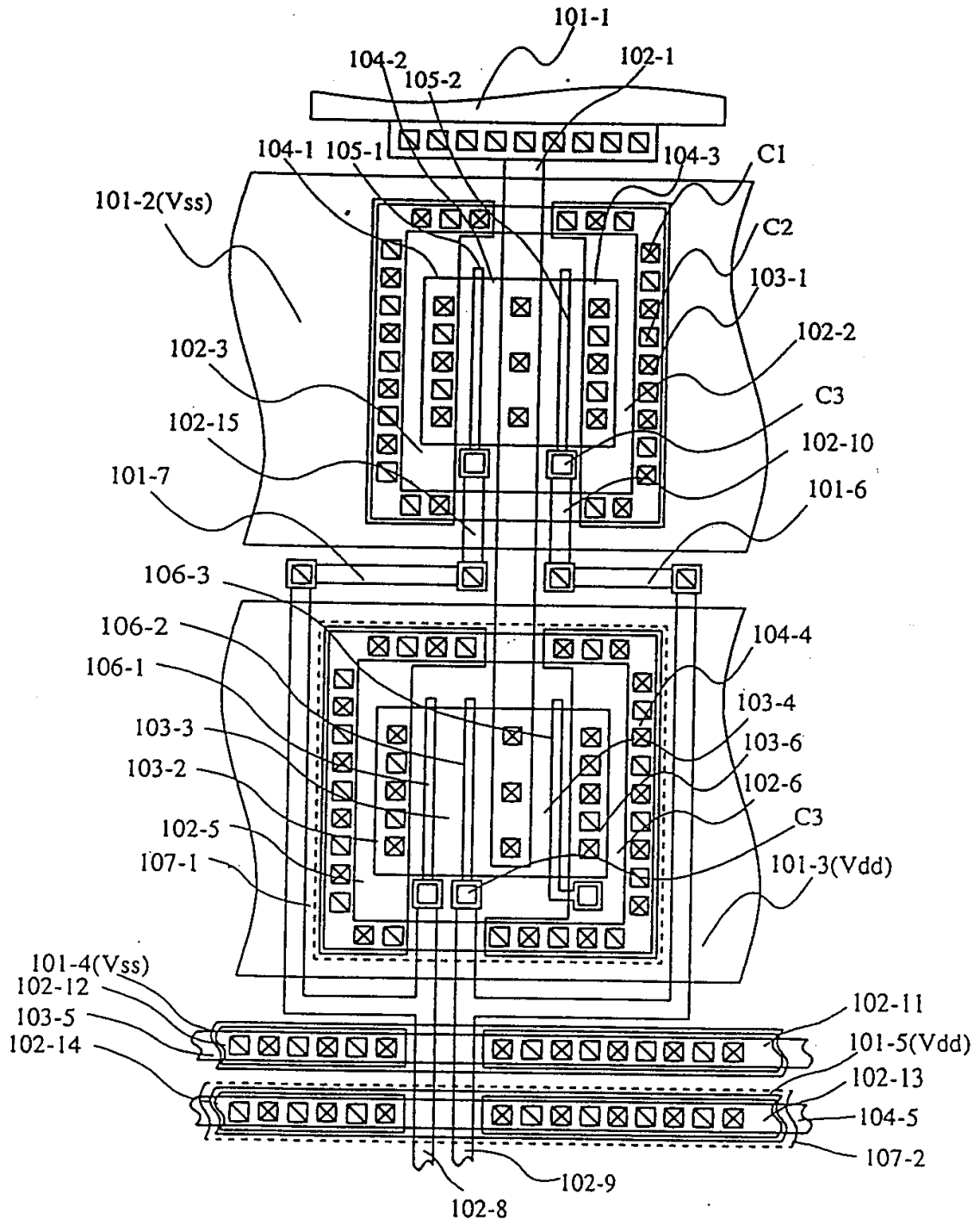


图 13