

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5578070号
(P5578070)

(45) 発行日 平成26年8月27日 (2014. 8. 27)

(24) 登録日 平成26年7月18日 (2014. 7. 18)

(51) Int. Cl. F I
H03F 3/62 (2006.01) H03F 3/62
H04B 3/03 (2006.01) H04B 3/03 B

請求項の数 17 (全 38 頁)

(21) 出願番号	特願2010-288543 (P2010-288543)	(73) 特許権者	000002185
(22) 出願日	平成22年12月24日 (2010.12.24)		ソニー株式会社
(65) 公開番号	特開2012-138680 (P2012-138680A)		東京都港区港南1丁目7番1号
(43) 公開日	平成24年7月19日 (2012.7.19)	(74) 代理人	100095957
審査請求日	平成25年10月29日 (2013.10.29)		弁理士 亀谷 美明
		(74) 代理人	100096389
			弁理士 金本 哲男
		(74) 代理人	100101557
			弁理士 萩原 康司
		(74) 代理人	100128587
			弁理士 松本 一騎
		(72) 発明者	清水 達夫
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 全二重伝送回路、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

送信信号が入力される第1の内部入力端子と、
 前記送信信号に比べて振幅が1/2であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、

特性インピーダンスZを有する伝送路に接続された外部入出力端子と、
 前記外部入出力端子から入力された受信信号が出力される内部出力端子と、
 ソースが電流源及び前記外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記内部出力端子に接続された第1のMOSトランジスタと、

ソースが前記第1のMOSトランジスタのドレイン及び前記内部出力端子に接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、
 を備え、

前記第1及び第2のMOSトランジスタのトランスコンダクタンスが1/Zとなるように、前記電流源の電流、及び、前記第1及び第2のMOSトランジスタのトランジスタサイズが設定されている、

全二重伝送回路。

【請求項2】

送信信号が入力される第1の内部入力端子と、
 前記送信信号に比べて振幅が1/2であり、かつ、前記送信信号と同相の信号が入力さ

れる第2の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、

前記外部入出力端子から入力された受信信号が出力される内部出力端子と、

エミッタが電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのコレクタ及び前記内部出力端子に接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、を備え、

前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記電流源の電流が設定されている、

全二重伝送回路。

【請求項3】

第1の差動信号が入力される第1の内部入力端子と、

前記第1の差動信号に比べて振幅が $1/2$ であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、

前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、

前記第2の差動信号に比べて振幅が $1/2$ であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、

特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、

特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、

前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、

前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、

ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、

ソースが前記第1のMOSトランジスタのドレイン及び前記第1の内部出力端子に接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、

ソースが第2の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSトランジスタと、

ソースが前記第3のMOSトランジスタのドレイン及び前記第2の内部出力端子に接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、を備え、

前記第1及び第2のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1及び第2のMOSトランジスタのトランジスタサイズが設定され、

前記第3及び第4のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第2の電流源の電流、及び、前記第3及び第4のMOSトランジスタのトランジスタサイズが設定されている、

全二重伝送回路。

【請求項4】

第1の差動信号が入力される第1の内部入力端子と、

前記第1の差動信号に比べて振幅が $1/2$ であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、

前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、

前記第2の差動信号に比べて振幅が $1/2$ であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、

特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、
 特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、
 前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力
 端子と、

前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信
 号が出力される第2の内部出力端子と、

エミッタが第1の電流源及び前記第1の外部入出力端子に接続され、ベースが前記第1
 の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前
 記第1の内部出力端子に接続された第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのコレクタ及び前記第1の内部出力端子
 に接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジス
 タと、

エミッタが第2の電流源及び前記第2の外部入出力端子に接続され、ベースが前記第3
 の内部入力端子に接続され、コレクタが第4のバイポーラトランジスタのエミッタ及び前
 記第2の内部出力端子に接続された第3のバイポーラトランジスタと、

エミッタが前記第3のバイポーラトランジスタのコレクタ及び前記第2の内部出力端子
 に接続され、ベースが前記第4の内部入力端子に接続された第4のバイポーラトランジス
 タと、

を備え、

前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流
 源の電流が設定され、

前記第2のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第2の電流
 源の電流が設定されている、

全二重伝送回路。

【請求項5】

送信信号が入力される第1の内部入力端子と、

前記送信信号に比べて振幅が $G/2$ 倍 ($G > 1$) であり、かつ、前記送信信号と同相の
 信号が入力される第2の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、

前記外部入出力端子から入力された受信信号が出力される内部出力端子と、

ソースが第1の電流源及び前記外部入出力端子に接続され、ゲートが前記第1の内部入
 力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記内部出力端子
 に接続された第1のMOSトランジスタと、

ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記内部出力
 端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジ
 スタと、

を備え、

前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記
 第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定
 され、

前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジ
 スタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流
 、及び、前記第2のMOSトランジスタのトランジスタサイズが設定されている、

全二重伝送回路。

【請求項6】

送信信号が入力される第1の内部入力端子と、

前記送信信号に比べて振幅が $G/2$ 倍 ($G > 1$) であり、かつ、前記送信信号と同相の
 信号が入力される第2の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、

前記外部入出力端子から入力された受信信号が出力される内部出力端子と、

10

20

30

40

50

エミッタが第1の電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、

を備え、

前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、

前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第2の電流が設定されている、

全二重伝送回路。

【請求項7】

第1の差動信号が入力される第1の内部入力端子と、

前記第1の差動信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、

前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、

前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、

特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、

特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、

前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、

前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、

ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、

ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記第1の内部出力端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、

ソースが第3の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSトランジスタと、

ソースが前記第3のMOSトランジスタのドレインと、第4の電流源と、前記第2の内部出力端子とに接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、

を備え、

前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、

前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定され、

前記第3のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第3の電流源の電流、及び、前記第3のMOSトランジスタのトランジスタサイズが設定され、

前記第4のMOSトランジスタのトランスコンダクタンスが前記第3のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第4の電流源の電流、及び、前記第4のMOSトランジスタのトランジスタサイズが設定されている、

10

20

30

40

50

全二重伝送回路。

【請求項 8】

第 1 の差動信号が入力される第 1 の内部入力端子と、

前記第 1 の差動信号に比べて振幅が $G / 2$ 倍 ($G > 1$) であり、かつ、前記第 1 の差動信号と同相の信号が入力される第 2 の内部入力端子と、

前記第 1 の差動信号と対を成す第 2 の差動信号が入力される第 3 の内部入力端子と、

前記第 2 の差動信号に比べて振幅が $G / 2$ 倍であり、かつ、前記第 2 の差動信号と同相の信号が入力される第 4 の内部入力端子と、

特性インピーダンス Z を有する第 1 の伝送路に接続された第 1 の外部入出力端子と、

特性インピーダンス Z を有する第 2 の伝送路に接続された第 2 の外部入出力端子と、

前記第 1 の外部入出力端子から入力された第 3 の差動信号が出力される第 1 の内部出力端子と、

前記第 2 の外部入出力端子から入力され、前記第 3 の差動信号と対を成す第 4 の差動信号が出力される第 2 の内部出力端子と、

エミッタが第 1 の電流源及び前記第 1 の外部入出力端子に接続され、ベースが前記第 1 の内部入力端子に接続され、コレクタが第 2 のバイポーラトランジスタのエミッタ及び前記第 1 の内部出力端子に接続された第 1 のバイポーラトランジスタと、

エミッタが前記第 1 のバイポーラトランジスタのコレクタと、第 2 の電流源と、前記第 1 の内部出力端子とに接続され、ベースが前記第 2 の内部入力端子に接続された第 2 のバイポーラトランジスタと、

エミッタが第 3 の電流源及び前記第 2 の外部入出力端子に接続され、ベースが前記第 3 の内部入力端子に接続され、コレクタが第 4 のバイポーラトランジスタのエミッタ及び前記第 2 の内部出力端子に接続された第 3 のバイポーラトランジスタと、

エミッタが前記第 3 のバイポーラトランジスタのコレクタと、第 4 の電流源と、前記第 2 の内部出力端子とに接続され、ベースが前記第 4 の内部入力端子に接続された第 4 のバイポーラトランジスタと、

を備え、

前記第 1 のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第 1 の電流源の電流が設定され、

前記第 2 のバイポーラトランジスタのエミッタ抵抗が前記第 1 のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第 2 の電流が設定され、

前記第 3 のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第 3 の電流源の電流が設定され、

前記第 4 のバイポーラトランジスタのエミッタ抵抗が前記第 3 のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第 4 の電流が設定されている、

全二重伝送回路。

【請求項 9】

送信信号が入力される第 1 の内部入力端子と、

前記送信信号に比べて振幅が $1 / 2$ であり、かつ、前記送信信号と同相の信号が入力される第 2 の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、

前記外部入出力端子から入力された受信信号が出力される内部出力端子と、

ソースが電流源及び前記外部入出力端子に接続され、ゲートが前記第 1 の内部入力端子に接続され、ドレインが第 2 の MOS トランジスタのソース及び前記内部出力端子に接続された第 1 の MOS トランジスタと、

ソースが前記第 1 の MOS トランジスタのドレイン及び前記内部出力端子に接続され、ゲートが前記第 2 の内部入力端子に接続された第 2 の MOS トランジスタと、

を有し、

前記第 1 及び第 2 の MOS トランジスタのトランスコンダクタンスが $1 / Z$ となるように、前記電流源の電流、及び、前記第 1 及び第 2 の MOS トランジスタのトランジスタサ

10

20

30

40

50

イズが設定されている、第 1 及び第 2 の全二重伝送回路と、

前記第 1 の全二重伝送回路が有する外部入出力端子と、前記第 2 の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、
を備える、電子機器。

【請求項 10】

送信信号が入力される第 1 の内部入力端子と、
前記送信信号に比べて振幅が $1/2$ であり、かつ、前記送信信号と同相の信号が入力される第 2 の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、
前記外部入出力端子から入力された受信信号が出力される内部出力端子と、
エミッタが電流源及び前記外部入出力端子に接続され、ベースが前記第 1 の内部入力端子に接続され、コレクタが第 2 のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第 1 のバイポーラトランジスタと、

エミッタが前記第 1 のバイポーラトランジスタのコレクタ及び前記内部出力端子に接続され、ベースが前記第 2 の内部入力端子に接続された第 2 のバイポーラトランジスタと、
を有し、

前記第 1 のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記電流源の電流が設定されている、第 1 及び第 2 の全二重伝送回路と、

前記第 1 の全二重伝送回路が有する外部入出力端子と、前記第 2 の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、
を備える、電子機器。

【請求項 11】

第 1 の差動信号が入力される第 1 の内部入力端子と、
前記第 1 の差動信号に比べて振幅が $1/2$ であり、かつ、前記第 1 の差動信号と同相の信号が入力される第 2 の内部入力端子と、

前記第 1 の差動信号と対を成す第 2 の差動信号が入力される第 3 の内部入力端子と、
前記第 2 の差動信号に比べて振幅が $1/2$ であり、かつ、前記第 2 の差動信号と同相の信号が入力される第 4 の内部入力端子と、

特性インピーダンス Z を有する第 1 の伝送路に接続された第 1 の外部入出力端子と、
特性インピーダンス Z を有する第 2 の伝送路に接続された第 2 の外部入出力端子と、
前記第 1 の外部入出力端子から入力された第 3 の差動信号が出力される第 1 の内部出力端子と、

前記第 2 の外部入出力端子から入力され、前記第 3 の差動信号と対を成す第 4 の差動信号が出力される第 2 の内部出力端子と、

ソースが第 1 の電流源及び前記第 1 の外部入出力端子に接続され、ゲートが前記第 1 の内部入力端子に接続され、ドレインが第 2 の MOS トランジスタのソース及び前記第 1 の内部出力端子に接続された第 1 の MOS トランジスタと、

ソースが前記第 1 の MOS トランジスタのドレイン及び前記第 1 の内部出力端子に接続され、ゲートが前記第 2 の内部入力端子に接続された第 2 の MOS トランジスタと、

ソースが第 2 の電流源及び前記第 2 の外部入出力端子に接続され、ゲートが前記第 3 の内部入力端子に接続され、ドレインが第 4 の MOS トランジスタのソース及び前記第 2 の内部出力端子に接続された第 3 の MOS トランジスタと、

ソースが前記第 3 の MOS トランジスタのドレイン及び前記第 2 の内部出力端子に接続され、ゲートが前記第 4 の内部入力端子に接続された第 4 の MOS トランジスタと、
を有し、

前記第 1 及び第 2 の MOS トランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第 1 の電流源の電流、及び、前記第 1 及び第 2 の MOS トランジスタのトランジスタサイズが設定され、

前記第 3 及び第 4 の MOS トランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第 2 の電流源の電流、及び、前記第 3 及び第 4 の MOS トランジスタのトランジ

10

20

30

40

50

スタサイズが設定されている、第 1 及び第 2 の全二重伝送回路と、

前記第 1 の全二重伝送回路が有する第 1 及び第 2 の外部入出力端子と、前記第 2 の全二重伝送回路が有する第 1 及び第 2 の外部入出力端子とを結ぶ第 1 及び第 2 の伝送路と、を備える、電子機器。

【請求項 1 2】

第 1 の差動信号が入力される第 1 の内部入力端子と、

前記第 1 の差動信号に比べて振幅が $1/2$ であり、かつ、前記第 1 の差動信号と同相の信号が入力される第 2 の内部入力端子と、

前記第 1 の差動信号と対を成す第 2 の差動信号が入力される第 3 の内部入力端子と、

前記第 2 の差動信号に比べて振幅が $1/2$ であり、かつ、前記第 2 の差動信号と同相の信号が入力される第 4 の内部入力端子と、

特性インピーダンス Z を有する第 1 の伝送路に接続された第 1 の外部入出力端子と、

特性インピーダンス Z を有する第 2 の伝送路に接続された第 2 の外部入出力端子と、

前記第 1 の外部入出力端子から入力された第 3 の差動信号が出力される第 1 の内部出力端子と、

前記第 2 の外部入出力端子から入力され、前記第 3 の差動信号と対を成す第 4 の差動信号が出力される第 2 の内部出力端子と、

エミッタが第 1 の電流源及び前記第 1 の外部入出力端子に接続され、ベースが前記第 1 の内部入力端子に接続され、コレクタが第 2 のバイポーラトランジスタのエミッタ及び前記第 1 の内部出力端子に接続された第 1 のバイポーラトランジスタと、

エミッタが前記第 1 のバイポーラトランジスタのコレクタ及び前記第 1 の内部出力端子に接続され、ベースが前記第 2 の内部入力端子に接続された第 2 のバイポーラトランジスタと、

エミッタが第 2 の電流源及び前記第 2 の外部入出力端子に接続され、ベースが前記第 3 の内部入力端子に接続され、コレクタが第 4 のバイポーラトランジスタのエミッタ及び前記第 2 の内部出力端子に接続された第 3 のバイポーラトランジスタと、

エミッタが前記第 3 のバイポーラトランジスタのコレクタ及び前記第 2 の内部出力端子に接続され、ベースが前記第 4 の内部入力端子に接続された第 4 のバイポーラトランジスタと、

を有し、

前記第 1 のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第 1 の電流源の電流が設定され、

前記第 2 のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第 2 の電流源の電流が設定されている、第 1 及び第 2 の全二重伝送回路と、

前記第 1 の全二重伝送回路が有する第 1 及び第 2 の外部入出力端子と、前記第 2 の全二重伝送回路が有する第 1 及び第 2 の外部入出力端子とを結ぶ第 1 及び第 2 の伝送路と、を備える、電子機器。

【請求項 1 3】

送信信号が入力される第 1 の内部入力端子と、

前記送信信号に比べて振幅が $G/2$ 倍 ($G > 1$) であり、かつ、前記送信信号と同相の信号が入力される第 2 の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、

前記外部入出力端子から入力された受信信号が出力される内部出力端子と、

ソースが第 1 の電流源及び前記外部入出力端子に接続され、ゲートが前記第 1 の内部入力端子に接続され、ドレインが第 2 の MOS トランジスタのソース及び前記内部出力端子に接続された第 1 の MOS トランジスタと、

ソースが前記第 1 の MOS トランジスタのドレインと、第 2 の電流源と、前記内部出力端子とに接続され、ゲートが前記第 2 の内部入力端子に接続された第 2 の MOS トランジスタと、

を有し、

10

20

30

40

50

前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、

前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定されている、第1及び第2の全二重伝送回路と、

前記第1の全二重伝送回路が有する外部入出力端子と、前記第2の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、
を備える、電子機器。

10

【請求項14】

送信信号が入力される第1の内部入力端子と、

前記送信信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、

特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、

前記外部入出力端子から入力された受信信号が出力される内部出力端子と、

エミッタが第1の電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、

20

を有し、

前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、

前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第2の電流が設定されている、第1及び第2の全二重伝送回路と、

前記第1の全二重伝送回路が有する外部入出力端子と、前記第2の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、
を備える、電子機器。

30

【請求項15】

第1の差動信号が入力される第1の内部入力端子と、

前記第1の差動信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、

前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、

前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、

特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、

特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、

前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、

40

前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、

ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、

ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記第1の内部出力端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、

50

ソースが第3の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSトランジスタと、

ソースが前記第3のMOSトランジスタのドレインと、第4の電流源と、前記第2の内部出力端子とに接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、

を有し、

前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、

10

前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定され、

前記第3のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第3の電流源の電流、及び、前記第3のMOSトランジスタのトランジスタサイズが設定され、

前記第4のMOSトランジスタのトランスコンダクタンスが前記第3のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第4の電流源の電流、及び、前記第4のMOSトランジスタのトランジスタサイズが設定されている、第1及び第2の全二重伝送回路と、

20

前記第1の全二重伝送回路が有する第1及び第2の外部入出力端子と、前記第2の全二重伝送回路が有する第1及び第2の外部入出力端子とを結ぶ第1及び第2の伝送路と、を備える、電子機器。

【請求項16】

第1の差動信号が入力される第1の内部入力端子と、

前記第1の差動信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、

前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、

前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、

30

特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、

特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、

前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、

前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、

エミッタが第1の電流源及び前記第1の外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記第1の内部出力端子に接続された第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記第1の内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、

40

エミッタが第3の電流源及び前記第2の外部入出力端子に接続され、ベースが前記第3の内部入力端子に接続され、コレクタが第4のバイポーラトランジスタのエミッタ及び前記第2の内部出力端子に接続された第3のバイポーラトランジスタと、

エミッタが前記第3のバイポーラトランジスタのコレクタと、第4の電流源と、前記第2の内部出力端子とに接続され、ベースが前記第4の内部入力端子に接続された第4のバイポーラトランジスタと、

を有し、

前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流

50

源の電流が設定され、

前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べてG倍となるように、前記第2の電流が設定され、

前記第3のバイポーラトランジスタのエミッタ抵抗がZとなるように、前記第3の電流源の電流が設定され、

前記第4のバイポーラトランジスタのエミッタ抵抗が前記第3のバイポーラトランジスタのエミッタ抵抗に比べてG倍となるように、前記第4の電流が設定されている、第1及び第2の全二重伝送回路と、

前記第1の全二重伝送回路が有する第1及び第2の外部入出力端子と、前記第2の全二重伝送回路が有する第1及び第2の外部入出力端子とを結ぶ第1及び第2の伝送路と、
を備える、電子機器。

10

【請求項17】

画像データの信号を出力する演算処理部と、

前記画像データを表示する表示部と、

をさらに備え、

前記画像データの信号は、前記第1の全二重伝送回路が有する内部入力端子に入力され、前記伝送路を介して前記第2の全二重伝送回路に伝送され、前記第2の全二重伝送回路が有する内部出力端子から出力され、前記表示部に入力される、

請求項9～16のいずれか1項に記載の電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全二重伝送回路、及び電子機器に関する。

【背景技術】

【0002】

これまで、全二重双方向データ伝送を実現する装置には、抵抗とオペアンプとにより構成されるハイブリッド回路が利用されてきた。例えば、このハイブリッド回路は、電話回線を用いたデータ通信用モデムやADSLモデムのアナログフロントエンド回路などに広く利用されている。また、高速な差動データ伝送を実現するために、送信信号に応じた電流を出力する電流源と負荷抵抗とで構成される送信バッファ、及び増幅率の異なる2つの増幅器とで構成される受信バッファを組み合わせたハイブリッド回路が考案された。例えば、下記の特許文献1には、このようなハイブリッド回路の回路構成が示されている。

30

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】YasumotoTomita, et al., "A 20Gb/s Bidirectional Transceiver Using a Resistor-Transconductor Hybrid," ISSCC Dig.Tech. Papers, pp. 518-519, Feb. 2006.

【発明の概要】

40

【発明が解決しようとする課題】

【0004】

上記のハイブリッド回路においては、送信バッファの出力端子とハイブリッド回路の出力端子との間に抵抗が直列に挿入されている。また、送信バッファの内部に負荷抵抗が挿入されている。さらに、受信バッファを構成する増幅器の一方は、電力を消費しながら受信信号の増幅率を減ずるように作用してしまう。このような構成は消費電力の増大を招いてしまう。また、全二重双方向データ伝送を実現する装置においてはデータ伝送時に送信バッファと受信バッファとが共に動作状態となるため、半二重双方向データ伝送を実現する装置に比べて消費電力が大きい。そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とするところは、高速動作が可能で消費電力が低い全二重伝送回路、

50

及び電子機器を提供することにある。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明のある観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $1/2$ であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、ソースが電流源及び前記外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレイン及び前記内部出力端子に接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、を備え、前記第1及び第2のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記電流源の電流、及び、前記第1及び第2のMOSトランジスタのトランジスタサイズが設定されている、全二重伝送回路が提供される。

10

【0006】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $1/2$ であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、エミッタが電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、エミッタが前記第1のバイポーラトランジスタのコレクタ及び前記内部出力端子に接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、を備え、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記電流源の電流が設定されている、全二重伝送回路が提供される。

20

【0007】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $1/2$ であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $1/2$ であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレイン及び前記第1の内部出力端子に接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、ソースが第2の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSトランジスタと、ソースが前記第3のMOSトランジスタのドレイン及び前記第2の内部出力端子に接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、を備え、前記第1及び第2のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1及び第2のMOSトランジスタのトランジスタサイズが設定され、前記第3及び第4のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるよ

30

40

50

うに、前記第2の電流源の電流、及び、前記第3及び第4のMOSトランジスタのトランジスタサイズが設定されている、全二重伝送回路が提供される。

【0008】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $1/2$ であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $1/2$ であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、エミッタが第1の電流源及び前記第1の外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記第1の内部出力端子に接続された第1のバイポーラトランジスタと、エミッタが前記第1のバイポーラトランジスタのコレクタ及び前記第1の内部出力端子に接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、エミッタが第2の電流源及び前記第2の外部入出力端子に接続され、ベースが前記第3の内部入力端子に接続され、コレクタが第4のバイポーラトランジスタのエミッタ及び前記第2の内部出力端子に接続された第3のバイポーラトランジスタと、エミッタが前記第3のバイポーラトランジスタのコレクタ及び前記第2の内部出力端子に接続され、ベースが前記第4の内部入力端子に接続された第4のバイポーラトランジスタと、を備え、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、前記第2のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第2の電流源の電流が設定されている、全二重伝送回路が提供される。

【0009】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、ソースが第1の電流源及び前記外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記内部出力端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、を備え、前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定されている、全二重伝送回路が提供される。

【0010】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、エミッタが第1の電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、

エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、を備え、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第2の電流が設定されている、全二重伝送回路が提供される。

【0011】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $G/2$ 倍 ($G > 1$) であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記第1の内部出力端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、ソースが第3の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSトランジスタと、ソースが前記第3のMOSトランジスタのドレインと、第4の電流源と、前記第2の内部出力端子とに接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、を備え、前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定され、前記第3のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第3の電流源の電流、及び、前記第3のMOSトランジスタのトランジスタサイズが設定され、前記第4のMOSトランジスタのトランスコンダクタンスが前記第3のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第4の電流源の電流、及び、前記第4のMOSトランジスタのトランジスタサイズが設定されている、全二重伝送回路が提供される。

【0012】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $G/2$ 倍 ($G > 1$) であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、エミッタが第1の電流源及び前記第1の外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記第1の内部出力端子

10

20

30

40

50

に接続された第1のバイポーラトランジスタと、エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記第1の内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、エミッタが第3の電流源及び前記第2の外部入出力端子に接続され、ベースが前記第3の内部入力端子に接続され、コレクタが第4のバイポーラトランジスタのエミッタ及び前記第2の内部出力端子に接続された第3のバイポーラトランジスタと、エミッタが前記第3のバイポーラトランジスタのコレクタと、第4の電流源と、前記第2の内部出力端子とに接続され、ベースが前記第4の内部入力端子に接続された第4のバイポーラトランジスタと、を備え、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第2の電流が設定され、前記第3のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第3の電流源の電流が設定され、前記第4のバイポーラトランジスタのエミッタ抵抗が前記第3のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第4の電流が設定されている、全二重伝送回路が提供される。

10

【0013】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $1/2$ であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、ソースが電流源及び前記外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレイン及び前記内部出力端子に接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、を有し、前記第1及び第2のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記電流源の電流、及び、前記第1及び第2のMOSトランジスタのトランジスタサイズが設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する外部入出力端子と、前記第2の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、を備える、電子機器が提供される。

20

30

【0014】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $1/2$ であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、エミッタが電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、エミッタが前記第1のバイポーラトランジスタのコレクタ及び前記内部出力端子に接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、を有し、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記電流源の電流が設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する外部入出力端子と、前記第2の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、を備える、電子機器が提供される。

40

【0015】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $1/2$ であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $1/2$ であり、かつ、前記第2の差動信号と同相の信号が入力される第4の

50

内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレイン及び前記第1の内部出力端子に接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、ソースが第2の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSトランジスタと、ソースが前記第3のMOSトランジスタのドレイン及び前記第2の内部出力端子に接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、を有し、前記第1及び第2のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1及び第2のMOSトランジスタのトランジスタサイズが設定され、前記第3及び第4のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第2の電流源の電流、及び、前記第3及び第4のMOSトランジスタのトランジスタサイズが設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する第1及び第2の外部入出力端子と、前記第2の全二重伝送回路が有する第1及び第2の外部入出力端子とを結ぶ第1及び第2の伝送路と、を備える、電子機器が提供される。

【0016】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $1/2$ であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $1/2$ であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、エミッタが第1の電流源及び前記第1の外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記第1の内部出力端子に接続された第1のバイポーラトランジスタと、エミッタが前記第1のバイポーラトランジスタのコレクタ及び前記第1の内部出力端子に接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、エミッタが第2の電流源及び前記第2の外部入出力端子に接続され、ベースが前記第3の内部入力端子に接続され、コレクタが第4のバイポーラトランジスタのエミッタ及び前記第2の内部出力端子に接続された第3のバイポーラトランジスタと、エミッタが前記第3のバイポーラトランジスタのコレクタ及び前記第2の内部出力端子に接続され、ベースが前記第4の内部入力端子に接続された第4のバイポーラトランジスタと、を有し、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、前記第2のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第2の電流源の電流が設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する第1及び第2の外部入出力端子と、前記第2の全二重伝送回路が有する第1及び第2の外部入出力端子とを結ぶ第1及び第2の伝送路と、を備える、電子機器が提供される。

【0017】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される

第1の内部入力端子と、前記送信信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、ソースが第1の電流源及び前記外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記内部出力端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、を有し、前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する外部入出力端子と、前記第2の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、を備える、電子機器が提供される。

10

【0018】

また、上記課題を解決するために、本発明の別の観点によれば、送信信号が入力される第1の内部入力端子と、前記送信信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記送信信号と同相の信号が入力される第2の内部入力端子と、特性インピーダンス Z を有する伝送路に接続された外部入出力端子と、前記外部入出力端子から入力された受信信号が出力される内部出力端子と、エミッタが第1の電流源及び前記外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記内部出力端子に接続された第1のバイポーラトランジスタと、

20

エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、を有し、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第2の電流が設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する外部入出力端子と、前記第2の全二重伝送回路が有する外部入出力端子とを結ぶ伝送路と、を備える、電子機器が提供される。

30

【0019】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、ソースが第1の電流源及び前記第1の外部入出力端子に接続され、ゲートが前記第1の内部入力端子に接続され、ドレインが第2のMOSトランジスタのソース及び前記第1の内部出力端子に接続された第1のMOSトランジスタと、ソースが前記第1のMOSトランジスタのドレインと、第2の電流源と、前記第1の内部出力端子とに接続され、ゲートが前記第2の内部入力端子に接続された第2のMOSトランジスタと、ソースが第3の電流源及び前記第2の外部入出力端子に接続され、ゲートが前記第3の内部入力端子に接続され、ドレインが第4のMOSトランジスタのソース及び前記第2の内部出力端子に接続された第3のMOSト

40

50

ランジスタと、ソースが前記第3のMOSトランジスタのドレインと、第4の電流源と、前記第2の内部出力端子とに接続され、ゲートが前記第4の内部入力端子に接続された第4のMOSトランジスタと、を有し、前記第1のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第1の電流源の電流、及び、前記第1のMOSトランジスタのトランジスタサイズが設定され、前記第2のMOSトランジスタのトランスコンダクタンスが前記第1のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第2の電流源の電流、及び、前記第2のMOSトランジスタのトランジスタサイズが設定され、前記第3のMOSトランジスタのトランスコンダクタンスが $1/Z$ となるように、前記第3の電流源の電流、及び、前記第3のMOSトランジスタのトランジスタサイズが設定され、前記第4のMOSトランジスタのトランスコンダクタンスが前記第3のMOSトランジスタのトランスコンダクタンスに比べて $1/G$ 倍となるように、前記第4の電流源の電流、及び、前記第4のMOSトランジスタのトランジスタサイズが設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する第1及び第2の外部入出力端子と、前記第2の全二重伝送回路が有する第1及び第2の外部入出力端子とを結ぶ第1及び第2の伝送路と、を備える、電子機器が提供される。

10

【0020】

また、上記課題を解決するために、本発明の別の観点によれば、第1の差動信号が入力される第1の内部入力端子と、前記第1の差動信号に比べて振幅が $G/2$ 倍($G > 1$)であり、かつ、前記第1の差動信号と同相の信号が入力される第2の内部入力端子と、前記第1の差動信号と対を成す第2の差動信号が入力される第3の内部入力端子と、前記第2の差動信号に比べて振幅が $G/2$ 倍であり、かつ、前記第2の差動信号と同相の信号が入力される第4の内部入力端子と、特性インピーダンス Z を有する第1の伝送路に接続された第1の外部入出力端子と、特性インピーダンス Z を有する第2の伝送路に接続された第2の外部入出力端子と、前記第1の外部入出力端子から入力された第3の差動信号が出力される第1の内部出力端子と、前記第2の外部入出力端子から入力され、前記第3の差動信号と対を成す第4の差動信号が出力される第2の内部出力端子と、エミッタが第1の電流源及び前記第1の外部入出力端子に接続され、ベースが前記第1の内部入力端子に接続され、コレクタが第2のバイポーラトランジスタのエミッタ及び前記第1の内部出力端子に接続された第1のバイポーラトランジスタと、エミッタが前記第1のバイポーラトランジスタのコレクタと、第2の電流源と、前記第1の内部出力端子とに接続され、ベースが前記第2の内部入力端子に接続された第2のバイポーラトランジスタと、エミッタが第3の電流源及び前記第2の外部入出力端子に接続され、ベースが前記第3の内部入力端子に接続され、コレクタが第4のバイポーラトランジスタのエミッタ及び前記第2の内部出力端子に接続された第3のバイポーラトランジスタと、エミッタが前記第3のバイポーラトランジスタのコレクタと、第4の電流源と、前記第2の内部出力端子とに接続され、ベースが前記第4の内部入力端子に接続された第4のバイポーラトランジスタと、を有し、前記第1のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第1の電流源の電流が設定され、前記第2のバイポーラトランジスタのエミッタ抵抗が前記第1のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第2の電流が設定され、前記第3のバイポーラトランジスタのエミッタ抵抗が Z となるように、前記第3の電流源の電流が設定され、前記第4のバイポーラトランジスタのエミッタ抵抗が前記第3のバイポーラトランジスタのエミッタ抵抗に比べて G 倍となるように、前記第4の電流が設定されている、第1及び第2の全二重伝送回路と、前記第1の全二重伝送回路が有する第1及び第2の外部入出力端子と、前記第2の全二重伝送回路が有する第1及び第2の外部入出力端子とを結ぶ第1及び第2の伝送路と、を備える、電子機器が提供される。

20

30

40

【0021】

また、上記の電子機器は、画像データの信号を出力する演算処理部と、前記画像データを表示する表示部と、をさらに備えていてもよい。この場合、前記画像データの信号は、前記第1の全二重伝送回路が有する内部入力端子に入力され、前記伝送路を介して前記第2の全二重伝送回路に伝送され、前記第2の全二重伝送回路が有する内部出力端子から出

50

力され、前記表示部に入力される。

【発明の効果】

【0022】

以上説明したように本発明によれば、高速動作が可能で消費電力が低い全二重伝送回路、及び電子機器を提供することが可能になる。

【図面の簡単な説明】

【0023】

【図1】本発明の一実施形態に係るMOSトランジスタを用いた全二重伝送回路の回路構成例を示す説明図である。

【図2】同実施形態に係るバイポーラトランジスタを用いた全二重伝送回路の回路構成例を示す説明図である。

10

【図3】本発明の一実施形態に係るMOSトランジスタを用いた全二重伝送回路の回路構成例（差動伝送方式）を示す説明図である。

【図4】同実施形態に係るバイポーラトランジスタを用いた全二重伝送回路の回路構成例（差動伝送方式）を示す説明図である。

【図5】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の回路構成例を示す説明図である。

【図6】同実施形態に係るバイポーラトランジスタを用いた全二重伝送回路の回路構成例を示す説明図である。

【図7】本発明の一実施形態に係るMOSトランジスタを用いた全二重伝送回路の回路構成例（差動伝送方式）を示す説明図である。

20

【図8】同実施形態に係るバイポーラトランジスタを用いた全二重伝送回路の回路構成例（差動伝送方式）を示す説明図である。

【図9】抵抗とオペアンプで構成される一般的なハイブリッド回路を用いた全二重伝送回路の一例を示す説明図である。

【図10】抵抗とオペアンプで構成される一般的なハイブリッド回路を用いた全二重伝送回路の一例を示す説明図である。

【図11】一般的な半二重双方向伝送を実現する装置の一例を示す説明図である。

【図12】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の動作を説明するための説明図である。

30

【図13】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の動作を説明するための説明図である。

【図14】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の動作を説明するための説明図である。

【図15】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の動作を説明するための説明図である。

【図16】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の動作を説明するための説明図である。

【図17】同実施形態に係るMOSトランジスタを用いた全二重伝送回路の動作を説明するための説明図である。

40

【図18】同実施形態に係る電子機器の構成例に関し、全二重双方向データ伝送に関する構成について説明するための説明図である。

【図19】同実施形態に係る電子機器の構成例に関し、全二重双方向データ伝送に関する構成について説明するための説明図である。

【図20】同実施形態に係る電子機器の構成例に関し、全二重双方向データ伝送に関する構成について説明するための説明図である。

【図21】同実施形態に係る電子機器の構成例に関し、全二重双方向データ伝送に関する構成について説明するための説明図である。

【発明を実施するための形態】

【0024】

50

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0025】

[説明の流れについて]

ここで、以下に記載する本発明の実施形態に関する説明の流れについて簡単に述べる。まず、図9及び図10を参照しながら、一般的な全二重伝送回路の構成について簡単に説明し、一般的な全二重伝送回路が抱える技術的課題について簡単に説明する。次いで、図1～図8を参照しながら、本実施形態に係る全二重伝送回路の構成について説明する。次いで、図12～図17を参照しながら、本実施形態に係る全二重伝送回路の動作について説明する。次いで、図18～図21を参照しながら、本実施形態に係る全二重伝送回路を機器内伝送へ適用する方法について説明する。最後に、同実施形態の技術的思想について纏め、当該技術的思想から得られる作用効果について簡単に説明する。

10

【0026】

(説明項目)

1：はじめに(一般的な全二重伝送回路について)

2：実施形態

2-1：全二重伝送回路の構成(原理説明)

2-1-1：第1構成(MOSトランジスタ型の基本構成)

2-1-2：第2構成(バイポーラトランジスタ型の基本構成)

2-1-3：第3構成(MOSトランジスタ型の差動構成)

2-1-4：第4構成(バイポーラトランジスタ型の差動構成)

2-1-5：第5構成(MOSトランジスタ型の変形例)

2-1-6：第6構成(バイポーラトランジスタ型の変形例)

2-1-7：第7構成(MOSトランジスタ型の変形例の差動構成)

2-1-8：第8構成(バイポーラトランジスタ型の変形例の差動構成)

2-2：全二重伝送回路の動作

2-2-1：第1構成(基本構成)の動作

2-2-2：第5構成(変形例)の動作

2-3：機器内伝送への適用例

2-3-1：第1構成(基本構成)の適用例

2-3-2：第5構成(変形例)の適用例

2-3-3：第3構成(差動構成)の適用例

2-3-4：第7構成(変形例の差動構成)の適用例

3：まとめ

【0027】

<1：はじめに(一般的な全二重伝送回路について)>

はじめに、一般的な全二重伝送回路の構成及び一般的な全二重伝送回路が抱える課題について簡単に説明する。

【0028】

(全二重伝送回路の例#1)

まず、図9を参照する。図9は、抵抗とオペアンプで構成されるハイブリッド回路を用いた全二重伝送回路の一例を示す説明図である。

【0029】

この全二重伝送回路は、送信バッファ111及び受信バッファ(増幅器112、抵抗R2、R3)を含むハイブリッド回路110と、送信部130と、受信部140と、伝送線路120とにより構成される。以下、簡単のため、伝送線路120のインピーダンスZは実数とする。また、増幅器112を理想的なオペアンプと見なす。つまり、常に $c = d$ が成り立つとする。また、送信バッファ111の出力端子を理想的な電圧源と見なし、その出力インピーダンスを0とする。

50

【0030】

ハイブリッド回路110の端子cを外部から見たインピーダンスはR1である。また、ハイブリッド回路110と伝送線路120とのインピーダンス整合を実現するためには、 $R1 = Z$ を満たすようにR1を設定すればよい。さらに、増幅回路112を介して送信バッファ111の出力dが受信部140へ回り込むのを防ぐには、 $R2 / R3 = R1 / Z = 1$ の関係を満たすようにR2及びR3を設定すればよい。

【0031】

送信部130からハイブリッド回路110へ入力された信号aは、送信バッファ111からdへと出力され、抵抗R1を通過して伝送線路120へと出力される。ハイブリッド回路110の出力cは、送信バッファ111の出力dにおけるR1とZとの抵抗分割より、 $c = d * Z / (R1 + Z) = d / 2$ となる。つまり、伝送線路120へと出力される電力と同じ大きさの電力がハイブリッド回路110の抵抗R1で消費されてしまう。

10

【0032】

以上、理想的な電圧出力を持つ送信バッファ111と、増幅器112及び抵抗R2、R3により構成される受信バッファとで構成されるハイブリッド回路の構成及び当該ハイブリッド回路を用いた全二重伝送回路の構成について説明した。

【0033】

(全二重伝送回路の構成例#2)

最近、数Gbpsを超えるような高速の差動データ伝送が広く利用されるようになってきた。このような用途の場合、送信信号に応じた電流を出力する電流源と内蔵の抵抗負荷とを組み合わせた送信バッファ211、及び、2つの異なるトランスコンダクタンスgmを持つ増幅器212、213を組み合わせた受信バッファで構成される全二重伝送回路(図10を参照)が用いられる。伝送線路220とのインピーダンス整合を確保するには、送信バッファ211内の負荷抵抗R0と、ハイブリッド回路210内の抵抗R1とが、 $R0 + R1 = Z$ の関係を満たすようにすればよい。以下、簡単のため、 $R0 = R1 = 1 / 2 * Z$ とする。

20

【0034】

送信バッファ211内では、送信部230から入力された送信信号aに応じて電流出力ioutが生ずる。この電流により $d = 3 / 8 * iout * Z$ 、及び、 $c = 2 / 8 * iout * Z$ の電圧が生じる。このとき、R0、R1、Zで消費される電力は、それぞれ、 $9 / 32 * iout * iout * Z$ 、 $1 / 32 * iout * iout * Z$ 、 $2 / 32 * iout * iout * Z$ となる。つまり、伝送線路220へと出力される電力の4.5倍の電力が送信バッファ211の負荷抵抗で消費され、1/2倍の電力がハイブリッド回路210の抵抗R1で消費されてしまう。

30

【0035】

なお、2つの増幅器212、213が有するトランスインピーダンスをそれぞれ $-2 * gm$ 、 $3 * gm$ と設定すると、送信バッファ211の出力が増幅器212、213の出力で相殺され、送信部230から受信部240へのデータの回りこみを無くすることができる。

【0036】

また、伝送線路220から入力された受信電流iinは、c及びdにそれぞれ $c = iin * Z$ 、 $d = 1 / 2 * iin * Z$ の電圧を発生させる。このとき、R1、R0で消費される電力は、それぞれ $1 / 2 * iin * iin * Z$ 、 $1 / 2 * iin * iin * Z$ となる。c及びdに発生する電圧はそれぞれ増幅器213、212に入力される。そして、 $b = RL * (3 * gm * iin * Z - 2 * gm * 1 / 2 * iin * Z) = RL * 2 * gm * iin * Z$ の受信信号が得られる。ここで、増幅回路212は、受信信号に対して反転増幅器として働くため、増幅器213の増幅率を減ずるよう作用する。つまり、受信動作において、増幅回路212は、電力を消費しながら増幅率を減少させてしまう。

40

【0037】

以上、高速の差動データ伝送に適用される全二重伝送回路の構成について簡単に説明し

50

た。

【0038】

上記のように、抵抗と増幅器で構成されるハイブリッド回路を用いた全二重双方向伝送装置は、送信バッファの出力端子とハイブリッド回路の出力端子の間に抵抗 R_1 が直列に挿入されている。そのため、高速化を実現するために抵抗負荷を有する送信バッファにおいて出力効率が著しく低下してしまう。さらに、2つの異なる g_m をもつ増幅器の組み合わせで受信バッファを構成する例において、一方の増幅器は電力を消費しながら受信信号の増幅率を減ずるといった副作用があった。また、当然のことながら、何れの方式においても、送信バッファと受信バッファが全二重双方向伝送時において常に動作状態にあり、それぞれ個々に電力を消費する。そのため、例えば、図11に示すような時分割で双方向伝送を実現する半二重伝送回路と比較すると消費電力が大きい。

10

【0039】

このように、一般的な全二重伝送回路は消費電力の大きさに関して課題を抱えている。そこで、本件発明者は、高速動作が可能で消費電力の少ない全二重伝送回路を考案した。

【0040】

<2：実施形態>

ここでは本発明の一実施形態について説明する。

【0041】

[2-1：全二重伝送回路の構成（原理説明）]

以下、本実施形態に係る全二重伝送回路の構成について説明する。

20

【0042】

(2-1-1：第1構成（MOSトランジスタ型の基本構成）)

まず、図1を参照しながら、MOSトランジスタを用いた本実施形態に係る全二重伝送回路の構成（MOSトランジスタ型の基本構成）について説明する。以下、図1に示した回路構成を第1構成と呼ぶ場合がある。なお、本稿においてMOSは、Metal Oxide Semiconductorの略である。

【0043】

図1に示すように、第1構成の全二重伝送回路は、電流源10と、MOSトランジスタ11a、12aと、内部入力端子TX0、TX1と、内部出力端子RXと、外部入出力端子IOと、により構成される。また、外部入出力端子IOは、特性インピーダンスZを持つ伝送路13に接続されている。

30

【0044】

MOSトランジスタ11aのソースは、電流源10、及び外部入出力端子IOに接続されている。また、MOSトランジスタ11aのゲートは、内部入力端子TX0に接続されている。さらに、MOSトランジスタ11aのドレインは、MOSトランジスタ12aのソース、及び内部出力端子RXに接続されている。また、MOSトランジスタ12aのソースは、MOSトランジスタ11aのドレイン及び内部出力端子RXに接続されている。そして、MOSトランジスタ12aのゲートは、内部入力端子TX1に接続されている。

【0045】

なお、内部入力端子TX0には、送信信号が入力される。また、内部入力端子TX1には、内部入力端子TX0に入力される送信信号と同相で、その送信信号に比べて振幅が1/2倍の信号（以下、キャンセル信号）が入力される。

40

【0046】

また、電流源10から出力される電流 I_B 、及びMOSトランジスタ11aのトランジスタサイズは、MOSトランジスタ11aのトランスコンダクタンス g_m が $1/Z$ に等しくなるように設定されている。このような設定にすることで、外部入出力端子IOと伝送路13とのインピーダンス整合が実現される。また、MOSトランジスタ12aのトランジスタサイズは、そのトランスコンダクタンスが g_m （MOSトランジスタ11aのトランスコンダクタンス）となるように設定されている。

【0047】

50

内部入力端子TX0に送信信号が入力されると、この送信信号は、MOSトランジスタ11aのソースから外部入出力端子IOへと非反転増幅して出力される。また、この送信信号は、MOSトランジスタ11aのドレインから内部出力端子RXへと反転増幅して出力される。また、内部入力端子TX1にキャンセル信号が入力されると、このキャンセル信号は、MOSトランジスタ12aのソースから内部出力端子RXへと非反転増幅して出力される。MOSトランジスタ12aのソースから非反転増幅して出力されたキャンセル信号は、MOSトランジスタ11aのドレインから反転増幅して出力された送信信号と打ち消し合う。そのため、電流が内部出力端子RXに抜けることを抑制できる。

【0048】

一方、外部入出力端子IOから入力された受信信号は、ゲート接地されたMOSトランジスタ11aのソース抵抗Zで終端され、MOSトランジスタ11aのドレインから内部出力端子RXへと非反転増幅して出力される。

【0049】

このように、MOSトランジスタ11aは、電源からGNDへ貫通して流れる1本の電流系路上において、外部入出力端子IOから入力された受信信号に対する初段の(ゲート接地)増幅回路として機能する。また、MOSトランジスタ11aは、内部入力端子TX0に入力された送信信号を外部入出力端子IOへと出力する最終段の(ソースフォロア)増幅回路として機能する。一方、MOSトランジスタ12aは、内部入力端子TX0から内部出力端子RXへと回り込む信号をキャンセルするためのソースフォロア増幅回路として機能する。

【0050】

以上、MOSトランジスタを用いた本実施形態に係る全二重伝送回路の構成(MOSトランジスタ型の基本構成)について説明した。

【0051】

(2-1-2:第2構成(バイポーラトランジスタ型の基本構成))

次に、図2を参照しながら、バイポーラトランジスタを用いた本実施形態に係る全二重伝送回路の構成(バイポーラトランジスタ型の基本構成)について説明する。以下、図2に示した回路構成を第2構成と呼ぶ場合がある。

【0052】

図2に示すように、第2構成の全二重伝送回路は、電流源10と、バイポーラトランジスタ11b、12bと、内部入力端子TX0、TX1と、内部出力端子RXと、外部入出力端子IOと、により構成される。また、外部入出力端子IOは、特性インピーダンスZを持つ伝送路13に接続されている。

【0053】

バイポーラトランジスタ11bのエミッタは、電流源10、及び外部入出力端子IOに接続されている。また、バイポーラトランジスタ11bのベースは、内部入力端子TX0に接続されている。さらに、バイポーラトランジスタ11bのコレクタは、バイポーラトランジスタ12bのエミッタ、及び内部出力端子RXに接続されている。また、バイポーラトランジスタ12bのエミッタは、バイポーラトランジスタ11bのコレクタ、及び内部出力端子RXに接続されている。そして、バイポーラトランジスタ12bのベースは、内部入力端子TX1に接続されている。

【0054】

なお、内部入力端子TX0には、送信信号が入力される。また、内部入力端子TX1には、内部入力端子TX0に入力される送信信号と同相で、その送信信号に比べて振幅が1/2倍の信号(キャンセル信号)が入力される。

【0055】

また、電流源10から出力される電流 I_{B0} は、バイポーラトランジスタ11bのエミッタ抵抗 r_e がZに等しくなるように設定されている。このような設定にすることで、外部入出力端子IOと伝送路13とのインピーダンス整合が実現される。

【0056】

10

20

30

40

50

内部入力端子 $T X 0$ に送信信号が入力されると、この送信信号は、バイポーラトランジスタ $1 1 b$ のエミッタから外部入出力端子 $I O$ へと非反転増幅して出力される。また、この送信信号は、バイポーラトランジスタ $1 1 b$ のコレクタから内部出力端子 $R X$ へと反転増幅して出力される。また、内部入力端子 $T X 1$ にキャンセル信号が入力されると、このキャンセル信号は、バイポーラトランジスタ $1 2 b$ のエミッタから内部出力端子 $R X$ へと非反転増幅して出力される。バイポーラトランジスタ $1 2 b$ のエミッタから非反転増幅して出力されたキャンセル信号は、バイポーラトランジスタ $1 1 b$ のコレクタから反転増幅して出力された送信信号と打ち消し合う。そのため、電流が内部出力端子 $R X$ に抜けることを抑制できる。

【 0 0 5 7 】

一方、外部入出力端子 $I O$ から入力された受信信号は、ベース接地されたバイポーラトランジスタ $1 1 b$ のエミッタ抵抗 Z で終端され、バイポーラトランジスタ $1 1 b$ のコレクタから内部出力端子 $R X$ へと非反転増幅して出力される。

【 0 0 5 8 】

このように、バイポーラトランジスタ $1 1 b$ は、電源から $G N D$ へ貫通して流れる 1 本の電流系路上において、外部入出力端子 $I O$ から入力された受信信号に対する初段の（ベース接地）増幅回路として機能する。また、バイポーラトランジスタ $1 1 b$ は、内部入力端子 $T X 0$ に入力された送信信号を外部入出力端子 $I O$ へと出力する最終段の（エミッタフォロア）増幅回路として機能する。一方、バイポーラトランジスタ $1 2 b$ は、内部入力端子 $T X 0$ から内部出力端子 $R X$ へと回り込む信号をキャンセルするためのエミッタフォロア増幅回路として機能する。

【 0 0 5 9 】

以上、バイポーラトランジスタを用いた本実施形態に係る全二重伝送回路の構成（バイポーラトランジスタ型の基本構成）について説明した。

【 0 0 6 0 】

（ 2 - 1 - 3 : 第 3 構成（ $M O S$ トランジスタ型の差動構成））

次に、図 3 を参照しながら、 $M O S$ トランジスタを用いた本実施形態に係る全二重伝送回路の構成（ $M O S$ トランジスタ型の差動構成）について説明する。以下、図 3 に示した回路構成を第 3 構成と呼ぶ場合がある。なお、第 3 構成は、差動伝送に適用できるように第 1 構成を変形したものである。

【 0 0 6 1 】

図 3 に示すように、第 3 構成の全二重伝送回路は、電流源 $2 0$ 、 $2 3$ と、 $M O S$ トランジスタ $2 1 a$ 、 $2 2 a$ 、 $2 4 a$ 、 $2 5 a$ と、内部入力端子 $T X 0$ 、 $T X 1$ 、 $T X 0 X$ 、 $T X 1 X$ と、内部出力端子 $R X$ 、 $R X X$ と、外部入出力端子 $I O$ 、 $I O X$ と、により構成される。また、外部入出力端子 $I O$ 、 $I O X$ は、それぞれ特性インピーダンス Z を持つ伝送路 $2 6$ 、 $2 7$ に接続されている。

【 0 0 6 2 】

$M O S$ トランジスタ $2 1 a$ のソースは、電流源 $2 0$ 、及び外部入出力端子 $I O$ に接続されている。また、 $M O S$ トランジスタ $2 1 a$ のゲートは、内部入力端子 $T X 0$ に接続されている。さらに、 $M O S$ トランジスタ $2 1 a$ のドレインは、 $M O S$ トランジスタ $2 2 a$ のソース、及び内部出力端子 $R X$ に接続されている。また、 $M O S$ トランジスタ $2 2 a$ のソースは、 $M O S$ トランジスタ $2 1 a$ のドレイン及び内部出力端子 $R X$ に接続されている。そして、 $M O S$ トランジスタ $2 2 a$ のゲートは、内部入力端子 $T X 1$ に接続されている。

【 0 0 6 3 】

また、 $M O S$ トランジスタ $2 4 a$ のソースは、電流源 $2 3$ 、及び外部入出力端子 $I O X$ に接続されている。また、 $M O S$ トランジスタ $2 4 a$ のゲートは、内部入力端子 $T X 0 X$ に接続されている。さらに、 $M O S$ トランジスタ $2 4 a$ のドレインは、 $M O S$ トランジスタ $2 5 a$ のソース、及び内部出力端子 $R X X$ に接続されている。また、 $M O S$ トランジスタ $2 5 a$ のソースは、 $M O S$ トランジスタ $2 4 a$ のドレイン、及び内部出力端子 $R X X$ に接続されている。そして、 $M O S$ トランジスタ $2 5 a$ のゲートは、内部入力端子 $T X 1 X$

10

20

30

40

50

に接続されている。

【 0 0 6 4 】

なお、内部入力端子 T X 0 には、第 1 の差動信号が入力される。また、内部入力端子 T X 1 には、内部入力端子 T X 0 に入力される第 1 の差動信号と同相で、その第 1 の差動信号に比べて振幅が 1 / 2 倍の信号（キャンセル信号）が入力される。同様に、内部入力端子 T X 0 X には、第 1 の差動信号と対を成す第 2 の差動信号が入力される。また、内部入力端子 T X 1 X には、内部入力端子 T X 0 X に入力される第 2 の差動信号と同相で、その第 2 の差動信号に比べて振幅が 1 / 2 倍の信号（キャンセル信号）が入力される。

【 0 0 6 5 】

また、電流源 2 0、2 3 から出力される電流 I_B 、及び MOS トランジスタ 2 1 a、2 4 a のトランジスタサイズは、MOS トランジスタ 2 1 a、2 4 a のトランスコンダクタンス g_m が 1 / Z に等しくなるように設定されている。さらに、MOS トランジスタ 2 2 a、2 5 a のトランジスタサイズは、そのトランスコンダクタンスが g_m （MOS トランジスタ 2 1 a、2 4 a のトランスコンダクタンス）となるように設定されている。

【 0 0 6 6 】

以上、MOS トランジスタを用いた本実施形態に係る全二重伝送回路の構成（MOS トランジスタ型の差動構成）について説明した。

【 0 0 6 7 】

（ 2 - 1 - 4 : 第 4 構成（バイポーラトランジスタ型の差動構成））

次に、図 4 を参照しながら、バイポーラトランジスタを用いた本実施形態に係る全二重伝送回路の構成（バイポーラトランジスタ型の差動構成）について説明する。以下、図 4 に示した回路構成を第 4 構成と呼ぶ場合がある。なお、第 4 構成は、差動伝送に適用できるように第 2 構成を変形したものである。

【 0 0 6 8 】

図 4 に示すように、第 4 構成の全二重伝送回路は、電流源 2 0、2 3 と、バイポーラトランジスタ 2 1 b、2 2 b、2 4 b、2 5 b と、内部入力端子 T X 0、T X 1、T X 0 X、T X 1 X と、内部出力端子 R X、R X X と、外部入出力端子 I O、I O X と、により構成される。また、外部入出力端子 I O、I O X は、特性インピーダンス Z を持つ伝送路 2 6、2 7 に接続されている。

【 0 0 6 9 】

バイポーラトランジスタ 2 1 b のエミッタは、電流源 2 0、及び外部入出力端子 I O に接続されている。また、バイポーラトランジスタ 2 1 b のベースは、内部入力端子 T X 0 に接続されている。さらに、バイポーラトランジスタ 2 1 b のコレクタは、バイポーラトランジスタ 2 2 b のエミッタ、及び内部出力端子 R X に接続されている。また、バイポーラトランジスタ 2 2 b のエミッタは、バイポーラトランジスタ 2 1 b のコレクタ、及び内部出力端子 R X に接続されている。そして、バイポーラトランジスタ 2 2 b のベースは、内部入力端子 T X 1 に接続されている。

【 0 0 7 0 】

また、バイポーラトランジスタ 2 4 b のエミッタは、電流源 2 3、及び外部入出力端子 I O X に接続されている。また、バイポーラトランジスタ 2 4 b のベースは、内部入力端子 T X 0 X に接続されている。さらに、バイポーラトランジスタ 2 4 b のコレクタは、バイポーラトランジスタ 2 5 b のエミッタ、及び内部出力端子 R X X に接続されている。また、バイポーラトランジスタ 2 5 b のエミッタは、バイポーラトランジスタ 2 4 b のコレクタ、及び内部出力端子 R X X に接続されている。そして、バイポーラトランジスタ 2 5 b のベースは、内部入力端子 T X 1 X に接続されている。

【 0 0 7 1 】

なお、内部入力端子 T X 0 には、第 1 の差動信号が入力される。また、内部入力端子 T X 1 には、内部入力端子 T X 0 に入力される第 1 の差動信号と同相で、その第 1 の差動信号に比べて振幅が 1 / 2 倍の信号（キャンセル信号）が入力される。同様に、内部入力端子 T X 0 X には、第 1 の差動信号と対を成す第 2 の差動信号が入力される。また、内部入

10

20

30

40

50

力端子 $T X 1 X$ には、内部入力端子 $T X 0 X$ に入力される第 2 の差動信号と同相で、その第 2 の差動信号に比べて振幅が $1 / 2$ 倍の信号（キャンセル信号）が入力される。

【 0 0 7 2 】

また、電流源 2 0、2 3 から出力される電流 $I_{B 0}$ は、バイポーラトランジスタ 2 1 b、2 4 b のエミッタ抵抗 r_e が Z に等しくなるように設定されている。このような設定にすることで、全二重伝送回路と伝送路 2 6、2 7 とのインピーダンス整合が実現される。

【 0 0 7 3 】

以上、バイポーラトランジスタを用いた本実施形態に係る全二重伝送回路の構成（バイポーラトランジスタ型の差動構成）について説明した。

【 0 0 7 4 】

（ 2 - 1 - 5 : 第 5 構成（MOS トランジスタ型の変形例））

次に、図 5 を参照しながら、MOS トランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成（MOS トランジスタ型の変形例）について説明する。以下、図 5 に示した回路構成を第 5 構成と呼ぶ場合がある。

【 0 0 7 5 】

図 5 に示すように、第 5 構成の全二重伝送回路は、電流源 3 0、3 3 と、MOS トランジスタ 3 1 a、3 2 a と、内部入力端子 $T X 0$ 、 $T X 1$ と、内部出力端子 $R X$ と、外部入出力端子 $I O$ と、により構成される。また、外部入出力端子 $I O$ は、特性インピーダンス Z を持つ伝送路 3 4 に接続されている。

【 0 0 7 6 】

MOS トランジスタ 3 1 a のソースは、電流源 3 0、及び外部入出力端子 $I O$ に接続されている。また、MOS トランジスタ 3 1 a のゲートは、内部入力端子 $T X 0$ に接続されている。さらに、MOS トランジスタ 3 1 a のドレインは、MOS トランジスタ 3 2 a のソース、及び内部出力端子 $R X$ に接続されている。また、MOS トランジスタ 3 2 a のソースは、MOS トランジスタ 3 1 a のドレイン、電流源 3 3、及び内部出力端子 $R X$ に接続されている。そして、MOS トランジスタ 3 2 a のゲートは、内部入力端子 $T X 1$ に接続されている。

【 0 0 7 7 】

なお、内部入力端子 $T X 0$ には、送信信号が入力される。また、内部入力端子 $T X 1$ には、内部入力端子 $T X 0$ に入力される送信信号と同相で、バイアスポイントが異なり、その送信信号に比べて振幅が $G / 2$ 倍の信号（キャンセル信号）が入力される。

【 0 0 7 8 】

また、電流源 3 0 から出力される電流 $I_{B 0}$ 、及び MOS トランジスタ 3 1 a のトランジスタサイズは、MOS トランジスタ 3 1 a のトランスコンダクタンス $g_{m 0}$ が $1 / Z$ に等しくなるように設定されている。このような設定にすることで、外部入出力端子 $I O$ と伝送路 3 4 とのインピーダンス整合が実現される。また、電流源 3 3 から出力される電流 $I_{B 1}$ 、及び MOS トランジスタ 3 2 a のトランジスタサイズは、MOS トランジスタ 3 2 a のトランスコンダクタンス $g_{m 1}$ が MOS トランジスタ 3 1 a のトランスコンダクタンス $g_{m 0}$ に比べて $1 / G$ 倍（但し、 $1 < G < 4$ 程度）となるように設定されている。

【 0 0 7 9 】

内部入力端子 $T X 0$ に送信信号が入力されると、この送信信号は、MOS トランジスタ 3 1 a のソースから外部入出力端子 $I O$ へと非反転増幅して出力される。また、この送信信号は、MOS トランジスタ 3 1 a のドレインから内部出力端子 $R X$ へと反転増幅して出力される。また、内部入力端子 $T X 1$ にキャンセル信号が入力されると、このキャンセル信号は、MOS トランジスタ 3 2 a のソースから内部出力端子 $R X$ へと非反転増幅して出力される。MOS トランジスタ 3 2 a のソースから非反転増幅して出力されたキャンセル信号は、MOS トランジスタ 3 1 a のドレインから反転増幅して出力された送信信号と打ち消し合う。そのため、電流が内部出力端子 $R X$ に抜けることを抑制できる。

【 0 0 8 0 】

一方、外部入出力端子 $I O$ から入力された受信信号は、ゲート接地された MOS トラン

10

20

30

40

50

ジスタ 3 1 a のソース抵抗 Z で終端され、MOS トランジスタ 3 1 a のドレインから内部出力端子 $R X$ へと非反転増幅して出力される。

【 0 0 8 1 】

以上、MOS トランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成 (MOS トランジスタ型の変形例) について説明した。

【 0 0 8 2 】

(2 - 1 - 6 : 第 6 構成 (バイポーラトランジスタ型の変形例))

次に、図 6 を参照しながら、バイポーラトランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成 (バイポーラトランジスタ型の変形例) について説明する。以下、図 6 に示した回路構成を第 6 構成と呼ぶ場合がある。

【 0 0 8 3 】

図 6 に示すように、第 6 構成の全二重伝送回路は、電流源 3 0、3 3 と、バイポーラトランジスタ 3 1 b、3 2 b と、内部入力端子 $T X 0$ 、 $T X 1$ と、内部出力端子 $R X$ と、外部入出力端子 $I O$ と、により構成される。また、外部入出力端子 $I O$ は、特性インピーダンス Z を持つ伝送路 3 4 に接続されている。

【 0 0 8 4 】

バイポーラトランジスタ 3 1 b のエミッタは、電流源 3 0、及び外部入出力端子 $I O$ に接続されている。また、バイポーラトランジスタ 3 1 b のベースは、内部入力端子 $T X 0$ に接続されている。さらに、バイポーラトランジスタ 3 1 b のコレクタは、バイポーラトランジスタ 3 2 b のエミッタ、及び内部出力端子 $R X$ に接続されている。また、バイポーラトランジスタ 3 2 b のエミッタは、電流源 3 3、バイポーラトランジスタ 3 1 b のコレクタ、及び内部出力端子 $R X$ に接続されている。そして、バイポーラトランジスタ 3 2 b のベースは、内部入力端子 $T X 1$ に接続されている。

【 0 0 8 5 】

なお、内部入力端子 $T X 0$ には、送信信号が入力される。また、内部入力端子 $T X 1$ には、内部入力端子 $T X 0$ に入力される送信信号と同相で、その送信信号に比べて振幅が $G / 2$ 倍の信号 (キャンセル信号) が入力される。

【 0 0 8 6 】

また、電流源 3 0 から出力される電流 I_{B0} は、バイポーラトランジスタ 3 1 b のエミッタ抵抗 r_{e0} が Z に等しくなるように設定されている。このような設定にすることで、外部入出力端子 $I O$ と伝送路 3 4 とのインピーダンス整合が実現される。さらに、電流源 3 3 から出力される電流 I_{B1} は、バイポーラトランジスタ 3 2 b のエミッタ抵抗 r_{e1} がバイポーラトランジスタ 3 1 b のエミッタ抵抗 r_{e0} に比べて G 倍 (但し、 $1 < G < 4$ 程度) となるように設定されている。

【 0 0 8 7 】

内部入力端子 $T X 0$ に送信信号が入力されると、この送信信号は、バイポーラトランジスタ 3 1 b のエミッタから外部入出力端子 $I O$ へと非反転増幅して出力される。また、この送信信号は、バイポーラトランジスタ 3 1 b のコレクタから内部出力端子 $R X$ へと反転増幅して出力される。また、内部入力端子 $T X 1$ にキャンセル信号が入力されると、このキャンセル信号は、バイポーラトランジスタ 3 2 b のエミッタから内部出力端子 $R X$ へと非反転増幅して出力される。バイポーラトランジスタ 3 2 b のエミッタから非反転増幅して出力されたキャンセル信号は、バイポーラトランジスタ 3 1 b のコレクタから反転増幅して出力された送信信号と打ち消し合う。そのため、電流が内部出力端子 $R X$ に抜けることを抑制できる。

【 0 0 8 8 】

一方、外部入出力端子 $I O$ から入力された受信信号は、ベース接地されたバイポーラトランジスタ 3 1 b のエミッタ抵抗 Z で終端され、バイポーラトランジスタ 3 1 b のコレクタから内部出力端子 $R X$ へと非反転増幅して出力される。

【 0 0 8 9 】

以上、バイポーラトランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構

10

20

30

40

50

成（バイポーラトランジスタ型の変形例）について説明した。

【0090】

（2-1-7：第7構成（MOSトランジスタ型の変形例の差動構成）

次に、図7を参照しながら、MOSトランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成（MOSトランジスタ型の変形例の差動構成）について説明する。以下、図7に示した回路構成を第7構成と呼ぶ場合がある。なお、第7構成は、差動伝送に適用できるように第5構成を変形したものである。

【0091】

図7に示すように、第7構成の全二重伝送回路は、電流源40、43、45、48と、MOSトランジスタ41a、42a、46a、47aと、内部入力端子TX0、TX1、TX0X、TX1Xと、内部出力端子RX、RX Xと、外部入出力端子IO、IO Xと、により構成される。また、外部入出力端子IO、IO Xは、それぞれ特性インピーダンスZを持つ伝送路44、49に接続されている。

10

【0092】

MOSトランジスタ41aのソースは、電流源40、及び外部入出力端子IOに接続されている。また、MOSトランジスタ41aのゲートは、内部入力端子TX0に接続されている。さらに、MOSトランジスタ41aのドレインは、MOSトランジスタ42aのソース、及び内部出力端子RXに接続されている。また、MOSトランジスタ42aのソースは、MOSトランジスタ41aのドレイン、電流源43、及び内部出力端子RXに接続されている。そして、MOSトランジスタ42aのゲートは、内部入力端子TX1に接続されている。

20

【0093】

また、MOSトランジスタ46aのソースは、電流源45、及び外部入出力端子IO Xに接続されている。また、MOSトランジスタ46aのゲートは、内部入力端子TX0 Xに接続されている。さらに、MOSトランジスタ46aのドレインは、MOSトランジスタ47aのソース、及び内部出力端子RX Xに接続されている。また、MOSトランジスタ47aのソースは、MOSトランジスタ46aのドレイン、電流源48、及び内部出力端子RX Xに接続されている。そして、MOSトランジスタ47aのゲートは、内部入力端子TX1 Xに接続されている。

30

【0094】

なお、内部入力端子TX0には、第1の差動信号が入力される。また、内部入力端子TX1には、内部入力端子TX0に入力される第1の差動信号と同相で、バイアスポイントが異なり、その第1の差動信号に比べて振幅がG/2倍の信号（キャンセル信号）が入力される。同様に、内部入力端子TX0 Xには、第1の差動信号と対を成す第2の差動信号が入力される。また、内部入力端子TX1 Xには、内部入力端子TX0 Xに入力される第2の差動信号と同相で、バイアスポイントが異なり、その第2の差動信号に比べて振幅がG/2倍の信号（キャンセル信号）が入力される。

【0095】

また、電流源40、45から出力される電流 I_{B0} 、及びMOSトランジスタ41a、46aのトランジスタサイズは、MOSトランジスタ41a、46aのトランスコンダクタンス g_{m0} が $1/Z$ に等しくなるように設定されている。このような設定にすることで、外部入出力端子IOと伝送路44、49とのインピーダンス整合が実現される。また、電流源43、48から出力される電流 I_{B1} 、及びMOSトランジスタ42a、47aのトランジスタサイズは、MOSトランジスタ42a、47aのトランスコンダクタンス g_{m1} がMOSトランジスタ41a、46aのトランスコンダクタンス g_{m0} に比べて $1/G$ 倍（但し、 $1 < G < 4$ 程度）となるように設定されている。

40

【0096】

以上、MOSトランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成（MOSトランジスタ型の変形例の差動構成）について説明した。

【0097】

50

(2-1-8: 第8構成(バイポーラトランジスタ型の変形例の差動構成))

次に、図8を参照しながら、バイポーラトランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成(バイポーラトランジスタ型の変形例の差動構成)について説明する。以下、図8に示した回路構成を第8構成と呼ぶ場合がある。なお、第8構成は、差動伝送に適用できるように第6構成を変形したものである。

【0098】

図8に示すように、第8構成の全二重伝送回路は、電流源40、43、45、48と、バイポーラトランジスタ41b、42b、46b、47bと、内部入力端子TX0、TX1、TX0X、TX1Xと、内部出力端子RX、RX Xと、外部入出力端子IO、IO Xと、により構成される。また、外部入出力端子IO、IO Xは、それぞれ特性インピーダンスZを持つ伝送路44、49に接続されている。

10

【0099】

バイポーラトランジスタ41bのエミッタは、電流源40、及び外部入出力端子IOに接続されている。また、バイポーラトランジスタ41bのベースは、内部入力端子TX0に接続されている。さらに、バイポーラトランジスタ41bのコレクタは、バイポーラトランジスタ42bのエミッタ、及び内部出力端子RXに接続されている。また、バイポーラトランジスタ42bのエミッタは、電流源43、バイポーラトランジスタ41bのコレクタ、及び内部出力端子RXに接続されている。そして、バイポーラトランジスタ42bのベースは、内部入力端子TX1に接続されている。

【0100】

20

また、バイポーラトランジスタ46bのエミッタは、電流源45、及び外部入出力端子IO Xに接続されている。また、バイポーラトランジスタ46bのベースは、内部入力端子TX0 Xに接続されている。さらに、バイポーラトランジスタ46bのコレクタは、バイポーラトランジスタ47bのエミッタ、及び内部出力端子RX Xに接続されている。また、バイポーラトランジスタ47bのエミッタは、電流源48、バイポーラトランジスタ46bのコレクタ、及び内部出力端子RX Xに接続されている。そして、バイポーラトランジスタ47bのベースは、内部入力端子TX1 Xに接続されている。

【0101】

なお、内部入力端子TX0には、第1の差動信号が入力される。また、内部入力端子TX1には、内部入力端子TX0に入力される第1の差動信号と同相で、その第1の差動信号に比べて振幅がG/2倍の信号(キャンセル信号)が入力される。同様に、内部入力端子TX0 Xには、第1の差動信号と対を成す第2の差動信号が入力される。また、内部入力端子TX1 Xには、内部入力端子TX0 Xに入力される第2の差動信号と同相で、その第2の差動信号に比べて振幅がG/2倍の信号(キャンセル信号)が入力される。

30

【0102】

また、電流源40、45から出力される電流 I_{B0} は、バイポーラトランジスタ41b、46bのエミッタ抵抗 r_{e0} がZに等しくなるように設定されている。このような設定にすることで、外部入出力端子IOと伝送路44、49とのインピーダンス整合が実現される。さらに、電流源43、48から出力される電流 I_{B1} は、バイポーラトランジスタ42b、47bのエミッタ抵抗 r_{e1} がバイポーラトランジスタ41b、46bのエミッタ抵抗 r_{e0} に比べてG倍(但し、 $1 < G < 4$ 程度)となるように設定されている。

40

【0103】

以上、バイポーラトランジスタを用いた本実施形態の変形例に係る全二重伝送回路の構成(バイポーラトランジスタ型の変形例の差動構成)について説明した。

【0104】

以上、本実施形態に係る全二重伝送回路の構成について説明した。

【0105】

以上説明した構成により、電源からGNDへ貫通して流れる1本のバイアス電流にて、送信バッファ、受信バッファ、ハイブリッド回路の機能を全て実現し、半二重伝送回路と同等の消費電流で全二重データ伝送を実現することが可能となる。

50

【 0 1 0 6 】

特に、図 5 ~ 図 8 に示すように、内部出力端子 R X に対する送信信号の回り込みをキャンセルするためにトランジスタに並列して電流源を配置することにより、トランジスタに流れる電流値を調整できるようになる。そして、この電流値を調整することにより、ソース（エミッタ）抵抗を伝送路の特性インピーダンス Z より高く設定することが可能になる。また、トランスインピーダンス増幅器の電圧増幅率を 1 倍以上にすることも可能になるため、受信バッファの初段回路における電圧増幅率を高めることができる。また、図 3、図 4、図 7、図 8 に示すように、差動構成とすることが容易である。

【 0 1 0 7 】

[2 - 2 : 全二重伝送回路の動作]

次に、本実施形態に係る全二重伝送回路の動作について説明する。なお、ここでは第 1 及び第 5 構成の動作を例に挙げて当該全二重伝送回路の動作について説明し、その他の構成に関する動作の説明は省略する。

【 0 1 0 8 】

(2 - 2 - 1 : 第 1 構成（基本構成）の動作)

まず、図 1 2 ~ 図 1 4 を参照しながら、第 1 構成に係る全二重伝送回路の動作について説明する。なお、異なる符号を用いているが、図 1 に示した回路構成と、図 1 2 ~ 図 1 4 に示した回路構成とは同じものである。

【 0 1 0 9 】

M O S トランジスタ 4 1 1 のトランスコンダクタンス g_m が $g_m = 1 / Z$ となるようにバイアス電流 I_B の値が設定されている。そのため、M O S トランジスタ 4 1 1 のソース抵抗は Z となる。一方、電流源 4 1 0 の出力インピーダンスは、理想的には無限大である。その結果、外部入出力端子 I O を伝送路 4 1 3 の特性インピーダンス Z と整合させることが可能になる。

【 0 1 1 0 】

図 1 2 に示すように、内部入力端子 T X 0 から送信電圧信号 V T X 0 を入力すると、この送信電圧信号 V T X 0 は、M O S トランジスタ 4 1 1 のソース抵抗 Z と、伝送路 4 1 3 の特性インピーダンス Z とで抵抗分割され、電圧増幅率 1 / 2 で外部入出力端子 I O から出力される。つまり、外部入出力端子 I O から電圧信号 V I O ($V I O = V T X 0 / 2$) が出力される。このとき、M O S トランジスタ 4 1 1 のゲート - ソース間電圧は $V T X 0 - V I O = V T X 0 / 2$ だけ変化し、その変化によりドレイン電流が $g_m * V T X 0 / 2$ だけ変化する。

【 0 1 1 1 】

また、このドレイン電流の変化は、そのまま M O S トランジスタ 4 1 2 のソース電流の変化となり、そのゲート - ソース間電圧を $g_m * V T X 0 / 2 / g_m = V T X 0 / 2$ だけ変化させる。仮に、内部入力端子 T X 1 の電圧を一定にした場合、そのゲート - ソース間電圧の変化は、そのまま内部出力端子 R X の出力となる。つまり、内部入力端子 T X 0 から入力された送信電圧信号 V T X 0 の成分が内部出力端子 R X に回り込んでしまう。

【 0 1 1 2 】

しかし、図 1 3 に示すように、内部入力端子 T X 1 に A C 成分が $V T X 1 = V T X 0 / 2$ となるキャンセル信号を入力することで、M O S トランジスタ 4 1 2 のゲート - ソース間電圧の変化をキャンセルすることができる。つまり、このようなキャンセル信号を内部入力端子 T X 1 に入力することにより、送信電圧信号 V T X 0 が内部出力端子 R X へと回り込んでしまうのを抑制することが可能になる。

【 0 1 1 3 】

一方、図 1 4 に示すように、外部入出力端子 I O を介して受信電圧信号 V I O が入力された場合、内部入力端子 T X 0、T X 1 は A C G N D とみなすことができる。そのため、外部入出力端子 I O を入力端子、内部出力端子 R X を出力端子と捉えれば、図 1 4 に示した全二重伝送回路は、トランスインピーダンスアンプとみなすことができる。この場合、入力抵抗が $1 / g_m = Z$ 、出力抵抗が $1 / g_m = Z$ であるため、電圧増幅率は 1 倍とな

10

20

30

40

50

る。

【 0 1 1 4 】

以上、第 1 構成に係る全二重伝送回路の動作について説明した。

【 0 1 1 5 】

(2 - 2 - 2 : 第 5 構成 (変形例) の動作)

次に、図 1 5 ~ 図 1 7 を参照しながら、第 5 構成に係る全二重伝送回路の動作について説明する。なお、異なる符号を用いているが、図 5 に示した回路構成と、図 1 5 ~ 図 1 7 に示した回路構成とは同じものである。

【 0 1 1 6 】

M O S トランジスタ 5 1 1 のトランスコンダクタンス g_m が $g_m = 1 / Z$ となるように、バイアス電流 I_B の値が設定されている。そのため、M O S トランジスタ 5 1 1 のソース抵抗は Z となる。一方、電流源 5 1 0 の出力インピーダンスは、理想的には無限大である。その結果、外部入出力端子 I O を伝送路 5 1 4 の特性インピーダンス Z と整合させることが可能になる。

10

【 0 1 1 7 】

また、M O S トランジスタ 5 1 2 のトランスコンダクタンスが $g_m = 1 / Z / G$ となるように、バイアス電流が I_B / G に設定される。以下、簡単のために $G = 2$ とする。基板バイアス効果などを無視すると、バイアス電流を $I_B / 2$ に設定した場合、M O S トランジスタ 5 1 2 のゲート幅を M O S トランジスタ 5 1 1 のゲート幅の $1 / 2$ に設定すれば、M O S トランジスタ 5 1 2 のトランスコンダクタンスを $g_m = 1 / (2 * Z)$ にできる。

20

【 0 1 1 8 】

図 1 5 に示すように、内部入力端子 T X 0 から入力された送信電圧信号 V_{TX0} は、M O S トランジスタ 5 1 1 のソース抵抗 Z と、伝送路 5 1 4 の特性インピーダンス Z とで抵抗分割され、電圧増幅率 $1 / 2$ で外部入出力端子 I O から出力される。つまり、外部入出力端子 I O から電圧信号 $V_{IO} = V_{TX0} / 2$ が出力される。このとき、M O S トランジスタ 5 1 1 のゲート - ソース間電圧は $V_{TX0} - V_{IO} = V_{TX0} / 2$ だけ変化し、その変化によりドレイン電流が $g_m * V_{TX0} / 2$ だけ変化する。

【 0 1 1 9 】

また、このドレイン電流の変化はそのまま M O S トランジスタ 5 1 2 のソース電流の変化となり、ゲート - ソース間電圧を $g_m * V_{TX0} / 2 / (g_m / 2) = V_{TX0}$ だけ変化させる。仮に、内部入力端子 T X 1 の電圧を一定にした場合には、このゲート - ソース間電圧の変化は、そのまま内部出力端子 R X の出力となる。つまり、内部入力端子 T X 0 から入力された送信電圧信号 V_{TX0} の成分が内部出力端子 R X へと回り込んでしまう。

30

【 0 1 2 0 】

しかし、図 1 6 に示すように、内部入力端子 T X 1 に A C 成分が $V_{TX1} = V_{TX0}$ となるキャンセル信号を入力すると、M O S トランジスタ 5 1 2 のゲート - ソース間電圧の変化がキャンセルされ、内部出力端子 R X に送信電圧信号 V_{TX0} が回り込むのを抑制することが可能になる。

【 0 1 2 1 】

また、図 1 7 に示すように、外部入出力端子 I O を介して入力された受信信号に対し、内部入力端子 T X 0、T X 1 は A C G N D とみなすことができる。そのため、外部入出力端子 I O を入力端子、内部出力端子 R X を出力端子と捉えれば、図 1 5 ~ 図 1 7 に示す全二重伝送回路は、トランスインピーダンスアンプとみなすことができる。また、入力抵抗が $1 / g_m = Z$ 、出力抵抗が $2 / g_m = 2 * Z$ であるので、電圧増幅率は 2 倍になる。

40

【 0 1 2 2 】

以上、第 5 構成に係る全二重伝送回路の動作について説明した。

【 0 1 2 3 】

[2 - 3 : 機器内伝送への適用例]

次に、上記の全二重伝送回路を機器内伝送に適用する場合の構成について例を挙げて説明する。なお、これらの構成例を適用することにより、例えば、第 1 の処理モジュールに

50

含まれる演算処理手段から、伝送路で接続された第2の処理モジュールへと画像データを機器内伝送し、第2の処理モジュールに含まれる表示手段に入力することができる。また、第2の処理モジュールに含まれるスイッチなどの入力手段から入力されたデータを機器内伝送して、第1の処理モジュールに含まれる演算処理手段に入力することもできる。もちろん、後述する技術は任意のデータを機器内伝送するために利用することができる。

【0124】

(2-3-1: 第1構成(基本構成)の適用例)

図18にMOSトランジスタで構成されたシングルエンド回路による構成例を示す。図18に示すように、全二重伝送を行う機器には、2つの全二重伝送装置600、601が設けられている。そして、これら2つの全二重伝送装置600、601は、1本の伝送路602により接続されている。

10

【0125】

全二重伝送装置600の端子 TXX_{IN0} から入力された信号は、全二重伝送装置601の端子 RX_{OUT1} から出力される。そして、全二重伝送装置601の端子 TXX_{IN1} から入力された信号は、全二重伝送装置600の端子 RX_{OUT0} から出力される。全二重伝送装置600には、第1構成の全二重伝送回路603が含まれる。また、全二重伝送装置601には、第1構成の全二重伝送回路604が含まれる。なお、この場合、全二重伝送回路603、604において受信バッファの電圧増幅率は1倍である。

【0126】

図18の構成において、抵抗値 R_{LA0} は、値が調整できるように設計されている。そのため、端子 TXX_{IN0} から端子 RX_{OUT0} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。同様に、抵抗値 R_{LA1} も値が調整できるように設計されている。そのため、端子 TXX_{IN1} から端子 RX_{OUT1} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。このように第1構成の全二重伝送回路を組み合わせた全二重伝送装置600、601を適用することにより、機器内の全二重伝送が実現される。

20

【0127】

以上、第1構成(基本構成)の適用例について説明した。

【0128】

(2-3-2: 第5構成(変形例)の適用例)

図19にMOSトランジスタで構成されたシングルエンド回路による構成例を示す。図19に示すように、全二重伝送を行う機器には、2つの全二重伝送装置610、611が設けられている。そして、これら2つの全二重伝送装置610、611は、1本の伝送路612により接続されている。

30

【0129】

全二重伝送装置610の端子 TXX_{IN0} から入力された信号は、全二重伝送装置611の端子 RX_{OUT1} から出力される。そして、全二重伝送装置611の端子 TXX_{IN1} から入力された信号は、全二重伝送装置610の端子 RX_{OUT0} から出力される。全二重伝送装置610には、第5構成の全二重伝送回路613が含まれる。また、全二重伝送装置611には、第5構成の全二重伝送回路614が含まれる。なお、この場合、全二重伝送回路613、614において受信バッファの電圧増幅率は2倍である。

40

【0130】

図19の構成において、全二重伝送回路613、614内にある電流源の電流値 $I_B/2$ は、値が調整できるように設計されている。そのため、端子 TXX_{IN0} から端子 RX_{OUT0} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。このように第5構成の全二重伝送回路を組み合わせた全二重伝送装置610、611を適用することにより、機器内の全二重伝送が実現される。

【0131】

以上、第5構成(変形例)の適用例について説明した。

【0132】

50

(2 - 3 - 3 : 第 3 構成 (差動構成) の適用例)

図 20 に MOS トランジスタで構成された差動回路による構成例を示す。図 20 に示すように、全二重伝送を行う機器には、2 つの全二重伝送装置 700、701 が設けられている。そして、これら 2 つの全二重伝送装置 700、701 は、2 本の伝送路 702 により接続されている。

【 0 1 3 3 】

全二重伝送装置 700 の端子 TX_{IN0} 、 TXX_{IN0} から入力された差動信号は、全二重伝送装置 701 の端子 RX_{OUT1} 、 RXX_{OUT1} から出力される。そして、全二重伝送装置 701 の端子 TX_{IN1} 、 TXX_{IN1} から入力された差動信号は、全二重伝送装置 700 の端子 RX_{OUT0} 、 RXX_{OUT0} から出力される。全二重伝送装置 700 には、第 3 構成の全二重伝送回路 703 が含まれる。また、全二重伝送装置 701 には、第 3 構成の全二重伝送回路 704 が含まれる。なお、この場合、全二重伝送回路 703、704 において受信バッファの電圧増幅率は 1 倍である。

【 0 1 3 4 】

図 20 の構成において、抵抗値 R_{LA0} は、値が調整できるように設計されている。そのため、端子 TX_{IN0} 、 TXX_{IN0} から端子 RX_{OUT0} 、 RXX_{OUT0} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。同様に、抵抗値 R_{LA1} も値が調整できるように設計されている。そのため、端子 TX_{IN1} 、 TXX_{IN1} から端子 RX_{OUT1} 、 RXX_{OUT1} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。このように第 3 構成の全二重伝送回路を組み合わせた全二重伝送装置 700、701 を適用することにより、機器内の全二重伝送が実現される。

【 0 1 3 5 】

以上、第 3 構成 (差動構成) の適用例について説明した。

【 0 1 3 6 】

(2 - 3 - 4 : 第 7 構成 (変形例の差動構成) の適用例)

図 21 に MOS トランジスタで構成された差動回路による構成例を示す。図 21 に示すように、全二重伝送を行う機器には、2 つの全二重伝送装置 710、711 が設けられている。そして、これら 2 つの全二重伝送装置 710、711 は、2 本の伝送路 712 により接続されている。

【 0 1 3 7 】

全二重伝送装置 710 の端子 TX_{IN0} 、 TXX_{IN0} から入力された差動信号は、全二重伝送装置 711 の端子 RX_{OUT1} 、 RXX_{OUT1} から出力される。そして、全二重伝送装置 711 の端子 TX_{IN1} 、 TXX_{IN1} から入力された差動信号は、全二重伝送装置 710 の端子 RX_{OUT0} 、 RXX_{OUT0} から出力される。全二重伝送装置 710 には、第 7 構成の全二重伝送回路 713 が含まれる。また、全二重伝送装置 711 には、第 7 構成の全二重伝送回路 714 が含まれる。なお、この場合、全二重伝送回路 713、714 において受信バッファの電圧増幅率は 2 倍である。

【 0 1 3 8 】

図 21 の構成において、全二重伝送回路 713、714 の電流値 $I_B / 2$ は、値が調整できるように設計されている。そのため、端子 TX_{IN0} 、 TXX_{IN0} から端子 RX_{OUT0} 、 RXX_{OUT0} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。さらに、端子 TX_{IN1} 、 TXX_{IN1} から端子 RX_{OUT1} 、 RXX_{OUT1} への信号の回り込みを最小限に抑えることができるようにキャリブレーションすることが可能である。このように第 7 構成の全二重伝送回路を組み合わせた全二重伝送装置 710、711 を適用することにより、機器内の全二重伝送が実現される。

【 0 1 3 9 】

以上、第 7 構成 (変形例の差動構成) の適用例について説明した。

【 0 1 4 0 】

10

20

30

40

50

< 3 : まとめ >

以上、本実施形態に係る技術について説明した。本実施形態に係る技術を適用することにより、電源からGNDへ貫通して流れる1本のバイアス電流にて、送信バッファ、受信バッファ、及びハイブリッド回路の機能を全て実現することが可能になる。その結果、半二重双方向データ伝送回路と同等の消費電力で全二重双方向データ伝送を実現することが可能となる。また、上記の第5及び第6構成のようにすると、トランジスタに流れる電流値を調整することが可能になり、ソース(エミッタ)抵抗を伝送路の特性インピーダンスより高く設定することができる。例えば、トランスインピーダンス増幅器の電圧増幅率を1倍以上にすることも可能である。その結果、受信バッファ初段回路の電圧増幅率を高めることができるようになる。また、上記の第2及び第3構成や第7及び第8構成のように、容易に差動構成に変形することができる。

10

【0141】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【符号の説明】

【0142】

10、20、23、30、33、40、43、45、48、410、510、513
電流源

11a、12a、21a、22a、24a、25a、31a、32a、41a、42a
、46a、47a、411、412、511、512 MOSトランジスタ

11b、12b、21b、22b、24b、25b、31b、32b、41b、42b
、46b、47b バイポーラトランジスタ

13、26、27、34、44、49、413、514、602、612、702、7
12 伝送路

600、601、610、611、700、701、710、711 全二重伝送装
置

603、604、613、614、703、704、713、714 全二重伝送回
路

TX0、TX1、TX0X、TX1X 内部入力端子

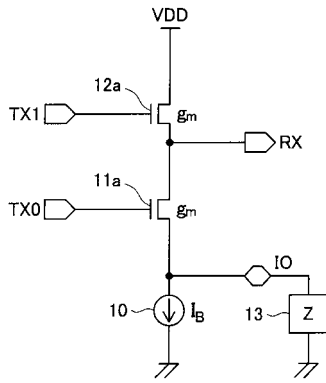
RX、RX X 内部出力端子

IO、IO X 外部入出力端子

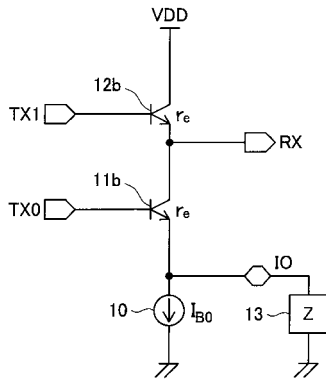
20

30

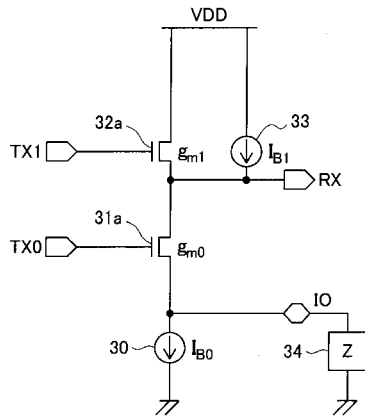
【図1】



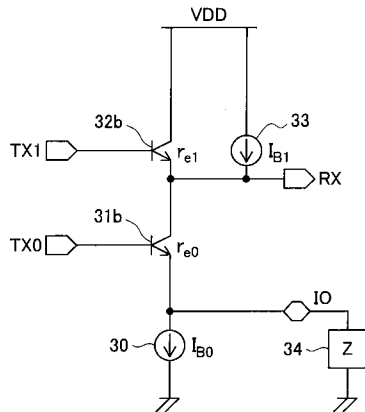
【図2】



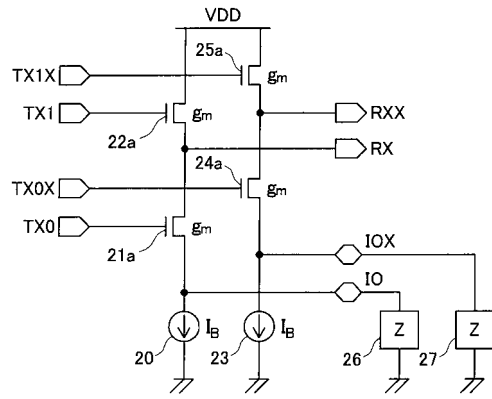
【図5】



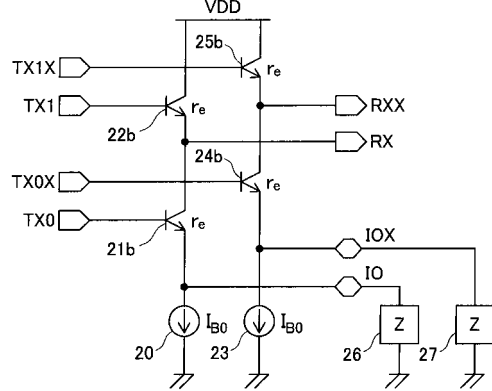
【図6】



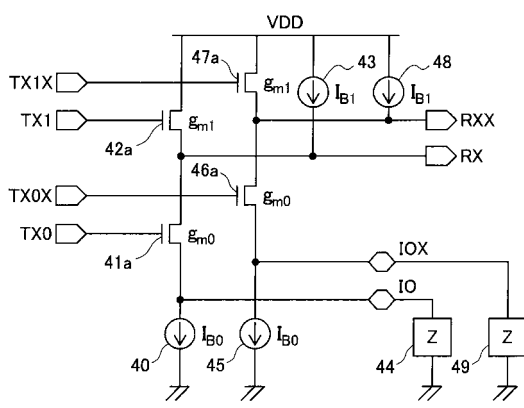
【図3】



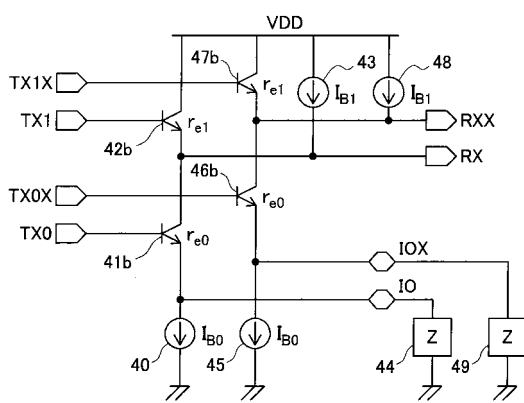
【図4】



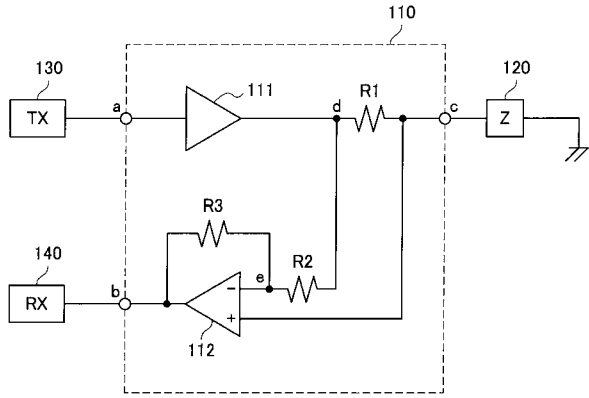
【図7】



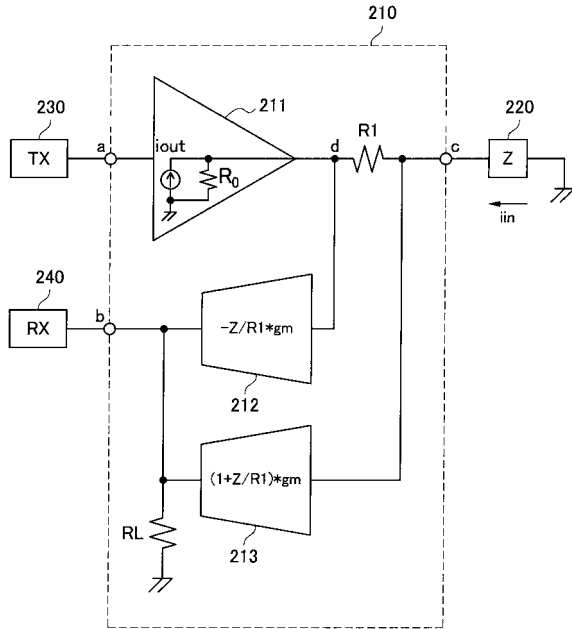
【図8】



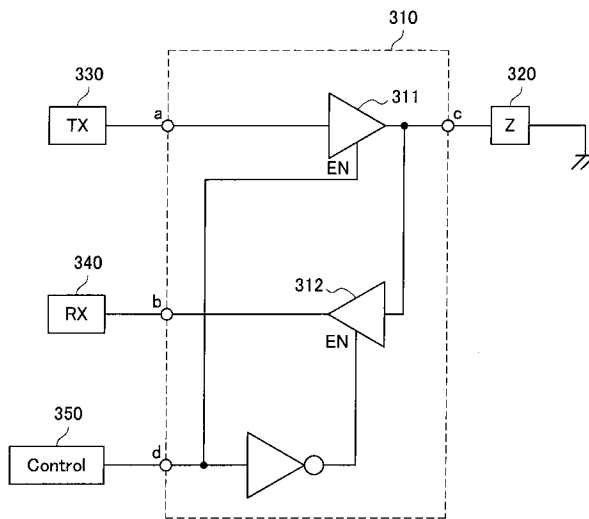
【 図 9 】



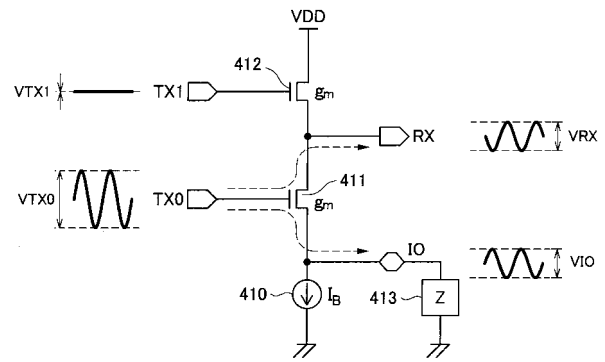
【 図 10 】



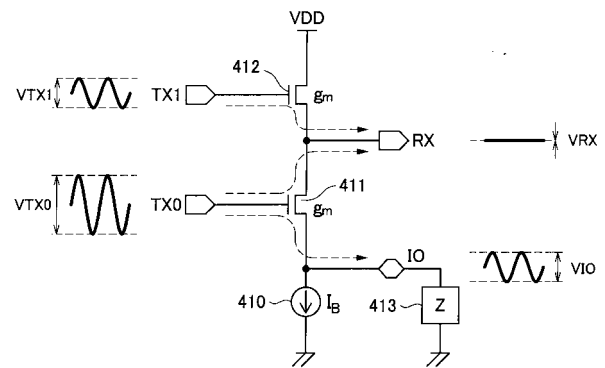
【 図 11 】



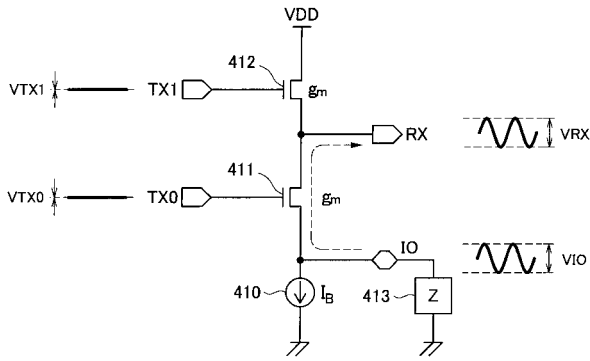
【 図 12 】



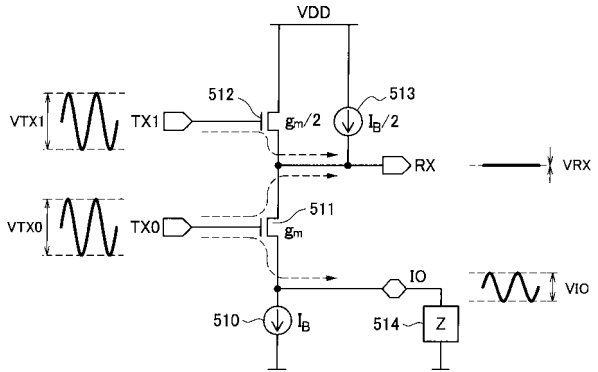
【 図 13 】



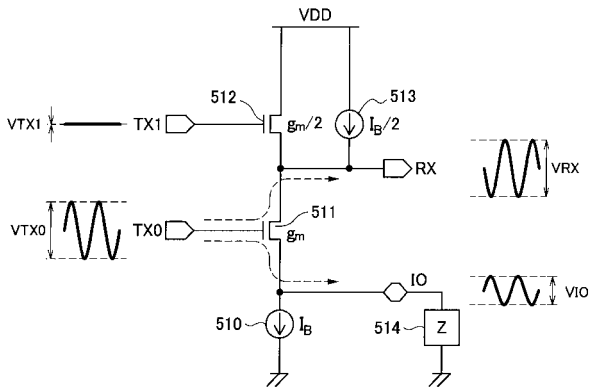
【図14】



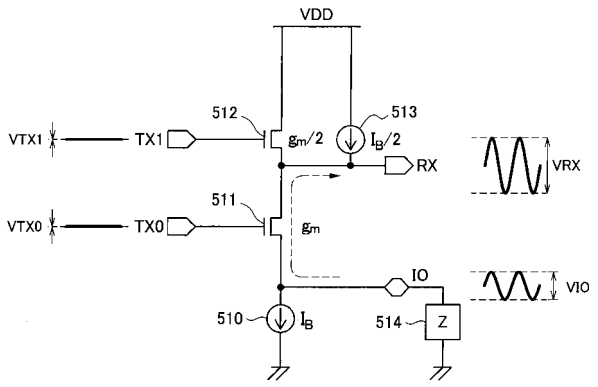
【図16】



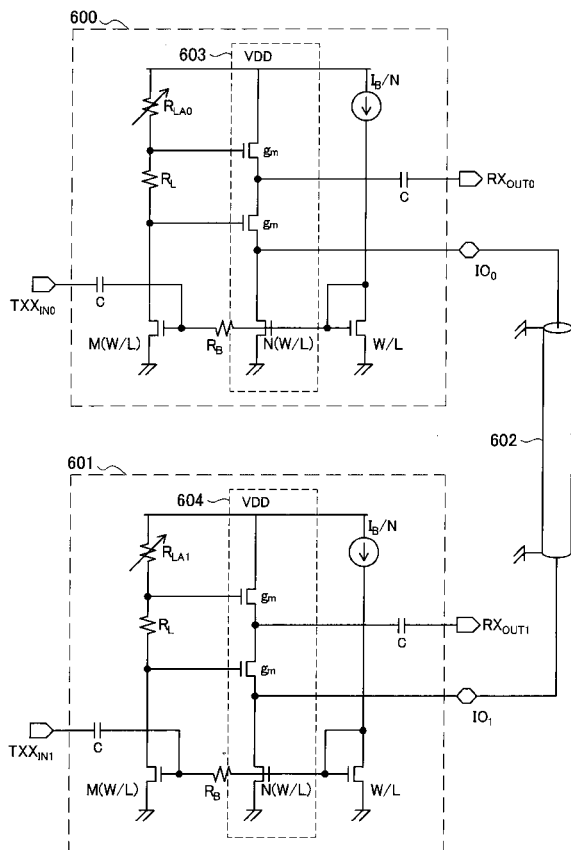
【図15】



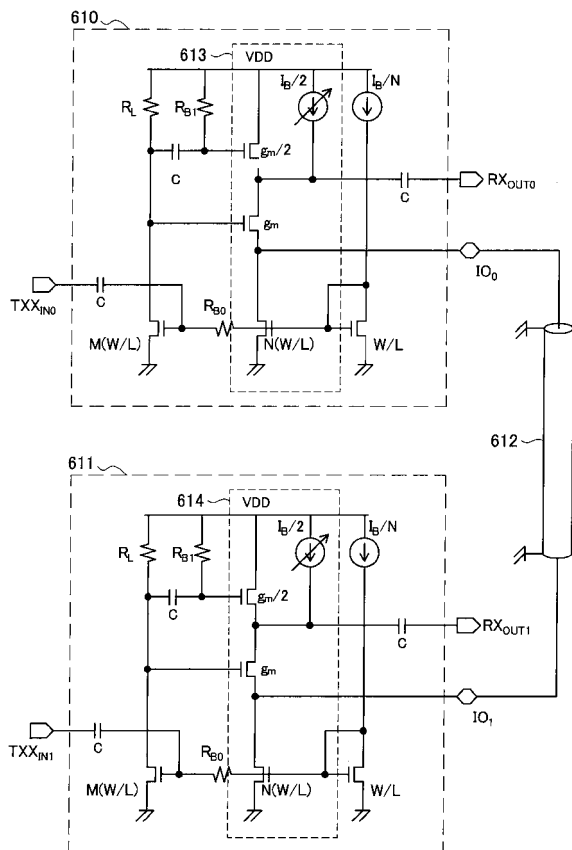
【図17】



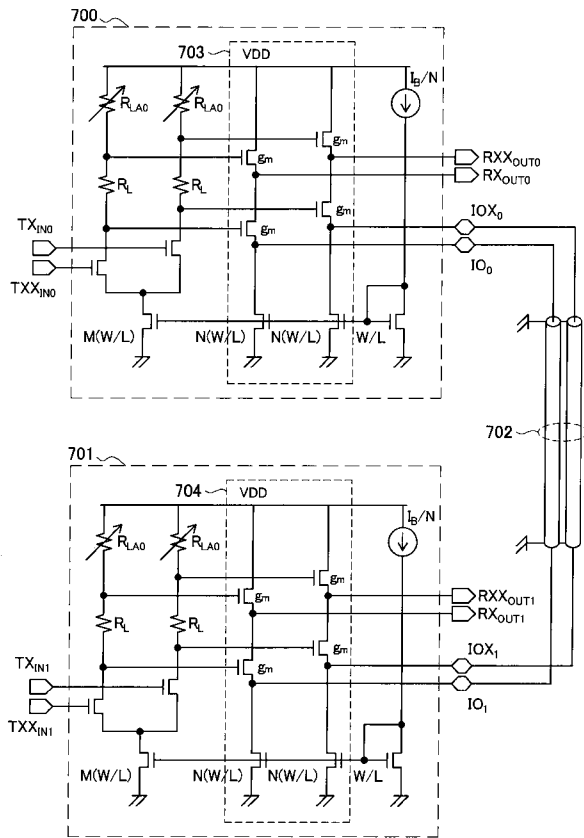
【図18】



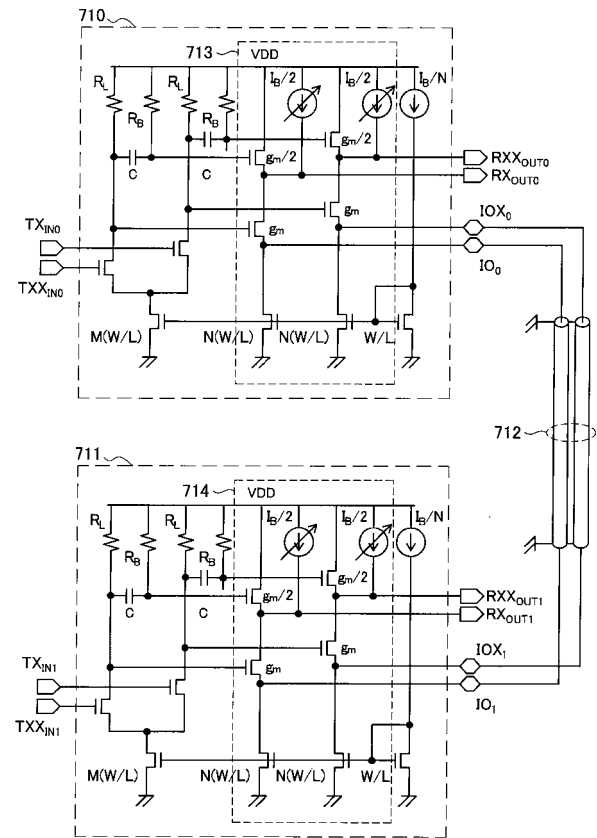
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 大前 宇一郎
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 緒方 寿彦

(56)参考文献 実開昭61-139041(JP,U)
特開平03-231520(JP,A)
特開平06-303167(JP,A)
特開昭51-117503(JP,A)
米国特許第04346267(US,A)
米国特許第04162371(US,A)
特表2000-503515(JP,A)
特開平6-237127(JP,A)
特表2007-505585(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/62
H04B 3/03