

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3697926号
(P3697926)**

(45) 発行日 平成17年9月21日(2005.9.21)

(24) 登録日 平成17年7月15日(2005.7.15)

(51) Int.Cl.⁷

F I

H O 1 L 25/085

H O 1 L 25/08

Z

H O 1 L 25/07

H O 1 L 25/18

請求項の数 1 (全 6 頁)

(21) 出願番号	特願平11-58819	(73) 特許権者	000002369
(22) 出願日	平成11年3月5日(1999.3.5)		セイコーエプソン株式会社
(65) 公開番号	特開2000-260933 (P2000-260933A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成12年9月22日(2000.9.22)	(74) 代理人	100095728
審査請求日	平成15年2月14日(2003.2.14)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	松井 邦容
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	小枝 周史
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	今井 拓也
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電気信号取り出し用の配線および電極パッドを形成した第1の半導体チップと、前記第1の半導体チップと同じ位置に電気信号取り出し用の配線および電極パッドを形成した第2の半導体チップを積層する半導体装置の製造方法において、

チップに切断する前のウェハの状態で前記電極パッドにスルーホールを形成し、複数の前記ウェハを積層したのち半田めっきを施したワイヤーをスルーホールに通し、一括してリフローにより前記半田めっきを溶融させて電氣的接合部を形成し、前記ウェハをチップサイズにダイシングすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の半導体チップを積層した、より高い機能を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

昨今の急速な半導体技術の進歩により、半導体チップの高性能化とチップサイズの小型化が図られてきた。しかしながら、チップ自体の小型化によりそれをパッケージ化し実装するのが困難となってきており、また実装コストの大幅な増加の原因にもなっている。

【0003】

10

20

さらに、半導体装置に複合的な高い機能が要求されるようになり、複数の半導体装置を組み込んだシステムが要求され、結果的に基板上に半導体の占める面積が大きくなってきている。この課題を解決すべく3次元構造を持った半導体チップ・パッケージのアイデアがすでに多数検討されている。例えば、特開平5-63137号や特開平6-291250号（特許番号第2605968号）や特開平8-264712号や特開平10-163411号などである。これらに共通する基本構造を図3に示す。半導体チップ1-1、1-2、1-3を重ねあわせ、スルーホール4に形成された導電体物質を介して電氣的接続を得るものである。

【0004】

【発明が解決しようとする課題】

本発明は、図4に示したような3次元構造を容易に実現させるべく創作されたものであり、小型で実装面積が少なくかつ多機能である3次元構造の半導体チップを得ることを目的とする。

【0005】

【課題を解決するための手段】

請求項1の半導体装置の製造方法は、電気信号取り出し用の配線および電極パッドを形成した第1の半導体チップと、前記第1の半導体チップと同じ位置に電気信号取り出し用の配線および電極パッドを形成した第2の半導体チップを積層する半導体装置の製造方法において、チップに切断する前のウェハの状態で前記電極パッドにスルーホールを形成し、複数の前記ウェハを積層したのち半田めっきを施したワイヤーをスルーホールに通し、一括してリフローにより前記半田めっきを溶融させて電氣的接合部を形成し、前記ウェハをチップサイズにダイシングすることの特徴とする。

【0007】

【発明の実施の形態】

以下、本発明を実施の形態に基づき、詳細に説明する。

【0008】

<実施の形態1>

図2は、実施の形態1により作成された半導体装置の構造を示した断面図である。半導体チップ1-1、1-2、1-3がパッド3-1、3-2、3-3に開けられたスルーホール内に挿入された金属ワイヤー4-1により、互いに電氣的に接続されている。

【0009】

次に、本発明の製造方法を、図1に基づいて詳細に述べる。

【0010】

図1-aに示したように、半導体チップ1-1上に、電氣的接続をとるためのパッド3-1が形成してある。パッド部のサイズは100ミクロン角である。このパッドの中央に直径80ミクロンの大きさのスルーホール2-1を作成する。スルーホールの開口方法は、レーザーで開ける方法やシリコンを異方性エッチングで開けておく方法などがある。なお、パッドの材質は通常Alが一般的だが、ここではAl上にバリヤ層としてTi/TiN層を形成した上に、Cuが形成してあるパッドを使用した。

【0011】

次に、図1-bに示したように、スルーホールを形成した半導体チップ1-1、1-2、1-3を位置合わせしながら重ねあわせ、次に、図1-cに示したように、表面に10μmの半田めっきを施した直径70μmのAu細線ワイヤー4-1を用意しておき、これをスルーホールに貫通させた。

【0012】

この状態でリフロー炉で半田を溶解せしめることにより、半導体チップ1-1、1-2、1-3をスルーホールを介して電氣的に接続することができた。

【0013】

<実施の形態2>

図3は、実施の形態2により作成された半導体装置の構成を示した図である。第1の半導

10

20

30

40

50

体チップ 1-1 の上に第 2 の半導体チップ 1-2 が積層されている。それぞれのチップ上にはパッド 3 が複数個形成されており、半導体チップ 1-1 に形成されたパッド群 5 はワイヤーボンディングするためのパッドである。またチップ 1-2 上に形成されたパッド群 7 もワイヤーボンディングするためのパッドである。ここで、パッド 3 に中央に半田めっきを施した金属ワイヤー 4 を形成してあるパッド群 6 により、上下のチップの電氣的接続を取っている。

【0014】

次に、実施の形態 2 の製造方法を、図 3 に基づいて詳細に述べる。

【0015】

図 3 に示したように、半導体チップ 1-1 上に、電氣的接続をとるためのパッド 3 がすでに形成してある。このパッド 3 が複数個形成され、パッド群 5 とパッド群 6 が形成されている。このパッド部のサイズは 100 ミクロン角である。このうちのパッド群 6 についてのみ、中央に直径 80 ミクロンの大きさのスルーホールを作成する。スルーホールの開口方法は、レーザーで開ける方法をもちいた。なお、パッドの材質は通常 Al が一般的だが、ここでは Al 上に Au が形成してあるパッドを使用した。

10

【0016】

次に、同様に、半導体チップ 1-2 上にも、電氣的接続をとるためのパッド 3 が形成してある。このパッド 3 が複数個形成され、パッド群 6 とパッド群 7 が形成されている。このパッド部のサイズは 100 ミクロン角である。このうちのパッド群 6 についてのみ、中央に直径 80 ミクロンの大きさのスルーホールを作成する。形成方法は先ほどと同じである。またパッド群 6 については、チップ 1-1 と 1-2 を積層した際に、スルーホールが貫通するように正確にアライメントできるように形成されている。スルーホールを形成した半導体チップ 1-1、1-2 を位置合わせしながら重ねあわせ、次に、表面に 10 μm の半田めっきを施した直径 70 μm の Au 細線ワイヤー 4 を用意しておき、これをスルーホールに貫通させた。

20

【0017】

この状態でリフロー炉で半田を溶解せしめることにより、半導体チップ 1-1、1-2 をスルーホールを介して電氣的に接続できた。

【0018】

【発明の効果】

30

本発明により、図 4 に記したような 3 次元構造を容易に実現することができ、小型で実装面積の少なく、かつ多機能である 3 次元構造の半導体チップ、例えば第 1 のチップとしてマイコンチップと第 2 のチップとしてメモリーを組み合わせることにより、従来より小型で多機能な半導体チップのような半導体装置を得ることができた。

【図面の簡単な説明】

【図 1】本発明の製造方法を示した図。

【図 2】実施の形態 1 により形成した半導体チップの断面図。

【図 3】実施の形態 2 により作成した半導体チップの平面図。

【図 4】一般的な半導体チップを積層した 3 次元構造の断面図。

【符号の説明】

40

1-1. 第 1 の半導体チップ

1-2. 第 2 の半導体チップ

1-3. 第 3 の半導体チップ

2. スルーホール

3-1. 第 1 の半導体チップの電極パッド

3-2. 第 2 の半導体チップの電極パッド

3-3. 第 3 の半導体チップの電極パッド

4-1. 表面に半田めっきを施した金属細線ワイヤー

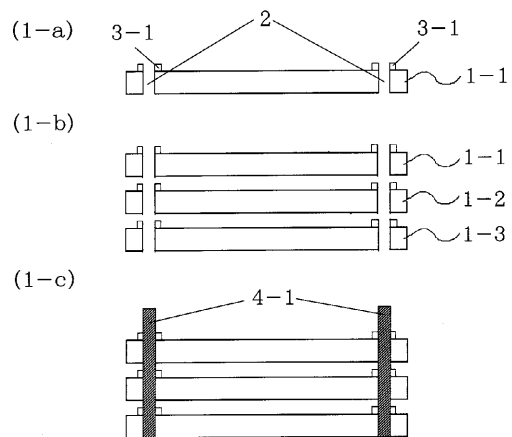
4-2. 導電性材料

5. 第 1 の半導体チップのパッド群

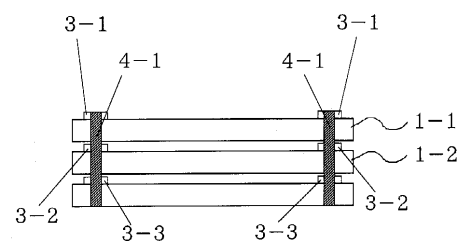
50

6. 第1の半導体チップと第2の半導体チップを接続するためのパッド群
7. 第2の半導体チップのパッド群

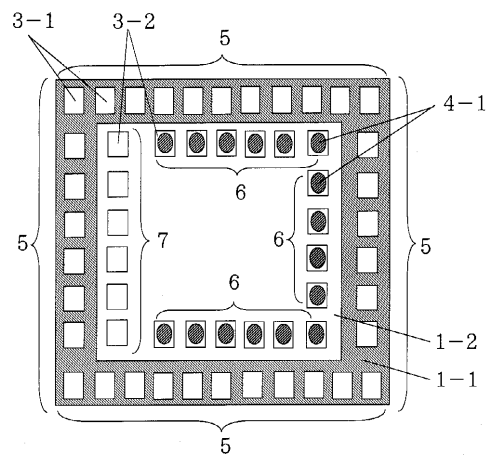
【図1】



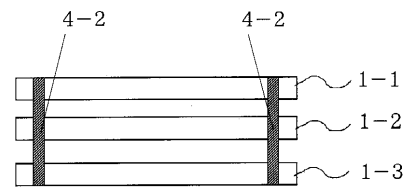
【図2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開平06-291250 (JP, A)
特開平08-148643 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 25/065

H01L 25/07

H01L 25/18