



(19) DANMARK



(12) FREMLÆGGESESSKRIFT (11) 148577 B

DIREKTORATET FOR  
PATENT- OG VAREMÆRKEVÆSENET

(21) Patentansøgning nr.: 0260/80

(51) Int.Cl.<sup>4</sup>: H 04 L 7/04

(22) Indleveringsdag: 22 jan 1980

(41) Alm. tilgængelig: 24 jul 1980

(44) Fremlagt: 05 aug 1985

(86) International ansøgning nr.: -

(30) Prioritet: 23 jan 1979 DE 2902504

(71) Ansøger: \*SIEMENS AKTIENGESSELLSCHAFT; Berlin und Muenchen, DE.

(72) Opfinder: Wernhard \*Markwitz; DE.

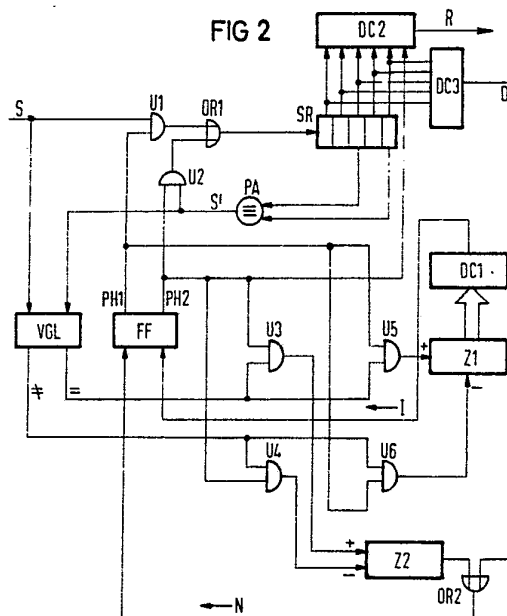
(74) Fuldmægtig: Internationalt Patent-Bureau

(54) Fremgangsmåde og kobling til synkronisering af data ved hjælp af synkroniseringsbit

(57) Sammenhang:

260-80

Ved en fremgangsmåde til synkronisering af en information, der sendes efter overføring af synkroniseringsbits (S), danner (n) synkroniseringsbits (S) synkroniseringsord, som overlapper hinanden, og som dels signalerer den følgende synkroniseringsbit, dels signalerer successive tidspunkter. På modtagesiden lagres i et skifteregister (SR) bitkombinationer med hver n bits, som sandsynligvis svarer til synkroniseringsordene. Under forløbet af en første fase (PH1) bestemmes den sandsynlige lighed mellem følgen af modtagne synkroniseringsbits (S) og følgen af beregnede synkroniseringsbits (S'). Under en anden fase (PH2) bestemmes synkroniseringstidspunktet. Til muliggørelse af, at synkroniseringen efter modtagelse af forstyrrede synkroniseringsbits kan foretages hurtigere end hidtil, gås der frem på den måde, at efter at den anden fase (PH2) er nået, indledes den første fase (PH1), hvis en i skifteregistret (SR) lagret bitkombination ikke er et synkroniseringsord.



Opfindelsen angår en fremgangsmåde til synkronisering af data ved hjælp af synkroniseringsbit, hvor hver  $n$  synkroniseringsbit danner synkroniseringsord, som overlapper hinanden, og som dels signalerer den følgende synkroniseringsbit, dels signalerer på hinanden følgende tidspunkter, ved hvilken der på modtagesiden lagres tidsmæssigt efter hinanden følgende bitkombinationer hver omfattende  $n$  bit, som sandsynligvis svarer til synkroniseringsordene, ved hvilken den sandsynligvis følgende synkroniseringsbit bestemmes ud fra bitkombinationerne, ved hvilken den sandsynlige lighed mellem følgen af modtagne synkroniseringsbit og følgen af sandsynlige synkroniseringsbit bestemmes i en første fase, og ved hvilken synkroniseringstidspunktet bestemmes i en anden fase.

Tysk fremlæggelsesskrift nr. 19 54 420 angår en kendt fremgangsmåde til synkronisering af apparater på modtagesiden. Ved denne kendte fremgangsmåde overføres dels en binær information, dels en følge af synkroniseringsbit over forskellige kanaler. Ved hjælp af et skifteregister, som omfatter  $n$  lagerceller, og ved hjælp af et paritetstrin frembringes der på sendesiden periodisk  $2^n - 1$  synkroniseringsbit i følgen. Denne følge udmærker sig ved, at hver  $n$  synkroniseringsbit danner synkroniseringsord, som overlapper hinanden, og som dels signalerer den følgende synkroniseringsbit, dels identificerer successive tidspunkter. Hvis sådanne synkroniseringsbit overføres, kan synkroniseringstidspunkterne bestemmes på modtagesiden ved hjælp af synkroniseringsordene.

Fig. 1 viser en fra tysk fremlæggelsesskrift nr. 19 54 420 kendt kobling til modtagelse af synkroniseringsbittene  $S$ . Under en første fase  $PH1$  når disse synkroniseringsbit  $S$  over porte  $U1$  og  $OR1$  frem til et skifteregister  $SR$ . Synkroniseringsbittene indlæses i skifteregistret  $SR$  i serie med bittakten. Udgangene på to celler i dette skifteregister er tilslut-

tet et paritetstrin PA, som ved lighed mellem de to på indgangen tilførte binærværdier afgiver et 1-signal og ved ulighed mellem de to på indgangen tilførte binærværdier afgiver et 0-signal. Dette skifteregister SR  
5 og dette paritetstrin PA udgør en generator, som ligner en tilsvarende generator på sendesiden, og som frembringer følgen af synkroniseringsbit. Hvis den på sendesiden frembragte følge af synkroniseringsbit modtages uforstyrret, ligner den ifølge fig. 1 modtagne følge  
10 af synkroniseringsbit S den bitfølge, som afgives over paritetstrinnet PA's udgang.

Som følge af de fejlbehæftede bit, der må forventes, adskiller de modtagne synkroniseringsbit S sig fra de på modtagesiden frembragte synkroniseringsbit  
15 S'. I en sammenligningsindretning VGL bliver de modtagne synkroniseringsbit S og de på modtagesiden bestemte synkroniseringsbit S' bitvist sammenlignet med hinanden, og ved lighed mellem de to bit afgives der af sammenligningsindretningen et sammenligningssignal  
20 V', hvorimod der ved ulighed mellem de to bit afgives et sammenligningssignal V.

En flipflop FF signalerer enten den første fase PH1 eller den anden fase PH2. Under varigheden af den første fase PH1 er portene U1, U5, U6 ledende. På  
25 denne måde bliver som allerede beskrevet følgen af synkroniseringsbit S tilført skifteregistret SR. Desuden bliver sammenligningssignalet V' over porten U5 tilført en tæller Z1, hvis tællestilling derved forøges med en enhed. I modsætning dertil bliver sammenligningssignalet V over porten U6 tilført en yderligere  
30 indgang på tælleren Z1, og derved formindskes denne tællers tællestilling med en enhed. Under varigheden af den første fase PH1 bliver altså ved lighed mellem synkroniseringsbittene S og S' tællestillingen for-  
35 øget, og ved ulighed mellem de to synkroniseringsbit formindskes tællerstillingen. Over udgangen på tælleren Z1 bliver de pågældende tællerstillinger afgivet i form af binærtal, og de afkodes ved hjælp af en dekode DC1.

Ved opnåelse af en forudbestemt tællerstilling afgiver denne dekode DC1 et identitetssignal I, som signalerer den sandsynlige lighed mellem de to følger af synkroniseringsbit S og S'.

5 Ved hjælp af identitetssignalet I bliver flip-floppen FF overført til den anden stabile tilstand, som signalerer den anden fase PH2. Under denne anden fase PH2 er portene U1, U5, U6 blokeret, hvorimod portene U2, U3, U4 er ledende. Navnlig er nu porten  
10 U2 ledende, således at de på modtagesiden bestemte synkroniseringsbit S' over ELLER-leddet OR1 tilføres skifteregistret SR i stedet for synkroniseringsbittene S. Desuden aktiveres under denne anden fase PH2 dekoderen DC2, som reagerer på et specielt synkroniseringsord, og som ved erkendelse af dette synkroniseringsord afgiver et referencesignal R. Da hvert af synkroniseringsordene signalerer et bestemt tidspunkt indenfor følgen, signaleres også ved hjælp af referencesignalet et specielt tidspunkt, nemlig synkroniseringstidspunktet.  
20 tet. Efter dette synkroniseringstidspunkt løber sendesidens og modtagesidens anlæg synkront.

Til overvågning af den synkrone tilstand bliver også under den anden fase PH2 de modtagne synkroniseringsbit S og de på modtagesiden beregnede synkroniseringsbit S' sammenlignet med hinanden, og fra sammenligningsindretningen VGL afgives et af de to sammenligningssignaler V' eller V. Ved lighed mellem de to synkroniseringsbit S og S' når sammenligningssignalet V' over porten U3 frem til tælleren  
30 Z2 og forøger dennes tællerstilling, hvorved den allerede opnåede synkrone tilstand ikke ændres. Ved ulighed mellem de to synkroniseringsbit S og S' når sammenligningssignalet V over porten U4 frem til en yderligere indgang på tælleren Z2 og bevirker en formindskelse af tællerstillingen. Enkelte formindskelser af denne tællerstilling har ingen virkning i henseende til den synkrone tilstand. Hvis der imidlertid frembringes flere sådanne sammenligningsimpulser V, forminds-

kes tælleren Z2's tællerstilling under en forudbestemt tællerstilling, og tælleren afgiver over sin udgang et ikke-overensstemmelsessignal K til flipfloppe FF, hvorved denne flipflop overføres til den anden af de to stabile tilstande. Dermed befinder systemet sig igen i den første fase PH1, under hvilken de modtagne synkroniseringsbit S tilføres skifterregistret SR i stedet for de beregnede synkroniseringsbit S'.

Ved driften af skifterregistret SR blev det antaget, at det ved begyndelsen af følgen lagrer synkroniseringsordet 00000. Derefter følger synkroniseringsordene 10000, 11000, 11100 osv. frem til synkroniseringsordet 00001. I alt frembringes der altså  $2^5 - 1 = 31$  synkroniseringsord svarende til decimaltallene fra 0 til 30. Bitkombinationen 11111 svarende til decimalværdien 31 er således ikke noget synkroniseringsord.

Ved forstyrret modtagelse af synkroniseringsbitten S kan der modtages en længere følge af 1-værdier. Under forudsætning af den første fase PH1 indlagres i skifterregistret SR bitkombinationen 11111, og over udgangen på paritetstrinnet PA afgives som beregnede synkroniseringsbit S' lutter 1-værdier. Synkroniseringsbittene S og S' har således begge 1-værdier, således at sammenligningsindretningen VGL ved overensstemmelse mellem disse to værdier afgiver sammenligningssignalet V', som efter nogen tid bevirker den anden fase PH2. Skifterregistret SR modtager nu som beregnede synkroniseringsbit S' en følge af 1-værdier. Også sammenligningsindretningen VGL modtager som synkroniseringsbit S' en følge af 1-værdier, og så længe også følgen af modtagne synkroniseringsbit S overvejende har 1-værdier, afgives overvejende sammenligningssignalet V', og systemet forbliver i sin anden fase PH2. En overgang fra fase PH2 til fase PH1 finder først sted, når der blandt de modtagne synkroniseringsbit overvejende er indeholdt 0-værdier, fordi der da afgives et sammenligningssignal V, og tælleren Z2's tællerstilling formindskes. Så snart denne tæller Z2 har nået

en forudbestemt lav tællerstilling, indledes ved hjælp af ikke-overensstemmelsessignalet K igen den første fase PH1. Under denne første fase PH1 kan der da påny påbegyndes et synkroniseringsforsøg.

5 Det er ønskeligt, at den synkrone tilstand opnås hurtigst muligt, således at der står mere tid til rådighed for informationens udsendelse. Under denne forudsætning har den beskrevne kendte fremgangsmåde den ulempe, at det ved modtagelse af en følge af 1-værdier  
10 som synkroniseringsbit S varer forholdsvis længe, inden omkoblingen fra den anden fase PH2 til den første fase PH1 sker, og et nyt synkroniseringsforsøg startes.

Det har hidtil været antaget, at paritetstrinnet PA ved ens binærværdier afgiver et 1-signal og ved uens  
15 binærværdier afgiver et 0-signal. Det ville være tænkeligt, at et sådant paritetstrin ved ens på indgangen tilførte binærværdier afgiver et 0-signal og ved forskellige på indgangen tilførte binærværdier afgiver et 1-signal. Under denne forudsætning må bitkombinationen 00000 ikke  
20 være et synkroniseringsord, da der så ville opstå vanskeligheder. Til forklaring af dette antages det, at der som synkroniseringsbit S modtages en følge af 0-værdier. Under den første fase PH1 når denne følge frem til skifteregistret SR, og over udgangen på  
25 paritetstrinnet PA afgives som beregnede synkroniseringsbit kun 0-værdier. Synkroniseringsbittene S og S' er altså lig hinanden, og ved hjælp af sammenligningssignalerne V' forøges tælleren Z1's tællerstilling, og efter opnåelse af en forudbestemt tæller-  
30 stilling afgiver dekoderen DC1 identitetssignalet I. Dermed indledes den anden fase PH2.

Under disse forudsætninger er en synkronisering ved modtagelse af en serie 0-værdier ikke mulig. Først når der overvejende modtages 1-værdier, sker overgangen  
35 fra den anden fase PH2 til den første fase PH1, som muliggør et nyt synkroniseringsforsøg. På lignende måde som ved modtagelse af en serie 1-værdier opstår der også ved modtagelse af serien af 0-værdier vanskeligheder,

6

fordi det varer forholdsvis længe, inden systemet overgår fra den anden fase PH2 til den første fase PH1.

Opfindelsen tager sigte på at udføre synkroniseringen hurtigere end hidtil efter modtagelse af forstyr-

5 rede synkroniseringsbit.

Den til grund for opfindelsen liggende opgave løses ved, at efter opnåelse af den anden fase indledes den første fase, hvis en bitkombination ikke er et synkroniseringsord. På denne måde opnås det, at bitkombinationer, der ikke er synkroniseringsord, øjeblikkeligt  
10 erkendes, og at der uden forsinkelse i den første fase startes et yderligere synkroniseringsforsøg. På denne måde udføres synkroniseringen hurtigere end hidtil.

Opfindelsen angår også en kobling til udførelse af fremgangs-  
15 gangsmåden og med et skifteregister til lagring af bitkombinationerne. Koblingen ifølge opfindelsen er kendetegnet ved, at der med skifteregistrets udgange er forbundet en dekoder, som ved optræden af en bitkombination, der ikke er et synkroniseringsord, afgiver et dekodersignal, som bevirker  
20 omkobling fra den anden fase til den første fase.

Det er allerede nævnt, at der ved hjælp af skifteregistret SR og ved hjælp af paritetstrinnet PA ialt kan frembringes  $2^5 - 1 = 31$  forskellige synkroniseringsord.

Ved  $n$  celler i skifteregistret SR kan der altså generelt frembringes  $2^n - 1$  forskellige synkroniseringsord.  
25

Til opnåelse af en hurtig synkronisering kan det være fordelagtigt ikke at anvende alle mulige  $2^n - 1$  synkroniseringsord til synkroniseringen. Under disse forudsætninger er det hensigtsmæssigt, at dekoderen indeholder et  
30 permanentlager, som lagrer alle bitkombinationer, der er dannet af  $n$  bit og ikke udgør et synkroniseringsord, og efter påkaldelse af de tilsvarende adresser afgiver dem over sine udgange, at alle adresserne for bitkombinationerne ved hjælp af en adresse giver frembringes tidsmæssigt  
35 efter hinanden mellem successive synkroniseringsbit og afgives til permanentlageret, at  $n$  sammenligningsled dels er forbundet med skifteregistrets udgange, dels er forbundet med permanentlagerets udgange,

og at sammenligningsleddenes udgange er forbundet med en port, over hvis udgang dekodersignalet afgives.

Det blev hidtil antaget, at synkroniseringsbittene overføres over en egen kanal, således at den egentlige informations data og synkroniseringsbittene kan overføres samtidigt over forskellige kanaler. Hvis der i modsætning dertil tidsmæssigt efter hinanden først overføres en følge af synkroniseringsbit og derefter som nytteinformation den egentlige information, er det ønskeligt at dimensionere den varighed, under hvilken synkroniseringsbittene sendes, forholdsvis kort med henblik på ikke at afkorte tiden til udsendelse af informationen. Det er derfor hensigtsmæssigt, at der under den til rådighed stående synkroniseringsvarighed sker gennemløb af både den første fase PH1 og den anden fase PH2 og etablering af synkroniseringen. Hvis det ikke skulle lykkes at etablere synkroniseringen under den forudgivne synkroniseringsvarighed, ville den efter synkroniseringsvarigheden sendte information ikke kunne modtages på grund af manglende synkronisering. Under disse forudsætninger er det altså særlig vigtigt, at der efter opnåelse af den anden fase så hurtigt som muligt sker indledning af den første fase, hvis der optræder en bitkombination, som ikke er et synkroniseringsord.

Udførelseseksempler ifølge opfindelsen forklares i det følgende nærmere under henvisning til figurerne 2-4, hvor ens genstande i alle figurer er betegnet med ens henvisninger, og hvor

fig. 1 som nævnt viser en kendt synkroniseringskobling,

fig. 2 viser en kobling til synkronisering af data ved hjælp af synkroniseringsbit, som overføres over en egen synkroniseringskanal,

fig. 3 en kobling til synkronisering af data, ved hvilken informationens data og synkroniseringsbittene overføres over den samme kanal, og

fig. 4 et udførelseseksempel på en i figurerne 2 og 3 skematisk vist dekoder.

Udover de i fig. 1 viste genstande findes der i fig. 2 en dekoder DC3 og en port OR2. Dekoderen



DC3 er tilsluttet udgangene på skifterregistret SR's celler. Hvis der optræder en bitkombination, som ikke er et synkroniseringsord, erkender denne dekode-  
 DC3 denne bitkombination og afgiver et dekodersignal D,  
 5 som over porten OR2 bevirker tilbagesetting af flip-floppen til den første fase PH1.

Hvis paritetstrinnet PA eksempelvis ved lighed mellem de to på indgangen tilførte binærværdier afgiver et 1-signal og ved ulighed mellem de to på indgangen til-  
 10 førte binærværdier afgiver et 0-signal, reagerer dekode-  
 ren DC3 på bitkombinationen 11111 og afgiver dekoder-  
 signalet D. Hvis paritetstrinnet PA ved ulighed mel-  
 lem de to på indgangen tilførte binærværdier afgiver et  
 1-signal og ved lighed mellem de to på indgangen tilfør-  
 15 te binærværdier afgiver et 0-signal, reagerer dekode-  
 ren DC3 på bitkombinationen 00000 og signalerer med de-  
 kodersignalet D denne bitkombination.

Den i fig. 2 viste kobling tjener til synkronise-  
 ring af data ved hjælp af synkroniseringsbit, som over-  
 20 føres over en egen synkroniseringskanal. I modsætning  
 dertil antages det i fig. 3, at dataene i den egentli-  
 ge information NA og synkroniseringsbittene S over-  
 føres tidsmæssigt efter hinanden over den samme kanal.

Fig. 3 viser tælleren Z3, som over tælleindgan-  
 25 gen z modtager impulserne T, der optræder i takt med  
 synkroniseringsbittene S og kun sammen med synkronise-  
 ringsbittene S. Når tælleren Z3 når den forudgivne  
 tællerstilling M, afgiver den over sin udgang et  
 1-signal, indtil den tilbagesættes. Tællerstillingen  
 30 M er lig med eller omtrent lig med antallet af celler  
 i skifterregistret SR. Det antages først, at tælleren  
 Z3 endnu ikke har nået den forudgivne tællerstilling  
 M, og at tælleren Z3 over sin udgang afgiver et  
 0-signal. Dette 0-signal inverteres i en inverter IN1,  
 35 således at porten U1 er åben, og synkroniseringsbit-  
 tene S over porten OR1 tilføres skifterregistret SR.  
 Endvidere er med tælleren Z3's 0-signal porten U7  
 blokeret, og tællerne Z4, Z5 er ikke tælledegtige.

Så længe tælleren Z3 endnu ikke har nået tællerstillingen M, indlæses altså i det væsentlige kun synkroniseringsbittene S i skifterregistret SR.

Når tælleren Z3 opnår den forudgivne tællerstilling M, afgiver den over sin udgang et l-signal. Dette l-signal inverteres ved hjælp af inverteren IN1 og bevirker en blokering af porten U1 og en åbning af portene U2 og U7. Nu bliver synkroniseringsbittene S' tilføjet skifterregistret SR i stedet for synkroniseringsbittene S, og desuden åbnes porten U7. Impulserne T når nu frem til indgangene e på tællerne Z4, Z5, som dermed bliver tælledegytge.

Ved hjælp af skifterregistret SR og ved hjælp af paritetstrinnet PA udvindes de på modtagesiden beregnede synkroniseringsbit S', som skulle være lig med de modtagne synkroniseringsbit S, hvis synkroniseringsbittene S modtages uforstyrret. I sammenligningsindretningen VGL1 sammenlignes synkroniseringsbittene S og S' med hinanden, og ved lighed hhv. ulighed mellem disse synkroniseringsbit afgives over den venstre hhv. den højre udgang l-signaler.

Tælleren Z4 tæller ikke-overensstemmelserne, og tælleren Z5 tæller overensstemmelserne mellem synkroniseringsbittene S og S'. Når tælleren Z5 opnår den forudgivne tællerstilling L, har den talt L overensstemmelser mellem synkroniseringsbittene. Tælleren Z5 signalerer dette forhold, idet den over sin udgang afgiver et l-signal til flipfloppen FF. Denne flipflops to stabile tilstande signalerer henholdsvis en første fase PH1 og en anden fase PH2. Det antages, at flipfloppen FF først har befundet sig i tilstanden for fase PH1, og at denne flipflop ved hjælp af tælleren Z5's l-signal overføres til tilstanden for den anden fase PH2. I denne tilstand signalerer flipfloppen FF, at der ialt blev bestemt L overensstemmelser mellem synkroniseringsbittene. Over den med PH2 betegnede udgang afgiver flipfloppen FF et signal til dekoderen DC2, som dermed sættes i stand til at erkende et specielt i

skifteregistret SR lagret synkroniseringsord. Så snart dekoderen DC2 erkender dette synkroniseringsord, afgiver den referencesignalet R, som signalerer synkroniseringstidspunktet. Referencesignalet R afslutter  
5 synkroniseringsfasen. Derefter tilføres der ingen impulser T til tælleren Z3.

Tælleren Z4 tæller ikke-overensstemmelserne mellem synkroniseringsbittene S og S' og afgiver ved opnåelse af tællerstillingen F et 1-signal til flip-  
10 floppen FF. Hvis flipfloppen FF til dette tidspunkt er i tilstanden for den anden fase PH2, tilbagesendes den til tilstanden for den første fase PH1, og den afgiver til et differentiationstrin DIFF et 1-signal. Differentiationstrinnet DIFF differentierer dette  
15 1-signal og afgiver en tilbagestillingsimpuls til tilbagestillingsindgangene R på tællerne Z3, Z4, Z5. Dermed startes et nyt synkroniseringsforsøg.

I det i fig. 3 viste udførelseseksempel er der til udsendelse og til modtagelse af synkroniseringsbittene  
20 S forudgivet en bestemt synkroniseringstid, efter hvis udløb de egentlige informationsbit NA sendes og modtages. Synkroniseringen er således kun mulig under denne synkroniseringstid. Hvis synkroniseringen ikke kan opnås under denne synkroniseringstid, går den derefter ud-  
25 sendte og modtagne information tabt. Det er derfor vigtigt at erkende bitkombinationer, der er lagret i skifteregistret SR, og som ikke er synkroniseringsord, så tidligt som muligt. Dette sker ved hjælp af dekoderen DC3, som reagerer på bitkombinationer, der ikke er syn-  
30 kroniseringsord, og som afgiver dekodersignalet D og dermed overfører flipfloppen FF fra tilstanden for den anden fase PH2 til tilstanden for den første fase PH1.

Hvis dekoderen DC3 ikke fandtes, ville det være  
35 forholdsvis længe, inden en forstyrret følge af synkroniseringsbit S i form af flere 0-værdier blev erkendt som en sådan. Med en følge af 0-værdier på porten U1's indgang ville der også fremkomme en følge af 0-værdier

på paritetstrinnet PA's udgang, og sammenligningsindretningen VGL1 ville i længere tid signalere lighed mellem de to synkroniseringsbit S og S'. Tælleren Z5 ville da tælle frem til tællerstillingen L, og  
 5 det ville muligvis under synkroniseringstiden ikke længere være muligt at afgive referencesignalet R. Dekoderen DC3 sørger således for, at bitkombinationer som eksempelvis bitkombinationen 00000 erkendes hurtigst muligt, og at der efter erkendelsen af denne bitkombina-  
 10 tion i forbindelse med den første fase PH1 startes et nyt synkroniseringsforsøg.

Ved beskrivelsen af det i fig. 3 viste udførelses-eksempel blev det hidtil antaget, at der med de  $n=5$  celler i skifterregistret SR ialt kan frembringes  
 15  $2^n-1=31$  synkroniseringsord. Den for  $n=5$  maksimalt lange følge af synkroniseringsbit har således en længde på 31 bit. I mange tilfælde er det ønskeligt på den ene side ganske vist med større værdier af  $n$  at frembringe længere følger af synkroniseringsbit, på den anden  
 20 side imidlertid ikke at anvende alle synkroniseringsbit, men at afbryde følgen før tiden. Ved en sådan afbrydelse af følgen før tiden bliver der lejlighedsvis frembragt og i skifterregistret SR lagret bitkombinationer, der ikke skal benyttes som synkroniseringsord.  
 25 Også sådanne bitkombinationer forsinker synkroniseringen. Det er derfor hensigtsmæssigt, hvis dekoderen DC3 hurtigst muligt signalerer sådanne bitkombinationer.

Fig. 4 viser dekoderen DC3/1 som udførelses-eksempel på den i fig. 3 viste dekode-  
 30 der DC3. Denne dekode-der DC3/1 udmærker sig ved, at den med et forholdsvis ringe teknisk opbud signalerer alle de bitkombinationer, der ikke er synkroniseringsord. Taktgiveren TG frembringer impulsfølgen T1, som mellem to impulser i im-  
 35 pulsfølgen T mindst har lige så mange impulser, som det antal bitkombinationer der skal erkendes. Tælleregistret ZR får tilført impulserne T1 over en tællerindgang e. Den i hvert enkelt tilfælde opnåede tæller-

stilling afgives fra tælleregistret ZR i form af et binærtal til et permanentlager ROM. Disse tællerstillinger er adresserne for permanentlageret ROM.

Permanentlageret ROM lagrer alle de bitkombinationer, der muligvis kan være lagret i skifterregistret SR, og som ikke kommer på tale som synkroniseringsord. Under den varighed, under hvilken en enkelt af disse bitkombinationer er lagret i skifterregistret SR, bliver alle adresser ved hjælp af tælleregistret ZR frembragt mindst en gang hver og alle bitkombinationer bliver mindst en gang hver afgivet fra permanentlageret ROM. Ved hjælp af eksklusiv-ELLER-porte EX1, EX2, EX3, EX4, EX5 bliver permanentlageret ROM's bitkombinationer sammenlignet med den netop i skifteregistret SR lagrede bitkombination, og ved ulighed mellem tilsvarende bit afgives der et 1-signal til porten OR4. Inverteren IN3 inverterer det tilsvarende 1-signal, som afgives fra udgangen på porten OR4, og afgiver signalet D=0, som signalerer, at den søgte bitkombination mangler. Skulle imidlertid alle porte EX1-EX5 hver især afgive 0-signaler, svarer den i skifteregistret SR lagrede bitkombination til en af de af permanentlageret ROM afgivne bitkombinationer, og der afgives et dekodersignal D=1, som signalerer en forstyrrende bitkombination.

Det ville principielt være tænkeligt, at synkroniseringsbittene S i forbindelse med udnyttelsen på modtagesiden ikke blot lagres i skifteregistret SR, men også lagres i et yderligere, i figurerne 2 og 3 ikke vist skifteregister. Dekoderen DC3 kunne i dette tilfælde også være tilsluttet udgangene på dette yderligere skifteregisters celler. I denne sammenhæng er det fordelagtigt at forbinde dekoderen DC3 med det skifteregister, i hvilket synkroniseringsbittene S indlagres tidligst. På denne måde opnås det, at bitkombinationer, der ikke er synkroniseringsord, erkendes som sådanne så tidligt som muligt, således at også den første fase PH1 med dekodersignalet D indledes så tidligt som muligt.

## P A T E N T K R A V

1. Fremgangsmåde til synkronisering af data ved hjælp af synkroniseringsbit, hvor hver  $n$  synkroniseringsbit danner synkroniseringsord, som overlapper hinanden, og som dels signalerer den følgende synkroniseringsbit, dels signalerer på hinanden følgende tidspunkter, ved hvilken der på modtagesiden lagres tidsmæssigt efter hinanden følgende bitkombinationer hver omfattende  $n$  bit, som sandsynligvis svarer til synkroniseringsordene, ved hvilken den sandsynligvis følgende synkroniseringsbit bestemmes ud fra bitkombinationerne, ved hvilken den sandsynlige lighed mellem følgen af modtagne synkroniseringsbit og følgen af sandsynlige synkroniseringsbit bestemmes i en første fase (PH1), og ved hvilken synkroniseringstidspunktet bestemmes i en anden fase (PH2), *k e n d e t e g n e t* ved, at efter opnåelse af den anden fase (PH2) indledes den første fase (PH1), hvis en bitkombination (11111,00000) ikke er et synkroniseringsord, (fig. 2).

2. Kobling til udførelse af fremgangsmåden ifølge krav 1, ved hvilken bitkombinationerne lagres i et skifteregister, *k e n d e t e g n e t* ved, at der med skifteregistrets (SR) udgange er forbundet en dekoder (DC3), som ved optræden af en bitkombination (11111,00000), der ikke er et synkroniseringsord, afgiver et dekodersignal, som bevirker omkobling fra den anden fase (PH2) til den første fase (PH1), (fig. 2,3).

3. Kobling ifølge krav 2, *k e n d e t e g n e t* ved, at dekoderen (DC3) indeholder et permanentlager (ROM), som lagrer alle bitkombinationer, der er dannet af  $n$  bit og ikke udgør et synkroniseringsord, og efter påkaldelse af de tilsvarende adresser afgiver dem over sine udgange, at alle adresserne for bitkombinationerne ved hjælp af en adresse giver (TG,ZR) frembringes tidsmæssigt efter hinanden mellem successive synkroniseringsbit og afgives til permanentlageret (ROM), at  $n$  sammenligningsled (EX1,EX2,EX3,EX4,EX5) dels er forbundet med skifteregistrets (SR) udgange, dels er forbundet med per-

manentlagerets (ROM) udgange, og at sammenligningsledenes udgange er forbundet med en port (OR4), over hvis udgang dekodersignalet (D) afgives, (fig. 4).

Fremdragne publikationer:

---

FIG 1

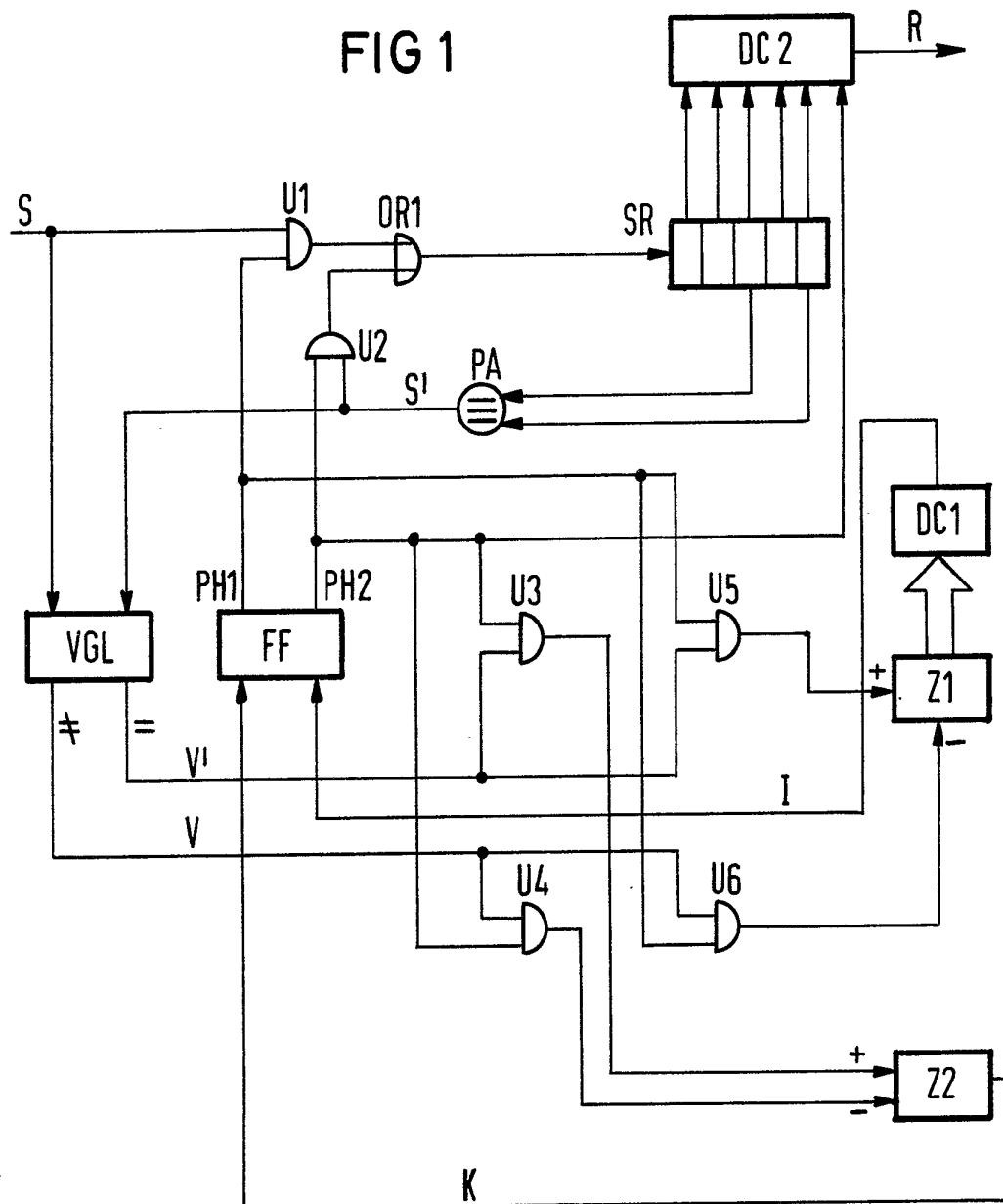




FIG 2

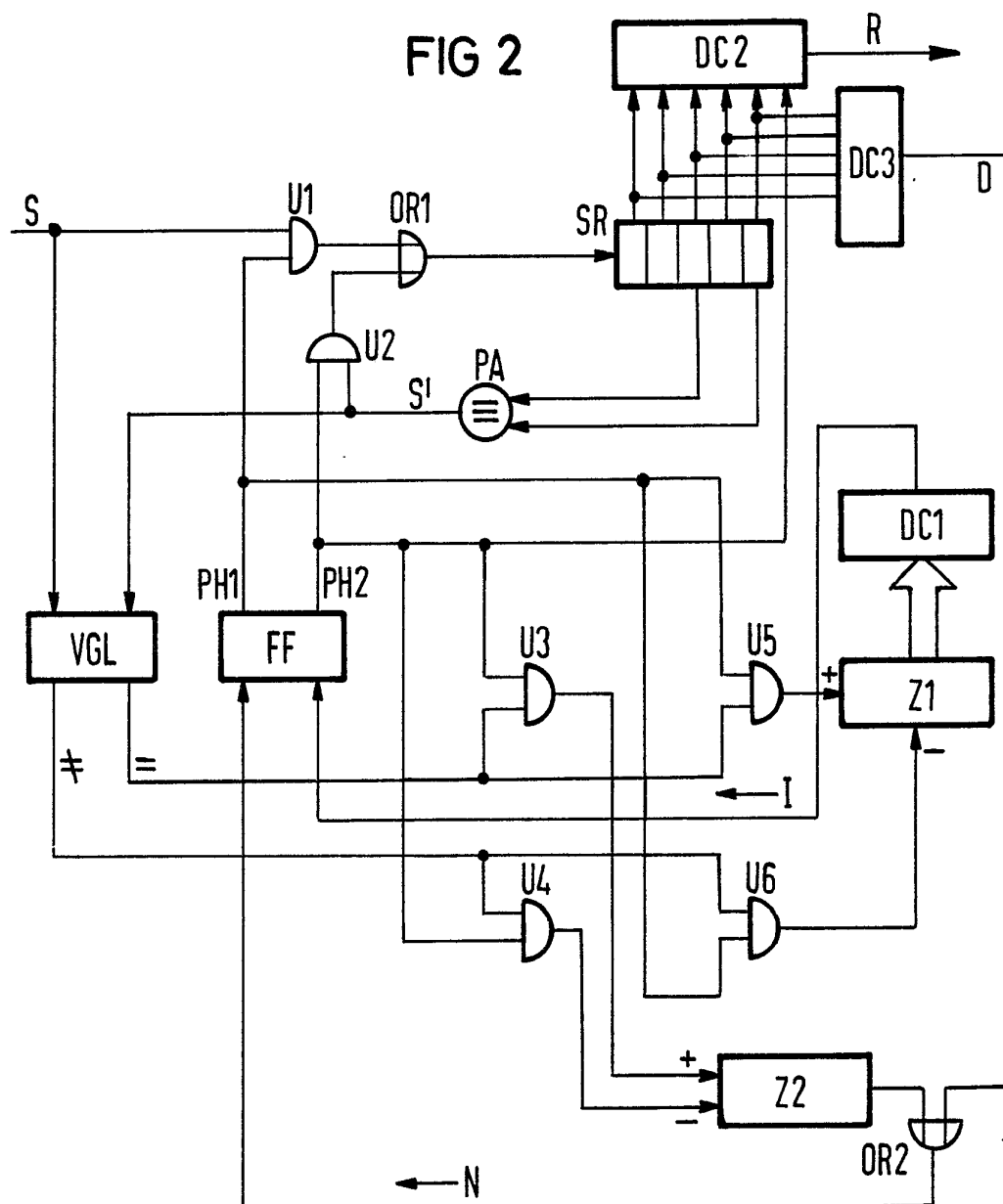


FIG3

