



등록특허 10-2306462



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월28일
(11) 등록번호 10-2306462
(24) 등록일자 2021년09월23일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
- (21) 출원번호 10-2014-0123044
(22) 출원일자 2014년09월16일
심사청구일자 2019년07월25일
(65) 공개번호 10-2015-0033543
(43) 공개일자 2015년04월01일
(30) 우선권주장
JP-P-2013-196301 2013년09월23일 일본(JP)
(56) 선행기술조사문헌
JP2011124360 A*
JP2011233880 A*
JP2012227521 A*
JP2006173580 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
타나카 테츠히로
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
타케우치 토시히코
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
야마네 야스마사
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

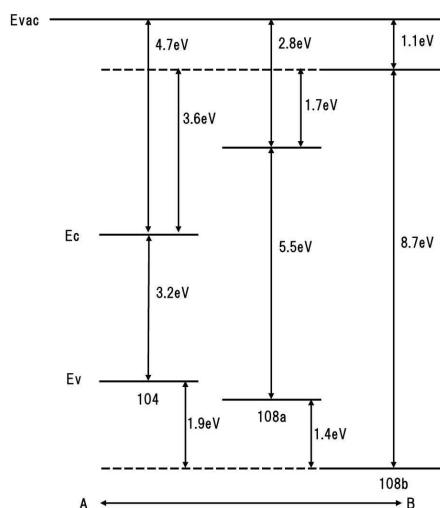
전체 청구항 수 : 총 13 항

심사관 : 임창연

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 미세화와 함께 현저해지는 전기 특성의 저하를 억제할 수 있는 구성의 반도체 장치를 제공하는 것을 목적으로 한다. 제 1 산화물 반도체막과, 제 1 산화물 반도체막과 중첩되는 게이트 전극과, 제 1 산화물 반도체막 및 게이트 전극의 사이에 위치하는 제 1 게이트 절연막과, 제 1 게이트 절연막 및 게이트 전극의 사이에 위치하는 제 2 게이트 절연막을 가지고, 제 1 게이트 절연막을 X선 회절에 의해 측정한 회절각 2θ 는 28° 근방에 피크를 가진다. 또한, 제 1 산화물 반도체막의 밴드 갭은 제 1 게이트 절연막의 밴드 갭보다 작고, 제 1 게이트 절연막의 밴드 갭은 제 2 게이트 절연막의 밴드 갭보다 작다.

대 표 도 - 도1

명세서

청구범위

청구항 1

트랜지스터를 포함하는 반도체 장치에 있어서:

상기 트랜지스터는:

제 1 게이트 전극;

채널 형성 영역을 포함하고 상기 제 1 게이트 전극과 중첩되는 반도체층;

상기 제 1 게이트 전극과 상기 반도체층 사이의 제 1 절연막;

상기 제 1 게이트 전극과 상기 제 1 절연막 사이의 제 2 절연막; 및

상기 반도체층의 측면과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하고,

상기 반도체층은 인듐, 아연, 및 산소를 포함하고,

상기 반도체층은:

제 1 반도체막;

상기 제 1 반도체막 위의 제 2 반도체막; 및

상기 제 2 반도체막 위, 및 상기 소스 전극 및 상기 드레인 전극 위의 제 3 반도체막을 포함하고,

상기 제 1 절연막은 상기 제 2 절연막보다 높은 유전율을 가지고,

상기 제 3 반도체막은 상기 제 1 반도체막의 측면 및 상기 제 2 반도체막의 측면과 접촉하는 영역을 가지는, 반도체 장치.

청구항 2

트랜지스터를 포함하는 반도체 장치에 있어서:

상기 트랜지스터는:

제 1 게이트 전극;

채널 형성 영역을 포함하고 상기 제 1 게이트 전극과 중첩되는 반도체층;

상기 제 1 게이트 전극과 상기 반도체층 사이의 제 1 절연막;

상기 제 1 게이트 전극과 상기 제 1 절연막 사이의 제 2 절연막; 및

상기 반도체층의 측면과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하고,

상기 반도체층은 인듐, 아연, 및 산소를 포함하고,

상기 반도체층은:

제 1 반도체막;

상기 제 1 반도체막 위의 제 2 반도체막; 및

상기 제 2 반도체막 위, 및 상기 소스 전극 및 상기 드레인 전극 위의 제 3 반도체막을 포함하고,

상기 제 1 절연막의 밴드 갭은 상기 제 2 절연막의 밴드 갭보다 작고 상기 반도체층의 밴드 갭보다 크고,

상기 제 3 반도체막은 상기 제 1 반도체막의 측면 및 상기 제 2 반도체막의 측면과 접촉하는 영역을 가지는, 반도체 장치.

청구항 3

트랜지스터를 포함하는 반도체 장치에 있어서:

상기 트랜지스터는:

제 1 게이트 전극;

채널 형성 영역을 포함하고 상기 제 1 게이트 전극과 중첩되는 반도체층;

상기 제 1 게이트 전극과 상기 반도체층 사이의 제 1 절연막;

상기 제 1 게이트 전극과 상기 제 1 절연막 사이의 제 2 절연막; 및

상기 반도체층의 측면과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하고,

상기 반도체층은 인듐, 아연, 및 산소를 포함하고,

상기 반도체층은:

제 1 반도체막;

상기 제 1 반도체막 위의 제 2 반도체막; 및

상기 제 2 반도체막 위, 및 상기 소스 전극 및 상기 드레인 전극 위의 제 3 반도체막을 포함하고,

상기 제 1 절연막은 산화 하프늄을 포함하고,

상기 제 3 반도체막은 상기 제 1 반도체막의 측면 및 상기 제 2 반도체막의 측면과 접촉하는 영역을 가지는, 반도체 장치.

청구항 4

트랜지스터를 포함하는 반도체 장치에 있어서:

상기 트랜지스터는:

제 1 게이트 전극;

채널 형성 영역을 포함하고 상기 제 1 게이트 전극과 중첩되는 반도체층;

상기 제 1 게이트 전극과 상기 반도체층 사이의 제 1 절연막;

상기 제 1 게이트 전극과 상기 제 1 절연막 사이의 제 2 절연막; 및

상기 반도체층의 측면과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하고,

상기 반도체층은 인듐, 아연, 및 산소를 포함하고,

상기 반도체층은:

제 1 반도체막;

상기 제 1 반도체막 위의 제 2 반도체막; 및

상기 제 2 반도체막 위, 및 상기 소스 전극 및 상기 드레인 전극 위의 제 3 반도체막을 포함하고,

상기 제 1 절연막은 상기 제 2 절연막보다 높은 유전율을 가지고,

상기 제 1 절연막은 산화물을 포함하고,

상기 제 3 반도체막은 상기 제 1 반도체막의 측면 및 상기 제 2 반도체막의 측면과 접촉하는 영역을 가지는, 반도체 장치.

청구항 5

트랜지스터를 포함하는 반도체 장치에 있어서:

상기 트랜지스터는:

제 1 게이트 전극;

채널 형성 영역을 포함하고 상기 제 1 게이트 전극과 중첩되는 반도체층;

상기 제 1 게이트 전극과 상기 반도체층 사이의 제 1 절연막;

상기 제 1 게이트 전극과 상기 제 1 절연막 사이의 제 2 절연막; 및

상기 반도체층의 측면과 각각 접촉하는 소스 전극 및 드레인 전극을 포함하고,

상기 반도체층은 인듐, 아연, 및 산소를 포함하고,

상기 반도체층은:

제 1 반도체막;

상기 제 1 반도체막 위의 제 2 반도체막; 및

상기 제 2 반도체막 위, 및 상기 소스 전극 및 상기 드레인 전극 위의 제 3 반도체막을 포함하고,

상기 제 1 절연막의 밴드 갭은 상기 제 2 절연막의 밴드 갭보다 작고 상기 반도체층의 밴드 갭보다 크고,

상기 제 1 절연막은 산화물을 포함하고,

상기 제 3 반도체막은 상기 제 1 반도체막의 측면 및 상기 제 2 반도체막의 측면과 접촉하는 영역을 가지는, 반도체 장치.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 산화물은 하프늄, 알루미늄, 탄탈럼, 및 지르코늄으로 구성되는 그룹으로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 소스 전극 및 상기 드레인 전극 각각은 상기 제 2 반도체막의 상면 및 상기 제 3 반도체막의 하면과 접촉하는, 반도체 장치.

청구항 8

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 1 게이트 전극은 상기 제 2 반도체막의 측면과 대향하는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 반도체막은 상기 제 1 게이트 전극의 제 1 영역과 제 2 영역 사이에 있는, 반도체 장치.

청구항 10

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 반도체층 아래에 제 3 절연막을 포함하고,

상기 제 3 절연막은 볼록부를 포함하고,

상기 제 1 반도체막은 상기 볼록부 위에 있고,

상기 제 3 반도체막은 상기 볼록부와 접촉하는, 반도체 장치.

청구항 11

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 제 1 게이트 전극은 상기 반도체층 위에 있는, 반도체 장치.

청구항 12

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 반도체층은 상기 제 1 게이트 전극 위에 있는, 반도체 장치.

청구항 13

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 트랜지스터는 상기 제 1 게이트 전극과 중첩되는 제 2 게이트 전극을 포함하고,
상기 반도체층, 상기 제 1 절연막, 및 상기 제 2 절연막은, 상기 제 1 게이트 전극과 상기 제 2 게이트 전극 사이에 있는, 반도체 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 또한, 본 발명의 일양태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법 또는 이들의 제조 방법에 관한 것이다. 특히, 본 발명의 일양태는 반도체 장치, 또는 반도체 장치의 제조 방법에 관한 것이다.
- [0002] 또한 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 표시 장치, 전기 광학 장치, 반도체 회로 및 전기 기기는 반도체 장치를 가지고 있는 경우가 있다.

배경 기술

- [0003] 반도체막을 이용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상표시 장치(표시 장치)와 같은 전자 디바이스에 넓게 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.
- [0004] 예를 들면, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 비정질 산화물 반도체막을 이용한 트랜지스터가 특허문현 1에 개시되어 있다.
- [0005] 또한, 산화물 반도체막을 적층 구조로 함으로써, 캐리어의 이동도를 향상시키는 기술이 특허문현 2, 특허문현 3에 개시되어 있다.
- [0006] 그런데, 산화물 반도체막을 이용한 트랜지스터는 오프 상태에서 누출 전류(오프 전류)가 매우 작은 것이 알려져 있다. 예를 들면, 산화물 반도체막을 이용한 트랜지스터의 낮은 누출 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다(특허문현 4 참조).

선행기술문헌

특허문헌

- [0007] (특허문현 0001) 일본국 특개 2006-165528호 공보
 (특허문현 0002) 일본국 특개 2011-124360호 공보
 (특허문현 0003) 일본국 특개 2011-138934호 공보
 (특허문현 0004) 일본국 특개 2012-257187호 공보

발명의 내용

해결하려는 과제

- [0008] 오프 전류를 작게 하기 위해서는 산화물 반도체의 성질뿐만 아니라, 다른 구성의 누출원에 대해서도 세심한 주의를 기울일 필요가 있다.
- [0009] 예를 들어, 게이트 절연막을 얇아지면 게이트 절연막에 기인한 누출 전류가 증대된다. 또한, Fin형과 같은 입체적인 구조를 가지는 전계 효과 트랜지스터(FET)에서는 단차 피복성의 저하에 의한 게이트 절연막에 기인한 누출 전류가 발생하기 쉽다. 한편, 특히 미세화된 트랜지스터에서는 게이트 절연막의 박막화는 중요하다.
- [0010] 그러므로, 게이트 절연막에 기인한 누출 전류를 저감할 수 있는 게이트 절연막을 제공한다. 구체적으로는 산화하프늄 등의 고유전율(High-k) 절연막을 이용함으로써 등가 산화막 두께(EOT : Equi valent Oxide Thickness)를 두껍게 한다. 또한 등가 산화막 두께란, 물리적인 막 두께를 산화 실리콘과 등가인 전기적 막 두께로 환산한 값을 말한다.
- [0011] 또한, 본 발명의 일양태는 온 전류가 높고, 오프 전류가 낮은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는 안정적인 전기 특성을 가지는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또는 신규 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0012] 또한 이러한 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일양태는 이러한 과제

의 모두를 해결할 필요는 없는 것으로 한다. 또한 이것들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0013]

본 발명의 일양태는 절연 표면 위의 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위의 제 2 산화물 반도체막과, 제 1 산화물 반도체막의 측면, 제 2 산화물 반도체막의 측면, 및 제 2 산화물 반도체막의 상면과 접촉하는 소스 전극 및 드레인 전극과, 제 2 산화물 반도체막 위의 제 3 산화물 반도체막과, 제 3 산화물 반도체막 위의 제 1 게이트 절연막과, 제 1 게이트 절연막 위의 제 2 게이트 절연막과, 제 2 게이트 절연막 위에서 접촉하고, 제 2 산화물 반도체막의 상면 및 측면에 접촉하는 게이트 전극을 가지고, 제 1 게이트 절연막은 하프늄을 포함하고, 제 2 게이트 절연막은 실리콘을 포함하는 것을 특징으로 하는 반도체 장치이다.

[0014]

또한, 본 발명의 다른 일양태는 절연 표면 위의 제 1 산화물 반도체막과, 제 1 산화물 반도체막 위의 제 2 산화물 반도체막과, 제 2 산화물 반도체막 위의 제 3 산화물 반도체막과, 제 3 산화물 반도체막 위의 제 1 게이트 절연막과, 제 1 산화물 반도체막, 제 2 산화물 반도체막, 제 3 산화물 반도체막, 및 제 1 게이트 절연막의 측면, 제 1 게이트 절연막의 상면과 접촉하는 소스 전극 및 드레인 전극과, 제 1 게이트 절연막, 소스 전극 및 드레인 전극 위의 제 2 게이트 절연막과, 제 2 게이트 절연막 위에서 접촉하고, 제 2 산화물 반도체막의 상면 및 측면에 접촉하는 게이트 전극을 가지고, 제 1 게이트 절연막은 하프늄을 포함하고, 제 2 게이트 절연막은 실리콘을 포함하는 것을 특징으로 하는 반도체 장치이다.

[0015]

또한, 상기 구성에서, 제 1 산화물 반도체막 및 제 3 산화물 반도체막은 제 2 산화물 반도체막에 포함되는 금속 원소를 일종 이상 포함한다.

[0016]

또한, 상기 구성에서, 제 1 게이트 절연막은 X선 회절에 의해 측정한 회절각 $2\Theta=28^\circ$ 근방에 피크가 관측된다.

[0017]

또한, 상기 구성에서, 제 2 산화물 반도체막의 밴드 캡은 제 1 게이트 절연막의 밴드 캡보다 작고, 제 1 게이트 절연막의 밴드 캡은 제 2 게이트 절연막의 밴드 캡보다 작다.

[0018]

또한, 본 발명의 다른 일양태는 제 1 산화물 반도체막과, 제 1 산화물 반도체막과 중첩되는 게이트 전극과, 제 1 산화물 반도체막 및 게이트 전극의 사이에 위치하는 제 1 게이트 절연막과, 제 1 게이트 절연막 및 게이트 전극의 사이에 위치하는 제 2 게이트 절연막을 가지고, 제 1 게이트 절연막은 X선 회절에 의해 측정한 회절각 $2\Theta=28^\circ$ 근방에 피크가 관측되는 것을 특징으로 하는 반도체 장치이다.

[0019]

또한, 상기 구성에서, 제 1 게이트 절연막은 하프늄을 포함한다.

[0020]

또한, 상기 구성에서, 제 2 게이트 절연막은 실리콘을 포함한다.

[0021]

또한, 상기 구성에서, 제 1 산화물 반도체막은 제 2 산화물 반도체막과, 제 1 산화물 반도체막과, 제 1 게이트 절연막의 사이에 위치하는 제 3 산화물 반도체막에 협지(挾持)되고, 제 2 산화물 반도체막 및 제 3 산화물 반도체막은 제 1 산화물 반도체막에 포함되는 금속 원소를 일종 이상 포함한다.

[0022]

또한, 상기 구성에서, 제 1 산화물 반도체막의 밴드 캡은 제 1 게이트 절연막의 밴드 캡보다 작고, 제 1 게이트 절연막의 밴드 캡은 제 2 게이트 절연막의 밴드 캡보다 작다.

[0023]

또한, 상기 구성에서, 제 1 게이트 절연막의 막 밀도는 $8.3\text{g}/\text{cm}^3$ 이상 $9.0\text{g}/\text{cm}^3$ 이하이면 바람직하다.

[0024]

또한, 상기 구성에서, 제 1 게이트 절연막은 전자 스핀 공명법에 의해 계측 되는 신호에서, g 값이 1.92 내지 1.98에 나타나는 스핀 밀도가 $3.0 \times 10^{17} \text{spins}/\text{cm}^3$ 이하이고, g 값이 2.00 내지 2.01에 나타나는 스핀 밀도가 $4.4 \times 10^{16} \text{spins}/\text{cm}^3$ 이상 $3.5 \times 10^{18} \text{spins}/\text{cm}^3$ 이하이면 바람직하다.

[0025]

또한, 상기 구성에서, 제 1 게이트 절연막의 전자 스핀 공명법에 의해 계측 되는 신호에서, g 값이 2.00 내지 2.01에 나타나는 시그널의 형상은 비대칭이다.

발명의 효과

[0026]

본 발명의 일양태를 이용함으로써, 온 전류가 높고, 오프 전류가 낮은 반도체 장치를 제공할 수 있다. 또는 안정적인 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또는 본 발명의 일양태를 이용함으로써, 신규 반도

체 장치 등을 제공할 수 있다. 또한 이러한 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일양태는 반드시 이러한 효과 모두를 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과를 추출하는 것이 가능하다.

도면의 간단한 설명

[0027]

도 1은 본 발명의 일양태의 반도체 장치에 포함되는 적층 구조의 밴드도이다.

도 2는 본 발명의 일양태의 반도체 장치에 포함되는 적층 구조의 개념도이다.

도 3은 트랜지스터를 설명하는 상면도 및 단면도이다.

도 4는 트랜지스터의 제작 방법을 설명하는 도면이다.

도 5는 트랜지스터의 제작 방법을 설명하는 도면이다.

도 6은 트랜지스터를 설명하는 상면도 및 단면도이다.

도 7은 트랜지스터를 설명하는 상면도 및 단면도이다.

도 8은 트랜지스터를 설명하는 상면도 및 단면도이다.

도 9는 트랜지스터를 설명하는 상면도 및 단면도이다.

도 10은 트랜지스터를 설명하는 상면도 및 단면도이다.

도 11은 트랜지스터를 설명하는 상면도 및 단면도이다.

도 12는 실시형태에 따른 반도체 장치의 단면도 및 회로도이다.

도 13은 실시형태에 따른 기억 장치의 구성예이다.

도 14는 실시형태에 따른 RF 태그의 구성예이다.

도 15는 실시형태에 따른 CPU의 구성예이다.

도 16은 실시형태에 따른 기억 소자의 회로도이다.

도 17은 실시형태에 따른 표시 장치이다.

도 18은 표시 모듈을 설명하는 도면이다.

도 19는 실시형태에 따른 전자 기기이다.

도 20은 실시형태에 따른 RF 디바이스의 사용예이다.

도 21은 XRD 스펙트럼의 측정 결과를 설명하는 도면이다.

도 22는 ESR의 측정 결과를 설명하는 도면이다.

도 23은 ESR의 측정 결과를 설명하는 도면이다.

도 24는 TDS의 측정 결과를 설명하는 도면이다.

도 25는 트랜지스터의 전기 특성 평가를 설명하는 도면이다.

도 26은 트랜지스터의 전기 특성 평가를 설명하는 도면이다.

도 27은 트랜지스터의 전기 특성 평가를 설명하는 도면이다.

도 28은 트랜지스터의 전기 특성 평가를 설명하는 도면이다.

도 29는 트랜지스터의 전기 특성 평가를 설명하는 도면이다.

도 30은 산화물 반도체막의 나노 범 전자 회절 패턴을 나타내는 도면이다.

도 31은 투과 전자 회절 측정 장치의 일례를 나타내는 도면이다.

도 32는 투과 전자 회절 측정에 의한 구조 해석의 일례를 나타내는 도면이다.

도 33은 ESR 시그널을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나는 일 없이 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다. 또한 이하에 설명하는 발명의 구성에서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 다른 도면 간에 공통으로 이용하고, 그 반복 설명은 생략하는 경우가 있다.
- [0029] 또한 트랜지스터의 「소스」나 「드레인」의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 대체되는 경우가 있다. 그러므로, 본 명세서에서는 「소스」나 「드레인」이라고 하는 용어는 대체하여 이용할 수 있는 것으로 한다.
- [0030] 또한 어느 하나의 실시형태 중에서 서술하는 내용(일부의 내용이어도 좋음)은 그 실시형태에서 서술하는 다른 내용(일부의 내용이어도 좋음), 및/또는 하나 혹은 복수의 다른 실시형태에서 서술하는 내용(일부의 내용이어도 좋음)에 대하여, 적용, 조합, 또는 치환 등을 행할 수 있다.
- [0031] 또한 실시형태 중에서 서술하는 내용은, 각각의 실시형태에서 다양한 도면을 이용하여 서술하는 내용, 또는 명세서에 기재되는 문장을 이용하여 서술하는 내용이다.
- [0032] 또한 어느 하나의 실시형태에서 서술하는 도면(일부여도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 서술하는 다른 도면(일부여도 좋음), 및/또는 하나 혹은 복수의 다른 실시형태에서 서술하는 도면(일부여도 좋음)에 대하여, 조합함으로써 더욱 많은 도면을 구성할 수 있다.
- [0033] (실시형태 1)
- [0034] 본 실시형태에서는 본 발명의 일양태의 반도체 장치에 포함되는 적층 구조에 대하여 도 2를 참조하여 설명한다.
- [0035] 본 발명의 일양태는 게이트 절연막에 기인한 누출 전류를 저감하기 위하여 High-k 절연막을 이용함으로써 등가 산화막 두께를 두껍게 한다.
- [0036] 도 2의 (A1) 및 도 2의 (A2)에, 본 발명의 일양태의 반도체 장치에 포함되는 적층 구조의 개념도를 나타낸다.
- [0037] 도 2의 (A1) 및 도 2의 (A2)는 산화물 반도체막(104)과, 산화물 반도체막(104) 위의 게이트 절연막(108)과, 게이트 절연막(108)을 통하여 산화물 반도체막(104)과 중첩되는 게이트 전극(110)을 가지는 반도체 장치이다.
- [0038] 도 2의 (A1)의 반도체 장치의 게이트 절연막(108)에는 High-k 절연막(여기에서는 산화 하프늄 : 유전율 16)을 이용하고, 도 2의 (A2)의 반도체 장치의 게이트 절연막(108)에는 통상의 절연막(여기에서는 산화 실리콘 : 유전율 3.9)을 이용한다.
- [0039] 게이트 절연막(108)에 이용하는 재료를 유전율이 큰 것으로 하면, 게이트 절연막(108)을 두껍게 할 수 있다. 예를 들어, 유전율이 16인 산화 하프늄을 이용함으로써, 유전율이 3.9인 산화 실리콘을 이용하는 경우에 비해 약 4배 두껍게 하는 것이 가능하다. 그러므로, 이물(먼지 등)에 의한 쇼트를 방지하거나, 단차 피복성의 저하를 억제할 수 있어 바람직하다.
- [0040] 그러나, High-k 절연막은 물리적 막 두께를 두껍게 하는 것이 가능하지만, 다결정화하기 쉽고, 결정립계에 기인한 누출 전류가 흐르는 경우가 있다. 또한, 게이트 전극의 밀착성이 저하되는 경우도 있다. 또한 High-k 절연막은 비정질 상태에서는 유전율이 낮고, 물리적 막 두께를 두껍게 할 수 있는 효과가 작다. 또한, 비정질 상태로 사용함으로써, 성막 시의 온도나 후의 베이크 온도를 낮게 할 수밖에 없고, 막질이 나빠지는 경우가 있다.
- [0041] 그러므로, 도 2의 (B)에 도시하는 바와 같이 High-k 절연막인 게이트 절연막(108a)과 게이트 전극(110)의 사이에 산화 실리콘막이나 산화 질화 실리콘막 등으로 구성된 게이트 절연막(108b)을 형성함으로써, 물리적 막 두께를 확보하면서, 결정립계에 기인한 누출 전류도 저감하고, 또한 게이트 전극의 밀착성을 확보할 수 있다.
- [0042] 또한, 산화물 반도체막(104)과 접촉하는 게이트 절연막(108a)은 성막 시에 산화물 반도체막(104)에 산소를 공급하는 절연막이면 바람직하다. 또한 게이트 절연막(108a)의 성막 시에 게이트 절연막(108a) 아래의 막(산화물 반도체막(104))에 산소를 도입하려면, 성막 시에 산소를 포함하는 분위기 하에서 성막을 행하면 좋고, 산소 비

율이 큰 것이 산소를 많이 도입할 수가 있기 때문에 바람직하다. 또한, 게이트 절연막(108a)은 산소, 수소, 물 등의 블로킹 기능을 가지는 절연막이면 바람직하다.

[0043] 상기와 같은 기능을 가지는 절연막을 제공함으로써, 게이트 절연막 성막 시에 산화물 반도체막에 산소를 공급할 수 있고, 또한 산화물 반도체막 중의 산소가 외부로 확산되는 것을 방지함으로써 산화물 반도체막 중의 산소 결손을 저감할 수 있고, 또한, 외부로부터 산화물 반도체막으로의 수소, 물 등의 혼입을 막을 수 있다.

[0044] 또한 게이트 절연막(108a)의 X선 회절에 의해 측정한 회절각 2θ 는 28° 근방에 피크를 가지는 것이 바람직하다. $2\theta=28^\circ$ 근방에 나타나는 피크는 산화 하프늄(HfO_2)의 단사정계의 결정의 (-111)면에서의 회절에 기인한 것이다. 또한, 게이트 절연막(108a)의 산소 결손에 기인한 ESR 신호는 g 값이 1.92 내지 1.98에 나타나지만, 이 값이 검출 하한 이하(여기에서는 $3.0 \times 10^{17} \text{ spins/cm}^3$ 이하)이면 바람직하다. 또한, 게이트 절연막(108a)의 과잉된 산소에 기인한 ESR 신호는 g 값이 2.00 내지 2.01에 나타나지만, 이 값이 $4.4 \times 10^{16} \text{ spins/cm}^3$ 이상 $3.5 \times 10^{18} \text{ spins/cm}^3$ 이하이면 바람직하고, $1.8 \times 10^{17} \text{ spins/cm}^3$ 이상 $1.0 \times 10^{18} \text{ spins/cm}^3$ 이하이면 더욱 바람직하다. 또한, 게이트 절연막(108a)의 막 밀도는 8.3 g/cm^3 이상 9.0 g/cm^3 이하이면 바람직하다.

[0045] 또한 게이트 절연막(108a)은 하프늄, 알루미늄, 탄탈, 지르코늄 등으로부터 선택된 일종 이상의 원소를 포함하는 산화물(복합 산화물도 포함함)을 포함하여 구성되는 절연막을 적용할 수 있다. 바람직하게는 산화 하프늄을 포함하여 구성되는 절연막, 산화 알루미늄을 포함하여 구성되는 절연막, 하프늄 실리케이트를 포함하여 구성되는 절연막, 또는 알루미늄 실리케이트를 포함하여 구성되는 절연막을 적용할 수 있다. 또한 산화 하프늄 등의 고유전율(hight-k) 재료를 게이트 절연막에 이용하면, 게이트 누출을 억제하기 위해서 막 두께를 크게 하는 것이 가능하다는 점도 적합하다. 본 실시형태에서는 게이트 절연막(108a)으로서, 산화 하프늄을 포함하여 구성되는 절연막을 형성한다. 또한, 게이트 절연막(108a)의 성막 방법으로서는 스퍼터링법 또는 원자층 퇴적(ALD: Atomic Layer Deposition)법을 적용할 수 있다.

[0046] 게이트 절연막(108b)으로서는 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴 및 산화 탄탈을 일종 이상 포함하는 절연막을 이용할 수 있다.

[0047] 게이트 절연막(108b)의 성막 방법으로서는 스퍼터링법 또는 ALD(Atomic Layer Deposition)법을 적용할 수 있다.

[0048] 또한, 게이트 절연막(108a)의 성막 온도는 100°C 이상으로 하는 것이 바람직하고, 150°C 이상으로 하는 것이 보다 바람직하다. 게이트 절연막(108a)을 상술한 온도 범위에서 성막함으로써, 게이트 절연막(108a)의 하층에 제공된 산화물 반도체막(104)에의 수소 또는 수소 화합물의 부착(예를 들면, 흡착수 등)을 방지할 수 있고, 산화물 반도체막(104)에의 수소, 또는 수소 화합물의 혼입을 저감시킬 수 있다. 수소는 산화물 반도체와 결합함으로써 일부가 도너가 되고, 캐리어인 전자를 발생시켜 트랜지스터의 문턱 전압을 마이너스 방향으로 변동시키는 요인이 되기 때문에, 산화물 반도체막(104)에의 수소 또는 수소 화합물의 혼입을 저감시키면서 게이트 절연막(108a)을 성막함으로써, 트랜지스터의 전기 특성을 보다 안정화시킬 수 있다. 게이트 절연막(108a) 위에 형성되는 게이트 절연막(108b)의 성막 온도에 대해서도 마찬가지이다.

[0049] 다음으로, 도 2의 (B)에 도시하는 반도체 장치의 점 A부터 점 B에 걸친 밴드도의 예를 도 1에 나타낸다. 도면 중, Evac는 진공 준위의 에너지, Ec는 전도대 하단의 에너지, Ev는 가전자대 상단의 에너지를 나타낸다.

[0050] 이 예에서는 산화물 반도체막(104)에 In : Ga : Zn : 0 = 1 : 1 : 1 : 4(원자수비)의 산화물 반도체막을, 게이트 절연막(108a)에 산화 하프늄막을, 게이트 절연막(108b)에 산화 질화 실리콘막을 이용하였다.

[0051] 도 1에 나타내는 바와 같이 산화물 반도체막(104)의 밴드 갭(3.2eV)은 게이트 절연막(108a)의 밴드 갭(5.5eV)보다 작고, 게이트 절연막(108a)의 밴드 갭(5.5eV)은 게이트 절연막(108b)의 밴드 갭(8.7eV)보다 작다. 또한, 산화물 반도체막(104)의 전자 친화력(4.7eV)은 게이트 절연막(108a)의 전자 친화력(2.8eV)보다 크고, 게이트 절연막(108a)의 전자 친화력(2.8eV)은 게이트 절연막(108b)의 전자 친화력(1.1eV)보다 크다.

[0052] 도 1에 나타내는 바와 같이 산화물 반도체막(104), 게이트 절연막(108a) 및 게이트 절연막(108b)에서, 전도대 하단의 에너지는 게이트 절연막(108b)이 가장 높고, 산화물 반도체막(104)이 가장 낮다.

[0053] 이러한 밴드 구조를 취함으로써, FET의 도통 시의 게이트 절연막(108a)(High-k 절연막)과 게이트 절연막(108b)(산화 실리콘막이나 산화 질화 실리콘막)의 계면의 캐리어 밀도를 저감할 수 있기 때문에, 이 계면의 계면 준위

밀도에 상관없이, 온 전류의 향상이나 S값의 감소 등이 안정된 전기 특성을 얻을 수 있다.

[0054] 또한, 상세한 사항은 다음의 실시형태에서 설명하겠지만, 산화물 반도체막(104)의 상하에 다른 산화물 반도체막을 제공한 구성(실시형태 2의 산화물 반도체층(404)에 상당)으로 하면 바람직하다. 채널이 형성되는 산화물 반도체막(104)과 게이트 절연막(108a)의 사이에 다른 산화물 반도체막을 형성함으로써 채널이 되는 영역을 게이트 절연막(108a)으로부터 떼어놓을 수 있고, 산화물 반도체막(104)의 상측의 산화물 반도체막(실시형태 2의 산화물 반도체막(404c)에 상당)과 게이트 절연막(108a)의 계면에서 일어나는 캐리어 산란의 영향을 작게 할 수 있다.

[0055] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0056] (실시형태 2)

[0057] 본 실시형태에서는 본 발명의 일양태의 반도체 장치에 대하여 도면을 이용하여 설명한다.

[0058] <트랜지스터 구조 1>

[0059] 도 3의 (A) 및 도 3의 (B)는 본 발명의 일양태의 트랜지스터의 상면도 및 단면도이다. 도 3의 (A)는 상면도이고, 도 3의 (B)는 도 3의 (A)에 도시하는 일점 쇄선 A1-A2, 및 일점 쇄선 A3-A4에 대응하는 단면도이다. 또한 도 3의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다. 또한, 도 3의 (B)의 산화물 반도체층(404)의 확대도를 도 3의 (C)에 나타낸다.

[0060] 도 3에 나타내는 트랜지스터는 기판(400) 위의 볼록부를 가지는 하지 절연막(402)과, 하지 절연막(402)의 볼록부 위의 산화물 반도체막(404a)과, 산화물 반도체막(404a) 위의 산화물 반도체막(404b)과, 산화물 반도체막(404b)의 상면 및 측면과 접촉하는 소스 전극(406a) 및 드레인 전극(406b)과, 산화물 반도체막(404b), 소스 전극(406a) 위 및 드레인 전극(406b) 위의 산화물 반도체막(404c)과, 산화물 반도체막(404c) 위의 게이트 절연막(408a)과, 게이트 절연막(408a) 위의 게이트 절연막(408b)과, 게이트 절연막(408b)의 상면에 접촉하고, 산화물 반도체막(404b)의 상면 및 측면에 접촉하는 게이트 전극(410)과, 소스 전극(406a), 드레인 전극(406b) 및 게이트 전극(410) 위의 절연막(412)을 가진다. 또한 하지 절연막(402)이 볼록부를 갖지 않아도 상관없다. 또한 도 3의 (C) 나타내는 바와 같이 산화물 반도체막(404a), 산화물 반도체막(404b), 및 산화물 반도체막(404c)을 총칭하여 산화물 반도체층(404)이라고 부르는 경우가 있다.

[0061] 또한 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)에 제공되어 있다.

[0062] 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)와 접촉하고 있다. 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 적어도 일부(또는 전부)와 접촉하고 있다.

[0063] 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)와 전기적으로 접속되어 있다. 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 일부(또는 전부)와 전기적으로 접속되어 있다.

[0064] 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)에 근접하여 배치되어 있다. 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 일부(또는 전부)에 근접하여 배치되어 있다.

[0065] 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)의 횡측에 배치되어 있다. 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 일부(또는 전부)의 옆쪽에 배치되어 있다.

[0066] 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는

산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)의 비스듬하게 상측에 배치되어 있다. 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 일부(또는 전부)의 대각선 상측에 배치되어 있다.

[0067] 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전부)의 상측에 배치되어 있다. 또는 소스 전극(406a)(및/또는 드레인 전극(406b))의 적어도 일부(또는 전부)는 산화물 반도체막(404a)(및/또는 산화물 반도체막(404b)) 등의 반도체막의 일부(또는 전부)의 상측에 배치되어 있다.

[0068] 도 3의 (B)에 도시하는 바와 같이, 소스 전극(406a) 및 드레인 전극(406b)의 측면이 산화물 반도체층(404)의 측면과 접촉한다. 또한, 게이트 전극(410)의 전계에 의해, 산화물 반도체층(404)을 전기적으로 둘러쌀 수 있다(게이트 전계에 의해, 산화물 반도체층을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(s-channel) 구조라고 함). 그러므로, 산화물 반도체층(404) 전체(벌크)에 채널이 형성된다. s-channel 구조에서는 트랜지스터의 소스-드레인 간에 대전류를 흘려보낼 수 있고, 높은 온 전류를 얻을 수 있다.

[0069] 높은 온 전류를 얻을 수 있기 때문에, s-channel 구조는 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있기 때문에, 상기 트랜지스터를 가지는 반도체 장치는 접적도가 높은 고밀도화된 반도체 장치로 하는 것이 가능해진다. 예를 들면, 트랜지스터의 채널 길이를 바람직하게는 40nm 이하, 더욱 바람직하게는 30nm 이하, 보다 바람직하게는 20nm 이하로 하고, 또한, 트랜지스터의 채널 폭을 바람직하게는 40nm 이하, 더욱 바람직하게는 30nm 이하, 보다 바람직하게는 20nm 이하로 한다.

[0070] 또한 채널 길이란, 상면도에서 반도체층과 게이트 전극이 중첩되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극)의 거리를 말한다. 즉, 도 3의 (A)에서는 채널 길이는 산화물 반도체층(404)과 게이트 전극(410)이 중첩되는 영역에서의 소스 전극(406a)과 드레인 전극(406b)의 거리가 된다. 채널 폭이란, 반도체층과 게이트 전극이 중첩되는 영역에서의 소스 또는 드레인의 폭을 말한다. 즉, 도 3의 (A)에서는 채널 폭은 산화물 반도체층(404)과 게이트 전극(410)이 중첩되는 영역에서의 소스 전극(406a) 또는 드레인 전극(406b)의 폭을 말한다.

[0071] 게이트 절연막(408a)은 게이트 절연막(108a)에 대한 기재를 참조한다. 또한 게이트 절연막(408a)은 단층이어도 적층이어도 상관없다.

[0072] 게이트 절연막(408b)은 게이트 절연막(108b)에 대한 기재를 참조한다. 또한 게이트 절연막(408b)은 단층이어도 적층이어도 상관없다.

[0073] 기판(400)은 단순한 지지체에 한정하지 않고, 다른 트랜지스터나 커패시터 등의 소자가 형성된 기판이어도 좋다. 이 경우, 트랜지스터의 게이트 전극(410), 소스 전극(406a), 드레인 전극(406b) 중 적어도 하나가 상기의 다른 소자와 전기적으로 접속되어 있어도 좋다.

[0074] 하지 절연막(402)은 기판(400)으로부터의 불순물의 확산을 방지하는 역할을 가지는 것 외에, 산화물 반도체층(404)에 산소를 공급하는 역할을 담당할 수 있다. 따라서, 하지 절연막(402)은 산소를 포함하는 절연막인 것이 바람직하다. 예를 들면, 화학양론적 조성보다 많은 산소를 포함하는 절연막인 것이 보다 바람직하다. 또한, 위에서 설명한 바와 같이 기판(400)이 다른 소자가 형성된 기판인 경우, 하지 절연막(402)은 충간 절연막으로서의 기능도 가진다. 그 경우, 하지 절연막(402)의 표면이 평탄화되어 있어도 좋다. 예를 들면, 하지 절연막(402)에 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 행하면 좋다.

[0075] 이하에서는 산화물 반도체막(404b)에 대하여 상세하게 설명한다.

[0076] 산화물 반도체막(404b)은 인듐을 포함하는 산화물이다. 산화물은 예를 들면, 인듐을 포함하면, 캐리어 이동도(전자 이동도)가 높아진다. 또한, 산화물 반도체막(404b)은 원소 M을 포함하면 바람직하다. 원소 M으로서 예를 들면, 알루미늄, 갈륨, 이트륨, 또는 주석 등이 있다. 원소 M은 예를 들면, 산소와의 결합 에너지가 높은 원소이다. 원소 M은 예를 들면, 산화물의 밴드 캡을 크게 하는 기능을 가지는 원소이다. 또한, 산화물 반도체막(404b)은 아연을 포함하면 바람직하다. 산화물이 아연을 포함하면, 예를 들면, 산화물을 결정화하기 쉬워진다. 산화물의 가전자대 상단의 에너지는 예를 들면, 아연의 원자수비에 의해 제어할 수 있다.

[0077] 단, 산화물 반도체막(404b)은 인듐을 포함하는 산화물로 한정되지 않는다. 산화물 반도체막(404b)은 예를 들면, Zn-Sn 산화물, Ga-Sn 산화물이어도 상관없다.

- [0078] 또한, 산화물 반도체막(404b)은 밴드 갭이 큰 산화물을 이용한다. 산화물 반도체막(404b)의 밴드 갭은 예를 들면, 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더욱 바람직하게는 3.0eV 이상 3.5eV 이하로 한다.
- [0079] 또한 산화물 반도체막(404b)을 스퍼터링법으로 성막하는 경우, 파티클수 저감을 위해 인듐을 포함하는 타겟을 이용하면 바람직하다. 또한, 원소 M의 원자수비가 높은 산화물 타겟을 이용한 경우, 타겟의 도전성이 낮아지는 경우가 있다. 인듐을 포함하는 타겟을 이용하는 경우, 타겟의 도전율을 높일 수 있고, DC 방전, AC 방전이 용이해지기 때문에, 대면적의 기판에 대응하기 쉬워진다. 따라서, 반도체 장치의 생산성을 높일 수 있다.
- [0080] 산화물 반도체막(404b)을 스퍼터링법으로 성막하는 경우, 타겟의 원자수비는 In : M : Zn가 3 : 1 : 1, 3 : 1 : 2, 3 : 1 : 4, 1 : 1 : 0.5, 1 : 1 : 1, 1 : 1 : 2, 등으로 하면 좋다.
- [0081] 산화물 반도체막(404b)을 스퍼터링법으로 성막하는 경우, 타겟의 원자수비와 다른 원자수비의 막이 형성되는 경우가 있다. 특히, 아연은 타겟의 원자수비보다 막의 원자수비가 작아지는 경우가 있다. 구체적으로는 타겟에 포함되는 아연의 원자수비의 40atomic% 이상 90atomic% 정도 이하가 되는 경우가 있다.
- [0082] 이하에서는 산화물 반도체막(404b) 중에서의 불순물의 영향에 대하여 설명한다. 또한 트랜지스터의 전기 특성을 안정적으로 하기 위해서는 산화물 반도체막(404b) 중의 불순물 농도를 저감하고, 저캐리어 밀도화 및 고순도화하는 것이 효과적이다. 또한 산화물 반도체막(404b)의 캐리어 밀도는 1×10^{17} 개/cm³ 미만, 1×10^{15} 개/cm³ 미만, 또는 1×10^{13} 개/cm³ 미만으로 한다. 산화물 반도체막(404b) 중의 불순물 농도를 저감하기 위해서는 근접한 막 중의 불순물 농도도 저감하는 것이 바람직하다.
- [0083] 예를 들면, 산화물 반도체막(404b) 중의 실리콘은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다. 그러므로, 산화물 반도체막(404b)과 하지 절연막(402)의 사이에서의 실리콘 농도를 2차 이온 질량 분석법(SIMS : Secondary Ion Mass Spectrometry)에서 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다. 또한, 산화물 반도체막(404b)과 게이트 절연막(408a)의 사이에서의 실리콘 농도를 SIMS에서 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 2×10^{18} atoms/cm³ 미만으로 한다.
- [0084] 또한, 산화물 반도체막(404b) 중에 수소가 포함되면, 캐리어 밀도를 증대시키는 경우가 있다. 산화물 반도체막(404b)의 수소 농도는 SIMS에서 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(404b) 중에 질소가 포함되면, 캐리어 밀도를 증대시키는 경우가 있다. 산화물 반도체막(404b)의 질소 농도는 SIMS에서 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0085] 또한, 산화물 반도체막(404b)의 수소 농도를 저감하기 위해, 하지 절연막(402)의 수소 농도를 저감하면 바람직하다. 하지 절연막(402)의 수소 농도는 SIMS에서 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(404b)의 질소 농도를 저감하기 위해, 하지 절연막(402)의 질소 농도를 저감하면 바람직하다. 하지 절연막(402)의 질소 농도는 SIMS에서 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.
- [0086] 또한, 산화물 반도체막(404b)의 수소 농도를 저감하기 위해, 게이트 절연막(408a)의 수소 농도를 저감하면 바람직하다. 게이트 절연막(408a)의 수소 농도는 SIMS에서 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 보다 바람직하게는 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 또한, 산화물 반도체막(404b)의 질소 농도를 저감하기 위해, 게이트 절연막(408a)의 질소 농도를 저감하면 바람직하다. 게이트 절연막(408a)의 질소 농도는 SIMS에서 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다

바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다.

[0087] 이하에서는 산화물 반도체막(404b)에 적용 가능한 산화물 반도체막의 구조에 대하여 설명한다.

[0088] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0089] 먼저, CAAC-OS막에 대하여 설명한다.

[0090] CAAC-OS막은 복수의 결정부를 가지는 산화물 반도체막의 하나이고, 대부분의 결정부는 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다.

[0091] CAAC-OS막을 투과형 전자 현미경(TEM : Transmission Electron Microscope)에 의해 관찰하면, 명확한 결정부끼리의 경계, 즉 결정립계(그레이인 바운더리라고도 함)를 확인할 수 없다. 그러므로, CAAC-OS막은 결정립계에 기인한 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0092] CAAC-OS막을 시료면과 대략 평행한 방향으로부터 TEM에 의해 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열하고 있는 것을 확인할 수 있다. 금속 원자의 각종은 CAAC-OS막을 형성하는 면(피형성면이라고도 함) 또는 상면의 요철을 반영한 형상이고, CAAC-OS막의 피형성면 또는 상면과 평행하게 배열된다.

[0093] 한편, CAAC-OS막을 시료면과 대략 수직인 방향으로부터 TEM에 의해 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각 형상 또는 육각 형상으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부 간에서, 금속 원자의 배열에 규칙성은 볼 수 없다.

[0094] 또한 CAAC-OS막에 대하여, 전자 회절을 행하면 배향성을 나타내는 스포(휘점)이 관측된다. 예를 들면, CAAC-OS막의 상면에 대하여, 예를 들면 1nm 이상 30nm 이하의 전자선을 이용하는 전자 회절(나노 빔 전자 회절이라고도 함)을 행하면 스포이 관측된다(도 30의 (A) 참조).

[0095] 단면 TEM 관찰 및 평면 TEM 관찰에 의해, CAAC-OS막의 결정부는 배향성을 가지는 것을 알 수 있다.

[0096] CAAC-OS막에 대하여, X선 회절(XRD : X-Ray Diffraction) 장치를 이용하여 구조 해석을 행하면, 예를 들면 InGaZnO₄의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되므로, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 대략 수직인 방향을 향하고 있는 것을 확인할 수 있다.

[0097] 또한 본 명세서에서, 결정이 삼방정 또는 능면체정인 경우, 육방정계로서 나타낸다.

[0098] 한편, CAAC-OS막에 대하여, c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는 2 θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막이면, 2 θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로서 시료를 회전시키면서 분석(ϕ 스캔)을 행하면 (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 이것에 대하여, CAAC-OS막의 경우는 2 θ 를 56° 근방에 고정하여 ϕ 스캔한 경우에도 명료한 피크가 나타나지 않는다.

[0099] 이상으로부터, CAAC-OS막에서는 다른 결정부 간에서는 a축 및 b축의 배향은 불규칙하지만, c축 배향성을 가지고, c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향을 향하고 있는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열한 금속 원자의 각종은 결정의 ab면에 평행한 면이다.

[0100] 또한 결정부는 CAAC-OS막을 성막했을 때, 또는 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들면, CAAC-OS막의 형상을 에칭 등에 의해 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터와 평행이 되지 않는 경우도 있다.

[0101] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의해 형성되는 경우, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 불순물이 첨가된 영역의 결정화도가 변화하여, 부분적으로 결정화도가 다른 영역이 형성되는 경우도 있다.

- [0102] 또한 InGaZnO_4 의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 2θ 가 31° 근방일 때 피크 외에, 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때의 피크는 CAAC-OS막 중의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 나타낸다. CAAC-OS막은 2θ 가 31° 근방에 피크를 나타내고, 2θ 가 36° 근방에 피크를 나타내지 않는 것이 바람직하다.
- [0103] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 천이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 어지럽히고, 결정성을 저하시키는 요인인 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 어지럽히고, 결정성을 저하시키는 요인인 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0104] 또한, CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들면, 산화물 반도체막 중의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0105] 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손의 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 이용한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리-온이라고도 함)이 되는 일이 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 상기 산화물 반도체막을 이용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다. 또한 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출하기까지 필요로 하는 시간이 길고, 마치 고정 전하와 같이 행동하는 경우가 있다. 그러므로, 불순물 농도가 높고, 결함 준위 밀도가 높은 산화물 반도체막을 이용한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0106] 또한, CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.
- [0107] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0108] 미결정 산화물 반도체막은 TEM에 의한 관찰상에서는 명확하게 결정부를 확인할 수가 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 것이 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc : nanocrystal)을 가지는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들면, TEM에 의한 관찰상에서는 결정립계를 명확하게 확인할 수 없는 경우가 있다.
- [0109] nc-OS막은 미소한 영역(예를 들면, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS막은 다른 결정부 간에서 결정 방위에 규칙성을 볼 수 없다. 그러므로, 전체적으로 배향성을 볼 수 없다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체막과 구별되지 않는 경우가 있다. 예를 들면, nc-OS막에 대하여, 결정부보다 큰 직경의 X선을 이용하는 XRD 장치를 이용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막은 결정부보다 큰 프로브 직경(예를 들면 50nm 이상)의 전자선을 이용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 행하면, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여, 결정부의 크기와 비슷하거나 결정부보다 작은 프로브 직경의 전자선을 이용하는 나노 빔 전자 회절을 행하면 스폷이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 행하면 원을 그리듯이(링 형상으로) 회도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 행하면 링 형상의 영역 내에 복수의 스폷이 관측되는 경우가 있다(도 30의 (B) 참조).
- [0110] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 그러므로, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮아진다. 단, nc-OS막은 다른 결정부 간에서 결정 방위에 규칙성을 볼 수 없다. 그러므로, nc-OS막은 CAAC-OS막과 비교하여 결함 준위 밀도가 높아진다.
- [0111] 또한 산화물 반도체막은 예를 들면, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종 이상을 가져도 좋다.
- [0112] 산화물 반도체막이 복수의 구조를 가지는 경우, 나노 빔 전자 회절을 이용함으로써 구조 해석이 가능해지는 경우가 있다.

- [0113] 도 31의 (A)에, 전자총실(10)과, 전자총실(10) 아래의 광학계(12)와, 광학계(12) 아래의 시료실(14)과, 시료실(14) 아래의 광학계(16)와, 광학계(16) 아래의 관찰실(20)과, 관찰실(20)에 설치된 카메라(18)와, 관찰실(20) 아래의 필름실(22)을 가지는 투과 전자 회절 측정 장치를 나타낸다. 카메라(18)는 관찰실(20) 내부를 향해 설치된다. 또한 필름실(22)을 갖지 않아도 상관없다.
- [0114] 또한, 도 31의 (B)에, 도 31의 (A)에서 나타낸 투과 전자 회절 측정 장치 내부의 구조를 나타낸다. 투과 전자 회절 측정 장치 내부에서는 전자총실(10)에 설치된 전자총으로부터 방출된 전자가, 광학계(12)를 통하여 시료실(14)에 배치된 물질(28)에 조사된다. 물질(28)을 통과한 전자는 광학계(16)를 통하여 관찰실(20) 내부에 설치된 형광판(32)에 입사한다. 형광판(32)에서는 입사한 전자의 강도에 따른 패턴이 나타남으로써 투과 전자 회절 패턴을 측정할 수 있다.
- [0115] 카메라(18)는 형광판(32)을 향해 설치되어 있고, 형광판(32)에 나타난 패턴을 촬영하는 것이 가능하다. 카메라(18)의 렌즈의 중앙, 및 형광판(32)의 중앙을 지나는 직선과, 형광판(32)의 상면이 이루는 각도는 예를 들면, 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하로 한다. 이 각도가 작을수록, 카메라(18)로 촬영되는 투과 전자 회절 패턴은 변형이 커진다. 단, 미리 이 각도를 알 수 있다면, 얻어진 투과 전자 회절 패턴의 변형을 보정하는 것도 가능하다. 또한 카메라(18)를 필름실(22)에 설치해도 상관없는 경우가 있다. 예를 들면, 카메라(18)를 필름실(22)에 전자(24)의 입사 방향과 대향하도록 설치해도 좋다. 이 경우, 형광판(32)의 이면으로부터 변형이 적은 투과 전자 회절 패턴을 촬영할 수 있다.
- [0116] 시료실(14)에는 시료인 물질(28)을 고정하기 위한 홀더가 설치되어 있다. 홀더는 물질(28)을 통과하는 전자를 투과하는 구조를 하고 있다. 홀더는 예를 들면, 물질(28)을 X축, Y축, Z축 등으로 이동시키는 기능을 가지고 있어도 좋다. 홀더의 이동 기능은 예를 들면, 1nm 이상 10nm 이하, 5nm 이상 50nm 이하, 10nm 이상 100nm 이하, 50nm 이상 500nm 이하, 100nm 이상 1μm 이하 등의 범위에서 이동시키는 정도(精度)를 가지면 좋다. 이러한 범위는 물질(28)의 구조에 따라 최적의 범위를 설정하면 좋다.
- [0117] 다음으로, 상술한 투과 전자 회절 측정 장치를 이용하여, 물질의 투과 전자 회절 패턴을 측정하는 방법에 대하여 설명한다.
- [0118] 예를 들면, 도 31의 (B)에 도시하는 바와 같이 물질에서의 나노 범위 전자(24)의 조사 위치를 변화시킴(스캔 함)으로써, 물질의 구조가 변화해가는 양태를 확인할 수 있다. 이때, 물질(28)이 CAAC-OS막이면, 도 30의 (A)에 나타낸 바와 같은 회절 패턴이 관측된다. 또는 물질(28)이 nc-OS막이면, 도 30의 (B)에 나타낸 바와 같은 회절 패턴이 관측된다.
- [0119] 그런데, 물질(28)이 CAAC-OS막이라고 해도, 부분적으로 nc-OS막 등과 같은 회절 패턴이 관측되는 경우가 있다. 따라서, CAAC-OS막의 양부(良否)는 일정한 범위에서의 CAAC-OS막의 회절 패턴이 관측되는 영역의 비율(CAAC 화율이라고도 함)로 나타낼 수 있는 경우가 있다. 예를 들면, 양질의 CAAC-OS막이면, CAAC 화율은 60% 이상, 바람직하게는 80% 이상, 더욱 바람직하게는 90% 이상, 보다 바람직하게는 95% 이상이 된다. 또한 CAAC-OS막과 다른 회절 패턴이 관측되는 영역의 비율을 비(非)CAAC 화율로 표기한다.
- [0120] 일례로서 성막 직후(as-depo로 표기), 350°C 가열 처리 후 또는 450°C 가열 처리 후의 CAAC-OS막을 가지는 각 시료의 상면에 대하여, 스캔하면서 투과 전자 회절 패턴을 취득했다. 여기에서는 5nm/초의 속도로 60초간 스캔하면서 회절 패턴을 관측하고, 관측된 회절 패턴을 0.5초마다 정지 화면으로 변환함으로써, CAAC 화율을 도출했다. 또한 전자선으로서는 프로브 직경이 1nm인 나노 범 전자선을 이용했다.
- [0121] 각 시료에서의 CAAC 화율을 도 32에 나타낸다. 성막 직후 및 350°C 가열 처리 후와 비교하여, 450°C 가열 처리 후의 CAAC 화율이 높은 것을 알 수 있다. 즉, 350°C보다 높은 온도(예를 들면 400°C 이상)에서의 가열 처리에 의해, 비CAAC 화율이 낮아지는(CAAC 화율이 높아지는) 것을 알 수 있다. 여기서, CAAC-OS막과 다른 회절 패턴의 대부분은 nc-OS막과 같은 회절 패턴이었다. 따라서, 가열 처리에 의해, nc-OS막과 같은 구조를 가지는 영역은 인접하는 영역의 구조의 영향을 받아 CAAC화하고 있는 것이 시사된다.
- [0122] 이러한 측정 방법을 이용하면, 복수의 구조를 가지는 산화물 반도체막의 구조 해석이 가능해지는 경우가 있다.
- [0123] 산화물 반도체막(404a) 및 산화물 반도체막(404c)은 산화물 반도체막(404b)을 구성하는 산소 이외의 원소 일종 이상, 또는 2종 이상으로 구성되는 산화물 반도체막이다. 산화물 반도체막(404b)을 구성하는 산소 이외의 원소 일종 이상, 또는 2종 이상으로 산화물 반도체막(404a) 및 산화물 반도체막(404c)이 구성되기 때문에, 산화물 반도체막(404a)과 산화물 반도체막(404b)의 계면, 및 산화물 반도체막(404b)과 산화물 반도체막(404c)의

계면에서, 계면 준위가 형성되기 어렵다.

[0124] 또한 산화물 반도체막(404a)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In 및 M의 원자수비율은 바람직하게는 In이 50atomic% 미만, M이 50atomic% 이상, 더욱 바람직하게는 In이 25atomic% 미만, M이 75atomic% 이상으로 한다. 또한, 산화물 반도체막(404b)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In 및 M의 원자수비율은 바람직하게는 In이 25atomic% 이상, M이 75atomic% 미만, 더욱 바람직하게는 In이 34atomic% 이상, M이 66atomic% 미만으로 한다. 또한, 산화물 반도체막(404c)이 In-M-Zn 산화물일 때, Zn 및 O를 제외한 In 및 M의 원자수비율은 바람직하게는 In이 50atomic% 미만, M이 50atomic% 이상, 더욱 바람직하게는 In이 25atomic% 미만, M이 75atomic% 이상으로 한다. 또한 산화물 반도체막(404c)은 산화물 반도체막(404a)과 동종의 산화물을 이용해도 상관없다.

[0125] 여기서, 산화물 반도체막(404a)과 산화물 반도체막(404b)의 사이에는 산화물 반도체막(404a)과 산화물 반도체막(404b)의 혼합 영역을 가지는 경우가 있다. 또한, 산화물 반도체막(404b)과 산화물 반도체막(404c)의 사이에는 산화물 반도체막(404b)과 산화물 반도체막(404c)의 혼합 영역을 가지는 경우가 있다. 혼합 영역은 계면 준위 밀도가 낮아진다. 그러므로, 산화물 반도체막(404a), 산화물 반도체막(404b) 및 산화물 반도체막(404c)의 적층 체는 각각의 계면 근방에서, 에너지가 연속적으로 변화하는(연속 접합이라고도 함) 밴드 구조가 된다.

[0126] 산화물 반도체막(404b)은 산화물 반도체막(404a) 및 산화물 반도체막(404c)보다 전자 친화력이 큰 산화물을 이용한다. 예를 들면, 산화물 반도체막(404b)으로서 산화물 반도체막(404a) 및 산화물 반도체막(404c)보다 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더욱 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 이용한다. 또한 전자 친화력은 진공 준위와 전도대 하단의 에너지와의 차이이다.

[0127] 이때, 게이트 전극(410)에 전계를 인가하면, 산화물 반도체막(404a), 산화물 반도체막(404b), 산화물 반도체막(404c) 중, 전자 친화력이 큰 산화물 반도체막(404b)에 채널이 형성된다.

[0128] 또한, 트랜지스터의 온 전류를 위해서는 산화물 반도체막(404c)의 두께는 작을수록 바람직하다. 예를 들면, 산화물 반도체막(404c)은 10nm 미만, 바람직하게는 5nm 이하, 더욱 바람직하게는 3nm 이하로 한다. 한편, 산화물 반도체막(404c)은 채널의 형성되는 산화물 반도체막(404b)에, 게이트 절연막(408a)을 구성하는 산소 이외의 원소(실리콘 등)가 들어가지 않게 차단하는 기능을 가진다. 그러므로, 산화물 반도체막(404c)은 어느 정도의 두께를 가지는 것이 바람직하다. 예를 들면, 산화물 반도체막(404c)의 두께는 0.3nm 이상, 바람직하게는 1nm 이상, 더욱 바람직하게는 2nm 이상으로 한다.

[0129] 또한, 신뢰성을 높이기 위해서는 산화물 반도체막(404a)은 두껍고, 산화물 반도체막(404c)은 얇은 것이 바람직하다. 구체적으로는 산화물 반도체막(404a)의 두께는 20nm 이상, 바람직하게는 30nm 이상, 더욱 바람직하게는 40nm 이상, 보다 바람직하게는 60nm 이상으로 한다. 산화물 반도체막(404a)의 두께를 20nm 이상, 바람직하게는 30nm 이상, 더욱 바람직하게는 40nm 이상, 보다 바람직하게는 60nm 이상으로 함으로써, 하지 절연막(402)과 산화물 반도체막(404a)의 계면으로부터 채널이 형성되는 산화물 반도체막(404b)까지를 20nm 이상, 바람직하게는 30nm 이상, 더욱 바람직하게는 40nm 이상, 보다 바람직하게는 60nm 이상 떼어놓을 수 있다. 단, 반도체 장치의 생산성이 저하되는 경우가 있기 때문에, 산화물 반도체막(404a)의 두께는 200nm 이하, 바람직하게는 120nm 이하, 더욱 바람직하게는 80nm 이하로 한다.

[0130] 예를 들면, 산화물 반도체막(404b)과 산화물 반도체막(404a)의 사이에서의 SIMS에 의해 측정된 실리콘 농도를 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $2 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다. 또한, 산화물 반도체막(404b)과 산화물 반도체막(404c)의 사이에서의 SIMS에 의해 측정된 실리콘 농도를 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $2 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.

[0131] 또한, 산화물 반도체막(404b)의 수소 농도를 저감하기 위해, 산화물 반도체막(404a) 및 산화물 반도체막(404c)의 수소 농도를 저감하면 바람직하다. 산화물 반도체막(404a) 및 산화물 반도체막(404c)의 SIMS에 의해 측정된 수소 농도는 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 한다. 또한, 산화물 반도체막(404b)의 질소 농도를 저감하기 위해, 산화물 반도체막(404a) 및 산화물 반도체막(404c)의 질소 농도를 저감하면 바람직하다. 산화물 반도체막(404a) 및 산화물 반도체막(404c)의 SIMS에 의해 측정된 질소 농도는 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로

한다.

- [0132] 상술한 3층 구조는 일례이다. 예를 들면, 산화물 반도체막(404a) 또는 산화물 반도체막(404c)이 없는 2층 구조로 해도 상관없다.
- [0133] 소스 전극(406a) 및 드레인 전극(406b)에는 산화물 반도체막으로부터 산소를 추출하는 성질을 가지는 도전막을 이용하면 바람직하다. 예를 들면, 산화물 반도체막으로부터 산소를 추출하는 성질을 가지는 도전막으로서 알루미늄, 티탄, 크롬, 니켈, 몰리브덴, 탄탈, 텉스텐 등을 포함하는 도전막을 들 수 있다.
- [0134] 산화물 반도체막으로부터 산소를 추출하는 성질을 가지는 도전막의 작용에 의해, 산화물 반도체막 중의 산소가 이탈하여, 산화물 반도체막 중에 산소 결손을 형성하는 경우가 있다. 산소의 추출은 높은 온도로 가열할수록 일어나기 쉽다. 트랜지스터의 제작 공정에는 몇 개의 가열 공정이 있기 때문에, 산화물 반도체막의 소스 전극 또는 드레인 전극과 접촉한 근방의 영역에는 산소 결손이 형성될 가능성이 높다. 또한, 가열에 의해 이 산소 결손의 사이트에 수소가 들어가, 산화물 반도체막이 n형화하는 경우가 있다. 따라서, 소스 전극 및 드레인 전극의 작용에 의해, 산화물 반도체막과 소스 전극 또는 드레인 전극이 접촉하는 영역을 저저항화시키고, 트랜지스터의 온 저항을 저감할 수 있다.
- [0135] 또한 채널 길이가 작은(예를 들면 200nm 이하, 또는 100nm 이하) 트랜지스터를 제작하는 경우, n형화 영역의 형성에 의해 소스-드레인 간이 단락하는 경우가 있다. 그러므로, 채널 길이가 작은 트랜지스터를 형성하는 경우는 소스 전극 및 드레인 전극에 산화물 반도체막으로부터 적당히 산소를 추출하는 성질을 가지는 도전막을 이용하면 좋다. 적당히 산소를 추출하는 성질을 가지는 도전막으로서는 예를 들면, 니켈, 몰리브덴, 또는 텉스텐을 포함하는 도전막 등이 있다.
- [0136] 또한, 채널 길이가 매우 작은(40nm 이하, 또는 30nm 이하) 트랜지스터를 제작하는 경우, 소스 전극(406a) 및 드레인 전극(406b)으로서 산화물 반도체막으로부터 산소를 거의 추출하지 않는 도전막을 이용하면 좋다. 산화물 반도체막으로부터 산소를 거의 추출하지 않는 도전막으로서는 예를 들면, 질화 탄탈, 질화 티탄, 또는 루테늄을 포함하는 도전막 등이 있다. 또한 복수종의 도전막을 적층해도 상관없다.
- [0137] 게이트 전극(410)은 알루미늄, 티탄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테늄, 은, 탄탈, 텉스텐 등에서 선택된 일종 이상을 포함하는 도전막을 이용하면 좋다.
- [0138] 절연막(412)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 계르마늄, 산화 이트륨, 산화 지르코늄, 산화 린탄, 산화 네오디뮴, 산화 하프늄, 산화 탄탈 등에서 선택된 일종 이상 포함하는 절연막을 이용할 수 있다.
- [0139] 다음에, 트랜지스터의 제작 방법에 대하여, 도 4 및 도 5를 이용하여 설명한다.
- [0140] 우선, 기판(400) 위에 하지 절연막(402)을 성막한다(도 4의 (A) 참조).
- [0141] 하지 절연막(402)은 스퍼터링법, 화학 기상 퇴적(CVD : Chemical Vapor Deposition)법, 유기 금속 화학 기상 퇴적(MOCVD : MetalOrganic CVD)법, 플라즈마 화학 기상 퇴적(PECVD : Plasma-Enhanced CVD)법, 분자선 에피택시(MBE : Molecular Beam Epitaxy)법, 원자층 퇴적(ALD : Atomic Layer Deposition)법, 또는 펄스 레이저 퇴적(PLD : Pulsed Laser Deposition)법을 이용하여 성막하면 좋다. 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD 법 혹은 ALD법이 바람직하다.
- [0142] 다음으로, 하지 절연막(402)의 표면을 평탄화하기 위하여, CMP 처리를 행하여도 좋다. CMP 처리를 행함으로써, 하지 절연막(402)의 평균면 조도(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더욱 바람직하게는 0.1nm 이하로 한다. 상술한 수치 이하의 Ra로 함으로써, 산화물 반도체층(404)의 결정성이 높아지는 경우가 있다. Ra는 원자간력 현미경(AFM : Atomic Force Microscope)으로 측정할 수 있다.
- [0143] 다음으로, 하지 절연막(402)에 산소를 첨가함으로써, 과잉 산소를 포함하는 절연막을 형성해도 상관없다. 산소의 첨가는 플라즈마 처리 또는 이온 주입법 등에 의해 행하면 좋다. 산소의 첨가를 이온 주입법으로 행하는 경우, 예를 들면, 가속 전압을 2kV 이상 100kV 이하로 하고, 도즈량을 $5 \times 10^{14} \text{ ions/cm}^2$ 이상 $5 \times 10^{16} \text{ ions/cm}^2$ 이하로 하면 좋다.
- [0144] 다음으로, 하지 절연막(402) 위에 산화물 반도체막(404a) 및 산화물 반도체막(404b)을 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막한다(도 4의 (B) 참조). 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD 법 혹은 ALD법이 바람직하다. 또한, 하지 절연막(402)을 적당히 에칭해도 좋다. 하

지 절연막(402)을 적당히 예칭함으로써, 후에 형성하는 게이트 전극(410)으로 산화물 반도체층(404)을 덮기 쉽게 할 수 있다. 또한 트랜지스터를 미세화하기 위해, 산화물 반도체막(404a) 및 산화물 반도체막(404b)의 가공시에 하드 마스크를 이용해도 좋다.

[0145] 또한, 산화물 반도체막(404a) 및 산화물 반도체막(404b)을 형성하는 경우, 각층을 대기에 노출시키지 않고 성막하면 바람직하다.

[0146] 불순물을 저감하고, 결정성이 높은 산화물 반도체층으로 하기 위해, 산화물 반도체막(404a) 및 산화물 반도체막(404b)은 기관 온도를 100°C 이상, 바람직하게는 150°C 이상, 더욱 바람직하게는 200°C 이상으로서 성막한다. 또한, 성막 가스로서 이용하는 산소 가스나 아르곤 가스는 노점이 -40°C 이하, 바람직하게는 -80°C 이하, 보다 바람직하게는 -100°C 이하에까지 고순도화한 가스를 이용한다. 또한 불순물 농도가 낮고, 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다.

[0147] 산화물 반도체막(404a) 및 산화물 반도체막(404b)의 형성 후에, 제 1 가열 처리를 행하여도 좋다. 제 1 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 행하면 좋다. 또한, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 행하여도 좋다. 제 1 가열 처리에 의해, 산화물 반도체막(404a) 및 산화물 반도체막(404b)의 결정성을 높여, 하지 절연막(402)으로부터 수소나 물 등의 불순물을 더욱 제거할 수 있다.

[0148] 다음으로, 산화물 반도체막(404a)의 측면, 산화물 반도체막(404b)의 상면 및 측면에 접촉하는 소스 전극(406a) 및 드레인 전극(406b)이 되는 도전막(405)을 성막한다(도 4의 (C) 참조). 도전막(405)은 CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막하면 좋다. 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD법 혹은 ALD법이 바람직하다.

[0149] 다음으로, 도전막(405)을 분단하도록 예칭하고, 소스 전극(406a) 및 드레인 전극(406b)을 형성한다(도 5의 (A) 참조). 또한 도전막(405)을 예칭할 때, 소스 전극(406a) 및 드레인 전극(406b)의 단부가 둥근(곡면을 가지는) 경우가 있다. 또한, 도전막(405)을 예칭할 때, 하지 절연막(402)이 적당히 예칭되어 있어도 좋다.

[0150] 다음으로, 산화물 반도체막(404b), 소스 전극(406a) 및 드레인 전극(406b) 위에, 산화물 반도체막(404c)을 형성한다.

[0151] 다음으로, 산화물 반도체막(404c) 위에, 게이트 절연막(408a)을 형성한다. 게이트 절연막(408a)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막하면 좋다. 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD법 혹은 ALD법이 바람직하다.

[0152] 다음으로, 게이트 절연막(408a) 위에, 게이트 절연막(408b)을 형성한다. 게이트 절연막(408b)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막하면 좋다. 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD법 혹은 ALD법이 바람직하다.

[0153] 다음으로, 제 2 가열 처리를 행하여도 좋다. 제 2 가열 처리는 500°C 미만, 바람직하게는 400°C 미만의 온도로, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 행하면 좋다. 또한, 제 2 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리한 후에, 이탈한 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 행하여도 좋다. 제 2 가열 처리에 의해, 게이트 절연막(408b)으로부터 수소나 물 등의 불순물을 제거할 수 있다.

[0154] 다음으로, 게이트 절연막(408b) 위에 게이트 전극(410)을 형성한다(도 5의 (B) 참조). 게이트 전극(410)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막하면 좋다. 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD법 혹은 ALD법이 바람직하다.

[0155] 다음으로, 소스 전극(406a), 드레인 전극(406b), 게이트 절연막(408a), 게이트 절연막(408b) 및 게이트 전극(410) 위에 절연막(412)을 형성한다(도 5의 (C) 참조). 절연막(412)은 스퍼터링법, CVD법, MOCVD법, PECVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막하면 좋다. 플라즈마에 의한 대미지를 줄이기 위해서는, MOCVD법 혹은 ALD법이 바람직하다.

[0156] 다음으로, 제 3 가열 처리를 행하여도 좋다. 제 3 가열 처리는 제 1 가열 처리와 같은 조건으로 행할 수 있다. 제 3 가열 처리에 의해, 산화물 반도체층(404)의 산소 결손을 저감할 수 있는 경우가 있다.

[0157] 이상의 공정으로, 도 3에 나타내는 트랜지스터를 제작할 수 있다.

[0158] <변형예 1>

[0159] 또한, 도 6에 나타내는 트랜지스터와 같이 하지 절연막(402)과 산화물 반도체층(404)의 사이에 절연막(401)을 배치해도 좋다. 절연막(401)으로서는 게이트 절연막(408a)에 이용하는 절연막을 이용하면 좋다. 또한 그 외의 구성에 대해서는 도 3에 나타낸 트랜지스터에 대한 기재를 참조한다.

[0160] <변형예 2>

[0161] 또한, 도 7에 나타내는 트랜지스터와 같이 기판(400)과 하지 절연막(402)의 사이에 도전막(420)을 배치해도 좋다. 도전막(420)을 제 2 게이트 전극으로서 이용함으로써, 새로운 온 전류의 증가나, 문턱 전압의 제어를 행할 수 있다. 온 전류를 증가시키기 위해서는, 예를 들어, 게이트 전극(410)과 도전막(420)을 동전위(同電位)로 하고, 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한 게이트 전극(410)과 도전막(420)을 전기적으로 접속하여 동전위로 해도 좋다. 또한, 문턱 전압의 제어를 행하기 위해서는, 게이트 전극(410)과 도전막(420)에 다른 정전위를 공급하면 좋다.

[0162] <트랜지스터 구조 2>

[0163] 도 8의 (A) 및 도 8의 (B)는 트랜지스터의 상면도 및 단면도이다. 도 8의 (A)는 상면도이고, 도 8의 (B)는 도 8의 (A)에 도시하는 일점 쇄선 A1-A2, 및 일점 쇄선 A3-A4에 대응하는 단면도이다. 또한 도 8의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0164] 도 8의 (A) 및 도 8의 (B)에 도시하는 트랜지스터는 기판(400) 위의 볼록부를 가지는 하지 절연막(402)과, 하지 절연막(402)의 볼록부 위의 산화물 반도체층(404)과, 산화물 반도체층(404) 위의 게이트 절연막(408a)과, 산화물 반도체층(404) 및 게이트 절연막(408a)의 측면, 및 게이트 절연막(408a)의 상면과 접촉하는 소스 전극(406a) 및 드레인 전극(406b)과, 게이트 절연막(408a), 소스 전극(406a) 및 드레인 전극(406b) 위의 게이트 절연막(408b)과, 게이트 절연막(408b)의 상면에 접촉하고, 산화물 반도체층(404)의 산화물 반도체막(404b)의 상면 및 측면에 접촉하는 게이트 전극(410)과, 소스 전극(406a), 드레인 전극(406b), 및 게이트 전극(410) 위의 절연막(412)을 가진다. 또한 하지 절연막(402)이 볼록부를 갖지 않아도 상관없다. 또한 도 8의 (C) 나타내는 바와 같이 산화물 반도체층(404)은 산화물 반도체막(404a), 산화물 반도체막(404b), 및 산화물 반도체막(404c)을 포함한다.

[0165] 도 8에 나타내는 트랜지스터에서, 소스 전극(406a) 또는 드레인 전극(406b)은 주로 산화물 반도체층(404)의 측면과 접촉하도록 배치된다. 따라서, 게이트 전극(410)으로부터 산화물 반도체층(404)에 인가되는 전계가 소스 전극(406a) 및 드레인 전극(406b)에 의해 방해받는 일이 거의 없다. 그러므로, 도 3, 도 6 및 도 7에 나타낸 트랜지스터와 비교하여 산화물 반도체층 중의 전류 경로를 넓게 취하는 것이 가능해지고, 더욱 높은 온 전류를 얻을 수 있다.

[0166] <트랜지스터 구조 3>

[0167] 도 9의 (A) 및 도 9의 (B)는 트랜지스터의 상면도 및 단면도이다. 도 9의 (A)는 상면도이고, 도 9의 (B)는 도 9의 (A)에 도시하는 일점 쇄선 A1-A2, 및 일점 쇄선 A3-A4에 대응하는 단면도이다. 또한 도 9의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0168] 도 9의 (A) 및 도 9의 (B)에 도시하는 트랜지스터는 기판(400) 위의 볼록부를 가지는 하지 절연막(402)과, 하지 절연막(402)의 볼록부 위의 산화물 반도체층(404)과, 산화물 반도체층(404)의 측면과 접촉하는 소스 전극(406a) 및 드레인 전극(406b)과, 소스 전극(406a) 및 드레인 전극(406b) 위에 있고, 산화물 반도체층(404)과 상면의 높이가 같은 절연막(418a) 및 절연막(418b)과, 산화물 반도체층(404), 소스 전극(406a) 및 드레인 전극(406b) 위의 게이트 절연막(408a)과, 게이트 절연막(408a) 위의 게이트 절연막(408b)과, 게이트 절연막(408b)의 상면에 접촉하고, 산화물 반도체층(404)의 상면 및 측면에 접촉하는 게이트 전극(410)과, 소스 전극(406a), 드레인 전극(406b), 및 게이트 전극(410) 위의 절연막(412)을 가진다. 또한 하지 절연막(402)이 볼록부를 갖지 않아도 상관없다. 또한 산화물 반도체층(404)은 트랜지스터 구조 2와 같은構成이다.

[0169] 도 9에 나타내는 트랜지스터에서, 소스 전극(406a) 또는 드레인 전극(406b)은 주로 산화물 반도체층(404)의 측면과 접촉하도록 배치된다. 따라서, 게이트 전극(410)으로부터 산화물 반도체층(404)에 인가되는 전계가 소스 전극(406a) 및 드레인 전극(406b)에 의해 방해받는 일이 거의 없다. 그러므로, 도 3, 도 6 및 도 7에 나타낸 트랜지스터와 비교하여 산화물 반도체층 중의 전류 경로를 넓게 취하는 것이 가능해지고, 더욱 높은 온 전류를

얻을 수 있다.

[0170] 또한, 산화물 반도체층(404)과, 절연막(418a) 및 절연막(418b)의 상면의 높이가 같기 때문에, 형상 불량을 일으키기 어려운 구조이다. 따라서, 이 트랜지스터를 가지는 반도체 장치는 높은 수율로 제작할 수 있다.

[0171] 또한 절연막(418a) 및 절연막(418b)은 하지 절연막(402)에 대한 기재를 참조한다.

[0172] <트랜지스터 구조 4>

[0173] 트랜지스터 구조 1 내지 3에 기재된 트랜지스터 구조는 모두 탑 게이트 구조였지만, 보텀 게이트 구조여도 상관 없다. 도 10의 (A) 및 도 10의 (B)는 보텀 게이트 구조의 트랜지스터의 상면도 및 단면도이다. 도 10의 (A)는 상면도이고, 도 10의 (B)는 도 10의 (A)에 도시하는 일점 쇄선 A1-A2, 및 일점 쇄선 A3-A4에 대응하는 단면도이다. 또한 도 10의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0174] 도 10의 (A) 및 도 10의 (B)에 도시하는 트랜지스터는 기판(400) 위의 하지 절연막(402)과, 하지 절연막(402) 위의 게이트 전극(410)과, 하지 절연막(402) 및 게이트 전극(410) 위의 게이트 절연막(408b)과, 게이트 절연막(408b) 위의 게이트 절연막(408a)과, 게이트 절연막(408a) 위의 산화물 반도체층(404)과, 게이트 절연막(408a)의 상면, 산화물 반도체층(404)의 상면 및 측면에 접촉하는 소스 전극(406a) 및 드레인 전극(406b)과, 산화물 반도체층(404), 소스 전극(406a) 및 드레인 전극(406b) 위의 절연막(412)을 가진다. 또한 산화물 반도체층(404)은 트랜지스터 구조 2와 같은 구성이다.

[0175] 또한 도 11의 (A), 도 11의 (B)에 도시하는 바와 같이, 소스 전극(406a) 및 드레인 전극(406b)과 산화물 반도체층(404)의 사이에, 절연막(413)을 제공해도 좋다. 그 경우에는 절연막(413)에 제공된 개구부를 통하여, 소스 전극(406a) 및 드레인 전극(406b)과 산화물 반도체층(404)이 접속된다. 또한 절연막(412)의 위에, 도 11의 (C)에 도시하는 바와 같이 도전막(414)을 더 제공해도 좋다. 도전막(414)은 백 게이트로서 기능시킬 수 있다. 도전막(414)은 게이트 전극(410)과 접속되어도 좋다. 또는 도전막(414)에는 게이트 전극(410)과는 다른 신호나 전위가 공급되어도 좋다. 또한 절연막(413)은 산화물 반도체층(404)의 외측에도 제공되어 있지만, 본 발명의 실시형태의 일양태는 이것에 한정되지 않는다. 절연막(413)은 산화물 반도체층(404)의 위에만 제공해도 좋다.

[0176] 또한 본 실시형태에서, 채널 등에서 산화물 반도체층을 이용한 경우의 예를 나타냈지만, 본 발명의 일양태는 이것에 한정되지 않는다. 예를 들면, 채널이나 그 근방, 소스 영역, 드레인 영역 등에서, 경우에 따라서는 또는 상황에 따라, Si(실리콘), Ge(게르마늄), SiGe(실리콘 게르마늄), GaAs(갈륨 비소), 등을 가지는 재료로 형성해도 좋다.

[0177] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0178] (실시형태 3)

[0179] 본 실시형태에서는 본 발명의 일양태의 트랜지스터를 이용한 회로의 일례에 대하여 도면을 참조하여 설명한다.

[0180] [단면 구조]

[0181] 도 12의 (A)에 본 발명의 일양태의 반도체 장치의 단면도를 나타낸다. 도 12의 (A)에 도시하는 반도체 장치는 하부에 제 1 반도체 재료를 이용한 트랜지스터(2200)를 가지고, 상부에 제 2 반도체 재료를 이용한 트랜지스터(2100)를 가지고 있다. 도 12의 (A)에서는 제 2 반도체 재료를 이용한 트랜지스터(2100)로서 앞의 실시형태에 예시한 트랜지스터를 적용한 예를 나타내고 있다.

[0182] 제 1 반도체 재료와 제 2 반도체 재료는 다른 금제대폭(band gap)을 가지는 재료로 하는 것이 바람직하다. 예를 들면, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료로서 단결정 실리콘 등을 이용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 이용한 트랜지스터는 오프 전류가 낮다.

[0183] 트랜지스터(2200)는 n채널형 트랜지스터 또는 p채널형 트랜지스터 중 어느 쪽이어도 좋고, 회로에 따라 적절한 트랜지스터를 이용하면 좋다. 또한, 산화물 반도체를 이용한 본 발명의 일양태의 트랜지스터를 이용하는 것 외에는 이용하는 재료나 구조 등, 반도체 장치의 구체적인 구성을 여기서 나타내는 것으로 한정할 필요는 없다.

[0184] 도 12의 (A)에 도시하는 구성에서는 트랜지스터(2200)의 상부에, 절연막(2201), 절연막(2207)을 통하여 트랜지

스터(2100)가 제공되어 있다. 또한, 트랜지스터(2200)와 트랜지스터(2100)의 사이에는 복수의 배선(2202)이 제공되어 있다. 또한, 각종 절연막에 매립된 복수의 플러그(2203)에 의해, 상층과 하층에 각각 제공된 배선이나 전극이 전기적으로 접속되어 있다. 또한, 트랜지스터(2100)를 덮는 절연막(2204)과, 절연막(2204) 위에 배선(2205)과, 트랜지스터(2100)의 한 쌍의 전극과 동일한 도전막을 가공하여 얹어진 배선(2206)이 제공되어 있다.

[0185] 이와 같이, 2 종류의 트랜지스터를 적층함으로써, 회로의 접유 면적이 절감되고, 보다 고밀도로 복수의 회로를 배치할 수 있다.

[0186] 여기서, 하층에 제공되는 트랜지스터(2200)에 실리콘계 반도체 재료를 이용한 경우, 트랜지스터(2200)의 반도체 막의 근방에 제공되는 절연막 중의 수소는 실리콘의 끌링 본드(dangling bonds)를 종단하고, 트랜지스터(2200)의 신뢰성을 향상시키는 효과가 있다. 한편, 상층에 제공되는 트랜지스터(2100)에 산화물 반도체를 이용한 경우, 트랜지스터(2100)의 반도체막의 근방에 제공되는 절연막 중의 수소는 산화물 반도체 중에 캐리어를 생성하는 요인의 하나가 되기 때문에, 트랜지스터(2100)의 신뢰성을 저하시키는 요인이 되는 경우가 있다. 따라서, 실리콘계 반도체 재료를 이용한 트랜지스터(2200)의 상층에 산화물 반도체를 이용한 트랜지스터(2100)를 적층하여 형성하는 경우, 이들 사이에 수소의 확산을 방지하는 기능을 가지는 절연막(2207)을 형성하는 것은 특히 효과적이다. 절연막(2207)에 의해, 하층에 수소를 가둠으로써 트랜지스터(2200)의 신뢰성이 향상하는 것에 더하여, 하층에서 상층으로 수소가 확산되는 것이 억제됨으로써 트랜지스터(2100)의 신뢰성도 동시에 향상시킬 수 있다.

[0187] 절연막(2207)으로서는, 예를 들면 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 이용할 수 있다.

[0188] 또한, 산화물 반도체층을 포함하여 구성되는 트랜지스터(2100)를 덮도록, 트랜지스터(2100) 위에 수소의 확산을 방지하는 기능을 가지는 절연막(2208)을 형성하는 것이 바람직하다. 절연막(2208)으로서는 절연막(2207)과 같은 재료를 이용할 수 있고, 특히 산화 알루미늄을 적용하는 것이 바람직하다. 산화 알루미늄막은 수소, 수분 등의 불순물 및 산소 모두에 대하여 막을 투과시키지 않는 차단(블로킹) 효과가 높다. 따라서, 트랜지스터(2100)를 덮는 절연막(2208)으로서 산화 알루미늄막을 이용함으로써, 트랜지스터(2100)에 포함되는 산화물 반도체층으로부터의 산소의 이탈을 방지함과 동시에, 산화물 반도체층에의 물 및 수소의 혼입을 방지할 수 있다.

[0189] 또한 트랜지스터(2200)는 플레이너(planar)형 트랜지스터뿐만 아니라, 다양한 타입의 트랜지스터로 할 수 있다. 예를 들면, FIN(핀)형, TRI-GATE(트라이 게이트)형 등으로 할 수 있다. 그 경우의 단면도의 예를, 도 12의 (D)에 나타낸다. 반도체 기판(2211)의 위에, 절연층(2212)이 제공되어 있다. 반도체 기판(2211)은 선단이 가는 볼록부(핀이라고도 함)를 가진다. 또한 볼록부의 위에는 절연막이 제공되어 있어도 좋다. 그 절연막은 볼록부를 형성하는 경우에, 반도체 기판(2211)이 에칭되지 않게 하기 위한 마스크로서 기능하는 것이다. 또한 볼록부는 선단이 가늘지 않아도 좋고, 예를 들면, 대략 직육면체인 볼록부여도 좋고, 끝부분이 굽은 볼록부여도 좋다. 반도체 기판(2211)의 볼록부의 위에는 게이트 절연막(2214)이 제공되고, 그 위에는 게이트 전극(2213)이 제공되어 있다. 반도체 기판(2211)에는 소스 영역 및 드레인 영역(2215)이 형성되어 있다. 또한 여기에서는 반도체 기판(2211)이 볼록부를 가지는 예를 나타냈지만, 본 발명의 일양태에 따른 반도체 장치는 이것에 한정되지 않는다. 예를 들면, SOI 기판을 가공하고, 볼록부를 가지는 반도체 영역을 형성해도 상관없다.

[0190] [회로 구성 예]

[0191] 상기 구성에서, 트랜지스터(2100)나 트랜지스터(2200)의 전극의 접속 구성을 다르게 함으로써, 다양한 회로를 구성할 수 있다. 이하에서는 본 발명의 일양태의 반도체 장치를 이용함으로써 실현될 수 있는 회로 구성의 예를 설명한다.

[0192] [CMOS 회로]

[0193] 도 12의 (B)에 도시하는 회로도는 p채널형 트랜지스터(2200)와 n채널형 트랜지스터(2100)를 직렬로 접속하고, 또한 각각의 게이트를 접속한, 이른바 CMOS 회로의 구성을 나타낸다.

[0194] [아날로그 스위치]

[0195] 또한, 도 12의 (C)에 도시하는 회로도는 트랜지스터(2100)와 트랜지스터(2200)의 각각의 소스와 드레인을 접속한 구성을 나타낸다. 이러한 구성으로 함으로써, 이른바 아날로그 스위치로서 기능시킬 수 있다.

[0196] [기억 장치의 예]

[0197] 본 발명의 일양태인 트랜지스터를 사용하여, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한, 기입 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를 도 13에 나타낸다.

[0198] 도 13의 (A)에 도시하는 반도체 장치는 제 1 반도체 재료를 이용한 트랜지스터(3200)와 제 2 반도체 재료를 이용한 트랜지스터(3300), 및 용량 소자(3400)를 가지고 있다. 또한 트랜지스터(3300)로서는 상기 실시형태에서 설명한 트랜지스터를 이용할 수 있다.

[0199] 트랜지스터(3300)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 작기 때문에, 이것을 이용함으로써 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작을 필요로 하지 않거나, 혹은 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다.

[0200] 도 13의 (A)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극과 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극과 전기적으로 접속되어 있다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극 또는 드레인 전극의 한쪽과 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극과 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트 전극, 및 트랜지스터(3300)의 소스 전극 또는 드레인 전극의 다른 한쪽은 용량 소자(3400)의 전극의 한쪽과 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 전극의 다른 한쪽과 전기적으로 접속된다.

[0201] 도 13의 (A)에 도시하는 반도체 장치에서는 트랜지스터(3200)의 게이트 전극의 전위를 유지할 수 있다는 특징을 살펴보면, 다음과 같이, 정보의 기입, 유지, 판독이 가능하다.

[0202] 정보의 기입 및 유지에 대하여 설명한다. 우선, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온 상태가 되는 전위로 하고, 트랜지스터(3300)를 온 상태로 한다. 이것에 의해, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극, 및 용량 소자(3400)에 부여할 수 있다. 즉, 트랜지스터(3200)의 게이트 전극에는 소정의 전하가 부여된다(기입). 여기에서는 다른 2개의 전위 레벨을 부여하는 전하(이하 Low 레벨 전하, High 레벨 전하라고 함) 중 하나가 부여되는 것으로 한다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 하고, 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극에 부여된 전하가 유지된다(유지).

[0203] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 장시간에 걸쳐서 유지된다.

[0204] 다음으로 정보의 판독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 부여한 상태로, 제 5 배선(3005)에 적절한 전위(판독 전위)를 부여하면, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라, 제 2 배선(3002)은 다른 전위를 취한다. 일반적으로, 트랜지스터(3200)를 n채널형으로 하면, 트랜지스터(3200)의 게이트 전극에 High 레벨 전하가 부여되는 경우의 외관의 문턱값 $V_{th,H}$ 는 트랜지스터(3200)의 게이트 전극에 Low 레벨 전하가 부여되는 경우의 외관의 문턱값 $V_{th,L}$ 보다 낮아지기 때문이다. 여기서, 외관 문턱 전압이란, 트랜지스터(3200)를 「온 상태」로 하기 위해 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 사이의 전위 V_0 으로 함으로써, 트랜지스터(3200)의 게이트 전극에 부여된 전하를 판별할 수 있다. 예를 들면, 기입에서, High 레벨 전하가 부여된 경우에는 제 5 배선(3005)의 전위가 $V_0 (> V_{th,H})$ 가 되면, 트랜지스터(3200)는 「온 상태」가 된다. Low 레벨 전하가 부여된 경우에는 제 5 배선(3005)의 전위가 $V_0 (< V_{th,L})$ 이 되어도, 트랜지스터(3200)는 「오프 상태」인 채이다. 그러므로, 제 2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 정보를 판독할 수 있다.

[0205] 또한 메모리 셀을 어레이 형상으로 배치하여 이용하는 경우, 원하는 메모리 셀의 정보만을 판독할 수 있는 것이 필요하게 된다. 이와 같이 정보를 판독하지 않는 경우에는 게이트 전극 상태에 관계없이 트랜지스터(3200)가 「온 상태」가 되는 전위, 즉, $V_{th,H}$ 보다 작은 전위를 제 5 배선(3005)에 부여하면 좋다. 또는 게이트 전극 상태에 관계없이 트랜지스터(3200)가 「온 상태」가 되는 전위, 즉 $V_{th,L}$ 보다 큰 전위를 제 5 배선(3005)에 부여하면 좋다.

[0206] 도 13의 (B)에 도시하는 반도체 장치는 트랜지스터(3200)를 제공하지 않은 점에서 도 13의 (A)과 다르다. 이

경우도 상기와 같은 동작에 의해 정보의 기입 및 유지 동작이 가능하다.

[0207] 다음으로, 정보의 관독에 대하여 설명한다. 트랜지스터(3300)가 온 상태가 되면, 부유 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통하고, 제 3 배선(3003)과 용량 소자(3400)의 사이에 전하가 재분배된다. 그 결과, 제 3 배선(3003)의 전위가 변화한다. 제 3 배선(3003)의 전위의 변화량은 용량 소자(3400)의 전극의 한쪽의 전위(혹은 용량 소자(3400)에 축적된 전하)에 따라 다른 값을 취한다.

[0208] 예를 들면, 용량 소자(3400)의 전극의 한쪽의 전위를 V, 용량 소자(3400)의 용량을 C, 제 3 배선(3003)이 가지는 용량 성분을 CB, 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 V_{B0}로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는 $(CB \times V_{B0} + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀 상태로서 용량 소자(3400)의 전극의 한쪽의 전위가 V₁와 V₀(V₁>V₀)의 2가지 상태를 취한다고 하면, 전위 V₁를 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times V_{B0} + C \times V_1) / (CB + C)$)는 전위 V₀를 유지하고 있는 경우의 제 3 배선(3003)의 전위($= CB \times V_{B0} + C \times V_0) / (CB + C)$)보다 높아지는 것을 알 수 있다.

[0209] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써, 정보를 판독할 수 있다.

[0210] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체 재료가 적용된 트랜지스터를 이용하고, 트랜지스터(3300)로서 제 2 반도체 재료가 적용된 트랜지스터를 구동 회로 위에 적층하여 형성하는 구성으로 하면 좋다.

[0211] 본 실시형태에 나타내는 반도체 장치에서는 채널 형성 영역에 산화물 반도체를 이용한 오프 전류가 매우 작은 트랜지스터를 적용함으로써, 매우 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요해지거나, 또는 리프레시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감 할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직함)에도, 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다.

[0212] 또한, 본 실시형태에 나타내는 반도체 장치에서는 정보의 기입에 높은 전압을 필요로 하지 않고, 소자 열화의 문제도 없다. 예를 들면, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 대한 전자의 주입이나, 플로팅 게이트로부터의 전자의 추출을 행할 필요가 없기 때문에, 게이트 절연막의 열화 문제가 전혀 생기지 않는다. 즉, 개시하는 발명에 따른 반도체 장치에서는 종래의 비휘발성 메모리에서 문제가 되고 있는 재기입 가능 횟수에 제한은 없고, 신뢰성이 비약적으로 향상한다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라 정보의 기입을 하기 때문에, 고속의 동작도 용이하게 실현할 수 있다.

[0213] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0214] (실시형태 4)

[0215] 본 실시형태에서는 앞의 실시형태에서 설명한 트랜지스터, 또는 기억 장치를 포함하는 RF 태그에 대하여, 도 14를 참조하여 설명한다.

[0216] 본 실시형태에서의 RF 태그는 내부에 기억 회로를 가지고, 기억 회로에 필요한 정보를 기억하고, 비접촉 수단, 예를 들면 무선 통신을 이용하여 외부와 정보의 수수를 행하는 것이다. 이러한 특징으로부터, RF 태그는 물품 등의 개체 정보를 판독함으로써 물품의 식별을 행하는 개체 인증 시스템 등에 이용하는 것이 가능하다. 또한 이러한 용도에 이용하기 위해서는 매우 높은 신뢰성이 요구된다.

[0217] RF 태그의 구성에 대하여 도 14를 이용하여 설명한다. 도 14는 RF 태그의 구성예를 나타내는 블록도이다.

[0218] 도 14에 도시하는 바와 같이 RF 태그(800)는 통신기(801)(질문기, 리더/라이터 등이라고도 함)에 접속된 안테나(802)로부터 송신되는 무선 신호(803)를 수신하는 안테나(804)를 가진다. 또 RF 태그(800)는 정류 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), ROM(811)을 가진다. 또한 복조 회로(807)에 포함되는 정류 작용을 나타내는 트랜지스터에 역방향 전류를 충분히 억제하는 것이 가능한 재료, 예를 들면, 산화물 반도체가 이용된 구성으로 해도 좋다. 이것에 의해, 역방향 전류에 기인한 정류 작용의 저하를 억제하고, 복조 회로의 출력이 포화하는 것을 방지할 수 있다. 즉, 복조 회로의 입력에 대한 복조 회로의 출력을 선형에 가깝게 할 수 있다. 또한 데이터의 전송 형식은 한 쌍의 코일을 대향 배치하여 상호 유도에 의해 교신을 행하는 전자 결합 방식, 유도 전자계에 의해 교신하는 전자 유도 방식, 전파를 이용하여 교신하는 전파 방식의 3개로 대별된다. 본 실시형태에 나타내는 RF 태그(800)는 그 어느 방식으로 이용하는 것도

가능하다.

[0219] 다음으로 각 회로의 구성에 대하여 설명한다. 안테나(804)는 통신기(801)에 접속된 안테나(802)와의 사이에 무선 신호(803)의 송수신을 행하기 위한 것이다. 또한, 정류 회로(805)는 안테나(804)로 무선 신호를 수신함으로써 생성되는 입력 교류 신호를 정류, 예를 들면, 반파 2배압 정류하고, 후단에 제공된 용량 소자에 의해, 정류된 신호를 평활화함으로써 입력 전위를 생성하기 위한 회로이다. 또한 정류 회로(805)의 입력측 또는 출력측에는 리미터 회로를 제공해도 좋다. 리미터 회로란, 입력 교류 신호의 진폭이 크고, 내부 생성 전압이 큰 경우에, 일정 전력 이상의 전력을 후단의 회로에 입력하지 않도록 제어하기 위한 회로이다.

[0220] 정전압 회로(806)는 입력 전위로부터 안정된 전원 전압을 생성하고, 각 회로에 공급하기 위한 회로이다. 또한 정전압 회로(806)는 내부에 리셋 신호 생성 회로를 가지고 있어도 좋다. 리셋 신호 생성 회로는 안정된 전원 전압의 상승을 이용하여, 논리 회로(809)의 리셋 신호를 생성하기 위한 회로이다.

[0221] 복조 회로(807)는 입력 교류 신호를 포락선 검출함으로써 복조하고, 복조 신호를 생성하기 위한 회로이다. 또한, 변조 회로(808)는 안테나(804)로부터 출력하는 데이터에 따라 변조를 행하기 위한 회로이다.

[0222] 논리 회로(809)는 복조 신호를 해석하고, 처리를 행하기 위한 회로이다. 기억 회로(810)는 입력된 정보를 유지하는 회로이고, 로우(row) 디코더, 칼럼(column) 디코더, 기억 영역 등을 가진다. 또한, ROM(811)은 고유 번호(ID) 등을 저장하고, 처리에 따라 출력을 행하기 위한 회로이다.

[0223] 또한 상술한 각 회로는 필요에 따라서, 적절히 취사할 수 있다.

[0224] 여기서, 앞의 실시형태에서 설명한 기억 회로를 기억 회로(810)에 이용할 수 있다. 본 발명의 일양태의 기억 회로는 전원이 차단된 상태에서도 정보를 유지할 수 있기 때문에, RF 태그에 적합하게 이용할 수 있다. 또한 본 발명의 일양태의 기억 회로는 데이터의 기입에 필요한 전력(전압)이 종래의 비휘발성 메모리에 비해 현저히 작기 때문에, 데이터의 판독 시와 기입 시의 최대 통신 거리의 차이를 발생시키지 않는 것도 가능하다. 또한, 데이터의 기입 시에 전력이 부족하여 오동작 또는 오기입이 생기는 것을 억제할 수 있다.

[0225] 또한, 본 발명의 일양태의 기억 회로는 비휘발성 메모리로서 이용하는 것이 가능하기 때문에, ROM(811)에 적용할 수도 있다. 그 경우에는 생산자가 ROM(811)에 데이터를 기입하기 위한 커맨드를 별도 준비하여, 유저가 자유롭게 재기입할 수 없게 해 두는 것이 바람직하다. 생산자가 출하 전에 고유 번호를 기입한 후에 제품을 출하함으로써, 제작한 RF 태그 모두에 대하여 고유 번호를 부여하는 것이 아니라, 출하하는 우량품에만 고유 번호를 할당하는 것이 가능하게 되고, 출하 후의 제품의 고유 번호가 불연속되는 일이 없어 출하 후의 제품에 대응한 고객 관리가 용이해진다.

[0226] (실시형태 5)

[0227] 본 실시형태에서는 적어도 실시형태에서 설명한 트랜지스터를 이용할 수 있고, 앞의 실시형태에서 설명한 기억 장치를 포함하는 CPU에 대하여 설명한다.

[0228] 도 15는 앞의 실시형태에서 설명한 트랜지스터를 적어도 일부에 이용한 CPU의 일례의 구성을 나타내는 블록도이다.

[0229] 도 15에 나타내는 CPU는 기판(1190) 위에 ALU(1191)(ALU : Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기입 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 가지고 있다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 이용한다. ROM(1199) 및 ROM 인터페이스(1189)는 별도의 칩에 제공해도 좋다. 물론, 도 15에 나타내는 CPU는 그 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제의 CPU는 그 용도에 의해 다양한 구성을 가지고 있다. 예를 들면, 도 15에 나타내는 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수 포함하고, 각각의 코어가 병렬로 동작하는 구조으로 해도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급할 수 있는 비트수는 예를 들면 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0230] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0231] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된 명령에 기초하여, 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한

신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하고, 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU 상태에 따라 레지스터(1196)의 판독이나 기입을 행한다.

[0232] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 컨트롤러(1195)는 기준 클록 신호(CLK1)를 바탕으로, 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비하고, 내부 클록 신호(CLK2)를 상기 각종 회로에 공급한다.

[0233] 도 15에 나타내는 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서 앞의 실시형태에 나타낸 트랜지스터를 이용할 수 있다.

[0234] 도 15에 나타내는 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 가지는 메모리 셀에서, 플립플롭에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를 선택한다. 플립플롭에 의한 데이터의 유지가 선택되는 경우, 레지스터(1196) 내의 메모리 셀에의 전원 전압의 공급이 행해진다. 용량 소자에서의 데이터의 유지가 선택되는 경우, 용량 소자에의 데이터의 재기입이 행해지고, 레지스터(1196) 내의 메모리 셀에의 전원 전압의 공급을 정지할 수 있다.

[0235] 도 16은 레지스터(1196)로서 이용할 수 있는 기억 소자의 회로도의 일례이다. 기억 소자(1200)는 전원 차단으로 기억 데이터가 휘발하는 회로(1201)와, 전원 차단으로 기억 데이터가 휘발하지 않는 회로(1202)와, 스위치(1203)와, 스위치(1204)와, 논리 소자(1206)와, 용량 소자(1207)와, 선택 기능을 가지는 회로(1220)를 가진다. 회로(1202)는 용량 소자(1208)와, 트랜지스터(1209)와, 트랜지스터(1210)를 가진다. 또한 기억 소자(1200)는 필요에 따라, 다이오드, 저항 소자, 인덕터 등의 그 외의 소자를 더 가지고 있어도 좋다.

[0236] 여기서, 회로(1202)에는 앞의 실시형태에서 설명한 기억 장치를 이용할 수 있다. 기억 소자(1200)에의 전원 전압의 공급이 정지했을 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 접지 전위(0V), 또는 트랜지스터(1209)가 오프하는 전위가 계속 입력되는 구성으로 한다. 예를 들면, 트랜지스터(1209)의 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.

[0237] 스위치(1203)는 일 도전형(예를 들면, n채널형)의 트랜지스터(1213)를 이용하여 구성되고, 스위치(1204)는 일 도전형과는 반대의 도전형(예를 들면, p채널형)의 트랜지스터(1214)를 이용하여 구성한 예를 나타낸다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스와 드레인의 한쪽에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스와 드레인의 다른 한쪽에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호(RD)에 의해, 제 1 단자와 제 2 단자의 사이의 도통 또는 비도통(즉, 트랜지스터(1213)의 온 상태 또는 오프 상태)이 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스와 드레인의 한쪽에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스와 드레인의 다른 한쪽에 대응하고, 스위치(1204)는 트랜지스터(1214)의 게이트에 입력되는 제어 신호(RD)에 의해, 제 1 단자와 제 2 단자의 사이의 도통 또는 비도통(즉, 트랜지스터(1214)의 온 상태 또는 오프 상태)이 선택된다.

[0238] 트랜지스터(1209)의 소스와 드레인의 한쪽은 용량 소자(1208)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(1210)의 게이트와 전기적으로 접속된다. 여기서, 접속 부분을 노드(M2)로 한다. 트랜지스터(1210)의 소스와 드레인의 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들면 GND선)에 전기적으로 접속되고, 다른 한쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스와 드레인의 한쪽)와 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인 중 다른 한쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스와 드레인의 한쪽)와 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스와 드레인의 다른 한쪽)는 전원 전위(VDD)를 공급할 수 있는 배선과 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른 한쪽)와 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스와 드레인의 한쪽)와 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 한쪽과는 전기적으로 접속된다. 여기서, 접속 부분을 노드(M1)로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 한쪽은 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들면, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들면 GND선)과 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 한쪽은 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들면, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들면 GND선)과 전기적

으로 접속된다.

[0239] 또한 용량 소자(1207) 및 용량 소자(1208)는 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써 생략하는 것도 가능하다.

[0240] 트랜지스터(1209)의 제 1 게이트(제 1 게이트 전극)에는 제어 신호(WE)가 입력된다. 스위치(1203) 및 스위치(1204)는 제어 신호(WE)와는 다른 제어 신호(RD)에 의해 제 1 단자와 제 2 단자의 사이의 도통 상태 또는 비도통 상태가 선택되고, 한쪽의 스위치의 제 1 단자와 제 2 단자의 사이가 도통 상태일 때 다른 한쪽의 스위치의 제 1 단자와 제 2 단자의 사이는 비도통 상태가 된다.

[0241] 트랜지스터(1209)의 소스와 드레인의 다른 한쪽에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 16에서는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스와 드레인의 다른 한쪽에 입력되는 예를 나타냈다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호는 논리 소자(1206)에 의해 그 논리값이 반전된 반전 신호가 되고, 회로(1220)를 통하여 회로(1201)에 입력된다.

[0242] 또한, 도 16에서는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호는 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력하는 예를 나타냈지만 이것에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호가 논리값이 반전되는 일 없이 회로(1201)에 입력되어도 좋다. 예를 들면, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우에, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스와 드레인의 다른 한쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0243] 또한, 도 16에서, 기억 소자(1200)에 이용되는 트랜지스터 중, 트랜지스터(1209) 이외의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들면, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 이용되는 트랜지스터 전부를, 채널이 산화물 반도체층에서 형성되는 트랜지스터로 할 수도 있다. 또는 기억 소자(1200)는 트랜지스터(1209) 이외에도, 채널이 산화물 반도체층에서 형성되는 트랜지스터를 포함하고 있어도 좋고, 나머지의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어진 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

[0244] 도 16에서의 회로(1201)에는 예를 들면 플립플롭 회로를 이용할 수 있다. 또한, 논리 소자(1206)로서는, 예를 들면 인버터나 클록드 인버터 등을 이용할 수 있다.

[0245] 본 발명의 일양태에 따른 반도체 장치에서는, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안은 회로(1201)에 기억되어 있던 데이터를 회로(1202)에 제공된 용량 소자(1208)에 의해 유지할 수 있다.

[0246] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터는 오프 전류가 매우 작다. 예를 들면, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 가지는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비해 현저하게 낮다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 이용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호는 장기간에 걸쳐 유지된다. 이렇게 하여, 기억 소자(1200)는 전원 전압의 공급이 정지된 동안에도 기억 내용(데이터)을 유지하는 것이 가능하다.

[0247] 또한, 스위치(1203) 및 스위치(1204)를 형성함으로써, 프리차지 동작을 행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압 공급 재개 후에 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.

[0248] 또한, 회로(1202)에서, 용량 소자(1208)에 의해 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 그러므로, 기억 소자(1200)에의 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 의해 유지된 신호를 트랜지스터(1210) 상태(온 상태, 또는 오프 상태)로 변환하고, 회로(1202)로부터 판독할 수 있다. 그러므로, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 다소 변동해도, 원래의 신호를 정확하게 판독하는 것이 가능하다.

[0249] 이러한 기억 소자(1200)를 프로세서가 가지는 레지스터나 캐시 기억 장치 등의 기억 장치에 이용함으로써, 전원 전압의 공급 정지에 의한 기억 장치 내의 데이터의 소실을 막을 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지 전 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 혹은 프로세서를 구성하는 하나, 또는 복수의 논리 회로에서, 짧은 시간이라도 전원 정지를 행할 수 있기 때문에, 소비 전력을 억제할 수 있다.

- [0250] 본 실시형태에서는 기억 소자(1200)를 CPU에 이용하는 예로서 설명했지만, 기억 소자(1200)는 DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF(Radio Frequency) 디바이스에도 응용할 수 있다.
- [0251] (실시형태 6)
- [0252] 본 실시형태에서는 본 발명의 일양태의 표시 장치의 구성예에 대하여 설명한다.
- [0253] [구성예]
- [0254] 도 17의 (A)는 본 발명의 일양태인 표시 장치의 상면도이고, 도 17의 (B)는 본 발명의 일양태의 표시 장치의 화소에 액정 소자를 적용하는 경우에 이용할 수 있는 화소 회로를 설명하기 위한 회로도이다. 또한, 도 17의 (C)는 본 발명의 일양태인 표시 장치의 화소에 유기 EL 소자를 적용하는 경우에 이용할 수 있는 화소 회로를 설명하기 위한 회로도이다.
- [0255] 화소부에 배치하는 트랜지스터는 상기 실시형태에 따라 형성할 수 있다. 또한, 상기 트랜지스터는 n채널형으로 하는 것이 용이하기 때문에, 구동 회로 중 n채널형 트랜지스터로 구성할 수 있는 구동 회로의 일부를 화소부의 트랜지스터와 동일 기판 위에 형성한다. 이와 같이, 화소부나 구동 회로에 상기 실시형태에 나타내는 트랜지스터를 이용함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있다.
- [0256] 액티브 매트릭스형 표시 장치의 상면도의 일례를 도 17의 (A)에 나타낸다. 표시 장치의 기판(700) 위에는 화소부(701), 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)를 가진다. 화소부(701)에는 복수의 신호선이 신호선 구동 회로(704)로부터 연장되어 배치되고, 복수의 주사선이 제 1 주사선 구동 회로(702), 및 제 2 주사선 구동 회로(703)로부터 연장되어 배치되어 있다. 또한 주사선과 신호선의 교차 영역에는 각각, 표시 소자를 가지는 화소가 매트릭스 형상으로 제공되어 있다. 또한, 표시 장치의 기판(700)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여, 타이밍 제어 회로(컨트롤러, 제어 IC라고도 함)에 접속되어 있다.
- [0257] 도 17의 (A)에서는 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)는 화소부(701)와 같은 기판(700) 위에 형성된다. 그러므로, 외부에 형성하는 구동 회로 등의 부품의 수가 줄어들기 때문에, 비용 절감을 도모할 수 있다. 또한, 기판(700) 외부에 구동 회로를 제공한 경우, 배선을 연장시킬 필요가 생기고, 배선 간의 접속수가 증가한다. 같은 기판(700) 위에 구동 회로를 제공한 경우, 그 배선 간의 접속 수를 줄일 수 있고, 신뢰성의 향상, 또는 수율의 향상을 도모할 수 있다.
- [0258] [액정 표시 장치]
- [0259] 또한, 화소의 회로 구성의 일례를 도 17의 (B)에 나타낸다. 여기에서는 VA형 액정 표시 장치의 화소에 적용할 수 있는 화소 회로를 나타낸다.
- [0260] 이 화소 회로는 하나의 화소에 복수의 화소 전극층을 가지는 구성에 적용할 수 있다. 각각의 화소 전극층은 다른 트랜지스터에 접속되고, 각 트랜지스터는 다른 게이트 신호로 구동할 수 있도록 구성되어 있다. 이것에 의해, 멀티 도메인 설계된 화소의 개개의 화소 전극층에 인가하는 신호를 독립하여 제어할 수 있다.
- [0261] 트랜지스터(716)의 게이트 배선(712)과, 트랜지스터(717)의 게이트 배선(713)에는 다른 게이트 신호를 부여할 수 있도록 분리되어 있다. 한편, 데이터 선으로서 기능하는 소스 전극층 또는 드레인 전극층(714)은 트랜지스터(716)와 트랜지스터(717)에서 공통으로 이용되고 있다. 트랜지스터(716)와 트랜지스터(717)는 상기 실시형태에서 설명하는 트랜지스터를 적절히 이용할 수 있다. 이것에 의해, 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.
- [0262] 트랜지스터(716)와 전기적으로 접속하는 제 1 화소 전극층과, 트랜지스터(717)와 전기적으로 접속하는 제 2 화소 전극층의 형상에 대하여 설명한다. 제 1 화소 전극층과 제 2 화소 전극층의 형상은 슬릿에 의해 분리되어 있다. 제 1 화소 전극층은 V자형으로 퍼지는 형상을 가지고, 제 2 화소 전극층은 제 1 화소 전극층의 외측을 둘러싸도록 형성된다.
- [0263] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)과 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)과 접속되어 있다. 게이트 배선(712)과 게이트 배선(713)에 다른 게이트 신호를 부여하여 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍을 다르게 하고, 액정의 배향을 제어할 수 있다.
- [0264] 또한, 용량 배선(710)과, 유전체로서 기능하는 게이트 절연막과, 제 1 화소 전극층 또는 제 2 화소 전극층과 전

기적으로 접속하는 용량 전극으로 유지 용량을 형성해도 좋다.

[0265] 멀티 도메인 구조는 1 화소에 제 1 액정 소자(718)와 제 2 액정 소자(719)를 구비한다. 제 1 액정 소자(718)는 제 1 화소 전극층과 대향 전극층과 그 사이의 액정층으로 구성되고, 제 2 액정 소자(719)는 제 2 화소 전극층과 대향 전극층과 그 사이의 액정층으로 구성된다.

[0266] 또한 도 17의 (B)에 도시하는 화소 회로는 이것에 한정되지 않는다. 예를 들면, 도 17의 (B)에 도시하는 화소에 새롭게 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등을 추가해도 좋다.

[0267] [유기 EL 표시 장치]

[0268] 화소의 회로 구성의 다른 일례를 도 17의 (C)에 나타낸다. 여기에서는 유기 EL 소자를 이용한 표시 장치의 화소 구조를 나타낸다.

[0269] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극의 한쪽으로부터 전자가, 다른 한쪽으로부터 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 전자 및 정공이 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태에 돌아올 때에 발광한다. 이러한 메카니즘으로 인하여, 이러한 발광 소자는 전류 여기형 발광 소자라고 불린다.

[0270] 도 17의 (C)는 적용 가능한 화소 회로의 일례를 나타내는 도면이다. 여기에서는 n채널형 트랜지스터를 1개의 화소에 2개 이용하는 예를 나타낸다. 또한 본 발명의 일양태의 금속 산화물막은 n채널형 트랜지스터의 채널 형성 영역에 이용할 수 있다. 또한, 상기 화소 회로는 디지털 시간 계조 구동을 적용할 수 있다.

[0271] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 적용한 경우의 화소의 동작에 대하여 설명한다.

[0272] 화소(720)는 스위칭용 트랜지스터(721), 구동용 트랜지스터(722), 발광 소자(724), 및 용량 소자(723)를 가지고 있다. 스위칭용 트랜지스터(721)는 게이트 전극층이 주사선(726)에 접속되고, 제 1 전극(소스 전극층 및 드레인 전극층의 한쪽)이 신호선(725)에 접속되고, 제 2 전극(소스 전극층 및 드레인 전극층의 다른 한쪽)이 구동용 트랜지스터(722)의 게이트 전극층에 접속되어 있다. 구동용 트랜지스터(722)는 게이트 전극층이 용량 소자(723)를 통하여 전원선(727)에 접속되고, 제 1 전극이 전원선(727)에 접속되고, 제 2 전극이 발광 소자(724)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.

[0273] 스위칭용 트랜지스터(721) 및 구동용 트랜지스터(722)는 상기 실시형태에서 설명하는 트랜지스터를 적절히 이용할 수 있다. 이것에 의해, 신뢰성이 높은 유기 EL 표시 장치를 제공할 수 있다.

[0274] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정한다. 또한 저전원 전위란, 전원선(727)에 설정되는 고전원 전위보다 낮은 전위이고, 예를 들면 GND, OV 등을 저전원 전위로서 설정할 수 있다. 발광 소자(724)의 순방향의 문턱 전압 이상이 되도록 고전원 전위와 저전원 전위를 설정하고, 그 전위 차를 발광 소자(724)에 인가함으로써, 발광 소자(724)에 전류를 흘려보내 발광시킨다. 또한 발광 소자(724)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 문턱 전압을 포함한다.

[0275] 또한 용량 소자(723)는 구동용 트랜지스터(722)의 게이트 용량을 대용함으로써 생략할 수 있다. 구동용 트랜지스터(722)의 게이트 용량에 대해서는 채널 형성 영역과 게이트 전극층의 사이에 용량이 형성되어 있어도 좋다.

[0276] 다음으로, 구동용 트랜지스터(722)에 입력하는 신호에 대하여 설명한다. 전압 입력 전압 구동 방식의 경우, 구동용 트랜지스터(722)가 충분히 온, 또는 오프의 2가지 상태가 되는 비디오 신호를 구동용 트랜지스터(722)에 입력한다. 또한 구동용 트랜지스터(722)를 선형 영역에서 동작시키기 위하여, 전원선(727)의 전압보다 높은 전압을 구동용 트랜지스터(722)의 게이트 전극층에 가한다. 또한, 신호선(725)에는 전원선 전압에 구동용 트랜지스터(722)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 가한다.

[0277] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(722)의 게이트 전극층에 발광 소자(724)의 순방향 전압에 구동용 트랜지스터(722)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 가한다. 또한 구동용 트랜지스터(722)가 포화 영역에서 동작하도록 비디오 신호를 입력하고, 발광 소자(724)에 전류를 흘려 보낸다. 또한, 구동용 트랜지스터(722)를 포화 영역에서 동작시키기 위하여, 전원선(727)의 전위를 구동용 트랜지스터(722)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(724)에 비디오 신호에 응한 전류를 흘려보내고, 아날로그 계조 구동을 행할 수 있다.

[0278] 또한 화소 회로의 구성은 도 17의 (C)에 도시하는 화소 구성으로 한정되지 않는다. 예를 들면, 도 17의 (C)에

도시하는 화소 회로에 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터 또는 논리 회로 등을 추가해도 좋다.

[0279] 도 17에서 예시한 회로에 상기 실시형태로 예시한 트랜지스터를 적용하는 경우, 저전위측에 소스 전극(제 1 전극), 고전위측에 드레인 전극(제 2 전극)이 각각 전기적으로 접속되는 구성으로 한다. 또한 제어 회로 등에 의해 제 1 게이트 전극의 전위를 제어하고, 제 2 게이트 전극에는 도시하지 않는 배선에 의해 소스 전극에 부여하는 전위보다 낮은 전위 등, 상기에 예시한 전위를 입력 가능한 구성으로 하면 좋다.

[0280] 예를 들면, 본 명세서 등에서, 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광 소자, 및 발광 소자를 가지는 장치인 발광 장치는 다양한 형태를 이용하거나, 또는 다양한 소자를 가질 수 있다. 표시 소자, 표시 장치, 발광 소자 또는 발광 장치의 일례로서는, EL(전계 발광) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 플라즈마 디스플레이 패널(PDP), MEMS(Micro Electro Mechanical System), 디지털 마이크로 미러 디바이스(DMD), DMS(Digital Micro Shutter), MIRASOL(등록 상표), IMOD(interferometric modulator display) 소자, 일렉트로 웨팅 소자, 압전 세라믹 디스플레이, 카본 나노 튜브 등 전기 자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 가지는 것이다. EL 소자를 이용한 표시 장치의 일례로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 이용한 표시 장치의 일례로서는 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED : Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 이용한 표시 장치의 일례로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 이용한 표시 장치의 일례로서는 전자 페이퍼 등이 있다.

[0281] 본 실시형태는 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0282] (실시형태 7)

[0283] 본 실시형태에서는 본 발명의 일양태의 반도체 장치를 적용한 표시 모듈에 대하여, 도 18을 이용하여 설명을 행한다.

[0284] 도 18에 나타내는 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002)의 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 가진다. 또한 백 라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등은 제공되지 않는 경우도 있다.

[0285] 본 발명의 일양태의 반도체 장치는 예를 들면, 표시 패널(8006)에 이용할 수 있다.

[0286] 상부 커버(8001) 및 하부 커버(8002)는 터치 패널(8004) 및 표시 패널(8006)의 사이즈에 맞추어, 형상이나 치수를 적절히 변경할 수 있다.

[0287] 터치 패널(8004)은 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩하여 이용할 수 있다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)에, 터치 패널 기능을 갖게 하도록 하는 것도 가능하다. 또는 표시 패널(8006)의 각 화소 내에 광 센서를 제공하고, 광학식의 터치 패널로 하는 것도 가능하다. 또는 표시 패널(8006)의 각 화소 내에 터치 센서용 전극을 구비하고, 용량 형식의 터치 패널로 하는 것도 가능하다.

[0288] 백 라이트 유닛(8007)은 광원(8008)을 가진다. 광원(8008)을 백 라이트 유닛(8007)의 단부에 제공하고, 광 확산판을 이용하는 구성으로 해도 좋다.

[0289] 프레임(8009)은 표시 패널(8006)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자 쉴드(shield)로서의 기능을 가진다. 또 프레임(8009)은 방열판으로서의 기능을 가지고 있어도 좋다.

[0290] 프린트 기판(8010)은 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 가진다. 전원 회로에 전력을 공급하는 전원으로서는 외부의 상용 전원이어도 좋고, 별도 제공한 배터리(8011)에 의한 전원이어도 좋다. 배터리(8011)는 상용 전원을 이용하는 경우에는 생략 가능하다.

[0291] 또한, 표시 모듈(8000)에는 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공해도 좋다.

[0292] 본 실시형태에 나타내는 구성은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.

[0293] (실시형태 8)

본 발명의 일양태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD : Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 가지는 장치)에 이용할 수 있다. 그 외에, 본 발명의 일양태에 따른 반도체 장치를 이용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 데이터 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 인출기(ATM), 자동 판매기 등을 들 수 있다. 이를 전자 기기의 구체적인 예를 도 19에 나타낸다.

[0295] 도 19의 (A)는 휴대형 게임기이고, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스페커(906), 조작 키(907), 스타일러스(908) 등을 가진다. 또한 도 19의 (A)에 나타낸 휴대형 게임기는 2개의 표시부(903)와 표시부(904)를 가지고 있지만, 휴대형 게임기가 가지는 표시부의 수는 이것에 한정되지 않는다.

[0296] 도 19의 (B)는 휴대 데이터 단말이고, 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 가진다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되어 있고, 제 2 표시부(914)는 제 2 하우징(912)에 제공되어 있다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은 접속부(915)에 의해 접속되어 있고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)에 의해 변경할 수 있다. 제 1 표시부(913)에서의 영상을 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하는 구성으로 해도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914)가 적어도 한쪽에 위치 입력 장치로서의 기능이 부가된 표시 장치를 이용하도록 해도 좋다. 또한 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 혹은 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수 있다.

[0297] 도 19의 (C)는 노트형 퍼스널 컴퓨터이고, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 가진다.

[0298] 도 19의 (D)는 전기 냉동 냉장고이고, 하우징(931), 냉장실용 문(932), 냉동실용 문(933) 등을 가진다.

[0299] 도 19의 (E)는 비디오 카메라이고, 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 가진다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되어 있고, 표시부(943)는 제 2 하우징(942)에 제공되어 있다. 그리고, 제 1 하우징(941)과 제 2 하우징(942)은 접속부(946)에 의해 접속되어 있고, 제 1 하우징(941)과 제 2 하우징(942)의 사이의 각도는 접속부(946)에 의해 변경할 수 있다. 표시부(943)에서의 영상을 접속부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 해도 좋다.

[0300] 도 19의 (F)는 보통 자동차이고, 차체(951), 차 바퀴(952), 대시 보드(953), 라이트(954) 등을 가진다.

[0301] (실시형태 9)

[0302] 본 실시형태에서는 본 발명의 일양태에 따른 RF 디바이스의 사용예에 대하여 도 20을 이용하면서 설명한다. RF 디바이스의 용도는 광범위에 이르지만, 예를 들면, 지폐, 동전, 유가 증권류, 무기명 채권류, 증서류(운전 면허증이나 주민등록증 등, 도 20의 (A) 참조), 포장용 용기류(포장지나 보틀 등, 도 20의 (C) 참조), 기록 매체(DVD나 비디오 테이프 등, 도 20의 (B) 참조), 탈 것류(자전거 등, 도 20의 (D) 참조), 개인 소지품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활 용품류, 약품이나 약제를 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 물품, 혹은 각 물품에 부착하는 꼬리표(도 20의 (E), 도 20의 (F) 참조) 등에 제공하여 사용할 수 있다.

[0303] 본 발명의 일양태에 따른 RF 디바이스(4000)는 표면에 붙이거나, 또는 매립함으로써, 물품에 고정된다. 예를 들면, 책이면 종이에 매립하고, 유기 수지로 이루어지는 패키지이면 상기 유기 수지의 내부에 매립하여, 각 물품에 고정된다. 본 발명의 일양태에 따른 RF 디바이스(4000)는 소형, 박형, 경량을 실현하기 때문에, 물품에 고정한 후에도 그 물품 자체의 디자인성을 해치는 일이 없다. 또한, 지폐, 동전, 유가 증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일양태에 따른 RF 디바이스(4000)를 형성함으로써, 인증 기능을 형성할 수 있고, 이 인증 기능을 활용하면, 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 개인 소지품, 식품류, 의류, 생활 용품류, 또는 전자 기기 등에 본 발명의 일양태에 따른 RF 디바이스를 부착함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것류도 본 발명의 일양태에 따른 RF 디바이스를

부착함으로써, 도난 등에 대하는 보안성을 높일 수 있다.

[0304] 이상과 같이, 본 발명의 일양태에 따른 RF 디바이스를 본 실시형태에 언급한 각 용도에 이용함으로써, 정보의 기입이나 판독을 포함하는 동작 전력을 저감할 수 있기 때문에, 최대 통신 거리를 길게 취하는 것이 가능해진다. 또한, 전력이 차단된 상태여도 정보를 매우 긴 기간 유지 가능하기 때문에, 기입이나 판독의 빈도가 낮은 용도에도 적합하게 이용할 수 있다.

[0305] [실시예 1]

[0306] 본 실시예에서는 게이트 절연막에 이용할 수 있는 산화 하프늄의 X선 회절(XRD : X-Ray Diffraction) 측정을 행하였다.

[0307] 우선, 측정 시료에 대하여 설명한다.

[0308] 실리콘 웨이퍼 위에, 유량 1sccm의 규소(SiH₄) 및 유량 800sccm의 일산화이질소(N₂O)를 원료 가스로 하고, 반응 실의 압력을 200Pa, 기판 온도를 350°C, 60MHz의 고주파 전원을 이용하여 150W의 고주파 전력을 평행 평판 전극에 공급한 PECVD법에 의해, 산화 질화 실리콘막을 5nm 성막했다.

[0309] 다음으로, 산화 질화 실리콘막 위에, 산화 하프늄 타겟을 이용하고, 성막 가스로서 아르곤(Ar) 가스, 산소(O₂) 가스(산소 비율 0% : 유량 50sccm의 아르곤 가스, 또는 산소 비율 50% : 유량 25sccm의 아르곤 가스 및 유량 25sccm의 산소 가스, 또는 산소 비율 100% : 유량 50sccm의 산소 가스)를 이용하고, 압력을 0.6Pa, 기판 온도를 100°C, 또는 200°C, 또는 350°C로 하고, RF 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 산화 하프늄막을 30nm 성막했다.

[0310] 다음으로, 상기 시료에 대하여 out-of-plane법을 이용하여 XRD 스펙트럼을 측정한 결과를 도 21에 나타낸다. 도 21은 종축에 X선 회절 강도(임의 단위)를 취하고, 횡축에 회절각 2θ(deg.)를 취한다. 또한 XRD 스펙트럼의 측정은 Bruker AXS사제 X선 회절 장치 D8 ADVANCE를 이용했다.

[0311] 도 21에 의해, 기판 온도 350°C의 시료, 또는 산소 비율 50% 이상의 시료에서는 2θ=28° 근방에 피크가 관찰되고, 이는 산화 하프늄(HfO₂)의 단사정계의 결정의 (-111)면에서의 회절에 기인한 것이다. 또한, 일부의 시료에서는 실리콘 웨이퍼에 기인한 실리콘(Si)의 피크도 관찰되었다.

[0312] 산화 하프늄막의 기판 온도를 비교하면, 기판 온도가 높아짐에 따라 피크의 강도가 크게 되어 있다. 또한, 산화 하프늄막의 성막 시의 산소의 비율이 클수록 피크의 강도가 크게 되어 있다. 상기 피크가 관찰됨으로써, 산화 하프늄막이 결정화된 것을 알 수 있었다.

[0313] [실시예 2]

[0314] 본 실시예에서는 게이트 절연막에 이용할 수 있는 산화 하프늄의 전자 스팬(ESR : Electron Spin Resonance) 측정을 행하였다.

[0315] 우선, 측정 시료에 대하여 설명한다.

[0316] 석영 기판 위에, 산화 하프늄 타겟을 이용하고, 성막 가스로서 아르곤(Ar) 가스, 산소(O₂) 가스(산소 비율 0% : 유량 50sccm의 아르곤 가스, 또는 산소 비율 50% : 유량 25sccm의 아르곤 가스 및 유량 25sccm의 산소 가스)를 이용하고, 압력을 0.6Pa, 기판 온도를 100°C, 또는 200°C, 또는 350°C로 하고, RF 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 산화 하프늄막을 100nm 성막했다. 또한, 일부는 성막 후, 산소 분위기 하에서 300°C, 또는 350°C, 또는 400°C 중 하나의 온도로 1시간 베이크 처리를 시행하였다.

[0317] 또한 측정은 온도 10K로, 마이크로파(주파수 9.47GHz, 파워 0.1mW)를 산화 하프늄막에 수직으로 조사했다.

[0318] 산화 하프늄의 산소 결손에 기인한 ESR 신호는 g값이 1.92 내지 1.98에 나타난다고 추정된다. 도 22에 나타내는 바와 같이, 산소 비율 0%의 조건으로 성막된 산화 하프늄막에서는 g값이 1.92 근방인 스팬 밀도가 커지고, 또한, 그 후의 산소 분위기 하에서의 베이크에 의해 감소함으로써 산소 결손에 의하는 것이 시사되었다.

[0319] 또한 표 1에 나타내는 바와 같이, 러더포드 후방 산란 분광법(RBS)에 의한 분석 결과, 산소 비율 0%의 조건으로 성막된 산화 하프늄막에서는 산소가 보다 많이 존재하는 조건(산소 비율 50%)에서 성막된 산화 하프늄막보다 산소의 비율이 적고, 성막 시에 혼입한 것으로 보여지는 아르곤의 비율이 크다. 또한, 산화 하프늄막의 밀도

는 8.3g/cm^3 이상 9.0g/cm^3 이하이면 바람직하다.

표 1

성막 조건	조성(atomic %)			
	Hf	O	Ar	기타
$\text{O}_2=0\%$, 기판 온도 100°C	31.8	66.4	1.4	0.4
$\text{O}_2=50\%$, 기판 온도 200°C	31.1	68.1	0.4	0.4

[0320]

한편, 산소가 보다 많이 존재하는 조건(산소 비율 50%)에서 성막된 산화 하프늄막에서는 g 값이 1.92 근방인 스펀의 밀도는 거의 관측되지 않고, 도 23에 나타내는 바와 같이, g 값이 2.00 근방(g 값이 2.00 내지 2.01)인 스펀의 밀도가 산소 비율 0%의 조건에서 성막된 산화 하프늄막보다 크게 되어 있다. 이것은 과잉된 산소에 기인한다고 추정된다. 또한, g 값이 2.00 근방의 시그널의 형상은 도 33에 도시하는 바와 같이 비대칭인 것을 알 수 있다.

[0322]

[실시예 3]

[0323]

본 실시예에서는 열산화막 위에 산화 하프늄막을 형성하는 것에 의한 열산화막의 산소 방출을 승온 이탈 가스 분광법(TDS : Thermal Desorption Spectroscopy)에 의해 평가했다.

[0324]

우선, 측정 시료에 대하여 설명한다.

[0325]

실리콘 웨이퍼를 열산화하고, 실리콘 웨이퍼 표면에 100nm의 열산화막을 형성했다. 열산화의 조건은 950°C 에서 4시간이고, 열산화의 분위기는 HCl이 산소에 대하여 3체적%의 비율로 포함되는 것으로 했다.

[0326]

다음으로, 열산화막 위에, 산화 하프늄 타겟을 이용하고, 성막 가스로서 아르곤(Ar) 가스, 산소(O_2) 가스(산소 비율 50% : 유량 25sccm의 아르곤 가스 및 유량 25sccm의 산소 가스)를 이용하고, 압력을 0.6Pa, 기판 온도를 200°C , RF 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 산화 하프늄막을 20nm 성막했다.

[0327]

다음으로, 성막한 산화 하프늄막을 모두 예칭했다. 예칭 조건은 유도 결합형 플라즈마(ICP : Inductively Coupled Plasma) 예칭법에 의해, 유량 80sccm의 삼염화붕소(BCl_3) 분위기 하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.0Pa, 기판 온도 70°C 에서 예칭하고, 실시예 시료를 작성했다. 또한, 실리콘 웨이퍼에 열산화막을 형성하고, 산화 하프늄막을 형성하지 않는 구성을 비교예 시료로 했다.

[0328]

도 24의 (A)에, 실시예 시료의 TDS에 의한 기판 온도와 질량 전하비(m/z)가 32인 이온 강도를 나타내고, 도 24의 (B)에, 비교예 시료의, TDS에 의한 기판 온도와 질량 전하비(m/z)가 32인 이온 강도를 나타낸다. 또한 m/z 가 32에서 검출되는 가스에는 산소 가스(O_2)가 있다. 본 실시예에서는 m/z 가 32로 검출되는 가스는 모두 산소 가스로 간주한다.

[0329]

도 24의 (B)에 의해, 비교예 시료는 기판 온도를 변화시켜도 산소 가스의 방출은 적다. 한편, 도 24의 (A)에 의해, 산화 하프늄막이 한 번 형성된 실시예 시료는 기판 온도가 150°C 이상 350°C 이하 정도의 범위에서 산소 가스를 방출한 것을 알 수 있다.

[0330]

따라서, 산화물 반도체층에 접촉하여 산화 하프늄막을 형성함으로써 산화물 반도체층에 산소를 공급할 수 있고, 산화물 반도체층 중의 산소 결손을 저감할 수 있는 것이 시사되었다.

[0331]

[실시예 4]

[0332]

본 실시예에서는 실시예 시료로서 도 3에 나타내는 트랜지스터와 같은 구성의 트랜지스터에 대하여 제작하고, 전기 특성의 평가를 행하였다.

[0333]

우선, 실시예 시료의 제작 방법에 대하여 설명한다.

[0334]

우선, 실리콘 웨이퍼를 HCl 분위기 하에서 열산화하고, 실리콘 웨이퍼 표면에 100nm의 열산화막을 형성했다. 열산화의 조건은 950°C 에서 4시간이고, 열산화의 분위기는 HCl이 산소에 대하여 3체적%의 비율로 포함되는 것으

로 했다.

[0335] 다음으로, 열산화막 위에, 유량 2.3sccm의 규소(SiH₄) 및 유량 800sccm의 일산화이질소(N₂O)를 원료 가스로 하고, 반응실의 압력을 40Pa, 기판 온도를 400°C, 27.12MHz의 고주파 전원을 이용하여 50W의 고주파 전력을 평행 평판 전극에 공급한 PECVD법에 의해, 하지 절연막이 되는 산화 질화 실리콘막을 300nm 성막했다.

[0336] 산화 질화 실리콘막 표면을 연마 처리하고, 그 후, In : Ga : Zn=1 : 3 : 2(원자수비)의 산화물 타겟을 이용하고, 성막 가스로서 유량 30sccm의 아르곤(Ar) 가스 및 유량 15sccm의 산소(O₂) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 200°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 0.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 1 산화물 반도체막을 20nm 성막했다.

[0337] 다음으로, 제 1 산화물 반도체막 위에, In : Ga : Zn=1 : 1 : 1(원자수비)의 산화물 타겟을 이용하고, 성막 가스로서 유량 30sccm의 아르곤(Ar) 가스 및 유량 15sccm의 산소(O₂) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 300°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 0.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 2 산화물 반도체막을 15nm 성막했다. 또한 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 대기에서 노출시키지 않고 연속 형성을 행하였다.

[0338] 다음으로, 가열 처리를 행하였다. 가열 처리는 질소 분위기 하, 450°C에서 1시간 행한 후, 산소 분위기 하, 450°C, 1시간에서 행하였다.

[0339] 다음으로, 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 ICP 에칭법에 의해, 유량 60sccm의 삼염화붕소(BCl₃) 및 유량 20sccm의 염소(Cl₂)의 혼합 분위기 하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa, 기판 온도 70°C에서 에칭하여 섬 형상의 제 1 산화물 반도체막 및 제 2 산화물 반도체막으로 가공했다.

[0340] 다음으로, 제 1 산화물 반도체막 및 제 2 산화물 반도체막 위에, 텅스텐 타겟을 이용하고, 성막 가스로서 유량 80sccm의 아르곤(Ar) 가스 분위기 하에서, 압력 0.8Pa, 기판 온도를 230°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 1.0kW 인가하는 조건을 이용한 스퍼터링법에 의해, 텅스텐막을 100nm 성막했다.

[0341] 다음으로, 텅스텐막을 ICP 에칭법에 의해, 유량 45sccm의 사불화탄소(CF₄) 가스, 유량 45sccm의 염소(Cl₂) 가스 및 유량 55sccm의 산소(O₂) 가스 혼합 분위기 하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa에서 제 1 에칭을 행하고, 또한 ICP 에칭법에 의해, 유량 100sccm의 산소(O₂) 분위기 하, 전원 전력 2000W, 바이어스 전력 0W, 압력 3.00Pa에서 제 2 에칭을 행하고, 또한 ICP 에칭법에 의해, 유량 45sccm의 사불화탄소(CF₄) 가스, 유량 45sccm의 염소(Cl₂) 가스 및 유량 55sccm의 산소(O₂) 가스 혼합 분위기 하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa에서 제 3 에칭을 행하고, 소스 전극 및 드레인 전극을 형성했다.

[0342] 다음으로, 제 2 산화물 반도체막, 소스 전극 및 드레인 전극 위에, In : Ga : Zn=1 : 3 : 2(원자수비)의 산화물 타겟을 이용하고, 성막 가스로서 유량 30sccm의 아르곤(Ar) 가스 및 유량 15sccm의 산소(O₂) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 200°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 0.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 3 산화물 반도체막을 5nm 성막했다.

[0343] 다음으로, 제 3 산화물 반도체막 위에, 산화 하프늄 타겟을 이용하고, 성막 가스로서 유량 25sccm의 아르곤 가스 및 유량 25sccm의 산소 가스를 이용하고, 압력을 0.6Pa, 기판 온도를 200°C, RF 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 1 게이트 절연막이 되는 산화 하프늄막을 20nm 성막했다.

[0344] 다음으로, 산화 하프늄막 위에, 유량 1sccm의 규소(SiH₄) 및 유량 800sccm의 일산화이질소(N₂O)를 원료 가스로 하고, 반응실의 압력을 200Pa, 기판 온도를 350°C, 60MHz의 고주파 전원을 이용하여 150W의 고주파 전력을 평행 평판 전극에 공급한 PECVD법에 의해, 제 2 게이트 절연막이 되는 산화 질화 실리콘막을 15nm 성막했다.

[0345] 다음으로, 산화 질화 실리콘막 위에, 질화 탄탈 타겟을 이용하고, 성막 가스로서 유량 50sccm의 아르곤(Ar) 가스 및 유량 10sccm의 질소(N₂) 가스를 이용하고, 압력을 0.6Pa, 기판 온도를 실온, DC 전력을 1.0kW 인가하는 조건을 이용한 스퍼터링법에 의해, 질화 탄탈막을 30nm 성막하고, 그 위에 텅스텐 타겟을 이용하고, 성막 가스로서 유량 100sccm의 아르곤 가스를 이용하고, 압력을 2.0Pa, 기판 온도를 230°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 4.0kW 인가하는 조건을 이용한 스퍼터링법에 의해, 텅스텐막을 135nm 성막했다.

- [0346] 다음으로, 질화 탄탈막 및 텅스텐막을 ICP 에칭법에 의해, 유량 55sccm의 사불화탄소(CF_4) 가스, 유량 45sccm의 염소(Cl_2) 가스 및 유량 55sccm의 산소(O_2) 가스 혼합 분위기 하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa에서 제 1 에칭을 행하고, 또한, ICP 에칭법에 의해, 유량 100sccm의 염소(Cl_2) 분위기 하, 전원 전력 2000W, 바이어스 전력 50W, 압력 0.67Pa에서 제 2 에칭을 행하여, 게이트 전극을 형성했다.
- [0347] 다음으로, 게이트 전극을 마스크로서 제 1 게이트 절연막, 제 2 게이트 절연막, 제 3 산화물 반도체막을 ICP 에칭법에 의해, 유량 80sccm의 삼염화붕소(BCl_3) 가스 분위기 하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.0Pa에서 에칭하여 섬 형상의 제 1 게이트 절연막, 제 2 게이트 절연막, 제 3 산화물 반도체막으로 가공했다.
- [0348] 다음으로, 게이트 전극, 소스 전극 및 드레인 전극 위에, 산화 알루미늄 타겟을 이용하고, 성막 가스로서 유량 25sccm의 아르곤(Ar) 가스 및 유량 25sccm의 산소(O_2) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 250°C, 타겟과 기판의 사이의 거리를 60mm, RF 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 산화 알루미늄 막을 70nm 성막했다.
- [0349] 다음으로, 산화 알루미늄막 위에 유량 5sccm의 규소(SiH_4) 및 유량 1000sccm의 일산화이질소(N_2O)를 원료 가스로 하고, 반응실의 압력을 133Pa, 기판 온도를 325°C, 13.56MHz의 고주파 전원을 이용하여 35W의 고주파 전력을 평행 평판 전극에 공급한 PECVD법에 의해, 산화 질화 실리콘막을 300nm 성막했다.
- [0350] 이상의 공정을 거쳐, 실시예 시료의 트랜지스터를 제작했다. 또한 제작한 트랜지스터의 채널 길이가 0.48 μm , 채널 폭이 0.80 μm 인 것을 실시예 시료 A로 하고, 제작한 트랜지스터의 채널 길이가 0.83 μm , 채널 폭이 0.80 μm 인 것을 실시예 시료 B로 했다.
- [0351] 다음에 제작한 2 종류의 트랜지스터에서, 드레인 전압($V_d : [\text{V}]$)을 0.1V 또는 3.0V로 하고, 게이트 전압($V_g : [\text{V}]$)을 -3V에서 3V까지 소인(sweep)했을 때의, 드레인 전류($I_d : [\text{A}]$)의 측정을 행하였다. 측정 결과를 도 25에 나타낸다. 도 25에서, 실선은 드레인 전압($V_d : [\text{V}]$)이 3V일 때의 측정 결과이고, 점선은 드레인 전압($V_d : [\text{V}]$)이 0.1V일 때의 측정 결과이고, 횡축은 게이트 전압($V_g : [\text{V}]$), 왼쪽의 종축은 드레인 전류($I_d : [\text{A}]$)를 나타낸다. 또한, 드레인 전압($V_d : [\text{V}]$)이 0.1V일 때의 이동도의 측정 결과도 나타내고, 오른쪽의 종축은 이동도($\mu\text{FE} : \text{cm}^2/\text{Vs}$)를 나타낸다. 또한 「드레인 전압($V_d : [\text{V}]$)」은 소스를 기준으로 한 드레인과 소스의 전위차이고, 「게이트 전압($V_g : [\text{V}]$)」은 소스를 기준으로 한 게이트와 소스의 전위차이다. 또한, 도 25의 (A)에 실시예 시료 A의 트랜지스터의 측정 결과, 도 25의 (B)에 실시예 시료 B의 트랜지스터의 측정 결과를 나타낸다.
- [0352] 도 25의 (A)에 의해, 실시예 시료 A의 트랜지스터의 드레인 전압($V_d : [\text{V}]$)이 0.1V일 때의 S값은 77.2mV/dec., 이동도는 6.2cm²/Vs였다. 또한, 도 25의 (B)에 의해, 실시예 시료 B의 트랜지스터의 드레인 전압($V_d : [\text{V}]$)이 0.1V일 때의 S값은 71.8mV/dec., 이동도는 7.4cm²/Vs였다.
- [0353] 다음으로 제작한 실시예 시료 A의 트랜지스터에서, 스트레스 시험의 조건으로서, 소스 전압($V_s : [\text{V}]$) 및 드레인 전압($V_d : [\text{V}]$)을 0V로 하고, 150°C에서 1시간, 게이트 전압($V_g : [\text{V}]$)을 3.3V로 했다. 측정 결과를 도 26의 (A)에 나타낸다. 도 26의 (A)에서, 드레인 전압($V_d : [\text{V}]$)이 0.1V 및 3.0V일 때의 측정 결과이고, 횡축은 게이트 전압($V_g : [\text{V}]$), 종축은 드레인 전류($I_d : [\text{A}]$)를 나타낸다. 또한 도면 중의 실선은 게이트 전압이 0V측으로부터 순차로 $V_d=3\text{V}$ 의 스트레스 시험 전, $V_d=0.1\text{V}$ 의 스트레스 시험 전, $V_d=3\text{V}$ 의 스트레스 시험 후, $V_d=0.1\text{V}$ 의 스트레스 시험 후의 측정 결과를 나타낸다.
- [0354] 또한, 실시예 시료 A의 트랜지스터에서, 스트레스 시험의 조건으로서, 소스 전압($V_s : [\text{V}]$) 및 드레인 전압($V_d : [\text{V}]$)을 0V로 하고, 150°C에서 1시간, 게이트 전압($V_g : [\text{V}]$)을 -3.3V로 했다. 측정 결과를 도 26의 (B)에 나타낸다. 도 26의 (B)에서, 드레인 전압($V_d : [\text{V}]$)이 0.1V 및 3.0V일 때의 측정 결과이고, 횡축은 게이트 전압($V_g : [\text{V}]$), 종축은 드레인 전류($I_d : [\text{A}]$)를 나타낸다. 또한 도면 중의 실선은 게이트 전압이 0V측으로부터 순차로 $V_d=3\text{V}$ 의 스트레스 시험 후, $V_d=3\text{V}$ 의 스트레스 시험 전, $V_d=0.1\text{V}$ 의 스트레스 시험 후, $V_d=0.1\text{V}$ 의 스트레스 시험 전의 측정 결과를 나타낸다.
- [0355] 도 26의 (A)에 도시하는 바와 같이 드레인 전압($V_d : [\text{V}]$)이 3.0V일 때의 문턱 전압의 변화량 ΔV_{th} 는 0.34V였다. 또한, 도 26의 (B)에 도시하는 바와 같이 드레인 전압($V_d : [\text{V}]$)이 3.0V일 때의 문턱 전압의 변화량 ΔV_{th} 는 0.03V였다. 도 26의 (A), 도 26의 (B)보다 문턱 전압의 변화량이 작고, 신뢰성이 높은 것을 확인할 수 있었다.

[0356] [실시예 5]

[0357] 본 실시예에서는 게이트 절연막의 적층 및 제 3 산화물 반도체막의 유무에 따른 전기 특성의 차이의 평가를 행하였다.

[0358] 우선, 실시예 시료의 제작 방법에 대하여 설명한다.

[0359] 우선, 실리콘 웨이퍼를 열산화하고, 실리콘 웨이퍼 표면에 100nm의 열산화막을 형성했다. 열산화의 조건은 950°C에서 4시간이고, 열산화의 분위기는 HCl이 산소에 대하여 3체적%의 비율로 포함되는 것으로 했다.

[0360] 다음으로, 열산화막 위에, 유량 2.3sccm의 규소(SiH₄) 및 유량 800sccm의 일산화이질소(N₂O)를 원료 가스로 하고, 반응실의 압력을 40Pa, 기판 온도를 400°C, 27.12MHz의 고주파 전원을 이용하여 50W의 고주파 전력을 평행평판 전극에 공급한 PECVD법에 의해, 하지 절연막이 되는 산화 질화 실리콘막을 300nm 성막했다.

[0361] 산화 질화 실리콘막 표면을 연마 처리하고, 그 후, In : Ga : Zn=1 : 3 : 4(원자수비)의 산화물 타겟을 이용하고, 성막 가스로서 유량 30sccm의 아르곤(Ar) 가스 및 유량 15sccm의 산소(O₂) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 200°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 0.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 1 산화물 반도체막을 20nm 성막했다.

[0362] 다음으로, 제 1 산화물 반도체막 위에, In : Ga : Zn=1 : 1 : 1(원자수비)의 산화물 타겟을 이용하고, 성막 가스로서 유량 30sccm의 아르곤(Ar) 가스 및 유량 15sccm의 산소(O₂) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 300°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 0.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 2 산화물 반도체막을 15nm 성막했다. 또한 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 대기에 노출시키지 않고 연속으로 형성하였다.

[0363] 다음으로, 가열 처리를 행하였다. 가열 처리는 질소 분위기 하, 450°C에서 1시간 행한 후, 산소 분위기 하, 450°C에서 행하였다.

[0364] 다음으로, 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 ICP 예칭법에 의해, 유량 60sccm의 삼염화붕소(BCl₃) 및 유량 20sccm의 염소(Cl₂)의 혼합 분위기 하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.9Pa, 기판 온도 70°C에서 예칭하여 섬 형상의 제 1 산화물 반도체막 및 제 2 산화물 반도체막으로 가공했다.

[0365] 다음으로, 제 1 산화물 반도체막 및 제 2 산화물 반도체막 위에, 텅스텐 타겟을 이용하고, 성막 가스로서 유량 80sccm의 아르곤(Ar) 가스 분위기 하에서, 압력 0.8Pa, 기판 온도를 230°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 1.0kW 인가하는 조건을 이용한 스퍼터링법에 의해, 텅스텐막을 100nm 성막했다.

[0366] 다음으로, 텅스텐막을 ICP 예칭법에 의해, 유량 45sccm의 사불화탄소(CF₄) 가스, 유량 45sccm의 염소(Cl₂) 가스, 및 유량 55sccm의 산소(O₂) 가스 혼합 분위기 하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa에서 제 1 예칭을 행하고, 또한 ICP 예칭법에 의해, 유량 100sccm의 산소(O₂) 분위기 하, 전원 전력 2000W, 바이어스 전력 0W, 압력 3.00Pa에서 제 2 예칭을 행하고, 또한 ICP 예칭법에 의해, 유량 45sccm의 사불화탄소(CF₄) 가스, 유량 45sccm의 염소(Cl₂) 가스 및 유량 55sccm의 산소(O₂) 가스 혼합 분위기 하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa에서 제 3 예칭을 행하고, 소스 전극 및 드레인 전극을 형성했다.

[0367] 다음으로, 제 2 산화물 반도체막, 소스 전극 및 드레인 전극 위에, In : Ga : Zn=1 : 3 : 2(원자수비)의 산화물 타겟을 이용하고, 성막 가스로서 유량 30sccm의 아르곤(Ar) 가스 및 유량 15sccm의 산소(O₂) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 200°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 0.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 3 산화물 반도체막을 5nm 성막했다.

[0368] 다음으로, 제 3 산화물 반도체막 위에, 산화 하프늄 타겟을 이용하고, 성막 가스로서 유량 25sccm의 아르곤 가스 및 유량 25sccm의 산소 가스를 이용하고, 압력을 0.6Pa, 기판 온도를 200°C, RF 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 제 1 게이트 절연막이 되는 산화 하프늄막을 20nm 성막했다.

[0369] 다음으로, 산화 하프늄막 위에, 유량 1sccm의 규소(SiH₄) 및 유량 800sccm의 일산화이질소(N₂O)를 원료 가스로 하고, 반응실의 압력을 200Pa, 기판 온도를 350°C, 60MHz의 고주파 전원을 이용하여 150W의 고주파 전력을 평행평판 전극에 공급한 PECVD법에 의해, 제 2 게이트 절연막이 되는 산화 질화 실리콘막을 15nm 성막했다.

- [0370] 다음으로, 산화 질화 실리콘막 위에, 질화 탄탈 타겟을 이용하고, 성막 가스로서 유량 50sccm의 아르곤(Ar) 가스 및 유량 10sccm의 질소(N_2) 가스를 이용하고, 압력을 0.6Pa, 기판 온도를 실온, DC 전력을 1.0kW 인가하는 조건을 이용한 스퍼터링법에 의해, 질화 탄탈막을 30nm 성막하고, 그 위에, 텉스텐 타겟을 이용하고, 성막 가스로서 유량 100sccm의 아르곤 가스를 이용하고, 압력을 2.0Pa, 기판 온도를 230°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 4.0kW 인가하는 조건을 이용한 스퍼터링법에 의해, 텉스텐막을 135nm 성막했다.
- [0371] 다음으로, 질화 탄탈막 및 텉스텐막을 ICP 에칭법에 의해, 유량 55sccm의 사불화탄소(CF_4) 가스, 유량 45sccm의 염소(Cl_2) 가스 및 유량 55sccm의 산소(O_2) 가스 혼합 분위기 하, 전원 전력 3000W, 바이어스 전력 110W, 압력 0.67Pa에서 제 1 에칭을 행하고, 또한 ICP 에칭법에 의해, 유량 100sccm의 염소(Cl_2) 분위기 하, 전원 전력 2000W, 바이어스 전력 50W, 압력 0.67Pa에서 제 2 에칭을 행하여, 게이트 전극을 형성했다.
- [0372] 다음으로, 마스크를 이용하여, 제 1 게이트 절연막, 제 2 게이트 절연막, 제 3 산화물 반도체막을 ICP 에칭법에 의해, 유량 80sccm의 삼염화붕소(BCl_3) 가스 분위기 하, 전원 전력 450W, 바이어스 전력 100W, 압력 1.0Pa에서 에칭하여 삼 형상의 제 1 게이트 절연막, 제 2 게이트 절연막, 제 3 산화물 반도체막으로 가공했다.
- [0373] 다음으로, 게이트 전극, 소스 전극 및 드레인 전극 위에, 산화 알루미늄 타겟을 이용하고, 성막 가스로서 유량 25sccm의 아르곤(Ar) 가스 및 유량 25sccm의 산소(O_2) 가스를 이용하고, 압력을 0.4Pa, 기판 온도를 250°C, 타겟과 기판의 사이의 거리를 60mm, DC 전력을 2.5kW 인가하는 조건을 이용한 스퍼터링법에 의해, 산화 알루미늄 막을 70nm 성막했다.
- [0374] 다음으로, 산화 알루미늄막 위에 유량 5sccm의 규소(SiH_4) 및 유량 1000sccm의 일산화이질소(N_2O)를 원료 가스로 하고, 반응실의 압력을 133Pa, 기판 온도를 325°C, 13.56MHz의 고주파 전원을 이용하여 35W의 고주파 전력을 평행 평판 전극에 공급한 PECVD법에 의해, 산화 질화 실리콘막을 300nm 성막했다.
- [0375] 이상의 공정을 거쳐, 실시예 시료의 트랜지스터를 제작했다. 또한 제작한 트랜지스터의 채널 길이가 0.47 μm , 채널 폭이 1.0 μm 인 것을 실시예 시료 C로 했다. 또한, 실시예 시료 C의 게이트 절연막이 제 1 게이트 절연막 만(제 2 게이트 절연막을 제공하지 않음) 제공되고, 그 외의 구성은 실시예 시료 C와 같은 것을 비교예 시료 D로 하고, 실시예 시료 C의 제 3 산화물 반도체막을 제공하지 않고, 그 외의 구성은 실시예 시료 C와 같은 것을 비교예 시료 E로 했다.
- [0376] 다음에 제작한 3 종류의 트랜지스터에서, 드레인 전압($V_d : [V]$)을 0.1V 또는 3.0V로 하고, 게이트 전압($V_g : [V]$)을 -3V에서 3V까지 소인했을 때의, 드레인 전류($I_d : [A]$)의 측정을 행하였다. 측정 결과를 도 27 내지 도 29에 나타낸다. 도 27 내지 도 29에서, 실선은 드레인 전압($V_d : [V]$)이 3V일 때의 측정 결과이고, 점선은 드레인 전압($V_d : [V]$)이 0.1V일 때의 측정 결과이고, 횡축은 게이트 전압($V_g : [V]$), 왼쪽의 종축은 드레인 전류($I_d : [A]$)를 나타낸다. 또한, 드레인 전압($V_d : [V]$)이 0.1V일 때의 이동도의 측정 결과도 나타내고, 오른쪽의 종축은 이동도 ($\mu FE : cm^2/Vs$)를 나타낸다. 또한, 도 27에 실시예 시료 C의 트랜지스터의 측정 결과, 도 28에 비교예 시료 D의 트랜지스터의 측정 결과, 도 29에 비교예 시료 E의 트랜지스터의 측정 결과를 나타낸다.
- [0377] 도 27 내지 도 29에 의해, 실시예 시료 C만이 트랜지스터의 스위칭 특성을 가지는 것을 확인할 수 있었다. 또한, 게이트 절연막이 단지 산화 하프늄막만인 경우, 제 3 산화물 반도체막을 제공하지 않은 경우에, 트랜지스터의 스위칭 특성이 얻어지지 않는 것을 알 수 있었다.
- ### 부호의 설명
- [0378] 10 : 전자총실
12 : 광학계
14 : 시료실
16 : 광학계
18 : 카메라
20 : 관찰실

- 22 : 필름실
 24 : 전자
 28 : 물질
 32 : 형광판
 104 : 산화물 반도체막
 108 : 게이트 절연막
 108a : 게이트 절연막
 108b : 게이트 절연막
 110 : 게이트 전극
 400 : 기판
 401 : 절연막
 402 : 하지 절연막
 404 : 산화물 반도체층
 404a : 산화물 반도체막
 404b : 산화물 반도체막
 404c : 산화물 반도체막
 405 : 도전막
 406a : 소스 전극
 406b : 드레인 전극
 408a : 게이트 절연막
 408b : 게이트 절연막
 410 : 게이트 전극
 412 : 절연막
 413 : 절연막
 414 : 도전막
 418a : 절연막
 418b : 절연막
 420 : 도전막
 700 : 기판
 701 : 화소부
 702 : 주사선 구동 회로
 703 : 주사선 구동 회로
 704 : 신호선 구동 회로
 710 : 용량 배선
 712 : 게이트 배선
 713 : 게이트 배선

714 : 드레인 전극층

716 : 트랜지스터

717 : 트랜지스터

718 : 액정 소자

719 : 액정 소자

720 : 화소

721 : 스위칭용 트랜지스터

722 : 구동용 트랜지스터

723 : 용량 소자

724 : 발광 소자

725 : 신호선

726 : 주사선

727 : 전원선

728 : 공통 전극

800 : RF 태그

801 : 통신기

802 : 안테나

803 : 무선 신호

804 : 안테나

805 : 정류 회로

806 : 정전압 회로

807 : 복조 회로

808 : 변조 회로

809 : 논리 회로

810 : 기억 회로

811 : ROM

901 : 하우징

902 : 하우징

903 : 표시부

904 : 표시부

905 : 마이크로폰

906 : 스피커

907 : 조작 키

908 : 스타일러스

911 : 하우징

912 : 하우징

- 913 : 표시부
 914 : 표시부
 915 : 접속부
 916 : 조작 키
 921 : 하우징
 922 : 표시부
 923 : 키보드
 924 : 포인팅 디바이스
 931 : 하우징
 932 : 냉장실용 문
 933 : 냉동실용 문
 941 : 하우징
 942 : 하우징
 943 : 표시부
 944 : 조작 키
 945 : 렌즈
 946 : 접속부
 951 : 차체
 952 : 차 바퀴
 953 : 대시 보드
 954 : 라이트
 1189 : ROM 인터페이스
 1190 : 기판
 1191 : ALU
 1192 : ALU 컨트롤러
 1193 : 인스트럭션 디코더
 1194 : 인터럽트 컨트롤러
 1195 : 타이밍 컨트롤러
 1196 : 레지스터
 1197 레지스터 컨트롤러
 1198 : 버스 인터페이스
 1199 : ROM
 1200 : 기억 소자
 1201 : 회로
 1202 : 회로
 1203 : 스위치

1204 : 스위치

1206 : 논리 소자

1207 : 용량 소자

1208 : 용량 소자

1209 : 트랜지스터

1210 : 트랜지스터

1213 : 트랜지스터

1214 : 트랜지스터

1220 : 회로

2100 : 트랜지스터

2200 : 트랜지스터

2201 : 절연막

2202 : 배선

2203 : 플러그

2204 : 절연막

2205 : 배선

2206 : 배선

2207 : 절연막

2208 : 절연막

2211 : 반도체 기판

2213 : 게이트 전극

2214 : 게이트 절연막

3001 : 배선

3002 : 배선

3003 : 배선

3004 : 배선

3005 : 배선

3200 : 트랜지스터

3300 : 트랜지스터

3400 : 용량 소자

4000 : RF 디바이스

8000 : 표시 모듈

8001 : 상부 커버

8002 : 하부 커버

8003 : FPC

8004 : 터치 패널

8005 : FPC

8006 : 표시 패널

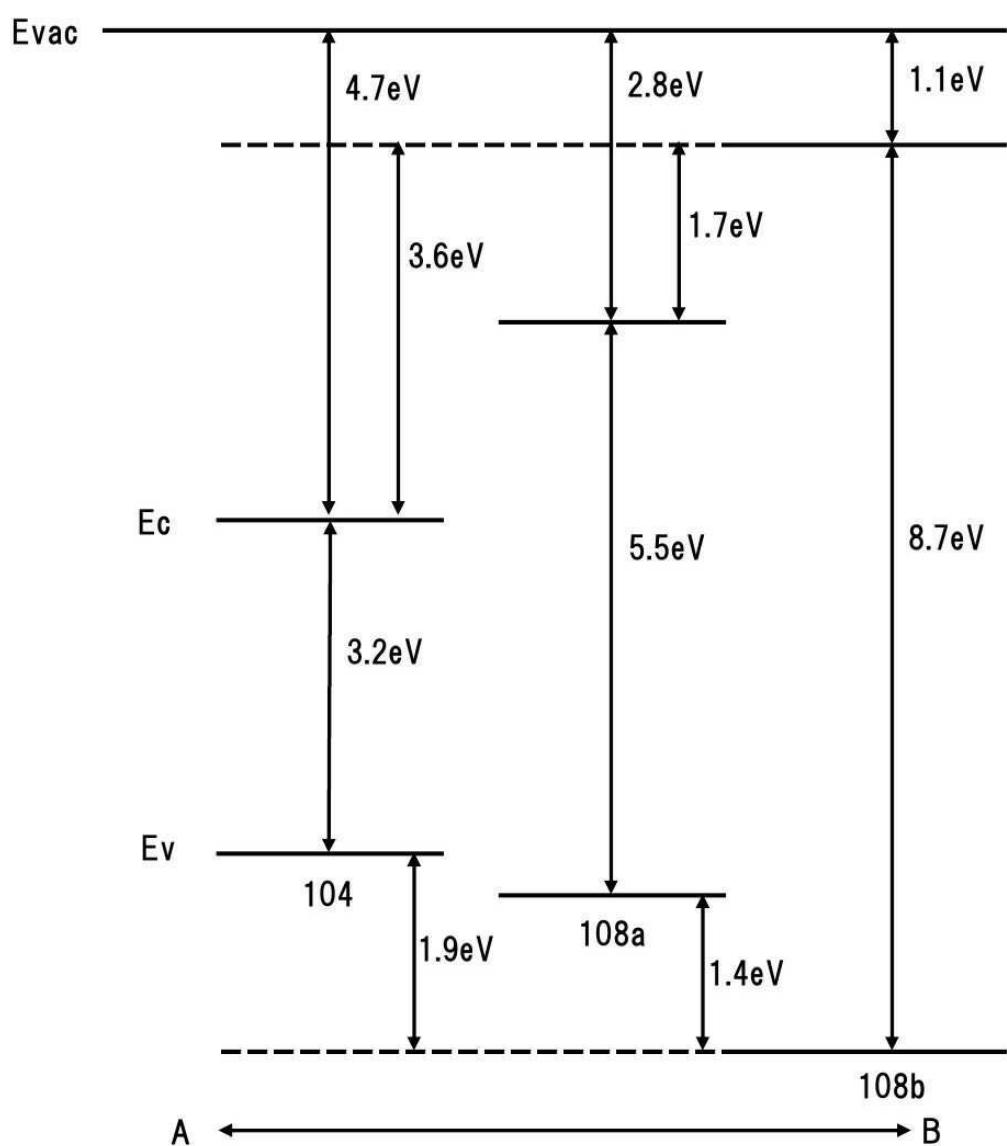
8007 : 백 라이트 유닛

8008 : 광원

8009 : 프레임

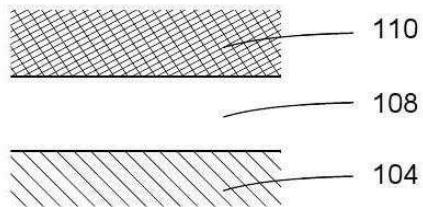
8010 : 프린트 기판

8011 : 배터리

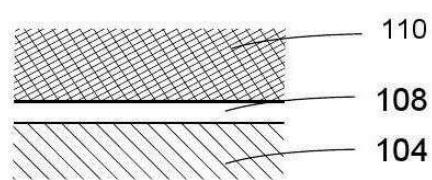
도면**도면1**

도면2

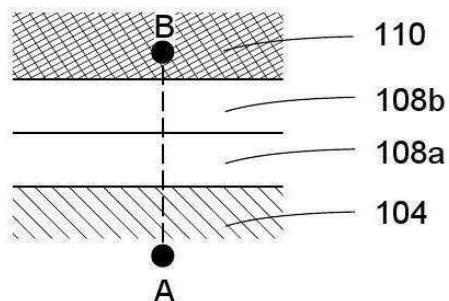
(A1)



(A2)

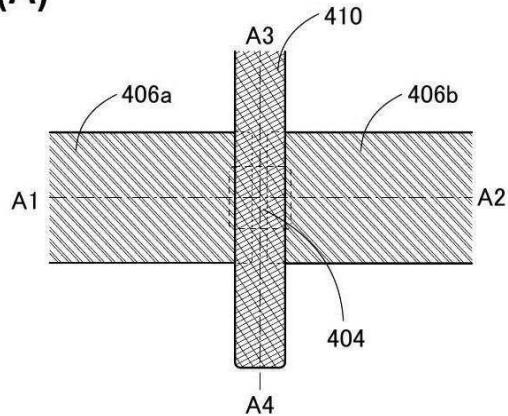


(B)

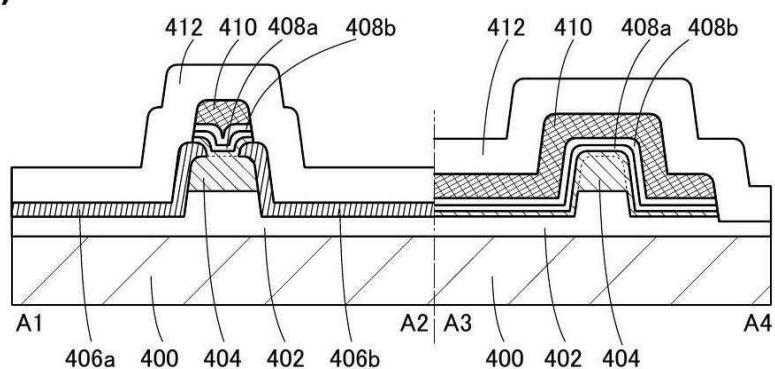


도면3

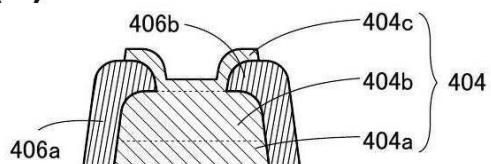
(A)



(B)

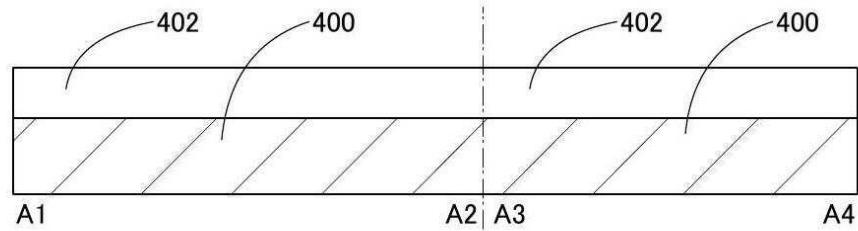


(C)

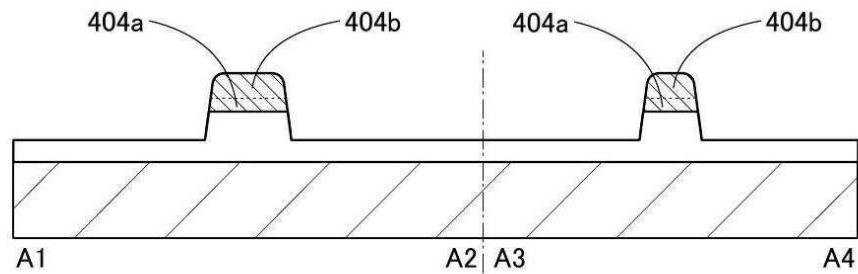


도면4

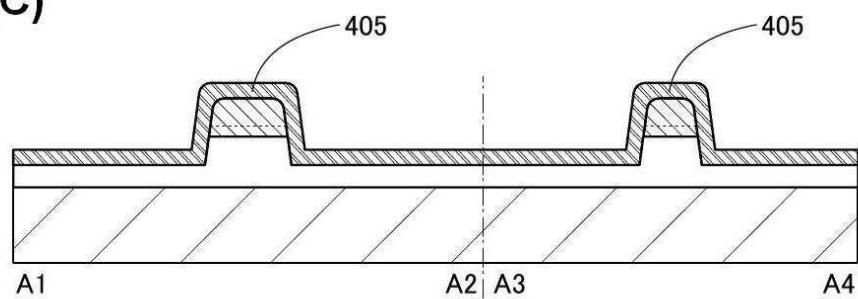
(A)



(B)

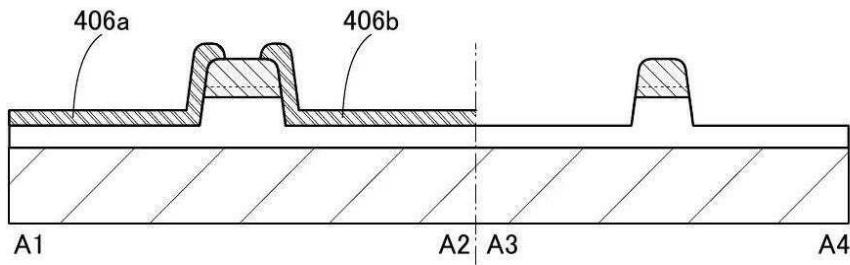


(C)

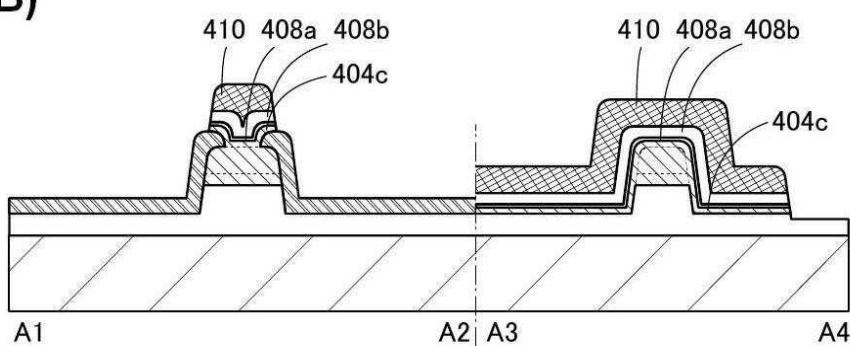


도면5

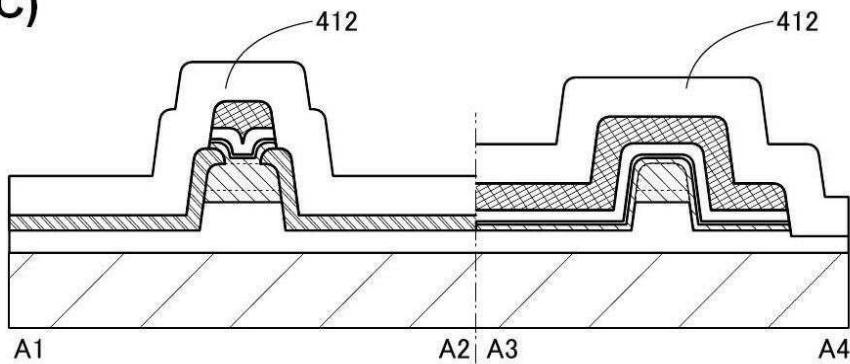
(A)



(B)

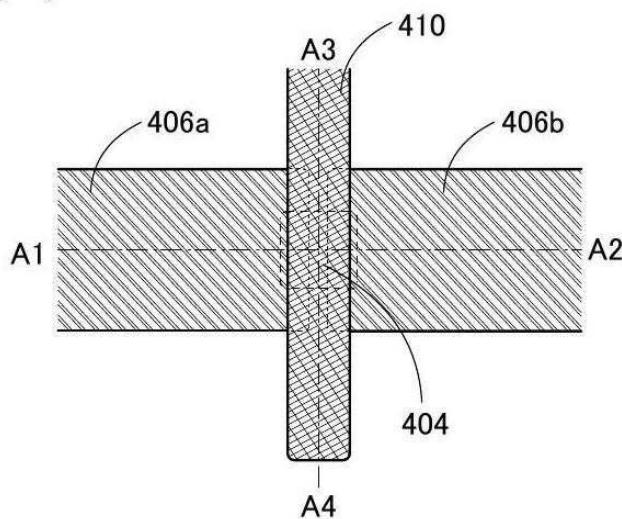


(C)

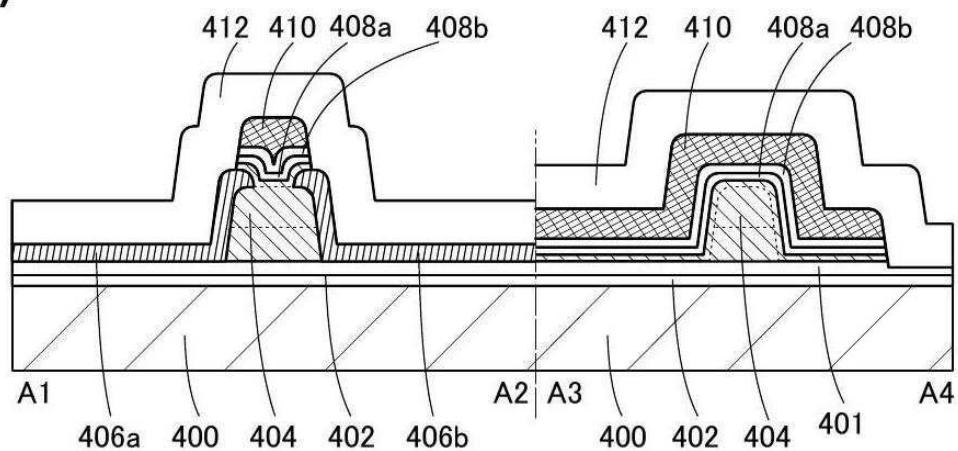


도면6

(A)

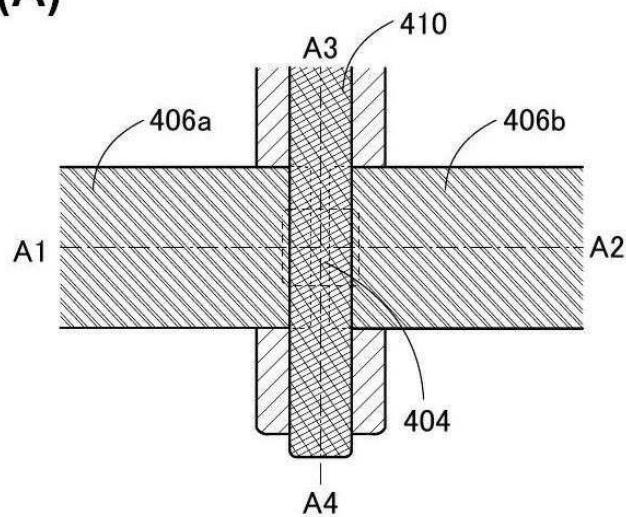


(B)

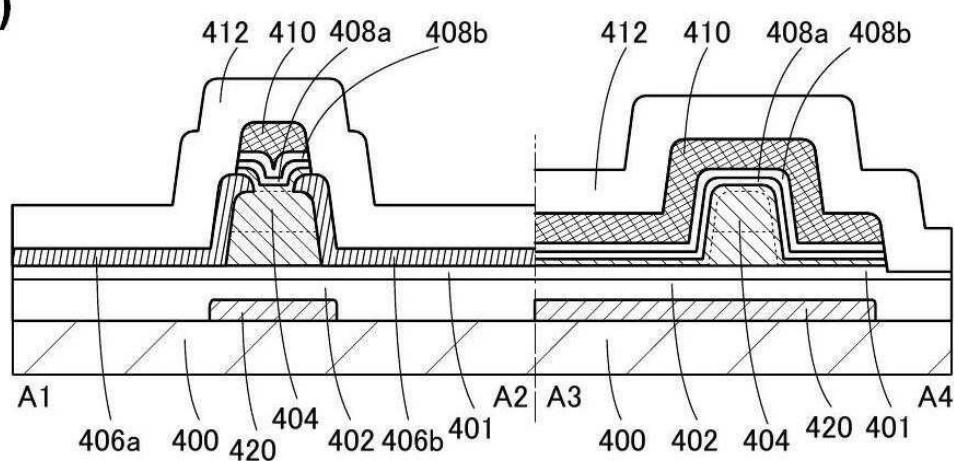


도면7

(A)

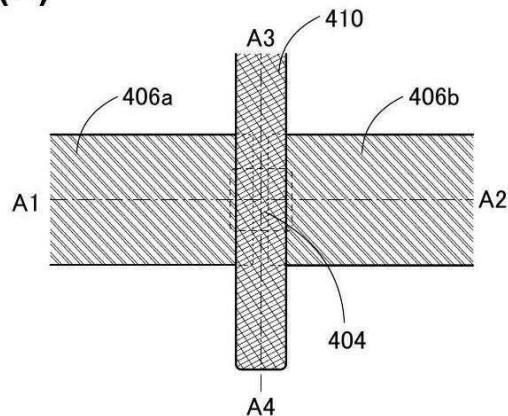


(B)

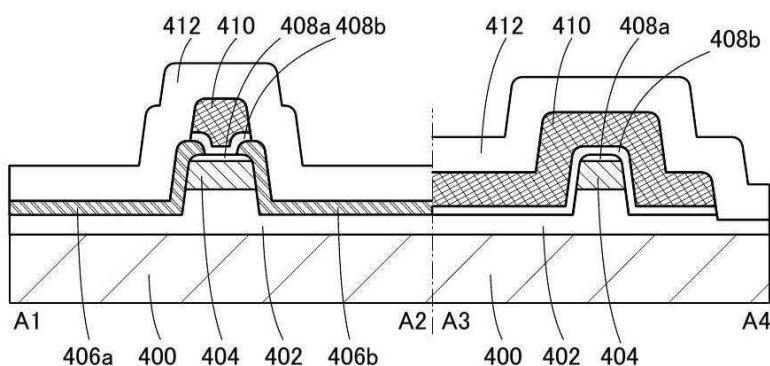


도면8

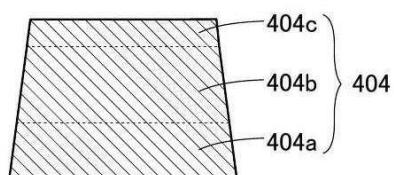
(A)



(B)

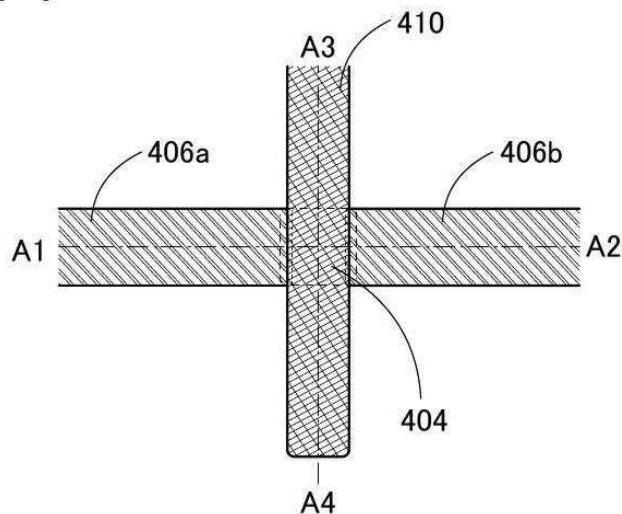


(B)

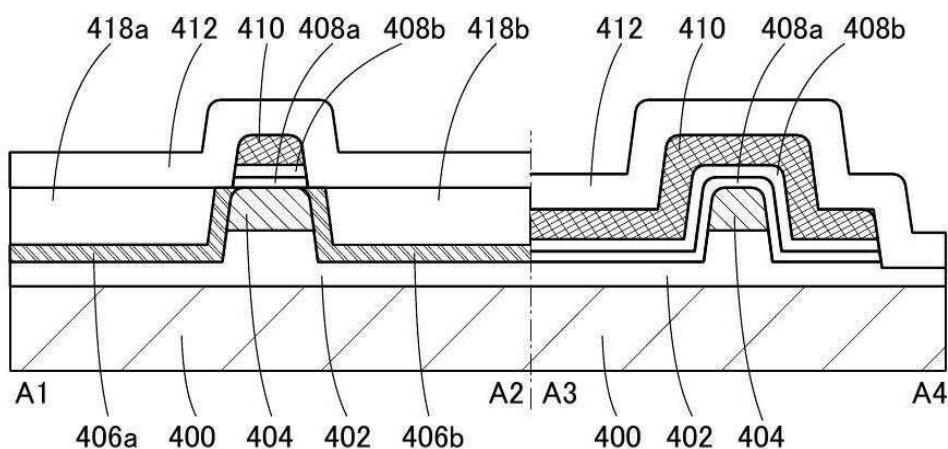


도면9

(A)

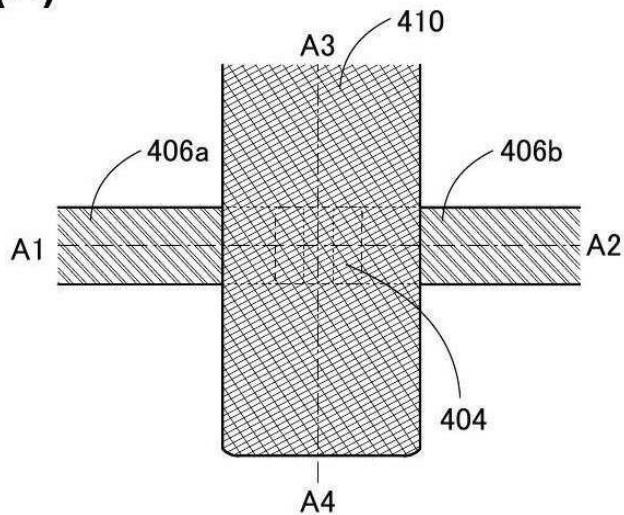


(B)

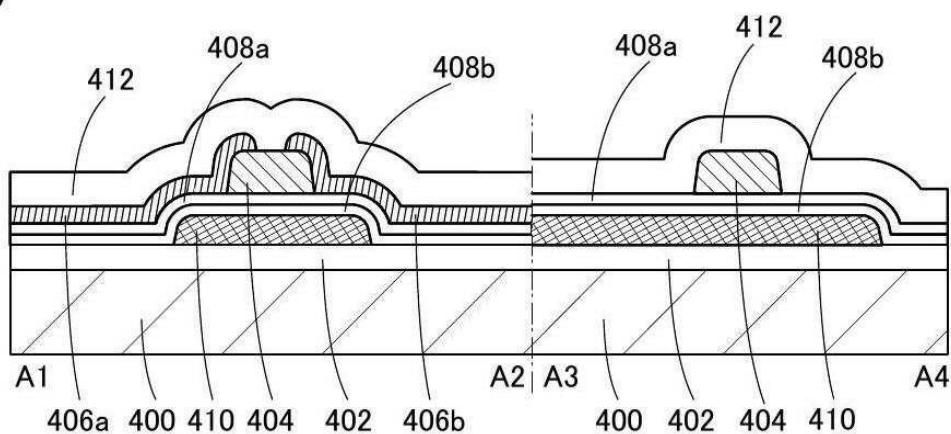


도면10

(A)

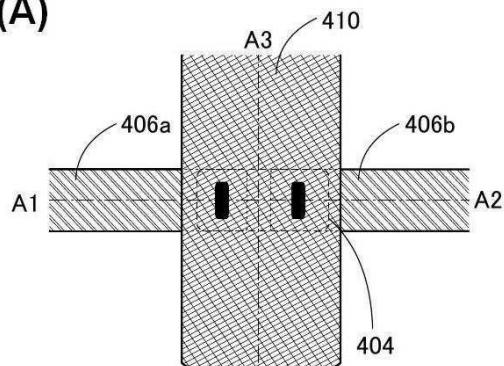


(B)

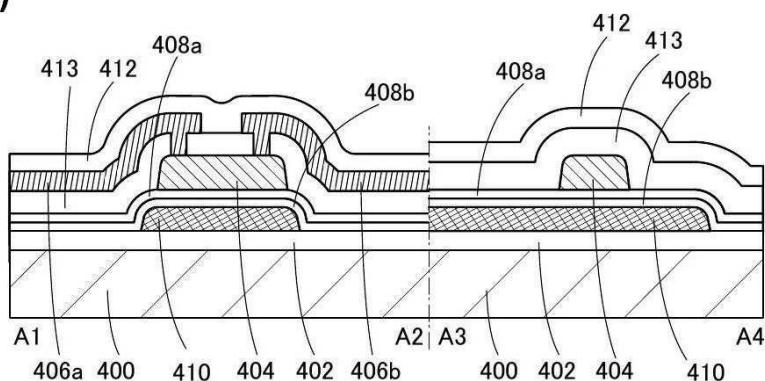


도면11

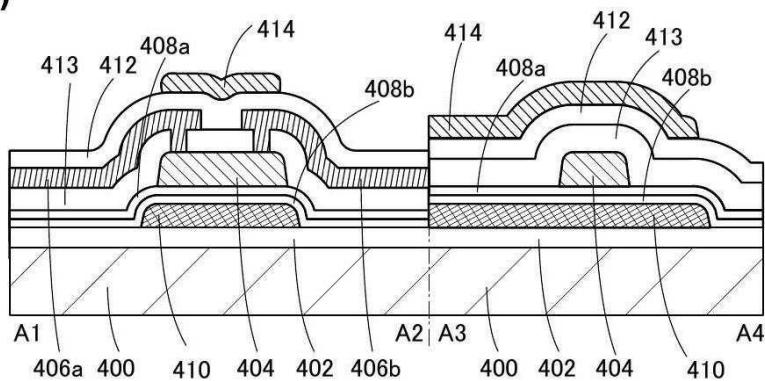
(A)



(B)

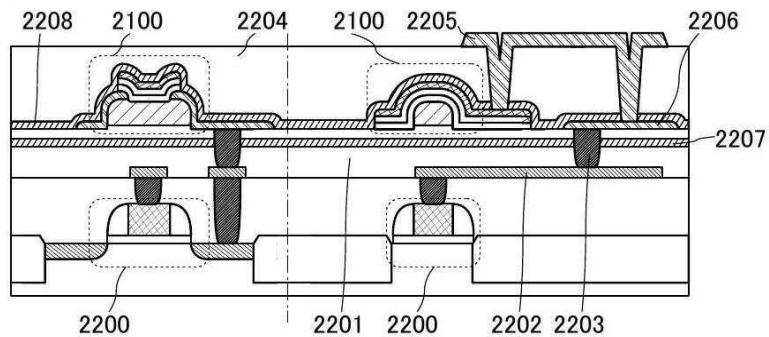


(C)

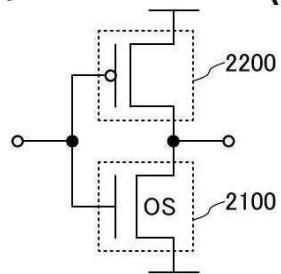


도면12

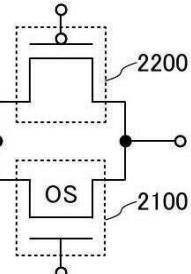
(A)



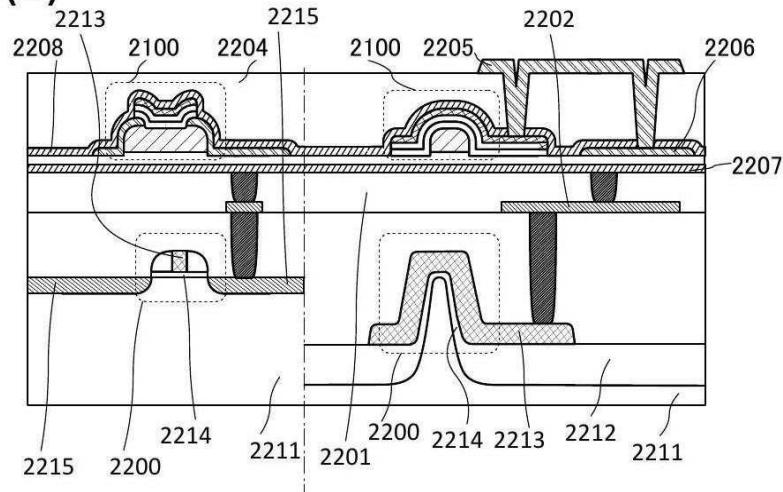
(B)



(C)

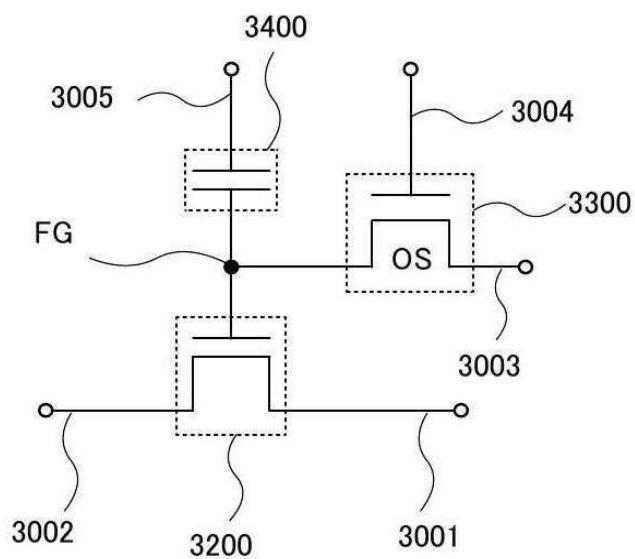


(D)

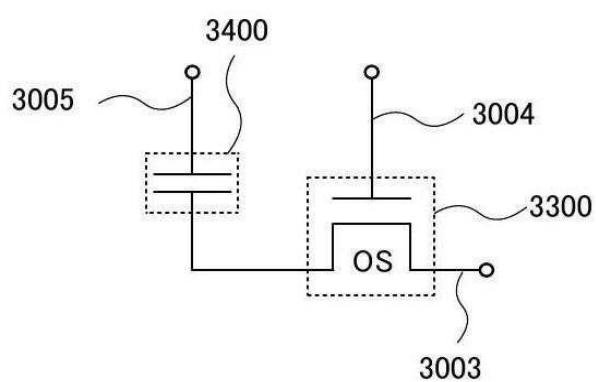


도면13

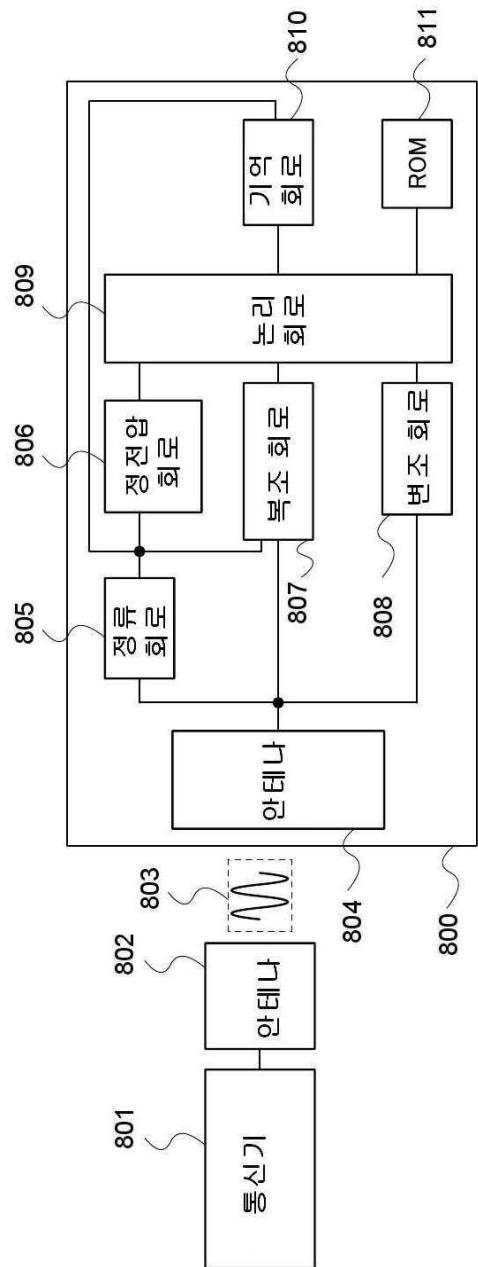
(A)



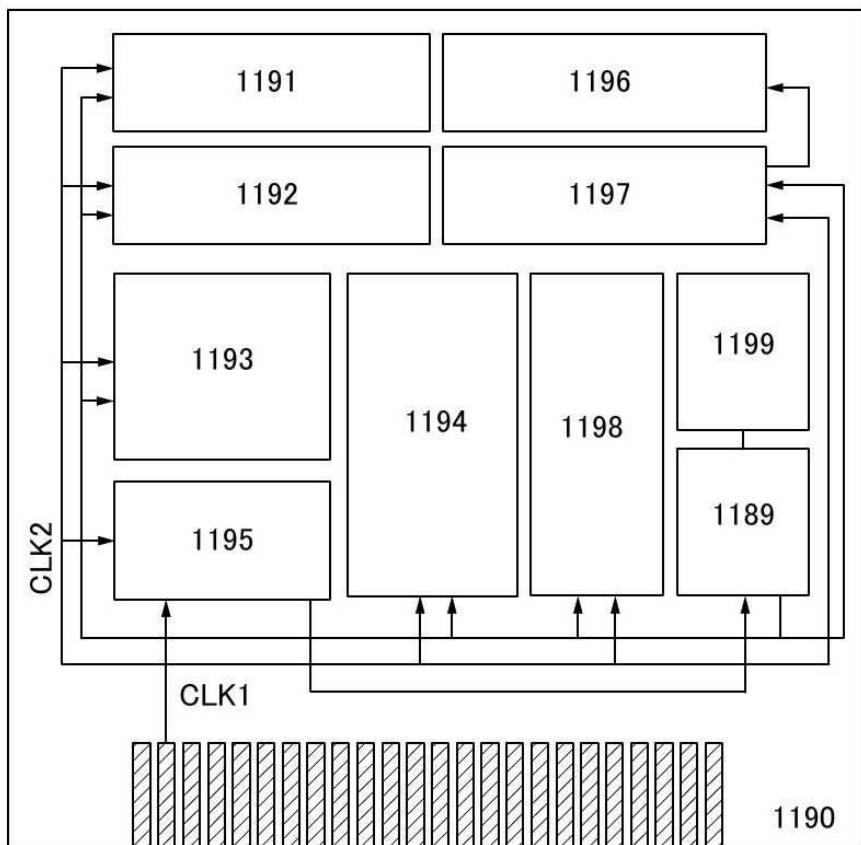
(B)



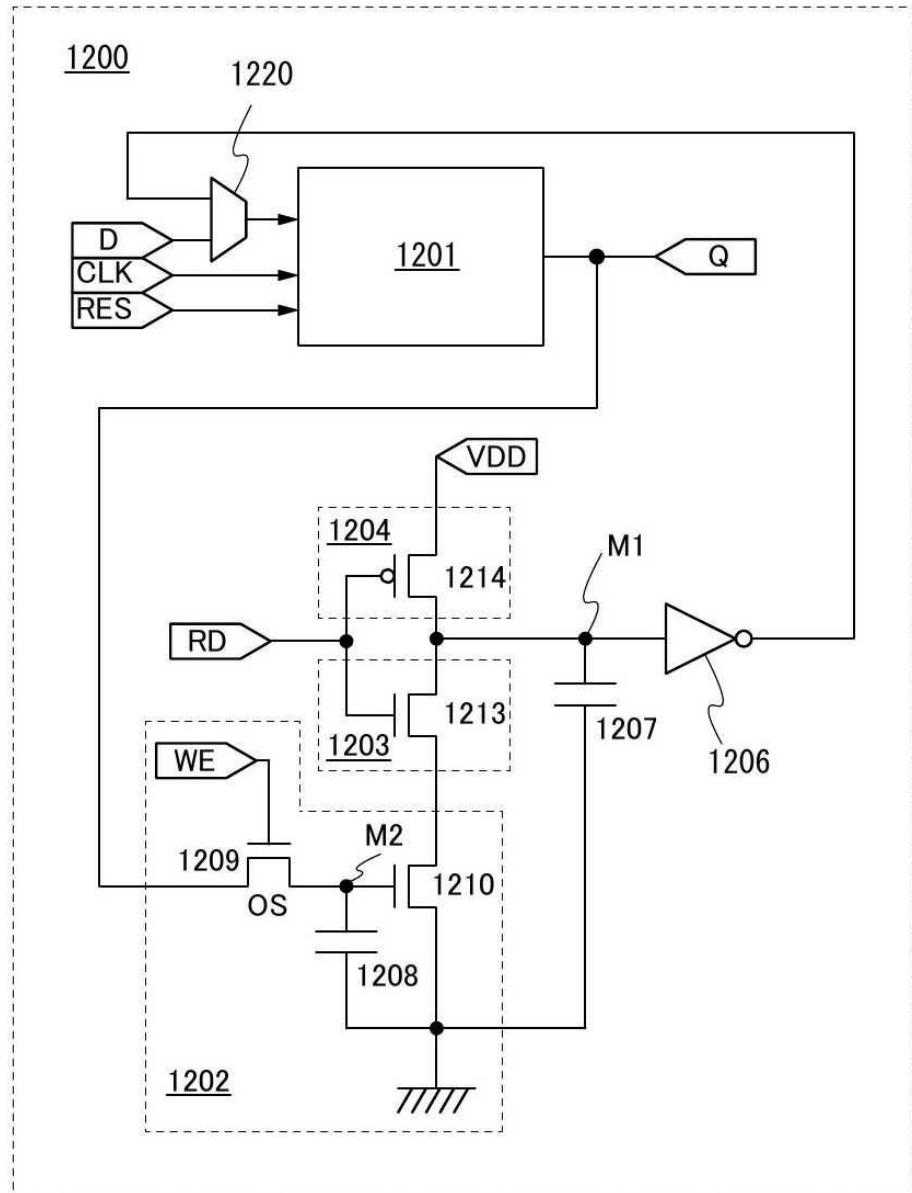
도면14



도면15

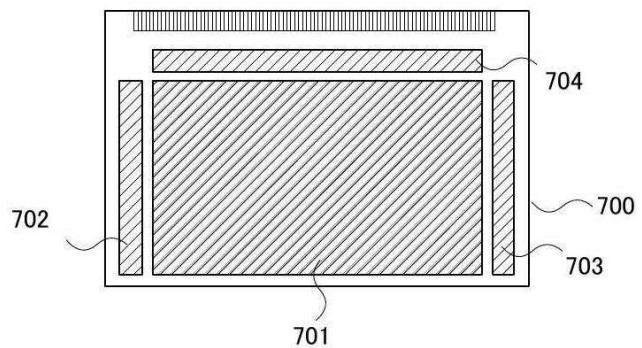


도면16

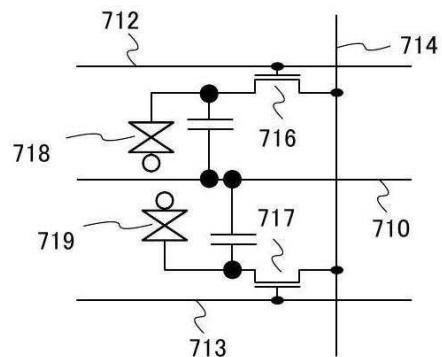


도면17

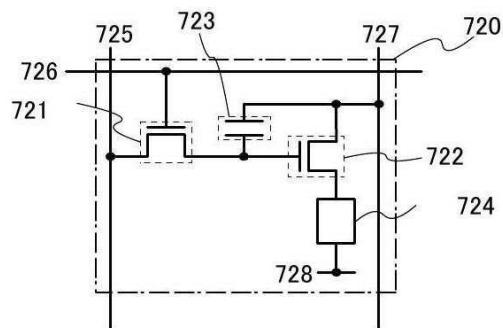
(A)



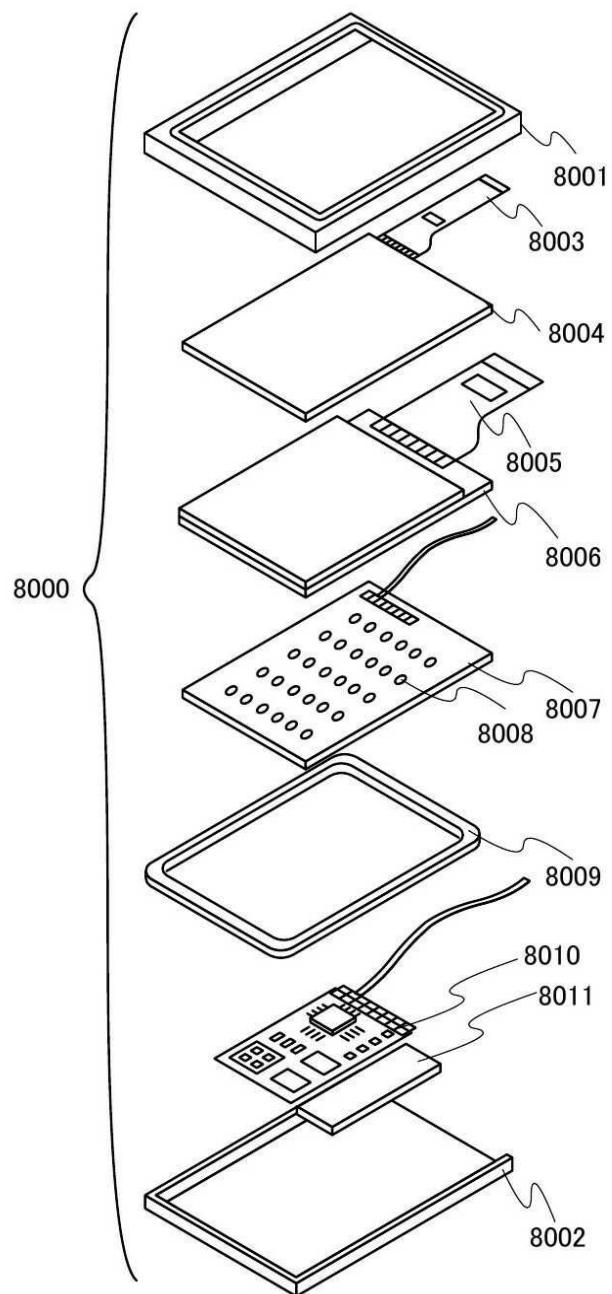
(B)



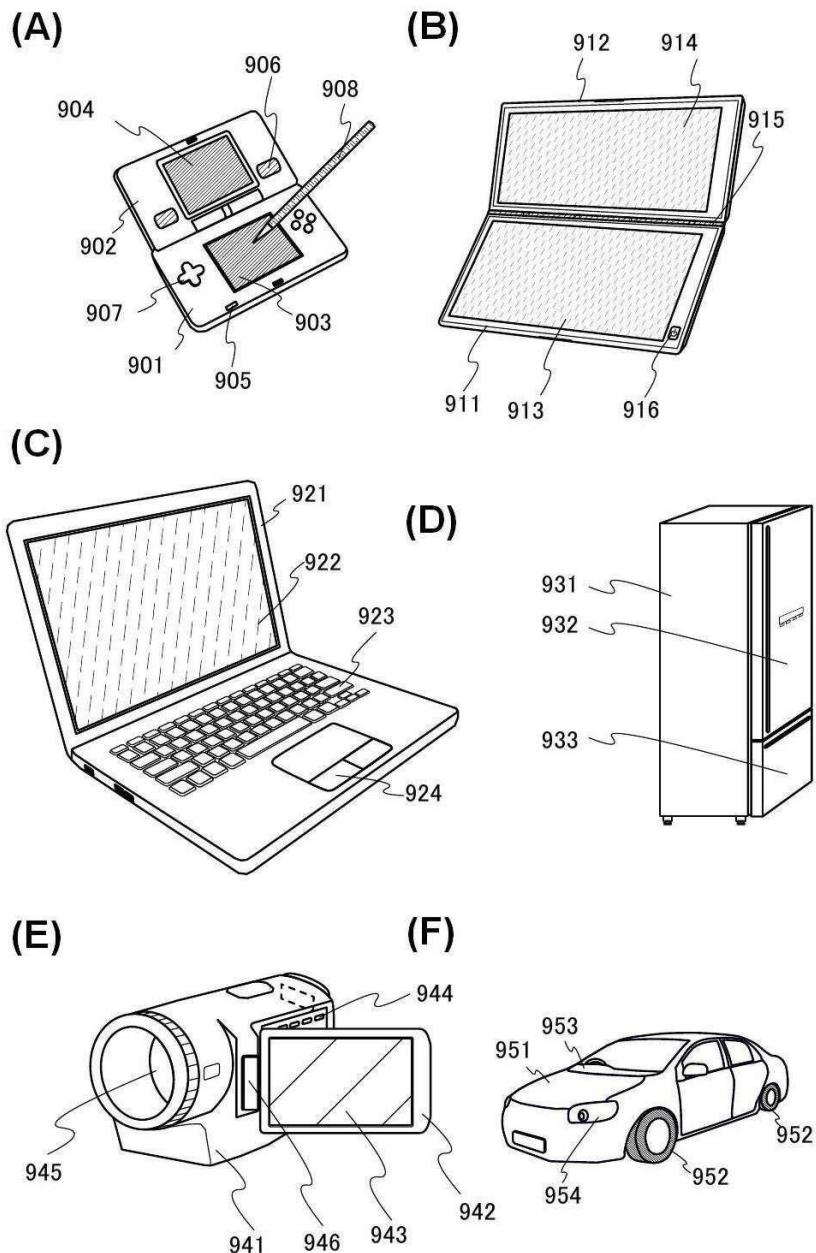
(C)



도면18

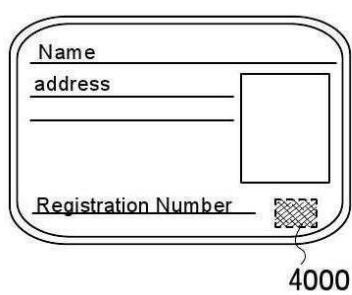


도면19

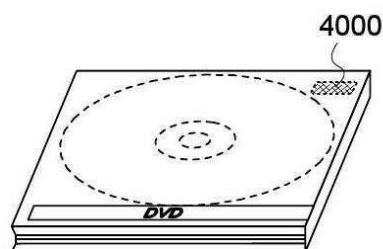


도면20

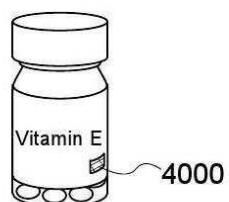
(A)



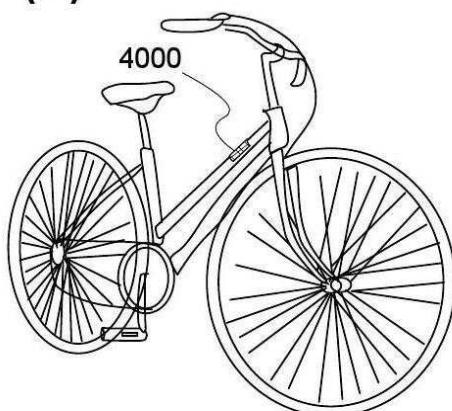
(B)



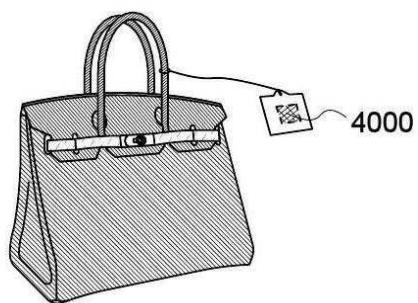
(C)



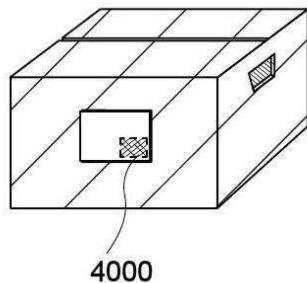
(D)



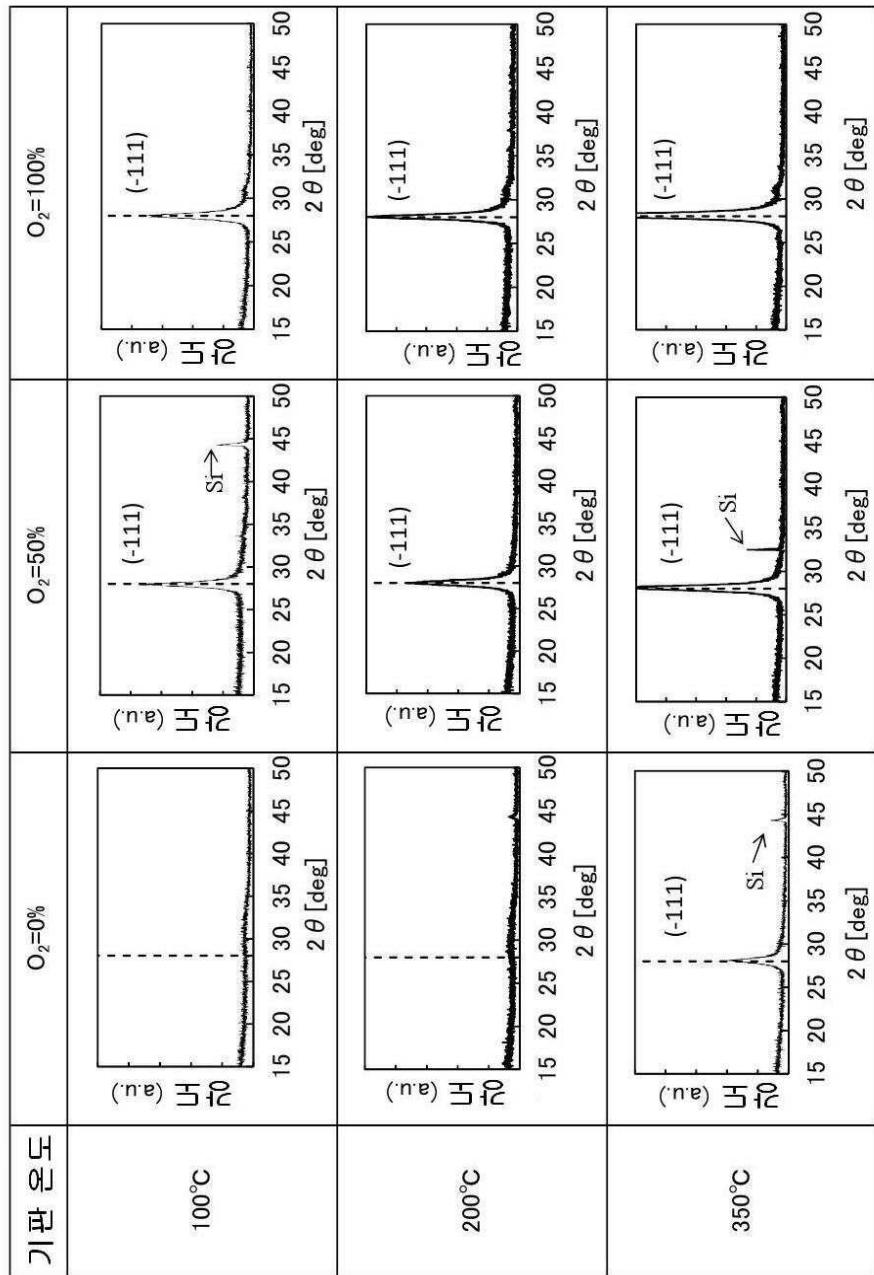
(E)



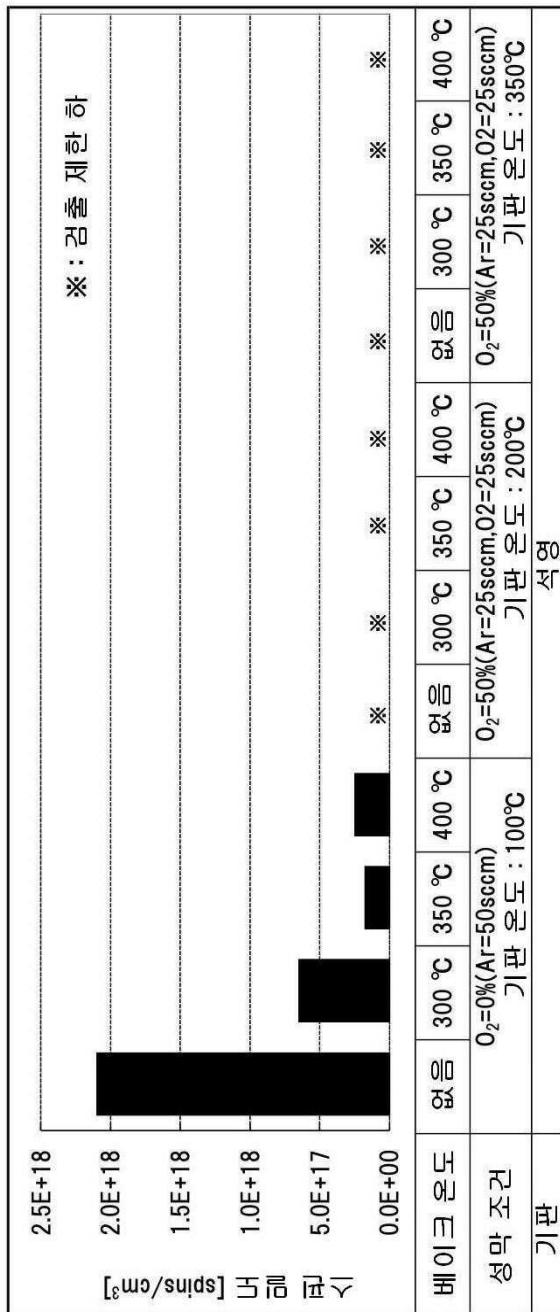
(F)



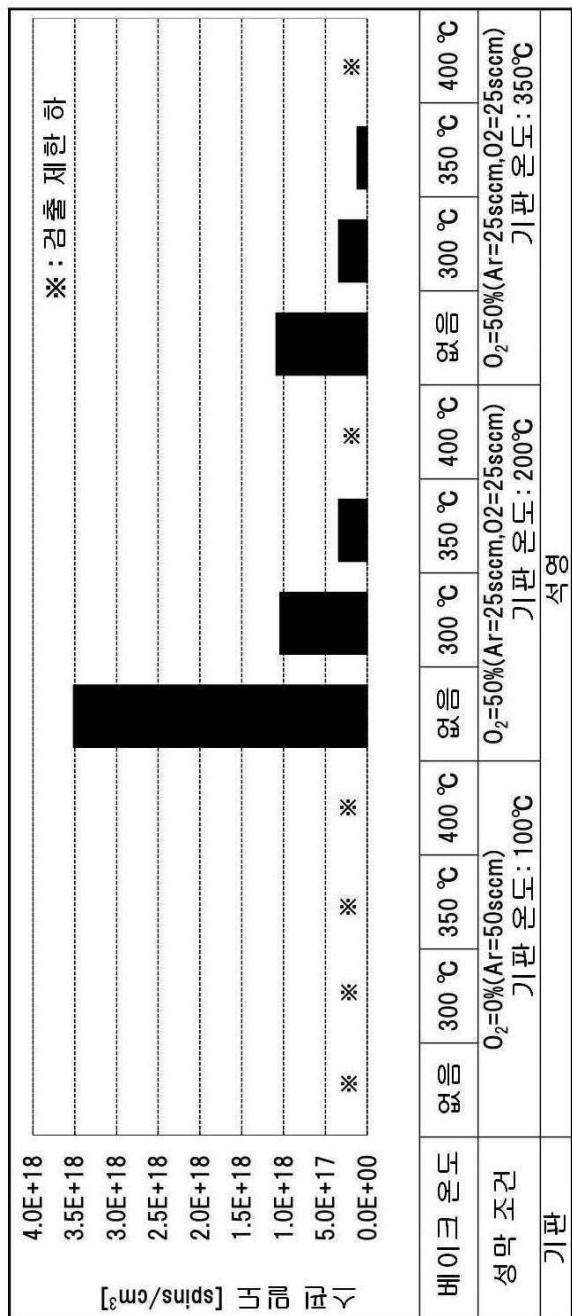
도면21



도면22

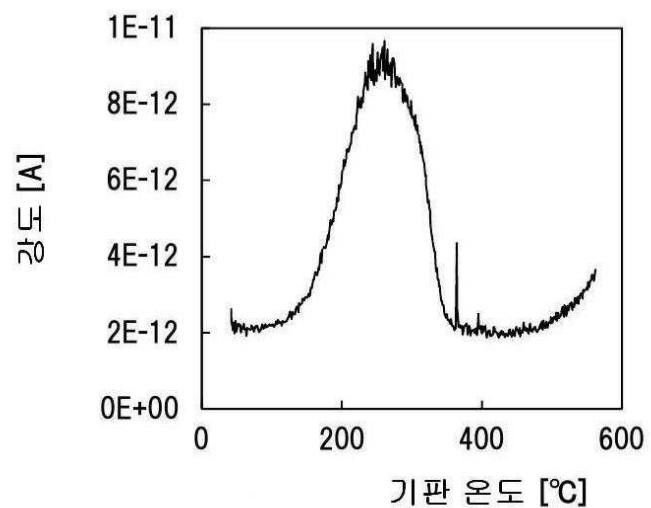


도면23

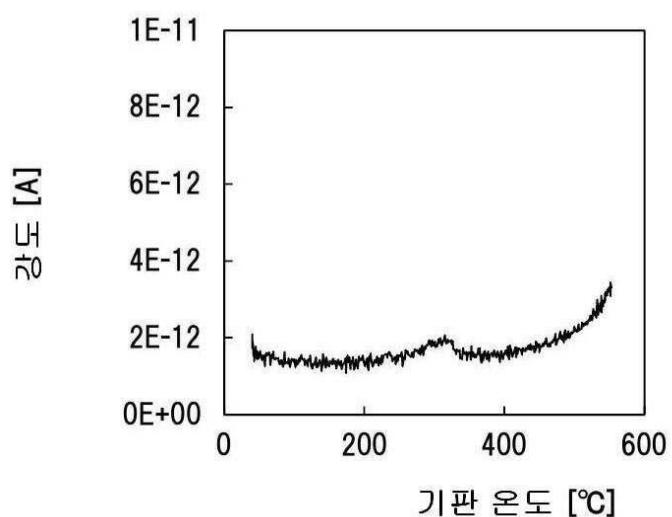


도면24

(A)



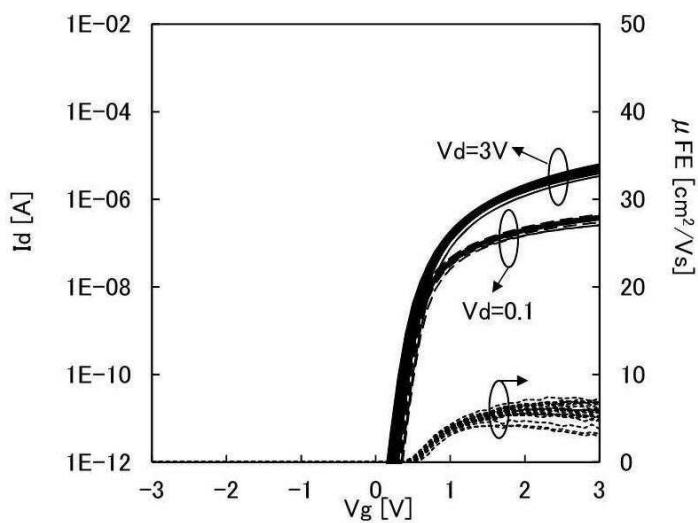
(B)



도면25

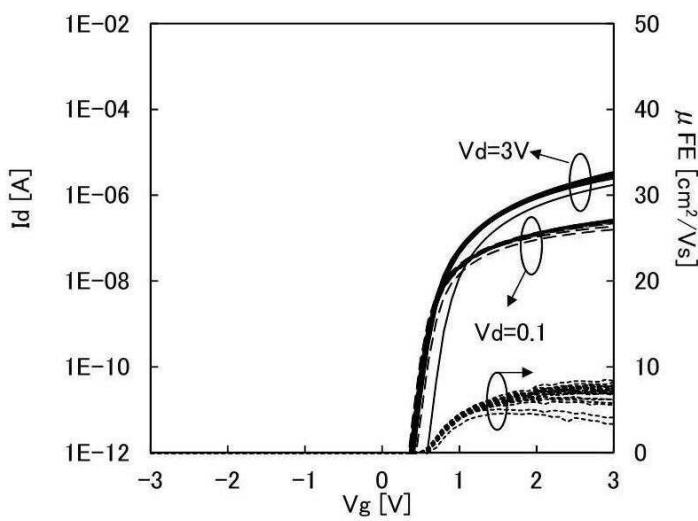
(A)

실시예 A



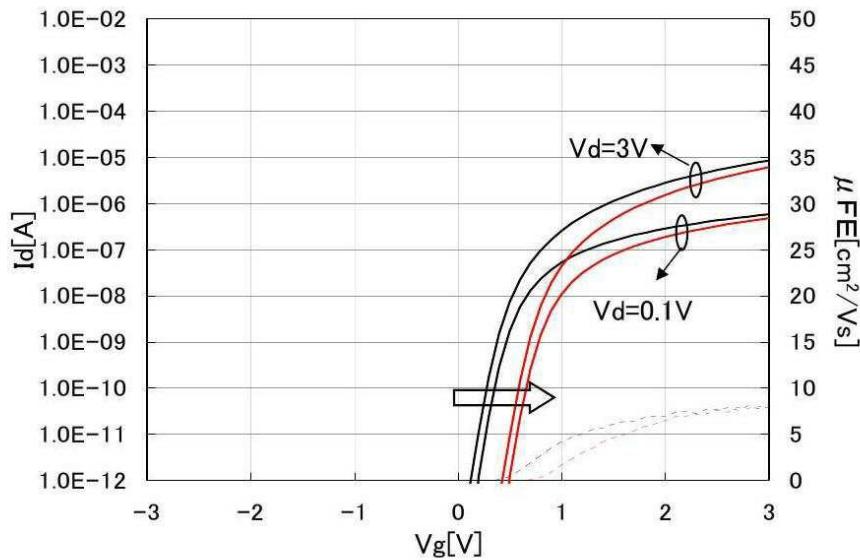
(B)

실시예 B

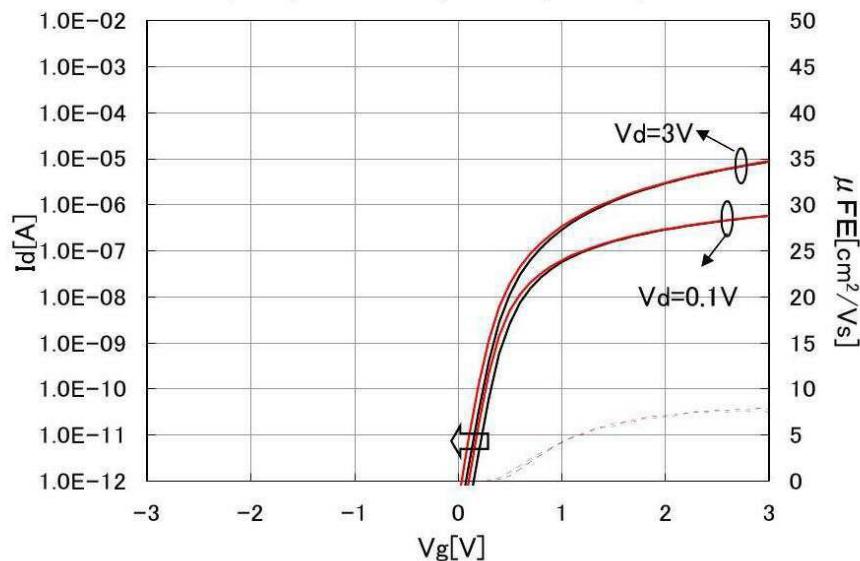


દોર્ય 26

(A)

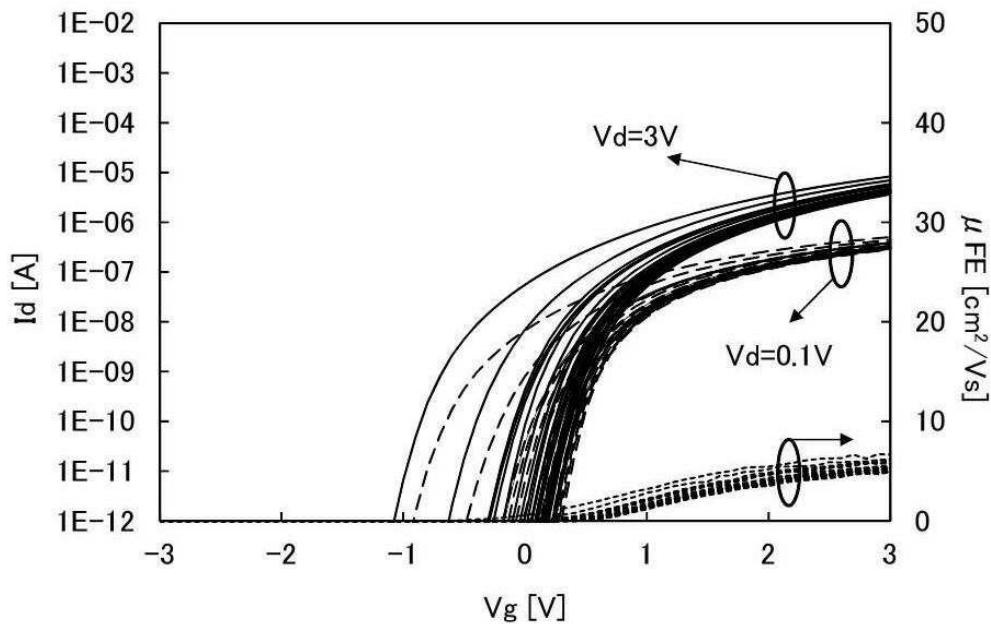


(B)



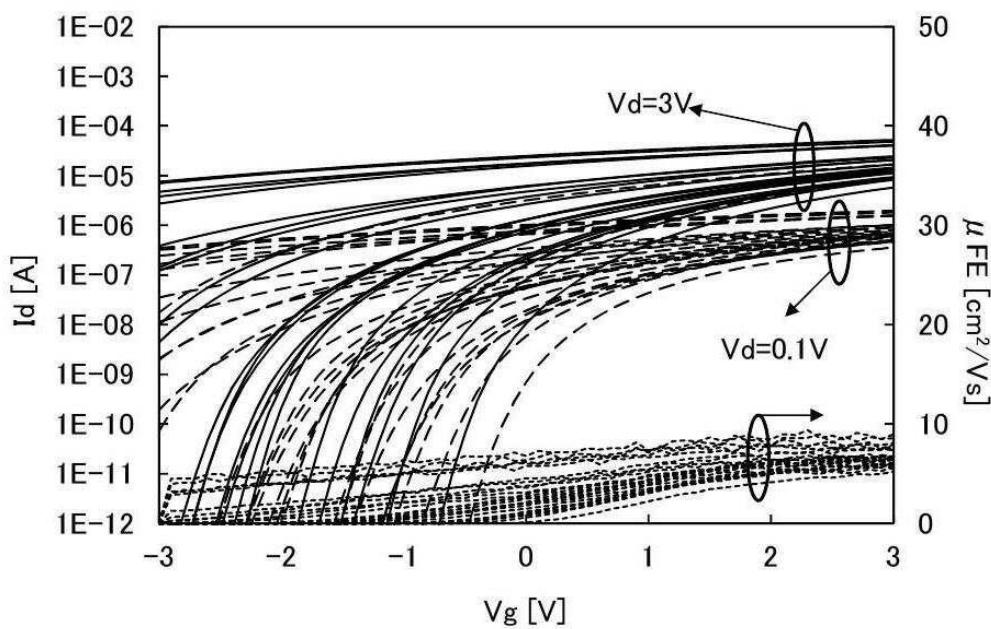
도면27

실시예 C



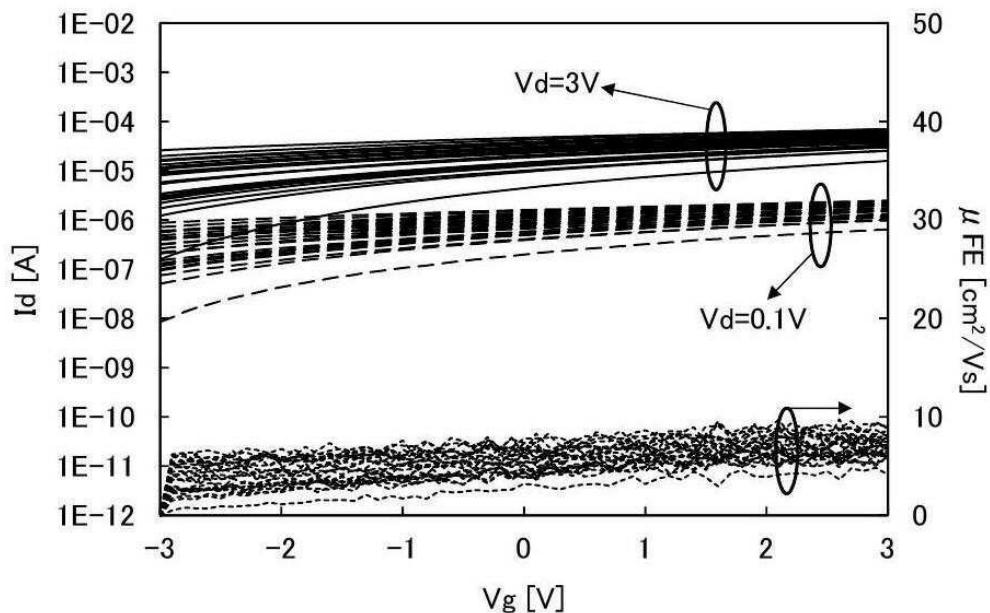
도면28

비교예 D



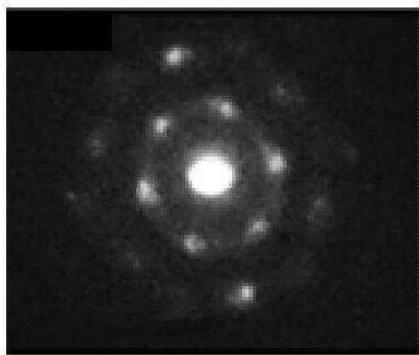
도면29

비교 예 E



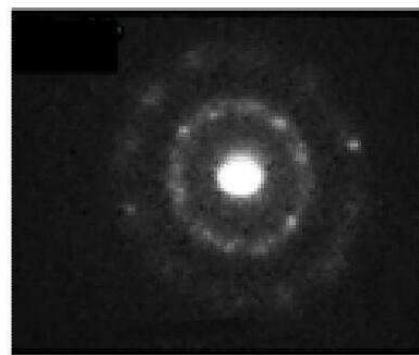
도면30

(A)



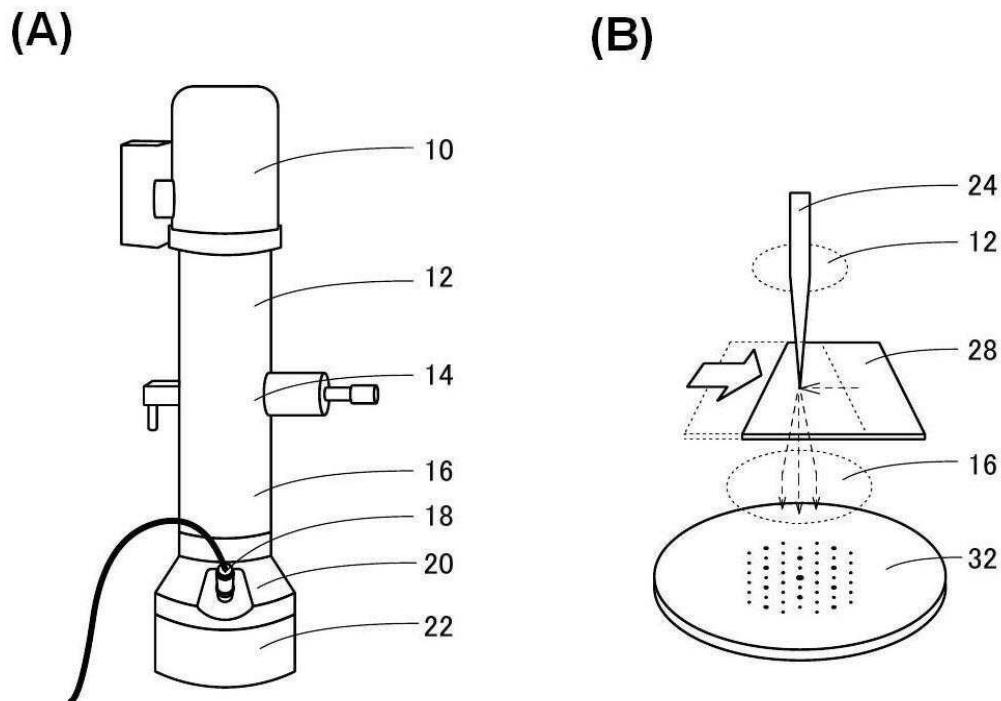
CAAC-OS

(B)

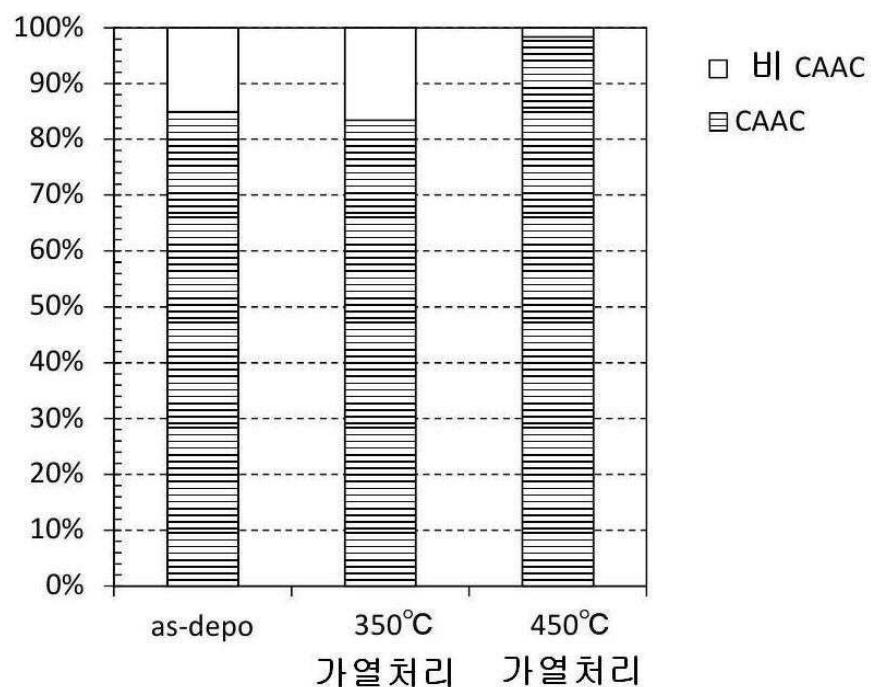


nc-OS

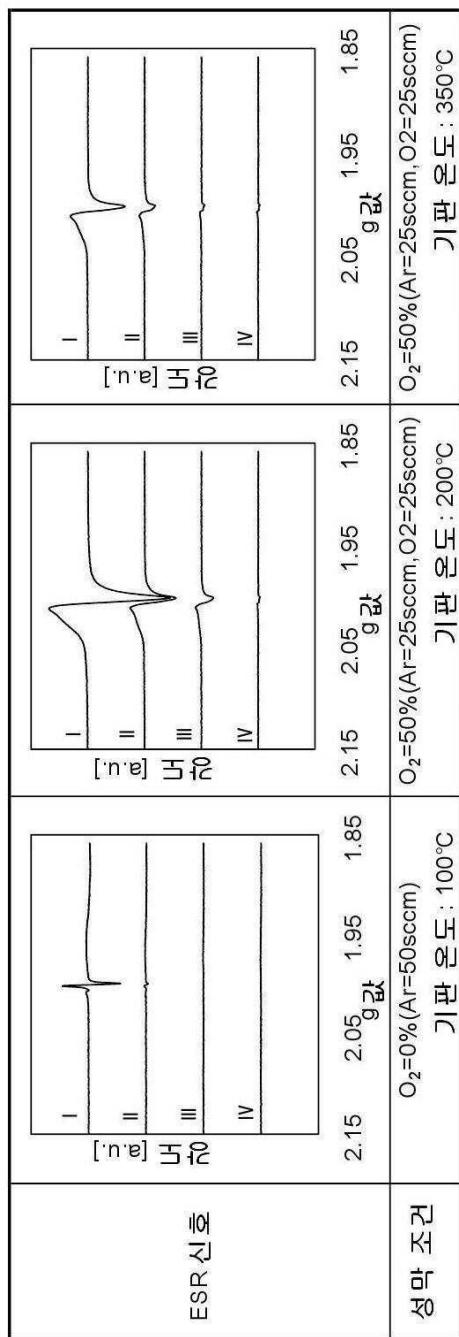
도면31



도면32



도면33



I: 베이크 하지 않음
 II: 300 °C에서 베이크
 III: 350 °C에서 베이크
 IV: 400 °C에서 베이크