



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0041685
(43) 공개일자 2019년04월23일

(51) 국제특허분류(Int. Cl.)
H01L 43/02 (2006.01) H01L 43/10 (2006.01)
H01L 43/12 (2006.01)
(52) CPC특허분류
H01L 43/02 (2013.01)
H01L 43/10 (2013.01)
(21) 출원번호 10-2017-0133199
(22) 출원일자 2017년10월13일
심사청구일자 2017년10월13일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
재단법인대구경북과학기술원
대구 달성군 현풍면 테크노중앙대로 333,
(72) 발명자
이기석
울산광역시 울주군 언양읍 유니스트길 50 울산과
학기술대학교
한희성
울산광역시 울주군 언양읍 유니스트길 50 울산과
학기술대학교
(뒷면에 계속)
(74) 대리인
제일특허법인(유)

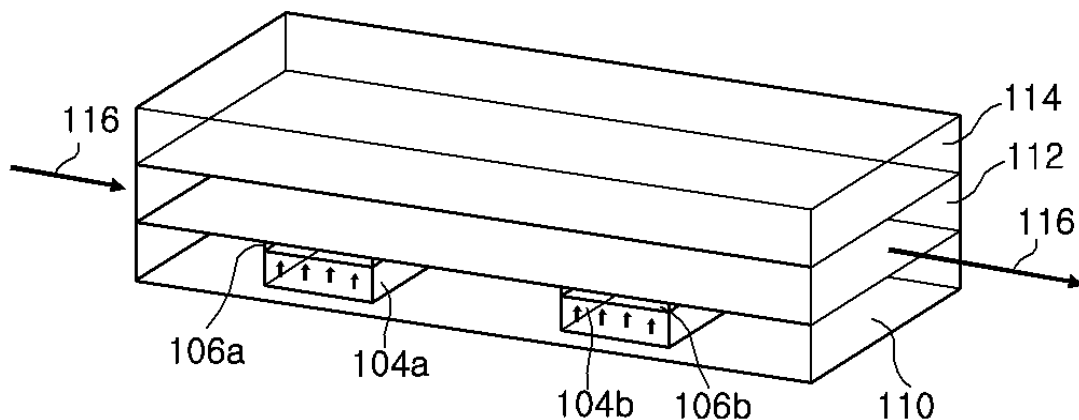
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 블로흐 포인트 구조체를 이용한 메모리 디바이스 및 제조 방법

(57) 요약

본 발명에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스는, 블로흐 포인트 구조체를 이용한 메모리 디바이스에 있어서, 소정 패턴 구조의 제 1 강자성층(ferromagnetic layer)과, 상기 제 1 강자성층 상에 형성된 비자성층(non-magnetic layer)과, 상기 제 1 강자성층과 상기 비자성층을 매립하는 형태로 수평하게 형성되어 상기 비자성층의 상부를 노출시키는 제 1 반강자성층(antiferromagnetic layer)과, 상기 비자성층과 상기 제 1 반강자성층 상에 형성된 제 2 강자성층과, 상기 제 2 강자성층 상에 형성된 제 2 반강자성층을 포함하고, 상기 메모리 디바이스는, 상기 제 1 강자성층과 상기 비자성층의 상부가 제 1 영역으로 구획되고, 상기 제 1 영역을 제외한 나머지 상부가 제 2 영역으로 구획될 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 43/12 (2013.01)

(72) 발명자

홍정일

대구광역시 달성군 현풍면 테크노중앙대로 333

임미영

대구광역시 달성군 현풍면 테크노중앙대로 333

이 발명을 지원한 국가연구개발사업

과제고유번호 2016K1A3A7A09005241

부처명 미래창조과학부

연구관리전문기관 과학기술정보통신부

연구사업명 해외대형연구시설활용연구지원사업

연구과제명 자성 솔리톤의 3차원 스핀구조 및 동역학 연구

기 여 율 1/5

주관기관 울산과학기술원

연구기간 2016.03.21 ~ 2016.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2015K1A4A3064610

부처명 미래창조과학부

연구관리전문기관 과학기술정보통신부

연구사업명 해외우수연구기관유치사업

연구과제명 방사광 가속기 현미경을 이용한 스핀 동역학 연구

기 여 율 1/5

주관기관 울산과학기술원

연구기간 2016.08.01 ~ 2017.07.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2016080006

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 (2-3한국연구재단)로렌스 버클리 국립연구소-DGIST 공동연구센터

연구과제명 (2-3한국연구재단)로렌스 버클리 국립연구소-DGIST 공동연구센터

기 여 율 1/5

주관기관 대구경북과학기술원

연구기간 2016.08.01 ~ 2017.07.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2016030042

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 나노구조 반강자성체 자구의 동역학 관찰

연구과제명 나노구조 반강자성체 자구의 동역학 관찰

기 여 율 1/5

주관기관 대구경북과학기술원

연구기간 2016.03.21 ~ 2016.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2015M3D1A1070465

부처명 미래창조과학부

연구관리전문기관 대구경북과학기술원

연구사업명 미래소재디스커버리사업

연구과제명 설계기반 Spin-Orbitronics 소재개발

기 여 율 1/5

주관기관 고려대학교 산학협력단

연구기간 2015.11.20 ~ 2021.11.19

명세서

청구범위

청구항 1

블로흐 포인트 구조체를 이용한 메모리 디바이스에 있어서,
 소정 패턴 구조의 제 1 강자성층(ferromagnetic layer)과,
 상기 제 1 강자성층 상에 형성된 비자성층(non-magnetic layer)과,
 상기 제 1 강자성층과 상기 비자성층을 매립하는 형태로 수평하게 형성되어 상기 비자성층의 상부를 노출시키는 제 1 반강자성층(antiferromagnetic layer)과,
 상기 비자성층과 상기 제 1 반강자성층 상에 형성된 제 2 강자성층과,
 상기 제 2 강자성층 상에 형성된 제 2 반강자성층
 을 포함하고,
 상기 메모리 디바이스는,
 상기 제 1 강자성층과 상기 비자성층의 상부가 제 1 영역으로 구획되고, 상기 제 1 영역을 제외한 나머지 상부가 제 2 영역으로 구획되는
 블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 2

제 1 항에 있어서,
 상기 제 1 강자성층은,
 자성체의 자화 방향이 고정되어 있는 고정층(fixed layer)이고,
 상기 제 2 강자성층은,
 외부 자극에 의해 자성체의 자화 방향이 변화되는 자유층(free layer)이며, 자기 구조체인 블로흐 포인트(Bloch point)를 포함하는
 블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 3

제 2 항에 있어서,
 상기 제 1 및 제 2 반강자성층은,
 상기 제 2 강자성층의 표면 자화가 상기 외부 자극에 의해 변화되는 것을 방지하도록 기능하는
 블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 4

제 2 항에 있어서,
 상기 블로흐 포인트는,
 상기 제 1 영역에 임계세기 이상의 전류가 수직 방향으로 인가될 때 형성되는
 블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 5

제 2 항에 있어서,

상기 블로흐 포인트는 외부 전류에 의하여 움직이며,

임계세기 이상의 상기 외부 전류가 수직 방향으로 인가될 때 상기 제 2 영역에 있는 블로흐 포인트가 상기 제 1 영역으로 이동하는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 6

제 2 항에 있어서,

상기 블로흐 포인트의 이동은,

상기 제 1 영역 내에 있는 상기 자유층의 자화 방향의 반전을 일으키는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 7

제 6 항에 있어서,

상기 자화 방향은,

상기 제 1 영역 내에 있는 상기 자유층의 박막의 상단 위쪽 자화 방향이 상단 아래쪽 자화 방향으로 반전되거나 또는 상기 제 1 영역 내에 있는 상기 자유층의 박막의 상단 아래쪽 자화 방향이 상단 위쪽 자화 방향으로 반전 되는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 8

제 7 항에 있어서,

상기 자화 방향의 반전은,

상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 같을 때 저항이 상대적으로 낮고, 상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 다를 때 저항이 상대적으로 높아지는 거대 자기저항(GMR: Giant magnetoresistance) 또는 터널링 자기저항(TMR: Tunneling magnetoresistance)을 이용하는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 9

제 1 항에 있어서,

상기 제 1 강자성층은,

코발트, 코발트-철-보론 합금, 코발트-철 합금 중 어느 하나인

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 10

제 9 항에 있어서,

상기 제 1 강자성층은,

10nm 내지 수백nm의 두께 범위를 갖는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 11

제 1 항에 있어서,

상기 비자성층은,
비자성 금속 또는 절연체 중 어느 하나인
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 12

제 11 항에 있어서,
상기 비자성층은,
구리 또는 크롬인
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 13

제 11 항에 있어서,
상기 비자성층은,
수Å 내지 수십nm의 두께 범위를 갖는
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 14

제 1 항에 있어서,
상기 제 2 강자성층은,
니켈-철 합금, 코발트, 니켈, 철 중 어느 하나인
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 15

제 14 항에 있어서,
상기 제 2 강자성층은,
50nm 내지 수백nm의 두께 범위를 갖는
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 16

제 1 항에 있어서,
상기 제 1 및 제 2 반강자성층 각각은,
이리듐-망간 합금, 코발트-산화니켈 합금, 망간-플레티넘 합금, 페로망간, 산화코발트 중 어느 하나인
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 17

제 16 항에 있어서,
상기 제 1 및 제 2 반강자성층 각각은,
50nm 내지 수백nm의 두께 범위를 갖는
블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 18

제 1 항에 있어서,

상기 제 1 강자성층과 비자성층은,

소정 간격만큼 이격된 두 개의 적층 구조체로 형성되며, 하나의 적층 구조체는 정보의 기록소자로 기능하고, 다른 하나의 적층 구조체는 정보의 판독소자로 기능하는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 19

제 1 항에 있어서,

상기 제 1 강자성층과 비자성층은,

하나의 적층 구조체로 형성되어 정보의 기록소자 또는 정보의 판독소자로 기능하는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 20

제 1 항에 있어서,

상기 소정 패턴 구조는,

원형, 사각형, 다각형 중 어느 하나인

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 21

베이스 상에 소정 패턴 구조의 제 1 강자성층을 형성하는 단계와,

상기 제 1 강자성층 상에 비자성층을 형성하는 단계와,

상기 제 1 강자성층과 상기 비자성층을 매립하는 형태로 수평하게 형성되며, 상기 비자성층의 상부를 노출시키는 제 1 반강자성층을 형성하는 단계와,

상기 비자성층과 상기 제 1 반강자성층 상에 제 2 강자성층을 형성하는 단계와,

상기 제 2 강자성층 상에 제 2 반강자성층을 형성하는 단계

를 포함하는 블로흐 포인트 구조체를 이용한 메모리 디바이스의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 제 1 강자성층은,

자성체의 자화 방향이 고정되어 있는 고정층(fixed layer)이고,

상기 제 2 강자성층은,

외부 자극에 의해 자성체의 자화 방향이 변화되는 자유층(free layer)이며, 자기 구조체인 블로흐 포인트(Bloch point)를 포함하는

블로흐 포인트 구조체를 이용한 메모리 디바이스의 제조 방법.

청구항 23

제 21 항에 있어서,

상기 제 1 강자성층과 비자성층은,

소정 간격만큼 이격된 두 개의 적층 구조체로 형성되며, 하나의 적층 구조체는 정보의 기록소자로 기능하고, 다른 하나의 적층 구조체는 정보의 판독소자로 기능하는

블로흐 포인트 구조체를 이용한 메모리 디바이스의 제조 방법.

청구항 24

제 21 항에 있어서,

상기 제 1 강자성층과 비자성층은,

하나의 적층 구조체로 형성되어 정보의 기록소자 또는 정보의 판독소자로 기능하는

블로흐 포인트 구조체를 이용한 메모리 디바이스의 제조 방법.

청구항 25

블로흐 포인트를 이용한 메모리 디바이스에 있어서,

제 1 반강자성층(antiferromagnetic layer)과,

상기 제 1 반강자성층 상에 형성된 제 1 강자성층(ferromagnetic layer)과,

상기 제 1 강자성층 상에 형성된 소정 패턴 구조의 비자성층(non-magnetic layer)과,

상기 비자성층 상에 형성된 제 2 강자성층과,

상기 비자성층과 상기 제 2 강자성층을 매립하는 형태로 수평하게 형성되어 상기 제 2 강자성층의 상부를 노출시키는 제 2 반강자성층

을 포함하고,

상기 메모리 디바이스는,

상기 비자성층과 제 2 강자성층의 하부가 제 1 영역으로 구획되고, 상기 제 1 영역을 제외한 나머지 하부가 제 2 영역으로 구획되는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 26

제 25 항에 있어서,

상기 제 1 강자성층과 비자성층은,

소정 간격만큼 이격된 두 개의 적층 구조체로 형성되며, 하나의 적층 구조체는 정보의 기록소자로 기능하고, 다른 하나의 적층 구조체는 정보의 판독소자로 기능하는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

청구항 27

제 25 항에 있어서,

상기 제 1 강자성층과 비자성층은,

하나의 적층 구조체로 형성되어 정보의 기록소자 또는 정보의 판독소자로 기능하는

블로흐 포인트 구조체를 이용한 메모리 디바이스.

발명의 설명

기술 분야

본 발명은 메모리 디바이스에 관한 것으로, 더욱 상세하게는 전류의 인가를 통해 자성층(강자성층)에 형성된 블로흐 포인트(Bloch-point)를 이동시킴으로써, 자성층에 기록된 정보를 판독할 수 있는 블로흐 포인트 구조체를 이용한 메모리 디바이스 및 제조 방법에 관한 것이다.

[0001]

배경기술

- [0002] 잘 알려진 바와 같이, 자성체를 구성하는 자기적인 영역을 자구벽(magnetic domain wall)이라고 하는데, 이러한 자구벽은 외부에서 인가되는 자기장 또는 전류에 의해 이동될 수 있다.
- [0003] 이러한 자구벽 이동을 이용한 종래의 메모리 장치는 모든 메모리 셀에 자기장을 인가할 경우 모든 메모리 셀이 동시에 움직이게 되므로, 원하는 메모리 셀만을 정확하게 동작(각 메모리 셀의 독립적 구동)시키기 위해서는 각 데이터 셀마다 개별의 자기장 인가 구조를 만들어야만 한다.
- [0004] 따라서, 자구벽 이동을 이용한 종래의 메모리 장치는 각 셀마다 개별의 자기장 인가 구조를 적용해야만 하기 때문에 전체 구조가 복잡하게 되는 문제가 있으며, 이러한 문제로 인해 MRAM(Magnetic RAM) 등과 같은 메모리 소자의 고밀도화(고집적화)를 어렵게 하고 있다.
- [0005] 이로 인해서, 전류에 의해 이동되는 자구벽에 대해 관심이 높아지고 있으며, 자구벽이 형성되어 있는 나노 와이어(nanowire)에 전류를 흘려주면, 형성되어 있는 모든 자구벽들이 전류와 반대 방향으로 움직이기 때문에 개별의 자기장 인가 구조가 필요가 없다.
- [0006] 그러나, 자구벽을 이용하는 종래의 메모리 장치의 경우, 자구벽의 이동 속도가 특정의 임계속도(예컨대, 300m/s) 이상으로 증가하게 되면, 자구벽 붕괴(Walker breakdown) 현상, 즉 자구벽의 기울어짐과 변형이 유발되는데, 이것은 자구벽의 이동을 유도하는 스핀들이 세차운동이 자구벽이 형성하게 되는 원인 중 하나인 쌍극자-쌍극자 상호작용(dipole-dipole interaction)을 극복하기 때문에 발생된다.
- [0007] 따라서, 자구벽 이동을 이용한 종래의 메모리 장치는, 자구벽 붕괴 현상으로 인해, 초고속의 메모리 장치(메모리 소자)를 실현하는데 한계를 가질 수밖에 없다는 단점을 갖는다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 대한민국 공개특허 제2010-0054357호(공개일: 2010. 05. 25.)

발명의 내용

해결하려는 과제

- [0009] 본 발명은 전류 인가를 통해 자성층에 형성된 블로흐 포인트(Bloch-point)를 관독 위치로 이동시키고, 전류를 흘려 저항을 측정하는 방식으로 고속의 정보 관독을 실현할 수 있는 블로흐 포인트 구조체를 이용한 메모리 디바이스 및 제조 방법을 제공하고자 한다.
- [0010] 본 발명이 해결하고자 하는 과제는 상기에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고자 하는 과제는 아래의 기재들로부터 본 발명이 속하는 통상의 지식을 가진 자에 의해 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0011] 본 발명은, 일 관점에 따라, 블로흐 포인트 구조체를 이용한 메모리 디바이스에 있어서, 소정 패턴 구조의 제 1 강자성층(ferromagnetic layer)과, 상기 제 1 강자성층 상에 형성된 비자성층(non-magnetic layer)과, 상기 제 1 강자성층과 상기 비자성층을 매립하는 형태로 수평하게 형성되어 상기 비자성층의 상부를 노출시키는 제 1 반강자성층(antiferromagnetic layer)과, 상기 비자성층과 상기 제 1 반강자성층 상에 형성된 제 2 강자성층과, 상기 제 2 강자성층 상에 형성된 제 2 반강자성층을 포함하고, 상기 메모리 디바이스는, 상기 제 1 강자성층과 상기 비자성층의 상부가 제 1 영역으로 구획되고, 상기 제 1 영역을 제외한 나머지 상부가 제 2 영역으로 구획되는 블로흐 포인트 구조체를 이용한 메모리 디바이스를 제공할 수 있다.
- [0012] 본 발명의 상기 제 1 강자성층은, 자성체의 자화 방향이 고정되어 있는 고정층(fixed layer)이고, 상기 제 2 강자성층은, 외부 자극에 의해 자성체의 자화 방향이 변화되는 자유층(free layer)이며, 자기 구조체인 블로흐 포인트(Bloch point)를 포함할 수 있다.

- [0013] 본 발명의 상기 제 1 및 제 2 반강자성층은, 상기 제 2 강자성층의 표면 자화가 상기 외부 자극에 의해 변화되는 것을 방지하도록 기능할 수 있다.
- [0014] 본 발명의 상기 블로흐 포인트는, 상기 제 1 영역에 임계세기 이상의 전류가 수직 방향으로 인가될 때 형성될 수 있다.
- [0015] 본 발명의 상기 블로흐 포인트는 외부 전류에 의하여 움직이며, 임계세기 이상의 상기 외부 전류가 수직 방향으로 인가될 때 상기 제 2 영역에 있는 블로흐 포인트가 상기 제 1 영역으로 이동할 수 있다.
- [0016] 본 발명의 상기 블로흐 포인트의 이동은, 상기 제 1 영역 내에 있는 상기 자유층의 자화 방향의 반전을 일으킬 수 있다.
- [0017] 본 발명의 상기 자화 방향은, 상기 제 1 영역 내에 있는 상기 자유층의 박막의 상단 위쪽 자화 방향이 상단 아래쪽 자화 방향으로 반전되거나 또는 상기 제 1 영역 내에 있는 상기 자유층의 박막의 상단 아래쪽 자화 방향이 상단 위쪽 자화 방향으로 반전될 수 있다.
- [0018] 본 발명의 상기 자화 방향의 반전은, 상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 같을 때 저항이 상대적으로 낮고, 상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 다를 때 저항이 상대적으로 높아지는 거대 자기저항(GMR: Giant magneto-resistance) 또는 터널링 자기저항(TMR: Tunneling magneto-resistance)을 이용할 수 있다.
- [0019] 본 발명의 상기 제 1 강자성층은, 코발트, 코발트-철-보론 합금, 코발트-철 합금 중 어느 하나일 수 있다.
- [0020] 본 발명의 상기 제 1 강자성층은, 10nm 내지 수백nm의 두께 범위를 가질 수 있다.
- [0021] 본 발명의 상기 비자성층은, 비자성 금속 또는 절연체 중 어느 하나일 수 있다.
- [0022] 본 발명의 상기 비자성층은, 구리 또는 크롬일 수 있다.
- [0023] 본 발명의 상기 비자성층은, 수Å 내지 수십nm의 두께 범위를 가질 수 있다.
- [0024] 본 발명의 상기 제 2 강자성층은, 니켈-철 합금, 코발트, 니켈, 철 중 어느 하나일 수 있다.
- [0025] 본 발명의 상기 제 2 강자성층은, 50nm 내지 수백nm의 두께 범위를 가질 수 있다.
- [0026] 본 발명의 상기 제 1 및 제 2 반강자성층 각각은, 이리듐-망간 합금, 코발트-산화니켈 합금, 망간-플레티넘 합금, 페로망간, 산화코발트 중 어느 하나일 수 있다.
- [0027] 본 발명의 상기 제 1 및 제 2 반강자성층 각각은, 50nm 내지 수백nm의 두께 범위를 가질 수 있다.
- [0028] 본 발명의 상기 제 1 강자성층과 비자성층은, 소정 간격만큼 이격된 두 개의 적층 구조체로 형성되며, 하나의 적층 구조체는 정보의 기록소자로 기능하고, 다른 하나의 적층 구조체는 정보의 판독소자로 기능할 수 있다.
- [0029] 본 발명의 상기 제 1 강자성층과 비자성층은, 하나의 적층 구조체로 형성되어 정보의 기록소자 또는 정보의 판독소자로 기능할 수 있다.
- [0030] 본 발명의 상기 소정 패턴 구조는, 원형, 사각형, 다각형 중 어느 하나일 수 있다.
- [0031] 본 발명은, 다른 관점에 따라, 베이스 상에 소정 패턴 구조의 제 1 강자성층을 형성하는 단계와, 상기 제 1 강자성층 상에 비자성층을 형성하는 단계와, 상기 제 1 강자성층과 상기 비자성층을 매립하는 형태로 수평하게 형성되며, 상기 비자성층의 상부를 노출시키는 제 1 반강자성층을 형성하는 단계와, 상기 비자성층과 상기 제 1 반강자성층 상에 제 2 강자성층을 형성하는 단계와, 상기 제 2 강자성층 상에 제 2 반강자성층을 형성하는 단계를 포함하는 블로흐 포인트 구조체를 이용한 메모리 디바이스의 제조 방법을 제공할 수 있다.
- [0032] 본 발명의 상기 제 1 강자성층은, 자성체의 자화 방향이 고정되어 있는 고정층(fixed layer)이고, 상기 제 2 강자성층은, 외부 자극에 의해 자성체의 자화 방향이 변화되는 자유층(free layer)이며, 자기 구조체인 블로흐 포인트(Bloch point)를 포함할 수 있다.
- [0033] 본 발명의 상기 제 1 강자성층과 비자성층은, 소정 간격만큼 이격된 두 개의 적층 구조체로 형성되며, 하나의 적층 구조체는 정보의 기록소자로 기능하고, 다른 하나의 적층 구조체는 정보의 판독소자로 기능할 수 있다.
- [0034] 본 발명의 상기 제 1 강자성층과 비자성층은, 하나의 적층 구조체로 형성되어 정보의 기록소자 또는 정보의 판독소자로 기능할 수 있다.

[0035] 본 발명은, 또 다른 관점에 따라, 제 1 반강자성층(antiferromagnetic layer)과, 상기 제 1 반강자성층 상에 형성된 제 1 강자성층(ferromagnetic layer)과, 상기 제 1 강자성층 상에 형성된 소정 패턴 구조의 비자성층(non-magnetic layer)과, 상기 비자성층 상에 형성된 제 2 강자성층과, 상기 비자성층과 상기 제 2 강자성층을 매립하는 형태로 수평하게 형성되어 상기 제 2 강자성층의 상부를 노출시키는 제 2 반강자성층을 포함하고, 상기 메모리 디바이스는, 상기 비자성층과 제 2 강자성층의 하부가 제 1 영역으로 구획되고, 상기 제 1 영역을 제외한 나머지 하부가 제 2 영역으로 구획되는 블로흐 포인트 구조체를 이용한 메모리 디바이스를 제공할 수 있다.

[0036] 본 발명의 상기 제 1 강자성층과 비자성층은, 소정 간격만큼 이격된 두 개의 적층 구조체로 형성되며, 하나의 적층 구조체는 정보의 기록소자로 기능하고, 다른 하나의 적층 구조체는 정보의 판독소자로 기능할 수 있다.

[0037] 본 발명의 상기 제 1 강자성층과 비자성층은, 하나의 적층 구조체로 형성되어 정보의 기록소자 또는 정보의 판독소자로 기능할 수 있다.

발명의 효과

[0038] 본 발명은, 자성층에 수평방향으로 전류를 인가하여 블로흐 포인트(Bloch-point)를 판독 소자의 위치로 이동시키고, 수직방향으로 전류를 흘려 저항을 측정하는 방식으로 자성층에 기록되어 있는 자화방향 기반의 정보를 초고속으로 판독할 수 있다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 제 1 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이다.

도 2는 발명의 제 1 실시 예에 따른 메모리 디바이스의 단면도이다.

도 3a 내지 3k는 제 1 실시 예에 따라 메모리 디바이스를 제조하는 주요 과정을 도시한 공정 순서도이다.

도 4은 블로흐 포인트가 형성되어 있는 자화 구조를 보여주는 예시도이다.

도 5는 도 4에 도시된 자화 구조의 단면도이다.

도 6은 위층의 자화 분포를 보여주는 예시도이다.

도 7은 중간층의 자화 분포를 보여주는 예시도이다.

도 8은 아래층의 자화 분포를 보여주는 예시도이다.

도 9는 다수의 블로흐 포인트가 형성되어 있는 자화 구조를 보여주는 예시도이다.

도 10은 본 발명의 제 2 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이다.

도 11은 발명의 제 2 실시 예에 따른 메모리 디바이스의 단면도이다.

도 12는 본 발명의 제 3 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이다.

도 13은 발명의 제 3 실시 예에 따른 메모리 디바이스의 단면도이다.

도 14는 본 발명의 제 4 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이다.

도 15는 발명의 제 4 실시 예에 따른 메모리 디바이스의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0040] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범주는 청구항에 의해 정의될 뿐이다.

- [0041] 본 발명의 실시 예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명은 본 발명의 실시 예들을 설명함에 있어 실제로 필요한 경우 외에는 생략될 것이다. 그리고 후술되는 용어들은 본 발명의 실시 예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0042] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세하게 설명한다.
- [0043] [제 1 실시 예]
- [0044] 도 1은 본 발명의 제 1 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이고, 도 2는 발명의 제 1 실시 예에 따른 메모리 디바이스의 단면도이다.
- [0045] 도 1 및 2를 참조하면, 본 실시 예에 따른 메모리 디바이스는 소정 패턴 구조의 제 1 강자성층(ferromagnetic layer)(104a, 104b), 제 1 강자성층(104a, 104b) 상에 형성된 자성을 띄지 않는 비자성층(non-magnetic layer)(106a, 106b), 제 1 강자성층(104a, 104b)과 비자성층(106a, 106b)을 매립하는 형태로 수평하게 비자성층(104a, 104b)의 상부를 노출시키는 형상으로 형성된 제 1 반강자성층(antiferromagnetic layer)(110), 비자성층(106a, 106b)과 제 1 반강자성층(110) 상에 형성된 제 2 강자성층(112), 제 2 강자성층(112) 상에 형성된 제 2 반강자성층(114) 등을 포함할 수 있다.
- [0046] 여기에서, 제 1 강자성층(104a, 104b)과 비자성층(106a, 106b)은 소정 간격만큼 이격된 두 개의 적층 구조체로 형성될 수 있는데, 하나의 적층 구조체(예컨대, 104a, 106a)는 정보의 기록소자로 정의되고, 다른 하나의 적층 구조체(예컨대, 104b, 106b)는 정보의 판독소자(예컨대, GMR(Giant Magneto-resistive) 센서 등)로 정의될 수 있다.
- [0047] 이를 위해, 제 1 강자성층(104a, 104b) 각각의 양측 단부에는 도선(116)을 통해 연결되는 전류 인가부(도시 생략)가 결합될 수 있다.
- [0048] 그리고, 제 1 강자성층(104a, 104b)은, 예컨대 코발트, 코발트-철-보론 합금, 코발트-철 합금 등과 같이 보자력이 상대적으로 강한 자성체로 구성될 수 있으며, 일례로서 10nm 내지 수백nm의 두께 범위를 가질 수 있다.
- [0049] 또한, 비자성층(106a, 106b)은, 예컨대 구리, 크롬 등과 같이 자성을 띄지 않는 금속 또는 절연체 중 어느 하나로 구성될 수 있으며, 일례로서 수Å 내지 수십nm의 두께 범위를 가질 수 있다.
- [0050] 또한, 기록소자 또는 판독소자를 구성하는 각 적층 구조체의 패턴 구조는, 예컨대 원형, 사각형, 다각형 중 어느 하나이거나 혹은 동일한 기능을 실현할 수 있는 다양한 형상으로 구성될 수 있다.
- [0051] 그리고, 제 1 및 제 2 반강자성층(110, 114) 각각은 제 2 강자성층(112)의 표면 자화가 외부 자극에 의해 변화되는 것을 방지(방해)하도록 기능할 수 있다.
- [0052] 여기에서, 제 1 및 제 2 반강자성층(110, 114) 각각은, 예컨대 이리듐-망간 합금, 코발트-산화니켈 합금, 망간-플래티넘 합금, 페로망간, 산화코발트 중 어느 하나로 구성될 수 있으며, 일례로서 50nm 내지 수백nm의 두께 범위를 가질 수 있다.
- [0053] 또한, 제 2 강자성층(112)은, 예컨대 니켈-철 합금, 코발트, 니켈, 철 등과 같은 단일 자성체 또는 합금으로 구성될 수 있으며, 일례로서 50nm 내지 수백nm의 두께 범위를 가질 수 있다.
- [0054] 다시 도 2를 참조하면, 제 1 강자성층(104a, 104b)과 비자성층(106a, 106b)의 상부 영역(점선을 경계로 수직하게 구획된 상부 영역)은 제 1 영역(A)으로 구획되고, 제 1 영역(A)을 제외한 상부 영역, 즉 하부에 제 1 강자성층(104a, 104b)과 비자성층(106a, 106b)이 형성되어 있지 않은 나머지 상부 영역은 제 2 영역(B)으로 구획될 수 있다.
- [0055] 여기에서, 제 1 강자성층(104a, 104b)은 자성체의 자화방향이 고정되어 있는 고정층(fixed layer)으로 정의될 수 있고, 제 2 강자성층(112)은 자성체의 자화방향이 외부 자극에 의해 변화될 수 있는 자유층(free layer)으로 정의될 수 있다.
- [0056] 이때, 자유층은 자기 구조체인 블로흐 포인트(Bloch point)를 포함할 수 있는데, 이러한 자유층의 블로흐 포인트는 제 1 영역(A)에 기 설정된 임계세기 이상의 전류가 수직 방향으로 인가될 때 형성될 수 있다. 즉, 블로흐 포인트는 외부 전류에 의해 움직일 수 있는데, 제 1 강자성층(104a, 104b)과 수직 방향으로 임계세기 이상의 외부 전류가 인가될 때 제 2 영역(B)에 존재하는 블로흐 포인트가 제 1 영역(A)으로 이동될 수 있다.

- [0057] 여기에서, 블로흐 포인트의 이동은 제 1 영역(A) 내에 있는 자유층의 자화 방향의 반전을 일으킬 수 있다. 예컨대, 자화 방향은 제 1 영역(A) 내에 있는 자유층의 박막의 상단 위쪽 자화 방향이 상단 아래쪽 자화 방향으로 반전되거나 혹은 제 1 영역(A) 내에 있는 자유층의 박막의 상단 아래쪽 자화 방향이 상단 위쪽 자화 방향으로 반전될 수 있다.
- [0058] 그리고, 자유층에서의 자화 방향의 반전은 고정층의 자화 방향과 자유층의 자화 방향이 같을 때 저항이 상대적으로 낮고, 고정층의 자화 방향과 자유층의 자화 방향이 다를 때 저항이 상대적으로 높아지는 현상을 나타내는 거대 자기저항(GMR: Giant magneto-resistance) 또는 터널링 자기저항(TMR: Tunneling magneto-resistance)을 이용하여 수행될 수 있다.
- [0059] 한편, 자유층으로 정의되는 제 2 강자성층(112)에는 기록 소자(예컨대, 104a와 106a)로부터 임계세기 이상의 스핀 편향 전류가 인가될 때 자화방향에 기반하여 정보가 기록될 수 있다.
- [0060] 이때, 정보 기록을 위한 임계 전류 밀도는 자유층으로 어떤 물질을 사용하는지에 따라 달라질 수 있는데, 예컨대 퍼말로이의 경우, 모의 전산 실험 결과 블로흐 포인트 형성을 위한 임계 전류 밀도의 크기가 $5 \times 10^{12} \text{ A/m}^2$ 임을 알 수 있었다.
- [0061] 즉, 고정층으로 정의될 수 있는 제 1 강자성층(104a, 104b) 각각은 스핀 편향 전류를 만드는 기능(역할)을 수행하는 것으로 정의되고, 제 2 강자성층(112)은 정보를 기록하는 기능(역할)을 수행하는 것으로 정의될 수 있다.
- [0062] 일례로서, 도 1에 도시된 바와 같은 블로흐 포인트 구조체의 하단에 편광기(polarizer)를 위치시킨 후 스핀 편향 전류를 흘려줌으로써, 일례로서 도 5에 도시된 바와 같이, 자화방향을 기반으로 정보가 저장될 수 있다.
- [0063] 그리고, 제 2 강자성층(112)에 저장되어 있는 자기 구조는 도선(116)에 전류를 인가하게 되면, 다수의 블로흐 포인트가 파괴되지 않고 전류 방향(전자의 이동방향과 반대 방향)으로 움직일 수 있다.
- [0064] 이때, 자기 소용돌이 핵의 경우, 반강자성층과의 반강자성 결합(antiferromagnetic coupling)으로 인해 움직이지 않고 순수 블로흐 포인트만 움직이게 된다.
- [0065] 다음에, 제 1 강자성층(104b)과 비자성층(106b)으로 구성되는 판독 소자는 도선(116)에 전류를 인가하여 블로흐 포인트(BP)를 판독 위치로 이동시키고, 이후 전류를 흘려 저항을 측정하는 방식으로 판독 위치의 제 2 강자성층(112)에 기록되어 있는 정보를 판독할 수 있다.
- [0066] 즉, 본 실시 예의 메모리 장치는 기록 소자와 판독 소자가 고정되어 있으며, 전류 인가를 통해 판독하고자 하는 위치의 정보를 판독 소자의 위치로 이동시켜 정보를 판독하는 방식을 갖는다.
- [0067] 예컨대, GMR 센서 또는 TMR 센서(판독 소자)가 전류를 흘려주어 저항을 측정하고, 측정된 저항의 상대적 차이로 정보를 저장할 수 있다. 예컨대, 측정된 저항값이 기 설정된 기준치보다 크면 "0"으로 판독하고, 측정된 저항값이 기 설정된 기준치 보다 작으면 "1"로 판독할 수 있다.
- [0068] 즉, 두 강자성체(제 1 및 제 2 강자성층)의 자기모멘트가 평행할 때에는 강자성체에서 통과하지 못하는 스핀들이 적게 되므로 저항이 상대적으로 낮게 되고(정보비트 "1"), 두 강자성체의 자기모멘트가 반평행할 때에는 강자성체에서 통과하는 스핀들이 많게 되므로 저항이 상대적으로 높게 되는데(정보비트 "0"), 이러한 원리를 통해 자성층에 저장되어 있는 정보를 판독할 수 있다.
- [0069] 이때, 자유층(제 2 강자성층)의 자기 모멘트를 변형시키지 않아야 하기 때문에 판독 소자에서의 전류 세기는 기록 소자에서의 전류 세기보다 상대적으로 훨씬 낮아야 한다.
- [0070] 도 4는 블로흐 포인트가 형성되어 있는 자화 구조를 보여주는 예시도이다.
- [0071] 도 4를 참조하면, 적색은 자화의 z방향 분의 비율이 70% 이상 위쪽 방향인 부분을 보여주고, 청색은 자화의 z방향 분의 비율이 70% 이상 아래쪽 방향인 부분을 보여주며, 적색과 청색 사이에 있는 경계 부분은 블로흐 포인트로 이루어져 있음을 알 수 있다.
- [0072] 도 5는 도 4에 도시된 자화 구조의 단면도이다.
- [0073] 도 5를 참조하면, 위쪽과 아래층의 자기 소용돌이 핵 사이에 있는 수직자화 성분에 기반하여 정보가 기록(예컨대, 위쪽 자화방향 "1", 아래쪽 자화방향 "0")할 수 있음을 보여준다. 도 5에서는 자기 소용돌이 핵 사이를 5등분으로 나누어 수직자화 성분이 위쪽 방향일 때 정보비트 "1"로 저장(기록)되고, 수직 자화성분이 아래쪽 방향

일 때 정보비트 "0"으로 저장(기록)될 수 있음을 보여준다.

- [0074] 도 6은 위층의 자화 분포를 보여주는 예시도이고, 도 7은 중간층의 자화 분포를 보여주는 예시도이며, 도 8은 아래층의 자화 분포를 보여주는 예시도이다.
- [0075] 도 6 내지 도 8을 참조하면, 위층, 중간층, 아래층의 자화 분포를 보여주는데, 색상은 수직 자화성분을 나타내고 각각의 등고선은 수평자화 성분을 나타낸다. 가장 맨 위층과 아래층에는 각각 수직자화 성분이 반대인 자기 소용돌이 핵이 존재하며, 블로흐 포인트는 중간층에 존재함을 알 수 있다.
- [0076] 도 9는 다수의 블로흐 포인트가 형성되어 있는 자화 구조를 보여주는 예시도이다.
- [0077] 도 9를 참조하면, 본 실시 예의 메모리 디바이스는 자구벽을 이용하는 기존의 메모리 장치인 레이스트랙 메모리(racetrack memory)와 동일하게 정보를 저장할 수 있음을 보여준다.
- [0078] 다음에, 상술한 바와 같은 구조를 갖는 본 실시 예에 따른 메모리 디바이스를 제조하는 일련의 공정들에 대하여 상세하게 설명한다.
- [0079] 도 3a 내지 3k는 제 1 실시 예에 따라 메모리 디바이스를 제조하는 주요 과정을 도시한 공정 순서도이다.
- [0080] 도 3a를 참조하면, 일례로서 스핀 코팅 등과 같은 코팅 공정을 진행함으로써, 베이스(예컨대, 웨이퍼 등)(100)상에 소정의 두께를 갖는 레지스트(102a)를 도포한다.
- [0081] 다음에, 마스크 등을 이용하는 패터닝 공정, 예컨대 전자빔 리소그래피(E-beam lithography) 혹은 포토 리소그래피(Photo lithography) 공정을 진행하여 레지스트(102a)의 일부를 선택적으로 제거함으로써, 일례로서 도 3b에 도시된 바와 같이, 기록소자 및 판독소자를 구성하는 적층 구조체를 정의하기 위한 형상을 갖는 레지스트 패턴(102)을 형성한다.
- [0082] 이어서, 증착 공정, 예컨대 스퍼터링, MBE(molecular beam epitaxy), ALD(atomic layer deposition), PLD(pulse laser deposition), 전자 빔 이베퍼레이터(E-beam evaporator) 등과 같은 증착 공정을 진행함으로써, 일례로서 도 3c에 도시된 바와 같이, 레지스트가 제거된 영역의 내부에 소정 두께(예컨대, 10nm 내지 수백nm의 두께 범위)의 제 1 강자성층(104a, 104b)을 형성한다.
- [0083] 여기에서, 제 1 강자성층(104a, 104b)은, 예컨대 코발트, 코발트-철-보론 합금, 코발트-철 합금 등과 같이 보자력이 상대적으로 강한 자성체일 수 있다.
- [0084] 다시, 증착 공정, 예컨대 스퍼터링, MBE, ALD, PLD, 전자 빔 이베퍼레이터 등과 같은 증착 공정을 진행함으로써, 일례로서 도 3d에 도시된 바와 같이, 제 1 강자성층(104a, 104b)의 상부에 소정 두께(예컨대, 수 Å 내지 수십nm의 두께 범위)의 비자성층(106a, 106b)을 형성한다.
- [0085] 여기에서, 비자성층(106a, 106b)은, 예컨대 구리, 크롬 등과 같이 자성을 띄지 않는 금속 또는 절연체 중 어느 하나일 수 있다.
- [0086] 이후, 리프트-오프(Lift-off) 공정을 진행하여 잔류하는 레지스트 패턴(102)을 제거함으로써, 일례로서 도 3e에 도시된 바와 같이, 베이스(100)상에 제 1 강자성층(104a)과 비자성층(106a)으로 된 기록소자와 제 1 강자성층(104b)과 비자성층(106b)으로 된 판독소자를 형성한다. 여기에서, 기록소자와 판독소자는 적층 구조체로 정의될 수 있다.
- [0087] 다음에, 스핀 코팅 등과 같은 코팅 공정을 진행함으로써, 일례로서 도 3f에 도시된 바와 같이, 기록소자와 이 기록소자로부터 소정 간격만큼 이격되어 형성된 판독 소자를 완전히 매립하는 후막의 레지스트(108a)를 도포한다.
- [0088] 다시, 마스크 등을 이용하는 패터닝 공정, 예컨대 전자빔 리소그래피 혹은 포토 리소그래피 공정을 진행하여 레지스트(108a)의 일부를 선택적으로 제거함으로써, 일례로서 도 3g에 도시된 바와 같이, 비자성층(106a, 106b)의 상부에만 레지스트가 선택 잔류하는 형상을 갖는 레지스트 패턴(108)을 형성한다.
- [0089] 그리고, 증착 공정, 예컨대 스퍼터링, MBE, ALD, PLD, 전자 빔 이베퍼레이터 등과 같은 증착 공정을 진행함으로써, 일례로서 도 3h에 도시된 바와 같이, 기록소자와 판독소자가 형성되지 않은 베이스(100)상에 기록소자 및 판독소자의 높이와 동일한 높이를 갖는 제 1 반강자성층(110)을 형성한다.
- [0090] 여기에서, 제 1 반강자성층(110)은, 예컨대 이리듐-망간 합금, 코발트-산화니켈 합금, 망간-플레티넘 합금, 페

로망간, 산화코발트 중 어느 하나일 수 있으며, 그 두께는, 예컨대 50nm 내지 수백nm의 두께 범위일 수 있다.

- [0091] 이후, 리프트-오프 공정을 진행하여 잔류하는 레지스트 패턴(108)을 제거함으로써, 일례로서 도 3i에 도시된 바와 같이, 베이스(100) 상에 제 1 강자성층(104a)과 비자성층(106a)으로 된 기록소자, 제 1 강자성층(104b)과 비자성층(106b)으로 된 판독소자, 기록소자 및 판독소자와 수평하게 동일한 높이를 갖는 제 1 반강자성층(110)을 형성한다. 즉, 제 1 반강자성층(110)은 비자성층(106a, 106b)의 상부를 노출시키는 형태로 형성된다.
- [0092] 다음에, 증착 공정, 예컨대 스퍼터링, MBE, ALD, PLD, 전자 빔 이베퍼레이터 등과 같은 증착 공정을 진행함으로써, 일례로서 도 3j에 도시된 바와 같이, 기록소자, 판독소자 및 제 1 반강자성층(110) 상에 소정 두께(예컨대, 50nm 내지 수백nm의 두께 범위)의 제 2 강자성층(112)을 형성한다.
- [0093] 여기에서, 제 2 강자성층(112)은, 예컨대 니켈-철 합금, 코발트, 니켈, 철 등과 같은 단일 자성체 또는 합금일 수 있다.
- [0094] 이어서, 증착 공정, 예컨대 스퍼터링, MBE, ALD, PLD, 전자 빔 이베퍼레이터 등과 같은 증착 공정을 진행하여 제 2 강자성층(112) 상에 제 2 반강자성층(114)을 형성하고, 이후 구조물의 하단에 있는 베이스(100)를 제거(탈거)함으로써, 일례로서 도 3k에 도시된 바와 같이, 기록소자와 판독소자의 상부 영역(점선을 경계로 수직하게 구획된 상부 영역)을 나타내는 제 1 영역(A)과 기록소자와 판독소자가 형성되어 있지 않은 상부 영역을 나타내는 제 2 영역(B)으로 구획되는 구조를 갖는 본 실시 예의 메모리 디바이스를 완성한다.
- [0095] 여기에서, 제 2 반강자성층(114)은, 예컨대 이리듐-망간 합금, 코발트-산화니켈 합금, 망간-플레티넘 합금, 페로망간, 산화코발트 중 어느 하나일 수 있으며, 그 두께는, 예컨대 50nm 내지 수백nm의 두께 범위일 수 있다.
- [0096] [제 2 실시 예]
- [0097] 도 10은 본 발명의 제 2 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이고, 도 11은 발명의 제 2 실시 예에 따른 메모리 디바이스의 단면도이다.
- [0098] 도 10 및 도 11을 참조하면, 본 실시 예에 따른 메모리 디바이스는, 강자성층에 정보를 저장(기록)하기 위한 기록소자와 강자성층에 저장되어 있는 정보를 판독하기 위한 판독소자를 각각 별도로 구성하는 전술한 제 1 실시 예와는 달리, 제 1 강자성층(104)과 비자성층(106)으로 된 하나의 적층 구조체만으로 구성하여 기록소자 또는 판독소자로서 기능하도록 하는 구성에 차이를 갖는다.
- [0099] 즉, 본 실시 예의 메모리 디바이스는 하나의 적층 구조체가 기록소자와 판독소자의 기능을 선택적으로 수행하는 구조만을 달리할 뿐 나머지 구성부재들의 구성 및 기능은 전술한 제 1 실시 예의 대응되는 구성부재들의 구성 및 기능과 실질적으로 동일하다.
- [0100] 따라서, 명세서의 간결화를 위한 불필요한 중복기재를 피하기 위하여 나머지 구성부재들에 대한 구성 및 기능 등의 설명은 생략한다.
- [0101] 또한, 본 실시 예에 따른 메모리 디바이스를 제조하는 방법은, 제 1 강자성층(104)과 비자성층(106)으로 된 하나의 적층 구조체로 형성한다는 점만 다를 뿐 전반적인 각 제조 공정은 전술한 제 1 실시 예의 각 제조 공정들과 실질적으로 동일하다.
- [0102] 따라서, 명세서의 간결화를 위한 불필요한 중복기재를 피하기 위하여 본 실시 예에 따른 메모리 디바이스를 제조하는 일련의 공정들에 대한 설명은 생략한다.
- [0103] 다시, 도 11을 참조하면, 제 1 강자성층(104)과 비자성층(106)의 상부 영역(점선을 경계로 수직하게 구획된 상부 영역)은 제 1 영역(A)으로 구획되고, 제 1 영역(A)을 제외한 상부 영역, 즉 하부에 제 1 강자성층(104)과 비자성층(106)이 형성되어 있지 않은 나머지 상부 영역은 제 2 영역(B)으로 구획될 수 있다.
- [0104] [제 3 실시 예]
- [0105] 도 12는 본 발명의 제 3 실시 예에 따른 블로흐 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이고, 도 13은 발명의 제 3 실시 예에 따른 메모리 디바이스의 단면도이다.
- [0106] 도 12 및 도 13을 참조하면, 기록소자와 판독소자로서 기능하는 2개의 적층 구조체가 메모리 디바이스의 하단에 형성되는 전술한 제 1 실시 예와는 달리, 2개의 적층 구조체가 메모리 디바이스의 상단에 형성되는 점에 있어서 구조적인 차이를 갖는다.
- [0107] 즉, 본 실시 예의 메모리 디바이스는 제 1 반강자성층(1202)의 상부에 제 1 강자성층(1204)이 형성되고, 제 1

강자성층(1204)의 상부에 소정의 패턴 구조를 갖는 2개의 적층 구조체, 즉 비자성층(1206a, 1206b) 제 2 강자성층(1208a, 1208b)으로 된 2개의 적층 구조체가 형성된다.

[0108] 또한, 본 실시 예의 메모리 디바이스는 2개의 적층 구조체를 매립하는 형태로 수평하게 제 2 강자성층(1208a, 1208b)의 각 상부를 노출시키는 형태로 제 2 반강자성층(1210)이 형성되는 구조를 갖는다. 도 12에 있어서, 참조번호 1212는 도선을 나타낸다.

[0109] 도 13을 참조하면, 제 2 강자성층(1208a, 1208b)과 비자성층(1206a, 1206b)의 하부 영역(점선을 경계로 수직하게 구획된 하부 영역)은 제 1 영역(A)으로 구획되고, 제 1 영역(A)을 제외한 하부 영역, 즉 상부에 제 1 강자성층(1208a, 1208b)과 비자성층(1206a, 1206b)이 형성되어 있지 않은 나머지 하부 영역은 제 2 영역(B)으로 구획될 수 있다.

[0110] 그리고, 본 실시 예의 메모리 디바이스를 형성하는 각 구성부재의 재질, 각 구성부재의 두께 범위, 각 구성부재의 제조 공정 등은 전술한 제 1 실시 예의 메모리 디바이스의 대응되는 각 구성부재의 재질, 각 구성부재의 두께 범위, 각 구성부재의 제조 공정 등과 실질적으로 거의 동일 내지 유사하다.

[0111] 따라서, 명세서의 간결화를 위한 불필요한 중복기재를 피하기 위하여, 본 실시 예의 메모리 디바이스를 형성하는 각 구성부재의 재질, 각 구성부재의 두께 범위, 각 구성부재의 제조 공정 등에 대한 설명은 생략한다.

[0112] [제 4 실시 예]

[0113] 도 14는 본 발명의 제 4 실시 예에 따른 블로크 포인트 구조체를 이용한 메모리 디바이스에 대한 개략적인 사시도이고, 도 15는 발명의 제 4 실시 예에 따른 메모리 디바이스의 단면도이다.

[0114] 도 14 및 도 15를 참조하면, 본 실시 예에 따른 메모리 디바이스는, 강자성층에 정보를 저장(기록)하기 위한 기록소자와 강자성층에 저장되어 있는 정보를 판독하기 위한 판독소자를 각각 별도로 구성하는 전술한 제 3 실시 예와는 달리, 제 2 강자성층(1208)과 비자성층(1206)으로 된 하나의 적층 구조체만으로 구성하여 기록소자 또는 판독소자로서 기능하도록 하는 구성에 차이를 갖는다.

[0115] 즉, 본 실시 예의 메모리 디바이스는 하나의 적층 구조체가 기록소자와 판독소자의 기능을 선택적으로 수행하는 구조만을 달리할 뿐 나머지 구성부재들의 구성 및 기능은 전술한 제 3 실시 예의 대응되는 구성부재들의 구성 및 기능과 실질적으로 동일하다.

[0116] 따라서, 명세서의 간결화를 위한 불필요한 중복기재를 피하기 위하여 나머지 구성부재들에 대한 구성 및 기능 등의 설명은 생략한다.

[0117] 또한, 본 실시 예에 따른 메모리 디바이스를 제조하는 방법은, 제 2 강자성층(1208)과 비자성층(1206)으로 된 하나의 적층 구조체로 형성한다는 점만 다를 뿐 전반적인 각 제조 공정은 전술한 제 3 실시 예의 각 제조 공정들과 실질적으로 동일하다.

[0118] 따라서, 명세서의 간결화를 위한 불필요한 중복기재를 피하기 위하여 본 실시 예에 따른 메모리 디바이스를 제조하는 일련의 공정들에 대한 설명은 생략한다.

[0119] 다시, 도 15를 참조하면, 제 2 강자성층(1208)과 비자성층(1206)의 하부 영역(점선을 경계로 수직하게 구획된 하부 영역)은 제 1 영역(A)으로 구획되고, 제 1 영역(A)을 제외한 하부 영역, 즉 상부에 제 2 강자성층(1208)과 비자성층(1206)이 형성되어 있지 않은 나머지 하부 영역은 제 2 영역(B)으로 구획될 수 있다.

[0120] 이상의 설명은 본 발명의 기술사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 등이 가능함을 쉽게 알 수 있을 것이다. 즉, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것으로서, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다.

[0121] 따라서, 본 발명의 보호 범위는 후술되는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0122] 104, 104a, 104b, 1204 : 제 1 강자성층

106, 106a, 106b, 1206a, 1206b : 비자성층

110, 1202 : 제 1 반강자성층

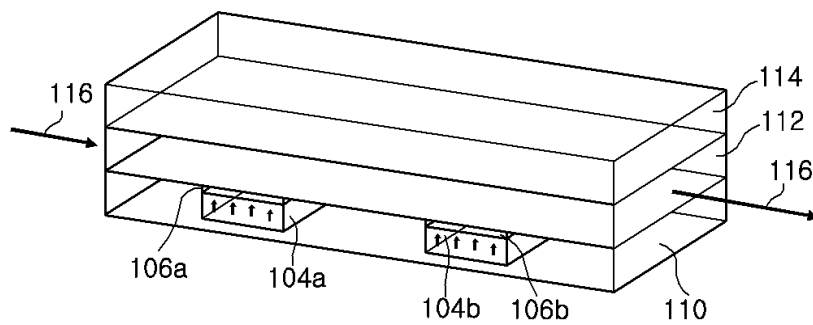
112, 1208, 1208a, 1208b : 제 2 강자성층

114, 1210 : 제 2 반강자성층

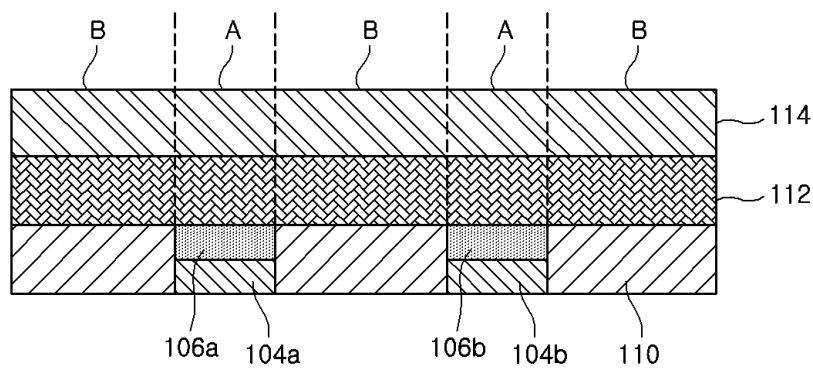
116, 1212 : 도선

도면

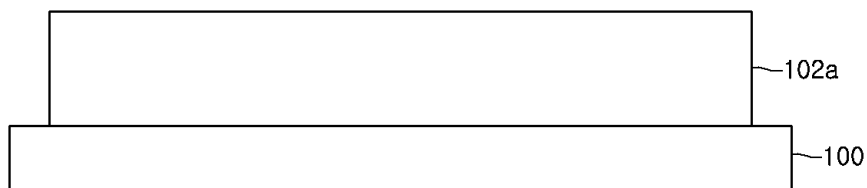
도면1



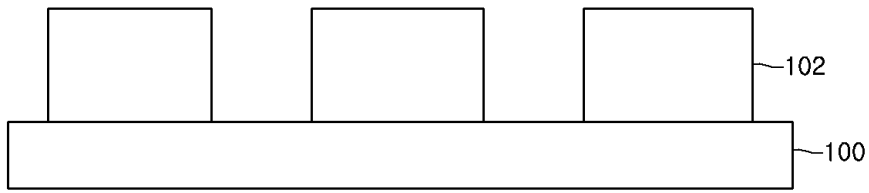
도면2



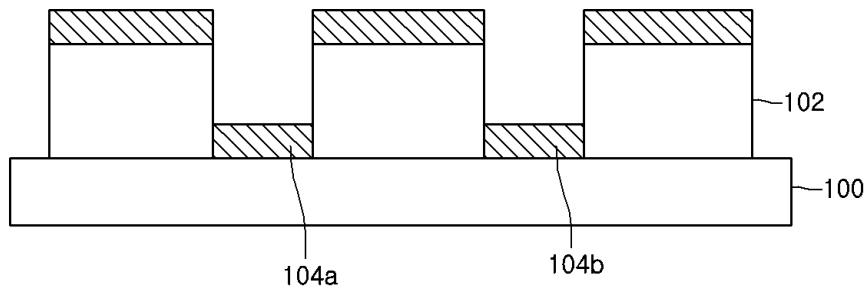
도면3a



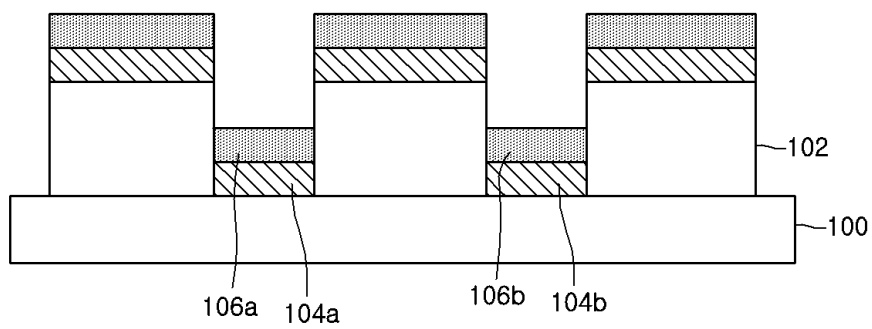
도면3b



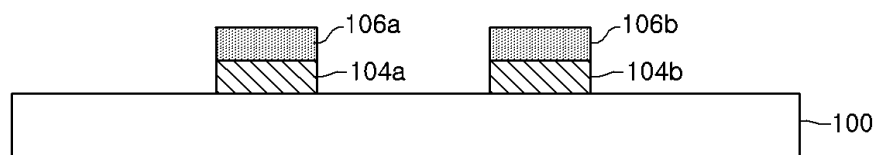
도면3c



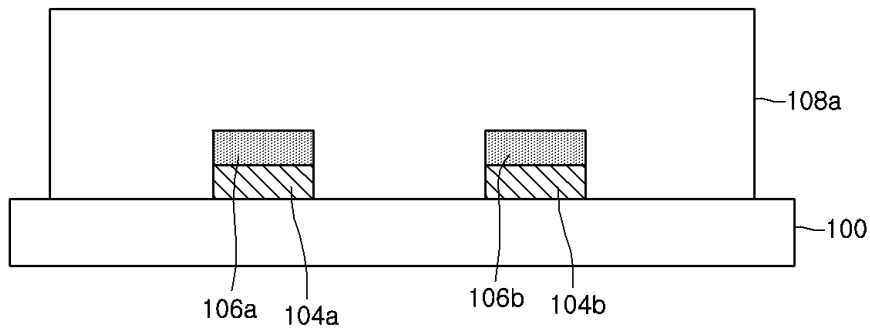
도면3d



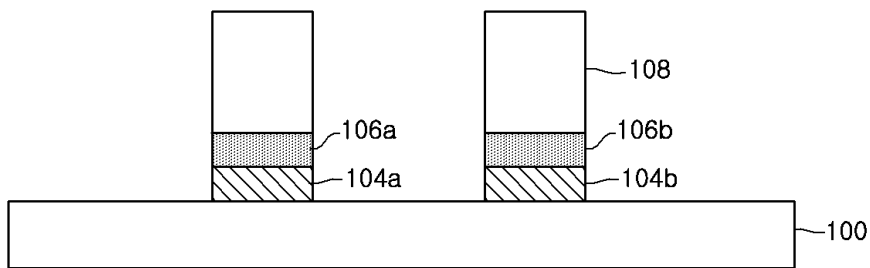
도면3e



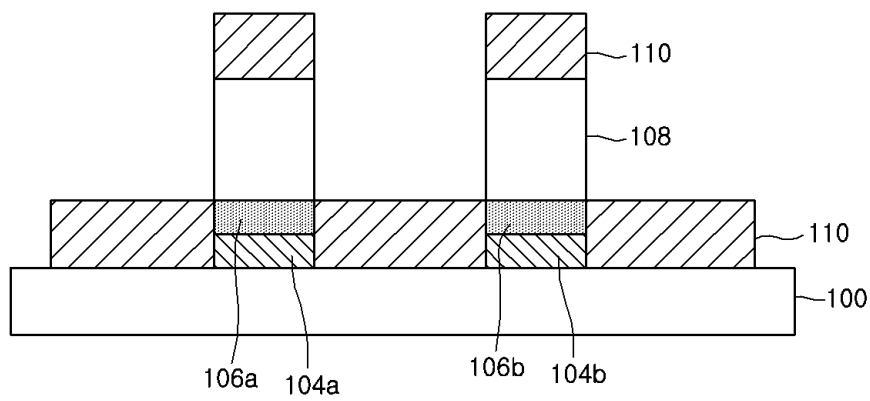
도면3f



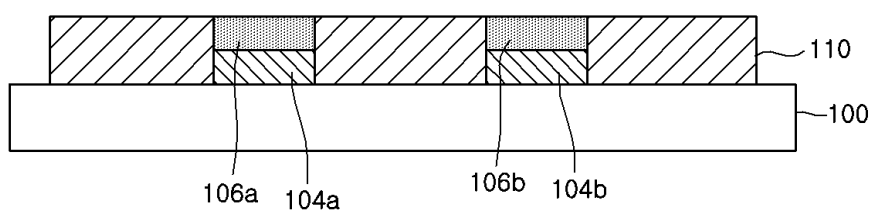
도면3g



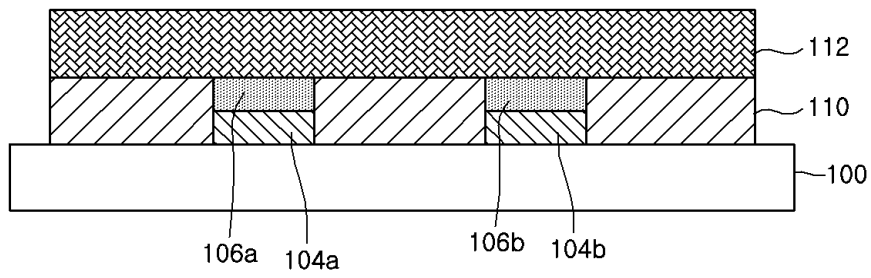
도면3h



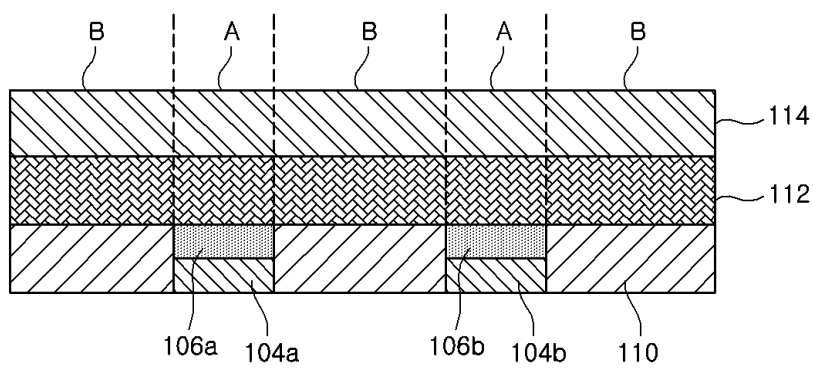
도면3i



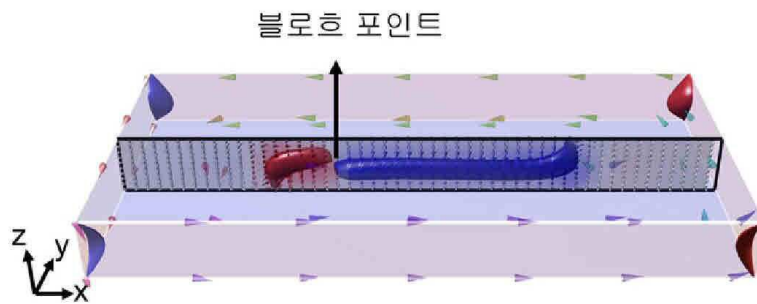
도면3j



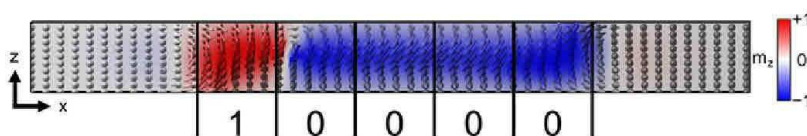
도면3k



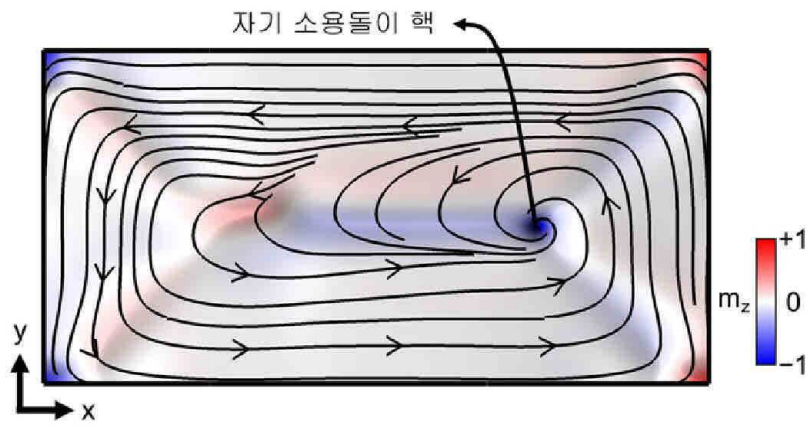
도면4



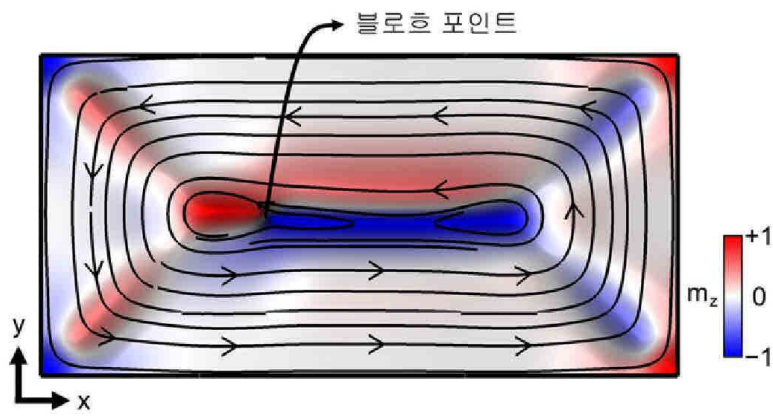
도면5



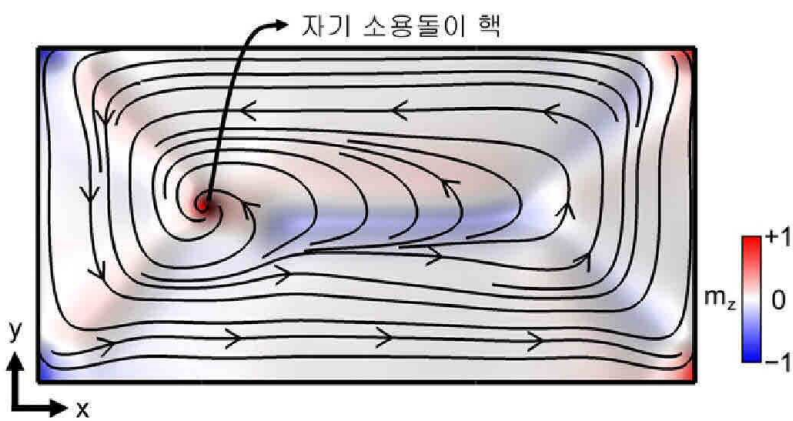
도면6



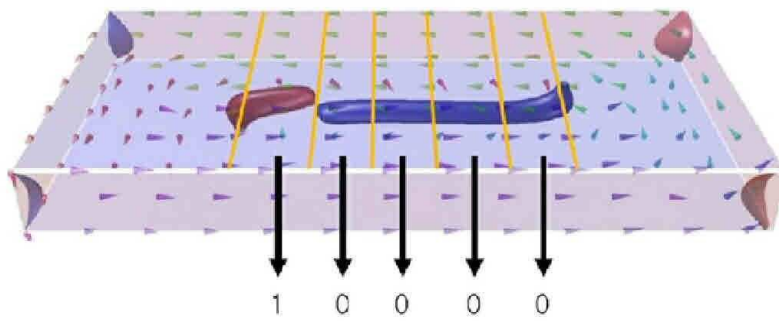
도면7



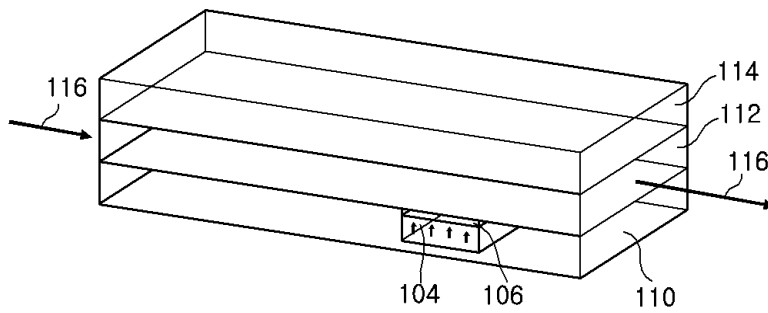
도면8



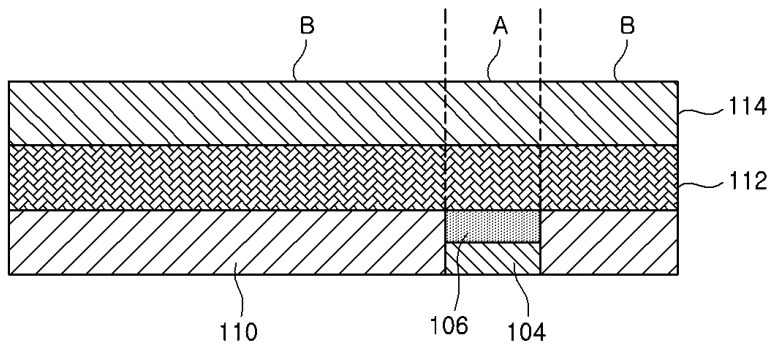
도면9



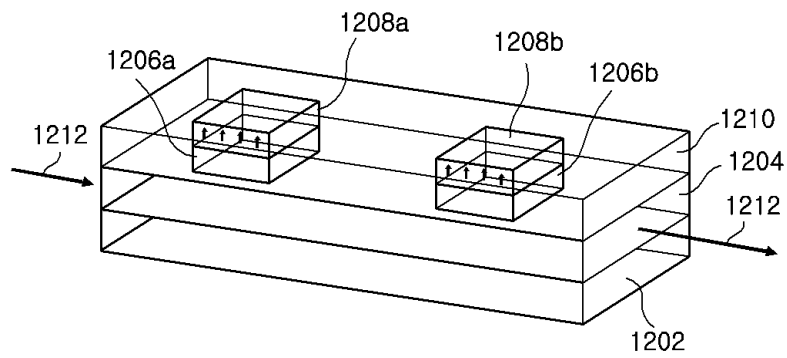
도면10



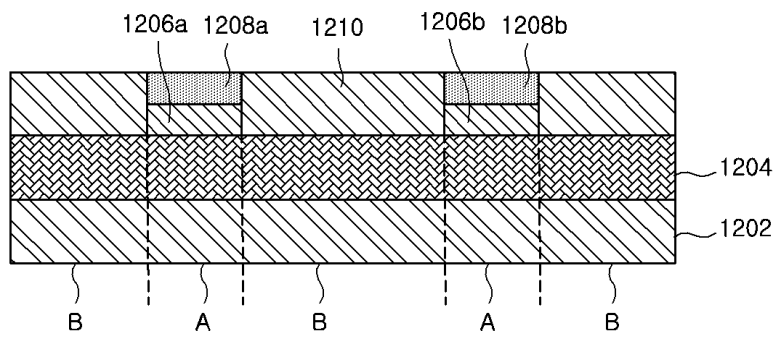
도면11



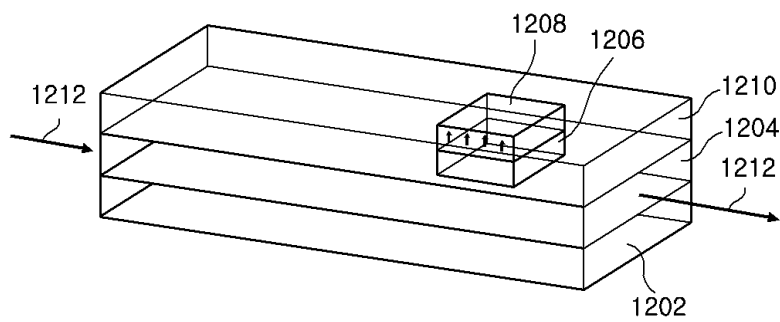
도면12



도면13



도면14



도면15

