

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月27日(27.03.2014)



(10) 国際公開番号

WO 2014/046029 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2013/074813
- (22) 国際出願日: 2013年9月13日(13.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-205461 2012年9月19日(19.09.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 岸 宣孝(KISHI, Noritaka). 小原 将紀(OHARA, Masanori). 野口 登(NOGUCHI, Noboru).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).

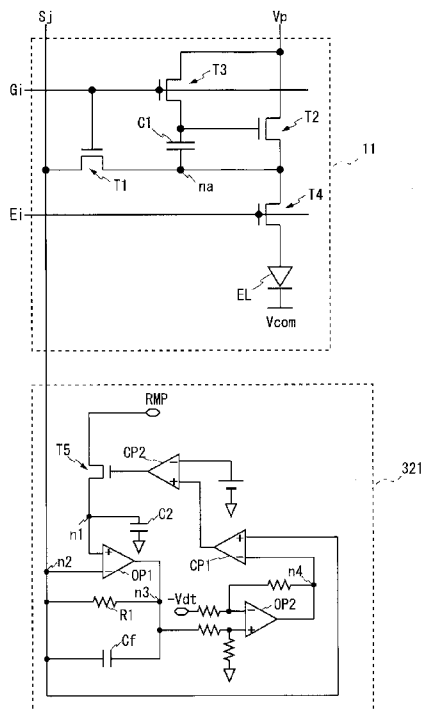
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: DATA LINE DRIVING CIRCUIT, DISPLAY DEVICE INCLUDING SAME, AND DATA LINE DRIVING METHOD

(54) 発明の名称: データ線駆動回路、それを備える表示装置、およびデータ線駆動方法



(57) Abstract: A detection/output circuit (321) provided in a source driver (30) compares a voltage detected by a resistor (R1) and a voltage (Vdt) of a driving signal by using comparators (CP1, CP2), drives a transistor (T5), a capacitor (C2), and an operational amplifier (OP1) by utilizing a ramp signal (RMP) so that they are maintained at voltages corresponding to a current running through data lines (Sj), and performs current feedback control so that potentials of the data lines (Sj) are desired potentials. With this simple circuit configuration, a data line driving circuit can be achieved that is capable of eliminating driving transistor property variation and the like, while performing current detection at a high speed.

(57) 要約: ソースドライバ(30)に備えられる検出/出力回路(321)は、抵抗器(R1)により検出される電圧と、駆動信号の電圧Vdtとを比較器(CP1, CP2)によって比較し、ランプ信号RMPを利用してデータ線(Sj)を流れる電流に対応する電圧で維持されるようにトランジスタ(T5)、コンデンサ(C2)、および演算増幅器(OP1)を駆動し、データ線(Sj)の電位を所望の電位になるよう電流フィードバック制御を行う。この簡易な回路構成により、高速に電流検出を行いつつ、駆動トランジスタの特性ばらつき等を解消可能なデータ線駆動回路が実現される。

明 細 書

発明の名称：

データ線駆動回路、それを備える表示装置、およびデータ線駆動方法 技術分野

[0001] 本発明はデータ線駆動回路、それを備える表示装置、およびその駆動方法に関し、より詳細には、有機ＥＬ（Electro Luminescence）素子などの電気光学素子を含む画素回路を駆動するためのデータ線駆動回路、それを備える表示装置、およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機ＥＬ表示装置が知られている。有機ＥＬ表示装置には、電流で駆動される自発光型の電気光学素子である有機ＥＬ素子および駆動トランジスタなどを含む複数の画素回路がマトリクス状に配置されている。

[0003] このような有機ＥＬ素子などの電流駆動型表示素子に流される電流量を制御する方式は、表示素子のデータ信号線電極に流れるデータ信号電流により、表示素子に流すべき電流を制御する定電流型制御方式（または電流プログラム型駆動方式）と、データ信号電圧に応じた電圧により表示素子に流すべき電流を制御する定電圧型制御方式（または電圧プログラム型駆動方式）とに大別される。これらの方式のうち、定電圧型制御方式によって有機ＥＬ表示装置で表示を行うときには、駆動用トランジスタ、典型的には薄膜トランジスタ（以下「ＴＦＴ」とも略記する）の閾値電圧および移動度のばらつきや、有機ＥＬ素子の経時劣化による高抵抗化から生じる電流減少（輝度低下）を補償する必要がある。これに対して、定電流型制御方式では、上記閾値電圧や有機ＥＬ素子の内部抵抗とは無関係に、有機ＥＬ素子に一定の電流が流れるようデータ信号の電流値が制御されるため、通常上記補償は必要とはならない。しかし、この定電流型制御方式では、定電圧型制御方式よりも駆動用トランジスタや配線の数が増加するため、開口率が低下することが知ら

れており、またデータ信号電流が微弱であるためデータ信号線電極等の負荷により高速にデータを書き込むことができないことが知られていることから、定電圧型制御方式が広く採用されている。

[0004] ここで、定電圧型制御方式を採用する構成において上記補償動作を行う画素回路は、従来より各種の構成が知られている。例えば、日本特開 2005-31630 号公報には、駆動トランジスタの閾値電圧の変動を検出するためのトランジスタを画素回路内に設けることにより閾値電圧のばらつきを補償する有機 EL 表示装置が開示されている。なお以下では、閾値電圧のばらつきを補償することを「閾値電圧補償」とも言う。また、日本特開 2007-233326 号公報には、駆動トランジスタに流れる駆動電流を検出し、その検出結果に基づいてデータ線に供給する電圧を制御することにより駆動トランジスタの特性ばらつき、特に移動度のばらつき（偏差）の補償を行う有機 EL 表示装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：日本特開 2005-31630 号公報

特許文献2：日本特開 2007-233326 号公報

発明の概要

発明が解決しようとする課題

[0006] 以上のような従来の有機 EL 表示装置では、閾値電圧などの補償を正確に行うことができるが、例えば日本特開 2005-31630 号公報に記載の表示装置では、閾値電圧補償を行うためのトランジスタを画素回路内に追加する必要があるので、画素回路の構成が複雑になる。

[0007] また、日本特開 2007-233326 号公報に記載の表示装置では、画素回路に流れる電流をフィードバックするための配線が必要となるため、開口率が低下するとともに、配線抵抗や寄生容量により信号遅延（検出遅延）が生じ、さらに選択されていない画素回路から当該配線へ漏れ電流が流れる

ことにより信号ノイズ（検出誤差）が生じる場合がある。特に近年では、表示装置の高精細化によってさらに高速な駆動が要求されるため、検出の遅延はより大きな問題となる。

[0008] そこで、本発明は、画素回路内にトランジスタを増設したり信号配線を追加することなく、簡易な構成で、高速に電流検出を行いつつ、駆動トランジスタの特性ばらつき等を解消可能なデータ線駆動回路、それを備える表示装置、およびデータ線駆動方法を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第1の局面は、複数の画素回路がマトリクス状に配置されるアクティブマトリクス型の表示装置に備えられるデータ線駆動回路であって、

外部から表示すべき画像を表す画像信号を受け取り、前記画像信号に対応する駆動信号を出力する駆動信号発生回路と、

前記複数の画素回路の少なくとも1つに接続されるデータ線に対して、前記駆動信号電圧の最低値から最高値までの範囲を含む範囲内で電圧値が変化するランプ信号を出力する出力回路と、

前記データ線に流れる電流に対応する電位差を検出する電流検出回路と、

前記電流検出回路により検出される電位差に相当する電圧値と、前記駆動信号の電圧値とを比較し、略一致するまで前記出力回路へ前記ランプ信号を与え、略一致した後は略一致時点での前記ランプ信号の電圧を維持して前記出力回路へ与えるよう制御する制御部とを備えることを特徴とする。

[0010] 本発明の第2の局面は、本発明の第1の局面において、前記制御部は、

前記電流検出回路により検出される電位差に相当する電圧値と、前記駆動信号の電圧値とを受け取り、受け取られた2つの電圧値の差分値を出力する演算回路と、

前記演算回路から出力される前記差分値と、前記電流検出回路の入力端に与えられる電圧値とを比較する比較回路と、

前記比較回路により比較される２つの電圧値が略一致するまで、外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう電氣的に接続するスイッチ回路と
を含むことを特徴とする。

[0011] 本発明の第３の局面は、本発明の第１の局面において、
前記制御部は、

前記電流検出回路の入力端に与えられる電圧値と、前記駆動信号の電圧値とを受け取り、受け取った２つの電圧の差分値を出力する演算回路と、

前記電流検出回路により検出される電位差に相当する電圧値と、前記演算回路から出力される前記差分値とを比較する比較回路と、

前記比較回路により比較される２つの電圧値が略一致するまで、外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう電氣的に接続するスイッチ回路と
を含むことを特徴とする。

[0012] 本発明の第４の局面は、本発明の第１の局面において、

前記出力回路は、非反転入力端子から前記ランプ信号を受け取る演算増幅器を含み、

前記電流検出回路は、一端を前記演算増幅器の反転入力端子に接続され、他端を前記演算増幅器の出力端子に接続される抵抗を有し、

前記演算増幅器および前記抵抗は、トランスインピーダンス回路を構成することを特徴とする。

[0013] 本発明の第５の局面は、本発明の第１の局面において、

前記電流検出回路は、前記駆動信号の電圧レベルを示すデジタル信号の構成ビットのうちの一部または全部を受け取り、前記デジタル信号に応じて抵抗値が変更される可変抵抗回路を含み、

前記制御部は、前記電流検出回路により検出される電位差に相当する電圧値と、予め定められた値または範囲の比較用電圧値とを比較し、略一致するまで外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう制

御することを特徴とする。

[0014] 本発明の第6の局面は、本発明の第5の局面において、

前記電流検出回路は、前記駆動信号の電圧レベルを示すデジタル信号の一部である所定範囲の上位ビットのデータを受け取り、前記上位ビットのデータに応じて抵抗値が変更される可変抵抗回路を含み、

前記制御部は、前記デジタル信号の残りの一部である所定範囲の下位ビットのデータを受け取り、当該下位ビットのデータに対応する比較用電圧値と、前記電流検出回路により検出される電位差に相当する電圧値とを比較し、略一致するまで外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう制御することを特徴とする。

[0015] 本発明の第7の局面は、本発明の第1の局面において、

前記電流検出回路は、線形領域で動作するトランジスタを含み、一端がドレイン端子であり、他端がソース端子であり、予め定められた値または範囲の設定電圧がゲート端子に与えられることを特徴とする。

[0016] 本発明の第8の局面は、本発明の第7の局面において、

前記電流検出回路は、前記駆動信号の電圧レベルを示すデジタル信号の構成ビットのうちの一部または全部を受け取り、前記デジタル信号に応じて前記ゲート端子に与えられる前記設定電圧を変更することにより、前記電位差に相当する電圧値を検出し、

前記制御部は、前記電流検出回路により検出される電位差に相当する電圧値と、予め定められた値または範囲の比較用電圧値とを比較し、略一致するまで外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう制御することを特徴とする。

[0017] 本発明の第9の局面は、複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、

前記複数のデータ線に接続された本発明の第1の局面に記載のデータ線駆動回路と、

前記複数の走査線に接続された走査線駆動回路とを備えるアクティブマトリクス型の表示装置であって、

前記画素回路は、電流で駆動される電気光学素子と、前記電気光学素子と直列に設けられ、前記データ線を介して供給される電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含む、表示装置である。

[0018] 本発明の第10の局面は、本発明の第9の局面において、

前記駆動トランジスタは、チャンネル層が酸化物半導体により形成された薄膜トランジスタであり、

前記酸化物半導体は、インジウム、ガリウム、および亜鉛を主成分とすることを特徴とする。

[0019] 本発明の第11の局面は、複数の画素回路がマトリクス状に配置されるアクティブマトリクス型の表示装置に備えられるデータ線駆動方法であって、

外部から表示すべき画像を表す画像信号を受け取り、前記画像信号に対応する駆動信号を出力する駆動信号発生ステップと、

前記複数の画素回路の少なくとも1つに接続されるデータ線に対して、前記駆動信号電圧の最低値から最高値までの範囲を含む範囲内で電圧値が変化するランプ信号を出力する出力ステップと、

前記データ線に流れる電流に対応する電位差を検出する電流検出ステップと、

前記電流検出ステップにおいて検出される電位差に相当する電圧値と、前記駆動信号の電圧値とを比較し、略一致するまで前記出力ステップにおける前記ランプ信号を与え、略一致した後には略一致時点での前記ランプ信号の電圧を維持して前記出力ステップにおいて与えるよう制御する制御ステップと

を備えることを特徴とする。

発明の効果

[0020] 本発明の第1の局面によれば、電流検出回路により検出される電位差に相

当する電圧に対応する電圧値と、駆動信号の電圧値とを比較し、略一致するまで出力回路へランプ信号を与え、略一致した後は略一致時点でのランプ信号の電圧を維持して出力回路へ与えるよう制御されるので、画素回路 11 にトランジスタを増設したりフィードバック制御用の信号配線を追加することなく、簡易な構成で、高速に電流検出を行いつつ、駆動トランジスタの特性ばらつき等を解消または少なくとも抑制することができる。

[0021] 本発明の第 2 の局面によれば、演算回路と、比較回路と、スイッチ回路とを備える簡単な構成の制御回路によって、駆動トランジスタの特性ばらつき等を解消または少なくとも抑制することができる。

[0022] 本発明の第 3 の局面によれば、電流検出回路の入力端に与えられる電圧値と、駆動信号の電圧値との差分値が演算回路により演算される構成となっているので、駆動信号の電圧値を 0 以上の値、典型的には数ボルト程度の好適な範囲の値にすることができる。

[0023] 本発明の第 4 の局面によれば、演算増幅器と抵抗器とによってトランスインピーダンス回路が構成されるので、周波数帯域幅が非常に広帯域となり、高速な動作が可能となる。特に高精細な表示部のデータ線を駆動する場合にも遅延を起こすことなく動作することができる。

[0024] 本発明の第 5 の局面によれば、データ線に与えられるべき駆動信号の電圧値に応じて抵抗値が変化する、典型的には当該値が大きいほど抵抗値が小さくなるため、階調値が大きくなるほど、データ線への書き込み時間を短縮することができる。また、比較用電圧の振幅が駆動信号のように大きな振幅を有する電圧信号とはならないため、電力消費を小さくすることができる。

[0025] 本発明の第 6 の局面によれば、より簡単な構成で、抵抗値の変化範囲を小さくしつつ、比較用電圧の振幅を小さくすることにより、電力消費を小さくすることができる。

[0026] 本発明の第 7 の局面によれば、線形領域で動作するトランジスタにより抵抗素子と同様の機能を実現することができるので、大きな抵抗値を小さな回路面積で実現することができる。

- [0027] 本発明の第8の局面によれば、トランジスタのゲート電圧を制御する簡単な構成で、例えば多くの抵抗素子を切り替えることなく、データ線への書き込み時間を短縮することができ、また比較用電圧の振幅を小さくして電力消費を小さくすることができる。
- [0028] 本発明の第9の局面によれば、本発明の第1の局面におけると同様の効果を表示装置において実現することができる。
- [0029] 本発明の第10の局面によれば、駆動トランジスタとしてIGZO-TFTが採用されることにより、選択されていない画素回路から漏れ出るオフ電流に基づく信号ノイズの影響をほぼ無視することができるので、高精度な電流検出が可能となる。
- [0030] 本発明の第11の局面によれば、本発明の第1の局面におけると同様の効果をデータ線駆動方法において実現することができる。

図面の簡単な説明

- [0031] [図1]本発明の第1の実施形態に係る有機EL表示装置の構成を示すブロック図である。
- [図2]上記第1の実施形態における画素回路および検出／出力回路の構成を示す回路図である。
- [図3]上記実施形態の変形例における画素回路の構成を示す回路図である。
- [図4]本発明の第2の実施形態における検出／出力回路の構成を示す回路図である。
- [図5]本発明の第3の実施形態における検出／出力回路の構成を示す回路図である。
- [図6]上記実施形態の変形例における検出／出力回路の構成を示す回路図である。
- [図7]本発明の第4の実施形態における検出／出力回路の構成を示す回路図である。
- [図8]上記実施形態における可変抵抗回路VR1の詳細な構成を示す図である。

[図9]上記実施形態の第1の変形例における可変抵抗回路VR1の詳細な構成の別例を示す図である。

発明を実施するための形態

[0032] 以下、添付図面を参照しながら、本発明の第1から第4までの各実施形態について説明する。以下では、 m 、 n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であるものとする。なお、各実施形態における画素回路に含まれる各トランジスタのチャネル層には、比較的移動度の高い酸化物半導体、特に、インジウム(In)、ガリウム(Ga)、および亜鉛(Zn)のいずれか1つ以上を含む酸化物半導体、またはこれらを主成分とする酸化物半導体である InGaZnO_x （以下「IGZO」という）が使用される。このIGZOを使用したTFT（以下、IGZO-TFTという）は、オフ電流が極めて小さいことが知られている。このことにより、選択されていない画素回路から漏れ出るオフ電流に基づく信号ノイズの影響をほぼ無視することができる。なお、上記トランジスタのチャネル層には、低温ポリシリコンやアモルファスシリコンなど周知の半導体材料を使用可能である。

[0033] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置1の構成を示すブロック図である。有機EL表示装置1は、表示部10、コントロール回路20、ソースドライバ（データドライバ）30、およびゲートドライバ（スキャンドライバ）40を備えている。本実施形態では、ソースドライバ30がデータ線駆動回路に相当し、ゲートドライバ40が走査線駆動回路に相当する。ソースドライバ30およびゲートドライバ40の少なくとも一方は、表示部10が形成されるガラス基板に一体的に（モノリシックに）形成されていてもよい。

[0034] 表示部10には、 m 本のデータ線 $S_1 \sim S_m$ およびこれらに直交する n 本の走査線 $G_1 \sim G_n$ が配設されている。表示部10にはさらに、 n 本の走査

線 $G_1 \sim G_n$ に沿って n 本の発光制御線 $E_1 \sim E_n$ が配設されている。表示部 10 にはさらに、 m 本のデータ線 $S_1 \sim S_m$ と n 本の走査線 $G_1 \sim G_n$ との交差点に対応して $m \times n$ 個の画素回路 11 が設けられている。なお各画素回路 11 は、ゲートドライバ 40 側から走査線の延伸方向へ順に赤色、緑色、および青色のサブ画素の配置が繰り返されるように形成されている。

[0035] また、表示部 10 には、図示されない電源供給部から電源電圧 V_p を供給する m 本の電源線（以下、電源電圧と同じく符号 V_p で表すが、1～ m 番目の電源線 $V_{p1} \sim V_{pm}$ とも表記する）と、共通電位 V_{com} を供給する共通電極（以下、共通電位と同じく符号 V_{com} で表す）とが配設されている。電源線 $V_{p1} \sim V_{pm}$ はデータ線 $S_1 \sim S_m$ とそれぞれ平行かつ一本ずつが対応するように配設され、共通電極 V_{com} は全画素回路に共通的に配設される。もっとも電源線の配設方向や配設態様は、周知の構成であれば特に限定はない。また、電源電圧 V_p はここでは固定電圧であるが、画素回路の態様により、所定値の間で変化する電圧であってもよいし、複数種類の電源線が配設される構成であってもよい。

[0036] コントロール回路 20 は、ソースドライバ 30 に映像データ DA 、ソース制御信号 SCS 、および後述するランプ信号 RMP を与えるとともに、ゲートドライバ 40 にゲート制御信号 GCS を与えることにより、ソースドライバ 30 およびゲートドライバ 40 を制御する。ソース制御信号 SCS は、例えばソーススタートパルス、ソースクロック、およびラッチストロブ信号を含んでいる。ゲート制御信号 GCS は、例えばゲートスタートパルスおよびゲートクロックを含んでいる。

[0037] ソースドライバ 30 は、 m 本のデータ線 $S_1 \sim S_m$ に接続され、駆動信号発生回路 31 および検出／出力ユニット 32 を備えている。駆動信号発生回路 31 は、図示しない m 段のシフトレジスタと、 m 個のサンプリング回路、ラッチ回路、 D/A コンバータ、およびバッファ回路などを備えている。 m 個の駆動信号発生回路 31 は、 m 本のデータ線 $S_1 \sim S_m$ に 1 つずつ対応して設けられており、それぞれに対して対応する駆動信号を出力する。検出／

出力ユニット 3 2 は、 m 個の検出／出力回路 3 2 1 を備えている。 m 個の検出／出力回路 3 2 1 は、 m 本のデータ線 $S_1 \sim S_m$ に 1 つずつ対応して設けられており、それぞれに流れる電流を検出して、駆動信号によって本来流れるべき電流が流れるような（結果的に補正された）電圧信号を出力する。この詳しい構成については後述する。

[0038] 駆動信号発生回路 3 1 は、周知のソースドライバと同様の図示しない構成要素、すなわちシフトレジスタ、サンプリング回路、ラッチ回路、D/A コンバータなどを備えている。駆動信号発生回路 3 1 のシフトレジスタは、ソースクロックに同期してソーススタートパルスを順次転送することによりサンプリングパルスを順次出力する。サンプリング回路は、サンプリングパルスのタイミングに従って 1 行分の映像データ D_A を順次記憶する。ラッチ回路は、サンプリング回路が記憶する 1 行分の映像データ D_A をラッチストローブ信号に応じて取り込み保持すると共に、1 列分（すなわち 1 サブ画素分）の映像データ D_A （以下「階調データ」ともいう）を対応する D/A コンバータに与える。D/A コンバータは、受け取った階調データをデータ電圧に変換し、階調データを示すデータ電圧を対応する検出／出力ユニット 3 2 に（バッファ回路を介して）与える。このようにして、駆動信号発生回路 3 1 は、映像データ D_A およびソース制御信号 SCS に基づいて、 m 個の検出／出力回路 3 2 1 に接続され m 本のデータ線 $S_1 \sim S_m$ にそれぞれ m 列分のデータ電圧を駆動信号として与える。なお、後述するようにこの駆動信号の電圧 V_{dt} (> 0) は符号が反転され、電圧値 $-V_{dt}$ の駆動信号として検出／出力回路 3 2 1 に与えられる。

[0039] ゲートドライバ 4 0 は、 n 本の走査線 $G_1 \sim G_n$ および n 本の発光制御線 $E_1 \sim E_n$ に接続され、それらを駆動する。より詳細には、ゲートドライバ 4 0 は、周知のゲートドライバと同様の構成要素、すなわち図示しないシフトレジスタおよび論理回路などを備えている。ゲートクロックに同期してゲートスタートパルスを送るシフトレジスタと、シフトレジスタのいずれかの段からの出力が与えられる論理回路とにより、 n 本の走査線 $G_1 \sim$

G_nに供給すべき信号およびn本の発光制御線E₁～E_nに供給すべき信号が生成される。なお、ゲートドライバ40がn本の走査線G₁～G_nのみを駆動し、これとは異なる発光制御用ゲートドライバがn本の発光制御線E₁～E_nを駆動するように構成してもよい。

[0040] <1. 2 画素回路および検出／出力回路>

図2は、本実施形態における画素回路11および検出／出力回路321の構成を示す回路図である。ここで、図2に示す画素回路11はi行j列目の画素回路11である。また、図2に示す検出／出力回路321はj列目のデータ線S_jに対応している。

[0041] 画素回路11は、1つの有機EL素子EL、4つのトランジスタT₁～T₄、および1つのコンデンサC₁を備えている。トランジスタT₁、T₃は書き込み制御トランジスタとして機能し、トランジスタT₂は駆動トランジスタとして機能し、トランジスタT₄は発光制御トランジスタとして機能する。コンデンサC₁は駆動容量素子に相当する。トランジスタT₁～T₄はすべてnチャネル型のIGZO-TFTである。ただし、少なくともトランジスタT₂がIGZO-TFTであれば、前述した効果を得ることができる。なお、これらの構成および各トランジスタの機能は一例であって、周知の様々な画素回路の構成が適用可能である。

[0042] トランジスタT₂は、有機EL素子ELと直列に設けられ、電源線V_p（ここでは電源線V_{pj}）に第1導通端子としてのドレイン端子が接続されている。トランジスタT₁は、走査線G_iにゲート端子（制御端子に相当し、他のトランジスタのゲート端子についても同様である）が接続され、トランジスタT₂の第2導通端子としてのソース端子とデータ線S_jとの間に設けられている。トランジスタT₃は、走査線G_iにゲート端子が接続され、トランジスタT₂のゲート端子とドレイン端子との間に設けられている。トランジスタT₄は、発光制御線E_iにゲート端子が接続され、トランジスタT₂のソース端子と有機EL素子ELのアノード端子との間に設けられている。

[0043] コンデンサC 1は、トランジスタT 2のソース端子およびゲート端子にそれぞれ一端および他端が接続されている。有機EL素子のカソード端子は、共通電極V c o mに接続されている。以下、本実施形態に関する説明では、トランジスタT 2のソース端子と、コンデンサC 1の一端と、トランジスタT 2のソース端子側に位置するトランジスタT 1の導通端子と、トランジスタT 2のソース端子側に位置するトランジスタT 4の導通端子との接続点を便宜上「ノードn a」と呼ぶ。

[0044] 検出／出力回路3 2 1は、2つの演算増幅器O P 1、O P 2、2つの比較器C P 1、C P 2、1つのトランジスタT 5、2つのコンデンサC 2、C f、および抵抗器R 1を含む複数の抵抗器を備えている。抵抗器R 1は、電流検出回路として機能し、複数の抵抗器を含む演算増幅器O P 2は、演算回路として機能し、2つの比較器C P 1、C P 2は比較回路として機能し、トランジスタT 5はスイッチ回路として機能し、コンデンサC 2および演算増幅器O P 1は出力回路として機能する。また、演算回路、比較回路、およびスイッチ回路は、出力回路からデータ線S jに出力される（結果的に補正された）データ信号の出力を制御する制御部として機能する。また、演算増幅器O P 1および抵抗器R 1（並びにコンデンサC f）は、トランスインピーダンス回路を構成している。この点については詳しく後述する。

[0045] 抵抗器R 1は、その一端をデータ線S jに接続され、その他端を演算増幅器O P 1の出力端子に接続される。以下では、前者の接続点を便宜上「ノードn 2」と呼び、後者の接続点を便宜上「ノードn 3」と呼ぶ。また、上記抵抗器R 1には、発振防止のためのコンデンサC fが並列に接続されている。演算増幅器O P 2は、その非反転入力端子を（抵抗器を介して）上記抵抗器R 1の他端（すなわちノードn 3）に接続され、その反転入力端子には、駆動信号発生回路3 1から電圧値 $-V_{dt}$ の駆動信号が（抵抗器を介して）与えられる。演算増幅器O P 2の反転入力端子と出力端子とは抵抗器を介して接続され、当該演算増幅器O P 2の出力端子は比較器C P 1の反転入力端子に接続される。この接続点を便宜上「ノードn 4」と呼ぶ。なお、演算増

幅器OP2の非反転入力端子は抵抗器を介して接地される（ここでは共通電極Vcomまたは所定の接地電位線に接続される）。比較器CP1の非反転入力端子は、データ線Sjと接続され、比較器CP1の出力端子は比較器CP2の非反転入力端子に接続される。比較器CP2の反転入力端子は、所定電圧の電源に接続され、比較器CP2の出力端子はトランジスタT5のゲート端子（制御端子）に接続される。トランジスタT5のドレイン端子（第1導通端子）には、後述するランプ信号RMPが与えられ、トランジスタT5のソース端子（第2導通端子）は、演算増幅器OP1の非反転入力端子に接続される。この接続点を便宜上「ノードn1」と呼ぶ。またこの非反転入力端子（すなわちノードn1）は、コンデンサC2の一端に接続され、コンデンサC2の他端は上記と同様に接地される。また演算増幅器OP1の反転入力端子は、データ線Sjに接続される。以上のような検出／出力回路321の動作について説明する。

[0046] <1. 3 検出／出力回路の動作>

検出／出力回路321は、前述したように、コントロール回路20からランプ信号RMPを受け取る。このランプ信号RMPは、1水平期間（1H）内に共通電位Vcom（または所定の最低電位）から最大の階調電圧に相当する電圧（または所定の最高電位）まで変化し、次の水平期間の開始時（またはその直前）に共通電位Vcom（または最低電位）に変化するノコギリ波である。なお、このノコギリ波の変化態様は、ランプ信号RMPの一例であって、1水平期間内に単調増加する波形であればよい。もっとも、電圧の変化率が一定または大きく変化しない信号波形の方が後述する動作を高精度に行うことができる。また、ランプ信号RMPの上記変化態様は逆の変化態様であってもよい（すなわち単調減少であってもよい）。検出／出力回路321は、電流検出回路（抵抗器R1）と、このランプ信号RMPの変化とを利用することにより、データ線Sjの電位を所望の電位になるよう電流フィードバック制御を行う。

[0047] まず、抵抗器R1はデータ線Sjを流れる電流の検出回路として機能する

。すなわち、演算増幅器OP1および比較器CP1の入力インピーダンスは非常に大きいため、抵抗器R1に流れる電流*i*を検出することによりデータ線S_jを流れる電流をほぼ正確に検出することができる。

[0048] ここで抵抗器R1の一端であるノードn2の電圧をV_{n2}とし、抵抗器R1の他端であるノードn3の電圧をV_{n3}とし、抵抗器R1の抵抗をRとし、抵抗器R1に流れる電流を*i*とすると、次式(1)のような関係が成り立つ。

$$V_{n3} = V_{n2} - R \cdot i \quad \cdots (1)$$

[0049] したがって、ノードn4の電圧をV_{n4}とすると、演算回路として機能する演算増幅器OP2の動作によって、電圧V_{n4}は上式(1)から次式(2)のように表すことができる。

$$V_{n4} = V_{n2} - R \cdot i + V_{dt} \quad \cdots (2)$$

[0050] この電圧V_{n4}は、比較器CP1の反転入力端子に与えられる電圧であり、比較器CP1の非反転入力端子には電圧V_{n2}が与えられるので、比較器CP1の出力電圧は、 $R \cdot i < V_{dt}$ の場合にローレベルとなり、 $R \cdot i \geq V_{dt}$ の場合にハイレベルとなる。よって比較器CP2の出力電圧も同じく、 $R \cdot i < V_{dt}$ の場合にローレベルとなるので、その場合にはトランジスタT5はオフされ、 $R \cdot i \geq V_{dt}$ の場合に比較器CP2の出力電圧がハイレベルとなるので、その場合にはトランジスタT5はオンされる。

[0051] ここで、データ線S_jに階調電圧が印加され始めると大きな電流が流れるため、($R \cdot i \geq V_{dt}$ の場合となり)トランジスタT5はオンされることになる。したがって、この場合、ランプ信号の電圧をV_{rmp}とし、ノードn1の電圧をV_{n1}とし、ノードn2の電圧をV_{n2}とするとき、これらの電圧は次式(3)のように表すことができ、ランプ信号がデータ信号線S_jに印加されることになる。

$$V_{rmp} = V_{n1} = V_{n2} \quad \cdots (3)$$

[0052] その後、ランプ信号電圧V_{rmp}は、1水平期間内で上がり続け、またデータ信号線S_jを流れる電流*i*も減少し続けるため、 $R \cdot i = V_{dt}$ となる

タイミングで、（比較器C P 2の出力電圧がローレベルとなるため）トランジスタT 5はオフされる。このときのノードn 1の電圧V n 1の電位は、コンデンサC 1により維持されるため、出力部として機能する演算増幅器O P 1の反転入力端子（すなわちノードn 2）の電圧V n 2も維持され、結果として、トランジスタT 5が次にオンされるまで、データ線S jの電位も維持される。

[0053] このように、データ線S jには、駆動信号の電圧V d tに対応する電流iが流されることになるため、駆動信号をデータ線S jに直接印加する場合に（理想的には）本来流れるべき電流と、直接印加する場合に実際に流れる電流とが（駆動トランジスタの特性ばらつき等によって）異なっている場合にも、電流検出回路として機能する抵抗器R 1により実際に流れる電流iを検出することにより、実際に流れる電流iを本来流れるべき電流に一致させることができる。

[0054] ここで、上記のように実際に流れる電流iを本来流れるべき電流に一致させるような電流フィードバック制御は、1水平期間内の非常に短い時間で行われるため、例えばこの期間が10[us]以下となるような高精細の表示装置である場合、単純に抵抗器で検出した電流に基づく電位差に相当する電圧と駆動信号の電圧とを比較しフィードバック制御を行う構成では、応答速度が不十分となる。そのため、制御を行うことができないか、極めて困難となる。

[0055] これに対して、本実施形態の構成では、演算増幅器O P 1と、抵抗器R 1と、発振防止コンデンサC fとにより、トランスインピーダンス回路が構成されている。このトランスインピーダンス回路は、演算増幅器O P 1を使用することにより、周波数特性が広帯域であって高速動作が可能である。したがって、演算増幅器O P 1が十分高速に動作するものである場合には、10[us]以下の期間内に1[uA]以下の微少な電流がデータ線S jに流れるようにフィードバック制御することも可能である。

[0056] もっとも、上記のように1水平期間が極めて短い時間であって、ランプ信

号 R M P において電圧の変化率が極めて大きい箇所がある場合、当該箇所におけるフィードバック制御の精度が低下することもあり得る。よって、理想的なランプ信号のように電圧の変化率が一定である方が好ましく、この場合には電圧値によらず安定した高精度のフィードバック制御を行うことができる。

[0057] 以上のように設定されるデータ線 S j の電圧を受け取ることにより、画素回路における有機 E L 素子 E L は所望の輝度で発光することになる。このような画素回路 1 1 の動作自体は周知の画素回路における（閾値検出および閾値補償動作を行わない場合の）動作とほぼ同様であるので、以下ではこの動作につき簡単にその一例を説明する。

[0058] < 1. 4 画素回路の動作 >

本画素回路 1 1 では、トランジスタ T 2 の閾値電圧や移動度に応じて実際に流れる電流に基づきデータ線 S j に印加される電圧が決定されるため、コンデンサ C 1 にトランジスタ T 2 の閾値電圧を保持させるための閾値検出動作を必要としない。なお初期化動作については周知の画素回路と同様であるため説明を省略する。

[0059] まず選択期間において、1 行目の選択期間が開始されると、1 行目の走査線 G 1 の電位がハイレベルに変化するので、1 行目の画素回路 1 1 ではトランジスタ T 1, T 3 がオンされる。ここで、画素回路 1 1 にはデータ電圧が書き込まれるが、このデータ電圧は前述したように 1 水平期間内で駆動信号を印加する場合に本来流れるべき電流に、実際に流れる電流が一致するまで変化するランプ信号電圧 V r m p である。

[0060] 次に 1 行目の選択期間が終了すると、1 行目の走査線 G 1 の電位がローレベルに変化するので、1 行目の画素回路 1 1 ではトランジスタ T 1, T 3 がオフされる。このため、コンデンサ C 1 の保持するゲートソース間電圧が、検出／出力回路 3 2 1 によって維持されている上記電圧に確定する。その後、各選択期間（各走査期間）中に 2 行目～n 行目の走査線 G 2 ～G n が順次選択される（ハイレベルになる）ことにより、各行の画素回路 1 1 にデー

タ電圧に相当する上記電圧が書き込まれる。

[0061] 続いて発光動作期間になると、1～n行目の発光制御線E1～Enの電位がハイレベルに変化するので、1～n行目の画素回路11ではトランジスタT4がオンされる。このため、有機EL素子ELのアノード端子とトランジスタT2のドレイン端子とが電氣的に互いに接続される。これにより、トランジスタT2は、駆動電流I_{oled}を有機EL素子ELに供給する。この駆動電流I_{oled}は、トランジスタT2を実際に流れる電流に応じて設定されることになるため、画素回路11に書き込まれたデータ電圧に相当する上記電圧は、トランジスタT2の実際の閾値電圧および移動度などの特性を予め加味した値となっている。したがって、駆動電流I_{oled}は、トランジスタT2の閾値電圧および移動度などの特性ばらつきの影響を受けない。したがって、このような特性ばらつきに基づく、発光輝度のばらつきが解消または少なくとも抑制される。

[0062] <1.5 第1の実施形態の効果>

本実施形態によれば、画素回路11内にトランジスタを増設したりフィードバック制御用の信号配線を追加することなく、ソースドライバ30にn個の検出／出力回路321を追加する簡易な構成で、高速に電流検出を行いつつ、駆動トランジスタの特性ばらつき等を解消または少なくとも抑制することができる。

[0063] 特に本実施形態の構成では、演算増幅器OP1と、抵抗器R1と、発振防止コンデンサCfとによってトランスインピーダンス回路が構成されているので、周波数帯域幅が非常に広帯域となり、高速な動作が可能となる。

[0064] また本実施形態では、トランジスタとしてIGZO-TFTが採用されることにより、選択されていない画素回路から漏れ出るオフ電流に基づく信号ノイズの影響をほぼ無視することができるので、高精度な電流検出が可能となる。

[0065] さらに本実施形態によれば、閾値検出動作を必要としないため、有機EL表示装置の動作を簡単にすることができ、そのことにより動作を高速化する

ことができる。

[0066] < 1. 6 第 1 の実施形態の変形例 >

図 3 は、本実施形態における画素回路 1 1 b の構成を示す回路図である。本実施形態の構成要素のうち上記第 1 の実施形態と同一ないし類似の要素については、同一の参照符号を付して適宜説明を省略する。ここで、図 3 に示す画素回路 1 1 b は i 行 j 列目の画素回路 1 1 である。なお、本実施形態における検出／出力回路 3 2 1 の構成は、上記第 1 の実施形態における構成と同様であるので説明を省略する。

[0067] 画素回路 1 1 b は、1 個の有機 E L 素子 E L、4 個のトランジスタ T 1 ～ T 4、および 1 個のコンデンサ C 1 を備えている。ここでトランジスタ T 1 ～ T 4 は、上記実施形態とは異なって、すべて p チャネル型であり、例えば低温ポリシリコン T F T またはアモルファスシリコン T F T などである。また、トランジスタ T 1 ～ T 4 は I G Z O - T F T などの酸化物 T F T であってもよい。

[0068] トランジスタ T 2 は、有機 E L 素子 E L と直列に設けられ、電源線 V p に第 1 導通端子としてのソース端子が接続されている。トランジスタ T 1 は、走査線 G i にゲート端子が接続され、トランジスタ T 2 のゲート端子とデータ線 S j との間に設けられている。トランジスタ T 3 は、走査線 G i にゲート端子が接続され、トランジスタ T 2 の第 2 導通端子としてのドレイン端子とゲート端子との間に設けられている。トランジスタ T 4 は、発光制御線 E i にゲート端子が接続され、トランジスタ T 2 のドレイン端子と有機 E L 素子 E L のアノード端子との間に設けられている。コンデンサ C 1 は、トランジスタ T 2 のソース端子およびゲート端子にそれぞれ一端および他端が接続されている。有機 E L 素子のカソード端子は、共通電極 V c o m に接続されている。ここで、上記実施形態に関する説明におけるノード n a は、この変形例では、トランジスタ T 2 のゲート端子と、コンデンサ C 1 の一端と、トランジスタ T 2 のゲート端子側に位置するトランジスタ T 1 の導通端子と、トランジスタ T 2 のゲート端子側に位置するトランジスタ T 3 の導通端子と

の接続点に対応する。この接続点を便宜上「ノード n b」と呼ぶ。

[0069] この変形例における画素回路 1 1 b および検出／出力回路 3 2 1 の動作は、基本的には第 1 の実施形態と同様であるが、トランジスタ T 1, T 3, T 4 が p チャネル型であることにより各走査線および各発光制御線の電位は上記第 1 の実施形態における電位を反転させたものになっており、本実施形態における各走査線はローレベル時に選択状態になる。また、コンデンサ C 1 は、その取り付け位置の違いから表示階調に対応して設定される保持電圧も異なっており、トランジスタ T 2 におけるゲートソース間電圧に充電される。その他の動作は基本的に同様であるため、ここでの説明を省略する。

[0070] したがって、本変形例のように、1 個の有機 EL 素子 EL、4 個の p チャネル型のトランジスタ T 1 ~ T 4、および 1 個のコンデンサ C 1 で構成された画素回路 1 1 b を備える有機 EL 表示装置 1 においても、上記第 1 の実施形態と同様の効果を奏することができる。

[0071] <2. 第 2 の実施形態>

本発明の第 2 の実施形態では、図 4 に示す検出／出力回路 3 2 2 の構成の一部を除くほか、上記第 1 の実施形態の構成および動作と同様であるので、上記第 1 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。

[0072] 図 4 は、本発明の第 2 の実施形態における検出／出力回路 3 2 2 の構成を示す回路図である。ここで、図 4 に示す検出／出力回路 3 2 2 も第 1 の実施形態の場合と同様、j 列目のデータ線 S j に対応している。

[0073] この図 4 に示す検出／出力回路 3 2 2 は、第 1 の実施形態における検出／出力回路 3 2 1 とほぼ同様の構成であるが、検出／出力回路 3 2 1 に備えられる電流検出回路として機能する抵抗器 R 1 に代えて、同様に電流検出回路として機能するトランジスタ T 6 を新たに備える点異なる。以下、このトランジスタ T 6 の機能および動作について説明する。

[0074] 図 4 に示すように、トランジスタ T 6 の第 1 導通端子としてのドレイン端子は、データ信号線 S j（すなわちノード n 2）に接続され、第 2 導通端子

としてのソース端子は、演算増幅器OP1の出力端子（すなわちノードn3）に接続されている。また、このトランジスタT6のゲート端子（制御端子）には、外部より設定電圧Vrefが与えられる。この設定電圧Vrefは、トランジスタT6を線形領域で動作させるよう（十分に大きい）適宜の値に設定されており、例えばコントロール回路20から与えられる。このように、トランジスタを線形領域で動作させると、ドレイン－ソース端子間では抵抗とみなすことができることが知られている。この抵抗値は、ゲート電圧により変化させることができるので、高い抵抗値を容易に実現することができる。

[0075] すなわち、データ線Sjを流れるべき電流が数ナノアンペアである場合、電流検出器として機能する抵抗は、数メガオーム以上の値が必要となる。このように大きい抵抗を有する抵抗器をガラス基板上に形成するには、大きな占有面積が必要となるため、装置の小型化を阻害することになる。しかし、上記トランジスタT6は、上記のように大きな抵抗値を小さな占有面積で実現することができるので、装置を小型化することができる。また、設定電圧Vrefを変化させることにより、抵抗値を変化させることもできるので、好適な抵抗値を簡単に設定できる。さらに、後述する第4の実施形態のように、電流検出による負荷を下げる構成を容易に実現することができる。この構成は、第4の実施形態の変形例として後述する。

[0076] 以上のように、本実施形態によれば、小さい占有面積で大きな抵抗値を有する電流検出回路を線形領域で動作するトランジスタT6によって簡単に構成することができる。また、ゲート電位を自由に設定することができるので、好適な抵抗値に簡単に設定することができる。

[0077] <3. 第3の実施形態>

<3. 1 検出／出力回路の構成および動作>

本発明の第3の実施形態では、図5に示す検出／出力回路323の構成要素は、上記第1の実施形態の構成とほぼ同様であるが、接続関係がやや異なっている。また、各構成要素の動作は、第1の実施形態の場合とほぼ同様で

ある。したがって、上記第 1 の実施形態と同一または類似の要素については、同一の参照符号を付して適宜説明を省略する。

[0078] 図 5 は、本発明の第 3 の実施形態における検出／出力回路 3 2 3 の構成を示す回路図である。ここで、図 5 に示す検出／出力回路 3 2 3 も第 1 の実施形態の場合と同様、 j 列目のデータ線 S_j に対応している。

[0079] この図 5 に示す検出／出力回路 3 2 3 は、第 1 の実施形態における検出／出力回路 3 2 1 とほぼ同様の構成要素を備えるが、バッファ回路として機能する演算増幅器 OP_3 を新たに備える点が異なる。また、演算増幅器 OP_2 の出力端子（ノード n_4 ）は、第 1 の実施形態の場合のように比較器 CP_1 の反転入力端子に接続されているのではなく、その非反転入力端子に接続されている。また比較器 CP_1 の反転入力端子は、第 1 の実施形態の場合のようにデータ線 S_j ではなく、演算増幅器 OP_1 の出力端子（ノード n_3 ）に接続されている。

[0080] さらに、演算増幅器 OP_2 の非反転入力端子は、演算増幅器 OP_3 を介して、データ線 S_j に接続される。すなわち、演算増幅器 OP_3 の非反転入力端子は、データ線 S_j に接続され、その反転入力端子はその出力端子に接続されるとともに、抵抗器を介して演算増幅器 OP_2 の非反転入力端子に接続される。また、演算増幅器 OP_2 の反転入力端子には、駆動信号発生回路 3 1 から電圧値 $-V_{dt}$ ではなく、電圧値 V_{dt} の駆動信号が（抵抗器を介して）与えられる。

[0081] このように、演算回路として機能する演算増幅器 OP_2 の動作によって、ノード n_4 の電圧 V_{n4} は次式（4）のように表すことができる。

$$V_{n4} = V_{n2} - V_{dt} \quad \dots (4)$$

[0082] この電圧 V_{n4} は、比較器 CP_1 の非反転入力端子に与えられる電圧であり、比較器 CP_1 の反転入力端子には、上式（1）より $V_{n2} - R \cdot i$ が与えられるので、比較器 CP_1 の出力電圧は、第 1 の実施形態の場合と同様、 $R \cdot i < V_{dt}$ の場合にローレベルとなり、 $R \cdot i \geq V_{dt}$ の場合にハイレベルとなる。よって比較器 CP_2 の出力電圧も同じく、 $R \cdot i < V_{dt}$ の場

合にローレベルとなるので、その場合にはトランジスタ T 5 はオフされ、 $R \cdot i \geq V_{dt}$ の場合に比較器 C P 2 の出力電圧がハイレベルとなるので、その場合にはトランジスタ T 5 はオンされる。

[0083] 以上のように、本実施形態の構成によれば、駆動信号の電圧値 V_{dt} を 0 ～ 5 [V] 程度または数ボルト程度の範囲に設定することができるので、電圧値 $-V_{dt}$ を生成する必要がなく、またデータ信号の振幅を適宜の範囲に設定することができる。

[0084] < 3. 2 第 3 の実施形態の変形例 >

上記第 3 の実施形態では、図 5 に示す検出／出力回路 3 2 3 の構成要素が上記第 1 の実施形態の接続関係とやや異なっていたが、本変形例では、第 3 の実施形態と同一の構成要素を備えるが、その接続関係のみがやや異なっている。したがって、同一の構成要素に同一の参照符号を付して適宜説明を省略する。

[0085] 図 6 は、本発明の第 3 の実施形態における検出／出力回路 3 2 3 b の構成を示す回路図である。ここで、図 6 に示す検出／出力回路 3 2 3 b も第 3 の実施形態の場合と同様、j 列目のデータ線 S_j に対応している。

[0086] この図 6 に示す検出／出力回路 3 2 3 b は、第 3 の実施形態における検出／出力回路 3 2 3 と同一の構成要素を備えるが、演算増幅器 O P 2 の反転入力端子は、抵抗器を介して演算増幅器 O P 1 の出力端子（ノード n 3）に接続され、また比較器 C P 1 の反転入力端子には、駆動信号発生回路 3 1 の電圧値 V_{dt} を反転した電圧値 $-V_{dt}$ が与えられる。

[0087] このように、演算回路として機能する演算増幅器 O P 2 の動作によって、ノード n 4 の電圧 V_{n4} は上式（1）を参照すれば、次式（5）のように表すことができる。

$$V_{n4} = V_{n2} - (V_{n2} - R \cdot i) \quad \dots (5)$$

[0088] この電圧 V_{n4} は、比較器 C P 1 の非反転入力端子に与えられる電圧であり、比較器 C P 1 の反転入力端子には、電圧値 $-V_{dt}$ が与えられるので、比較器 C P 1 の出力電圧は、第 1 の実施形態の場合と同様、 $R \cdot i < V_{dt}$

の場合にローレベルとなり、 $R \cdot i \geq V_{dt}$ の場合にハイレベルとなる。よって比較器CP2の出力電圧も同じく、 $R \cdot i < V_{dt}$ の場合にローレベルとなるので、その場合にはトランジスタT5はオフされ、 $R \cdot i \geq V_{dt}$ の場合に比較器CP2の出力電圧がハイレベルとなるので、その場合にはトランジスタT5はオンされる。

[0089] 以上のように、本変形例の構成によれば、第1の実施形態と同様の効果が得られる。なお、上記各実施形態および本実施形態において、演算増幅器OP2および比較器CP1、CP2の各入力端子へ入力される信号は、反転入力端子と非反転入力端子とで逆になってもよく、様々な回路を適用することができる。

[0090] <4. 第4の実施形態>

<4. 1 検出／出力回路の構成および動作>

本発明の第4の実施形態では、図7に示す検出／出力回路324の構成の一部を除くほか、上記第1の実施形態の構成および動作と同様であるので、上記第1の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。

[0091] 図7は、本発明の第4の実施形態における検出／出力回路324の構成を示す回路図である。ここで、図7に示す検出／出力回路324も第1の実施形態の場合と同様、j列目のデータ線Sjに対応している。

[0092] この図7に示す検出／出力回路324は、第1の実施形態における検出／出力回路321とほぼ同様の構成であるが、検出／出力回路321に備えられる電流検出回路として機能する抵抗器R1に代えて、同様に電流検出回路として機能する可変抵抗回路VR1を新たに備える点が異なる。図7に示すように、可変抵抗回路VR1も抵抗器R1と同様に接続されるが、その抵抗値が可変となっており、コントロール回路20から与えられるデジタルデータである映像データDAに応じて、抵抗値が設定される。以下、この可変抵抗回路VR1の構成および動作について、図8を参照して説明する。

[0093] 図8は、可変抵抗回路VR1の詳細な構成を示す図である。図8に示す可

変抵抗回路V R 1は、ここでは8ビットのデジタルデータである映像データD Aを構成する各ビットb 0 (L S B) ~ b 7 (M S B) に対応してスイッチが設けられており、これらのスイッチはオンされるとそれぞれ対応する1つの抵抗器の両端を短絡するように設けられている。抵抗器は、各ビットの値に応じて、2のk乗倍(ただしkは7以下の自然数)となるように設定されており、映像データD Aにおける対応するビット値が1の場合には、対応するスイッチがオンされ、対応するビット値が0の場合には、対応するスイッチがオフされる。したがって、映像データの値が大きいほど抵抗値が小さくなるため、階調値が大きくなるほど、ノードn 3から見た負荷が減少し、データ線S j への書き込み時間を短縮することができる。

[0094] また、この可変抵抗回路V R 1によって検出される電圧を(駆動トランジスタT 2の特性ばらつきによる変化を除き)ほぼ一定にすることができるので、ノードn 3における電圧をほぼ一定にすることができる。よって、演算回路として機能する演算増幅器O P 2の反転入力端子に入力される駆動電圧V d t に代えて、トランジスタT 2の閾値電圧および移動度における理想値または平均値などを前提にして算出される固定電圧である駆動電圧V d t 0を入力することができる。この電圧は固定電圧であるため、駆動電圧V d t のように大きな振幅を有する電圧信号とは異なり、電力消費を小さくすることができる。

[0095] <4. 2 本実施形態の第1の変形例>

図9は、可変抵抗回路V R 1の詳細な構成の別例を示す図である。図9に示す可変抵抗回路V R 1は、図8に示す可変抵抗回路V R 1と同様の抵抗およびスイッチが設けられているが、図8に示す可変抵抗回路V R 1とは異なり、映像データD Aの下位ビットであるb 0, b 1が与えられず、それらに対応するスイッチも省略されている。したがって、上記第4の実施形態の場合とは異なり、可変抵抗回路V R 1によって検出される電圧をほぼ一定にすることはできない。しかしこの検出電圧は、(駆動トランジスタT 2の特性ばらつきによる変化を除き)ほぼ映像データD Aの下位ビットに対応する電

圧に等しい。そのため、演算回路として機能する演算増幅器OP2の反転入力端子に入力される駆動電圧 V_{dt} に代えて、上記実施形態のように固定値とすることはできないが、トランジスタT2の閾値電圧および移動度における理想値または平均値などを前提にして算出される、上記映像データの低位ビットに対応する電圧（ここでは2ビット分の3種類）を駆動電圧 V_{dt0} として入力することができる。この電圧は固定電圧ではないが、駆動電圧 V_{dt} のように大きな振幅を有する電圧信号とは異なって大きく変化しないため、電力消費を小さくすることができる。また、可変抵抗回路VR1を構成する抵抗器の数を減らすことができる。さらに、上記実施形態と同様、映像データの値が大きいほど抵抗値が小さくなるため、階調値が大きくなるほど、ノードn3から見た負荷が減少し、データ線Sjへの書き込み時間を短縮することができる。

[0096] <4. 3 本実施形態の第2の変形例>

第2の実施形態では、図4に示す検出／出力回路322の構成要素として、第1の実施形態における検出／出力回路321に備えられる電流検出回路として機能する抵抗器R1に代えて、同様に電流検出回路として機能するトランジスタT6を新たに備えており、このトランジスタT6のゲート電位を変更することにより、その抵抗値を比較的自由に設定することができることは前述の通りである。したがって、この抵抗値を上記可変抵抗回路VR1に含まれる各抵抗器の値に対応されれば、上記第4の実施形態およびその第1の変形例における動作と同一の動作を実現することができる。

[0097] 具体的には、映像データDAの全ビットまたは所定範囲の上位ビットに対応する抵抗値を得るためのゲート端子に与えるべき設定電圧 V_{ref} を予め測定しておき、映像データDAと上記設定電圧 V_{ref} との対応関係をルックアップテーブルなどの形で記憶する。そうすれば、このようなルックアップテーブル等を参照することにより、上記第4の実施形態およびその第1の変形例における動作と同一の動作を、より簡単な構成で実現することができる。

[0098] <5. その他>

本発明は、上述の実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば第1の実施形態の変形例は、その他の実施形態の変形例としても採用することができ、第3の実施形態およびその変形例における構成は、第2または第4の実施形態においても採用することができる。

[0099] また上記各実施形態では、トランジスタT4を使用せずに、トランジスタT2の第2導通端子（例えば第1の実施形態ではソース端子、第1の実施形態の変形例ではドレイン端子）の電位を調整して、有機EL素子ELへの駆動電流I_{oled}の供給を制御してもよい。

[0100] なお、本明細書において、電気光学素子とは、有機EL素子の他、FED（Field Emission Display）、LED、電荷駆動素子、液晶、Eインク（Electronic Ink）など、電気を与えることにより光学的な特性が変化する全ての素子をいうものとする。また、以上において電気光学素子として有機EL素子を例示したが、電流量に応じて発光量が制御される表示素子であれば同様の説明が可能である。

産業上の利用可能性

[0101] 本発明は、データ線駆動回路およびそれを備える表示装置に適用されるものであって、特に有機EL素子などの電気光学素子を含む画素回路を駆動するためのデータ線駆動回路およびそれを備えるアクティブマトリクス型表示装置に適する。

符号の説明

- [0102] 1…有機EL表示装置
10…表示部
11、…画素回路
20…コントロール回路
30…ソースドライバ（データ線駆動回路）
32…検出／出力ユニット

4 0…ゲートドライバ（走査線駆動回路）

3 2 1～3 2 4…検出／出力回路

S 1～S m…データ線

G 1～G n…走査線

E 1～E n…発光制御線

T 1～T 6…トランジスタ

E L…有機E L素子

C 1, C 2, C f…コンデンサ

O P 1～O 3…演算増幅器

C P 1, C P 2…比較器

V p…電源電圧

R M P…ランプ信号

V c o m…共通電位

請求の範囲

- [請求項1] 複数の画素回路がマトリクス状に配置されるアクティブマトリクス型の表示装置に備えられるデータ線駆動回路であって、
- 外部から表示すべき画像を表す画像信号を受け取り、前記画像信号に対応する駆動信号を出力する駆動信号発生回路と、
- 前記複数の画素回路の少なくとも1つに接続されるデータ線に対して、前記駆動信号電圧の最低値から最高値までの範囲を含む範囲内で電圧値が変化するランプ信号を出力する出力回路と、
- 前記データ線に流れる電流に対応する電位差を検出する電流検出回路と、
- 前記電流検出回路により検出される電位差に相当する電圧値と、前記駆動信号の電圧値とを比較し、略一致するまで前記出力回路へ前記ランプ信号を与え、略一致した後は略一致時点での前記ランプ信号の電圧を維持して前記出力回路へ与えるよう制御する制御部とを備えることを特徴とする、データ線駆動回路。
- [請求項2] 前記制御部は、
- 前記電流検出回路により検出される電位差に相当する電圧値と、前記駆動信号の電圧値とを受け取り、受け取られた2つの電圧値の差分値を出力する演算回路と、
- 前記演算回路から出力される前記差分値と、前記電流検出回路の入力端に与えられる電圧値とを比較する比較回路と、
- 前記比較回路により比較される2つの電圧値が略一致するまで、外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう電氣的に接続するスイッチ回路と
- を含むことを特徴とする、請求項1に記載のデータ線駆動回路。
- [請求項3] 前記制御部は、
- 前記電流検出回路の入力端に与えられる電圧値と、前記駆動信号の電圧値とを受け取り、受け取った2つの電圧の差分値を出力する演

算回路と、

前記電流検出回路により検出される電位差に相当する電圧値と、
前記演算回路から出力される前記差分値とを比較する比較回路と、

前記比較回路により比較される2つの電圧値が略一致するまで、
外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう
電氣的に接続するスイッチ回路と

を含むことを特徴とする、請求項1に記載のデータ線駆動回路。

[請求項4] 前記出力回路は、非反転入力端子から前記ランプ信号を受け取る演算増幅器を含み、

前記電流検出回路は、一端を前記演算増幅器の反転入力端子に接続され、他端を前記演算増幅器の出力端子に接続される抵抗を有し、

前記演算増幅器および前記抵抗は、トランスインピーダンス回路を構成することを特徴とする、請求項1に記載のデータ線駆動回路。

[請求項5] 前記電流検出回路は、前記駆動信号の電圧レベルを示すデジタル信号の構成ビットのうちの一部または全部を受け取り、前記デジタル信号に応じて抵抗値が変更される可変抵抗回路を含み、

前記制御部は、前記電流検出回路により検出される電位差に相当する電圧値と、予め定められた値または範囲の比較用電圧値とを比較し、略一致するまで外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう制御することを特徴とする、請求項1に記載のデータ線駆動回路。

[請求項6] 前記電流検出回路は、前記駆動信号の電圧レベルを示すデジタル信号の一部である所定範囲の上位ビットのデータを受け取り、前記上位ビットのデータに応じて抵抗値が変更される可変抵抗回路を含み、

前記制御部は、前記デジタル信号の残りの一部である所定範囲の下位ビットのデータを受け取り、当該下位ビットのデータに対応する比較用電圧値と、前記電流検出回路により検出される電位差に相当する電圧値とを比較し、略一致するまで外部から与えられる前記ランプ信

号が前記出力回路へ与えられるよう制御することを特徴とする、請求項5に記載のデータ線駆動回路。

[請求項7] 前記電流検出回路は、線形領域で動作するトランジスタを含み、一端がドレイン端子であり、他端がソース端子であり、予め定められた値または範囲の設定電圧がゲート端子に与えられることを特徴とする、請求項1に記載のデータ線駆動回路。

[請求項8] 前記電流検出回路は、前記駆動信号の電圧レベルを示すデジタル信号の構成ビットのうちの一部または全部を受け取り、前記デジタル信号に応じて前記ゲート端子に与えられる前記設定電圧を変更することにより、前記電位差に相当する電圧値を検出し、

前記制御部は、前記電流検出回路により検出される電位差に相当する電圧値と、予め定められた値または範囲の比較用電圧値とを比較し、略一致するまで外部から与えられる前記ランプ信号が前記出力回路へ与えられるよう制御することを特徴とする、請求項7に記載のデータ線駆動回路。

[請求項9] 複数のデータ線と、複数の走査線と、前記複数のデータ線および前記複数の走査線に対応して配置された複数の画素回路とを含む表示部と、

前記複数のデータ線に接続された請求項1に記載のデータ線駆動回路と、

前記複数の走査線に接続された走査線駆動回路とを備えるアクティブマトリクス型の表示装置であって、

前記画素回路は、電流で駆動される電気光学素子と、前記電気光学素子と直列に設けられ、前記データ線を介して供給される電圧に応じて、前記電気光学素子に供給すべき駆動電流を制御する駆動トランジスタとを含む、表示装置。

[請求項10] 前記駆動トランジスタは、チャネル層が酸化物半導体により形成された薄膜トランジスタであり、

前記酸化物半導体は、インジウム、ガリウム、および亜鉛を主成分とすることを特徴とする、請求項 9 に記載のデータ線駆動回路。

[請求項11]

複数の画素回路がマトリクス状に配置されるアクティブマトリクス型の表示装置に備えられるデータ線駆動方法であって、

外部から表示すべき画像を表す画像信号を受け取り、前記画像信号に対応する駆動信号を出力する駆動信号発生ステップと、

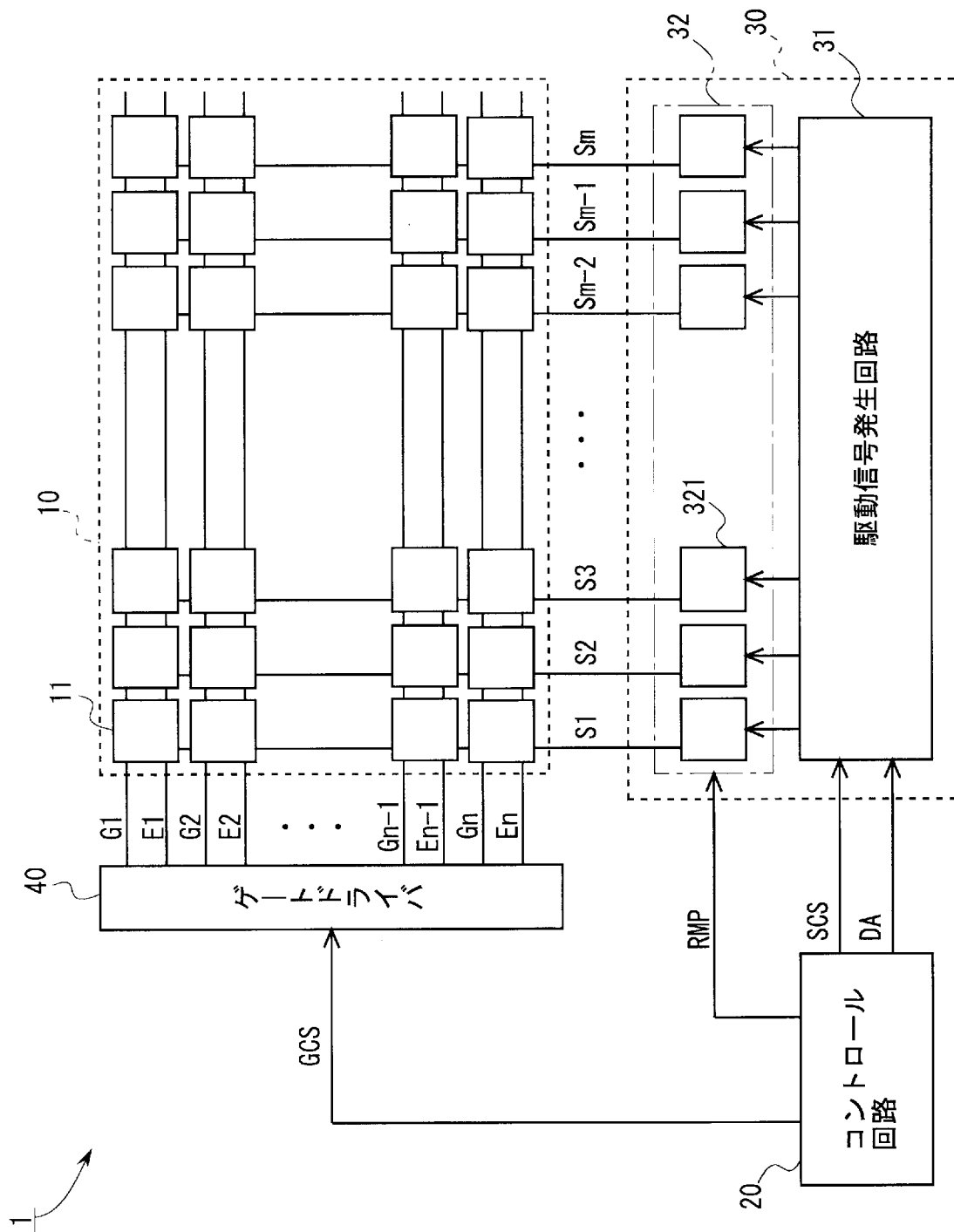
前記複数の画素回路の少なくとも 1 つに接続されるデータ線に対して、前記駆動信号電圧の最低値から最高値までの範囲を含む範囲内で電圧値が変化するランプ信号を出力する出力ステップと、

前記データ線に流れる電流に対応する電位差を検出する電流検出ステップと、

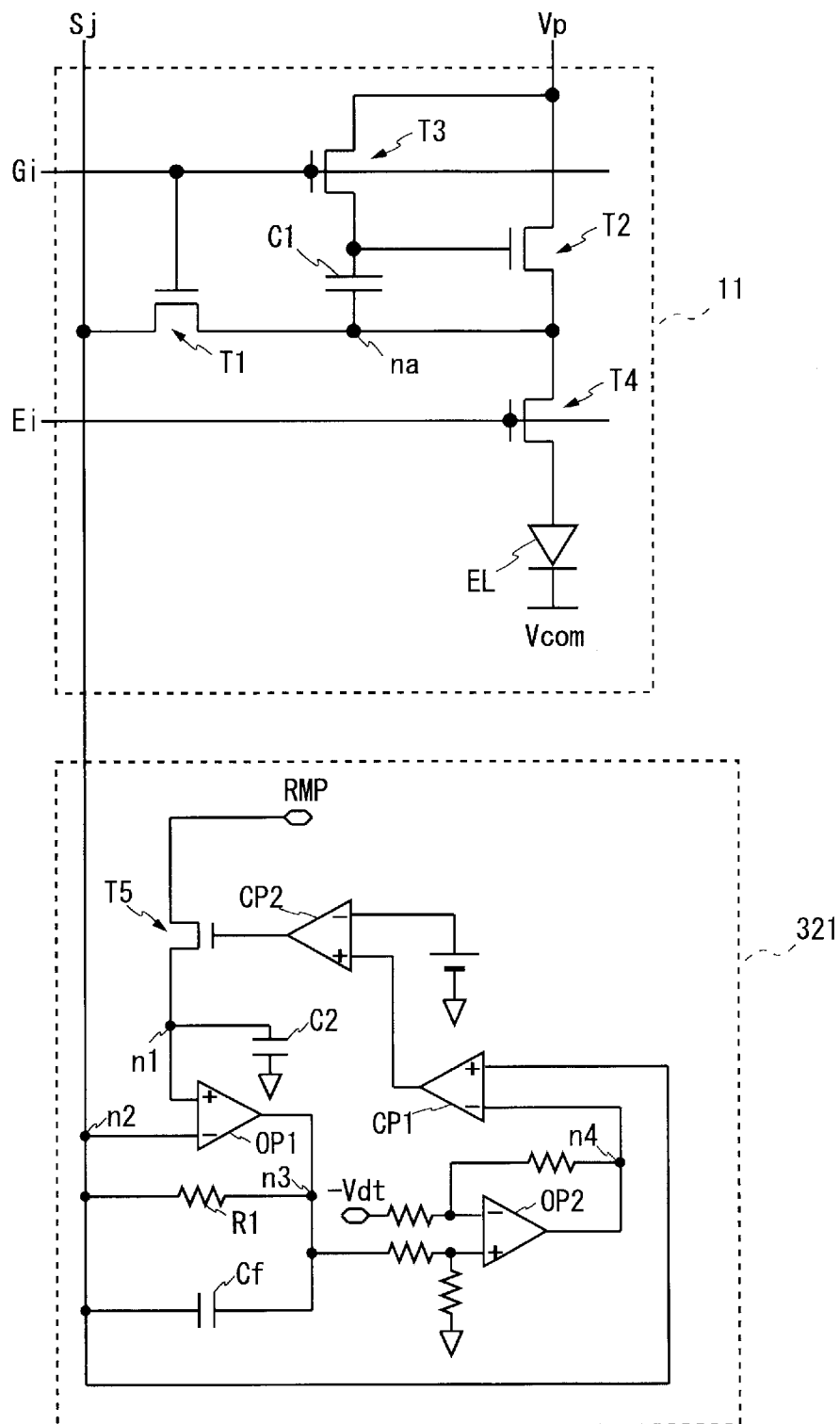
前記電流検出ステップにおいて検出される電位差に相当する電圧値と、前記駆動信号の電圧値とを比較し、略一致するまで前記出力ステップにおける前記ランプ信号を与え、略一致した後には略一致時点での前記ランプ信号の電圧を維持して前記出力ステップにおいて与えるよう制御する制御ステップと

を備えることを特徴とする、データ線駆動方法。

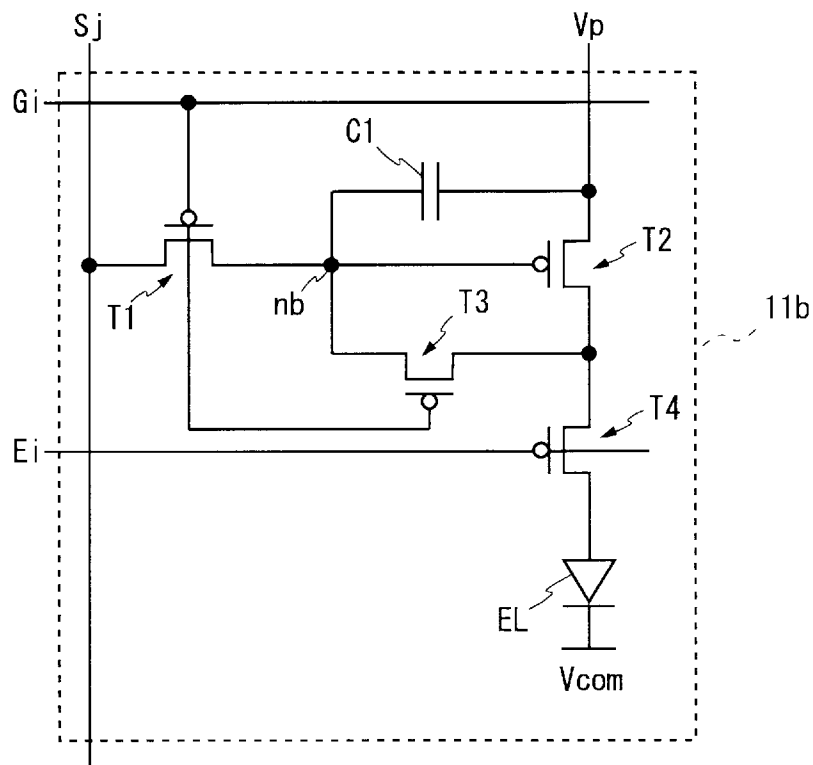
[図1]



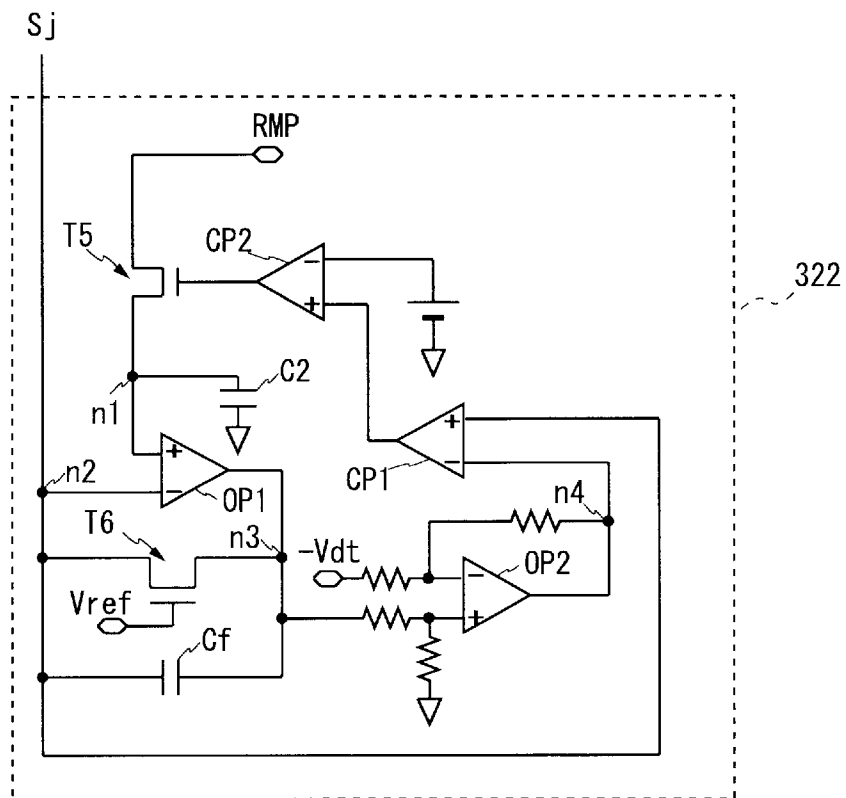
[図2]



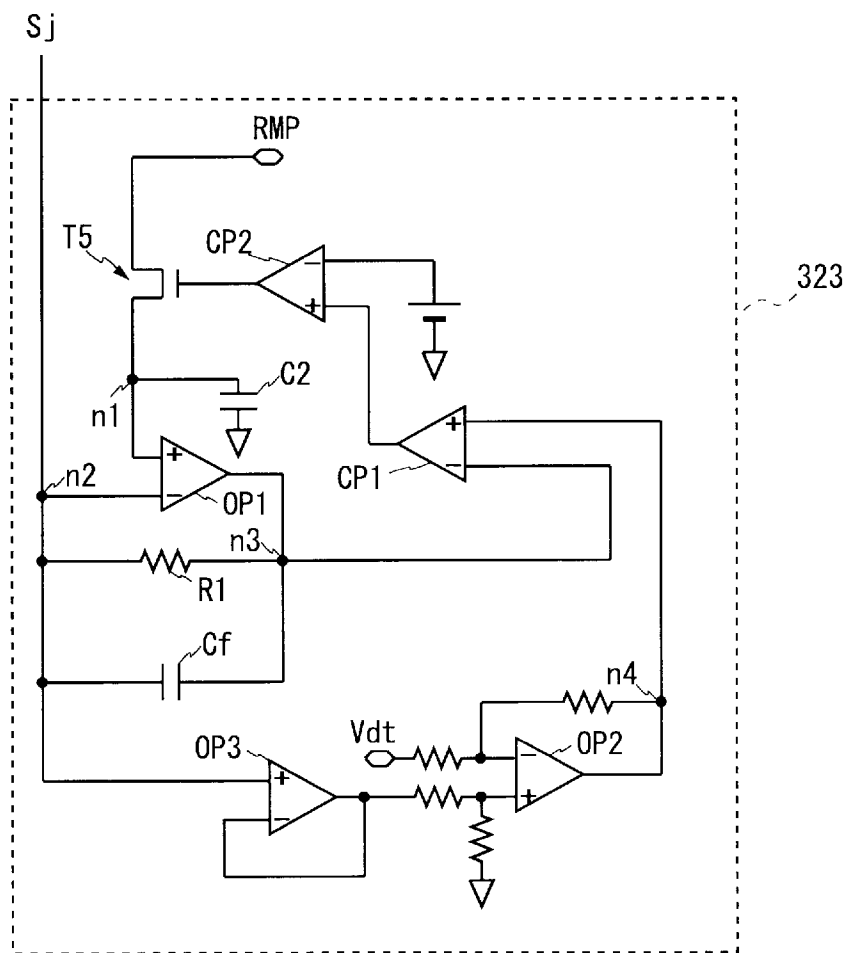
[図3]



[図4]

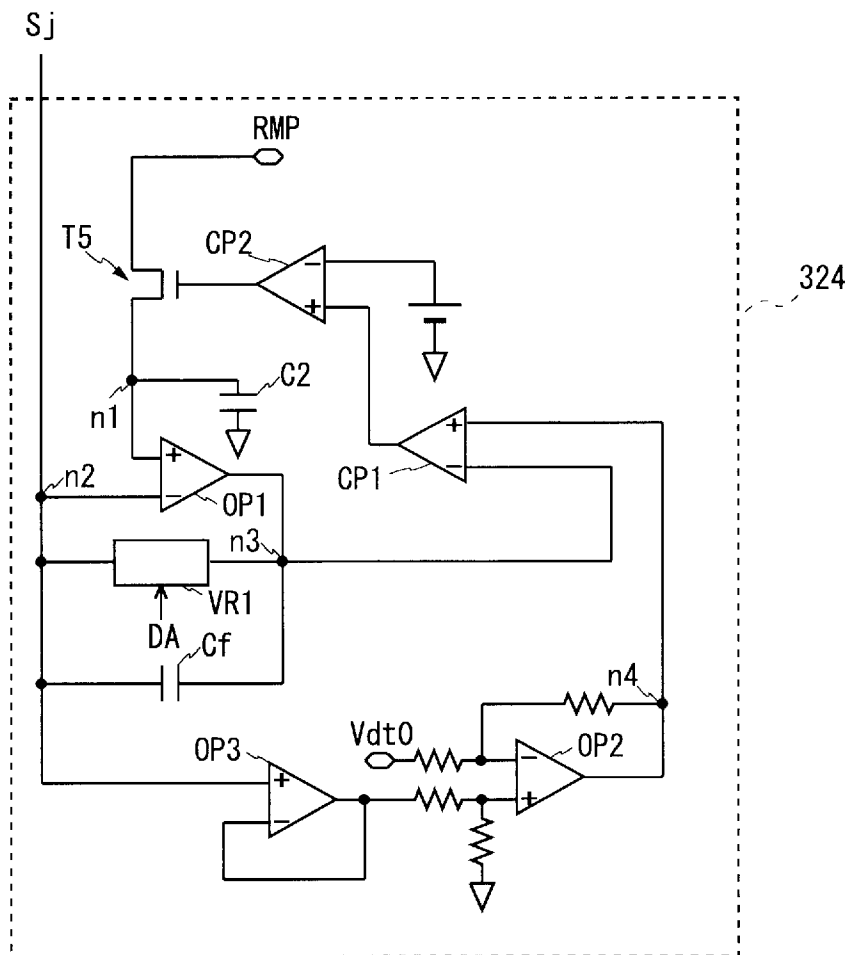


[図5]

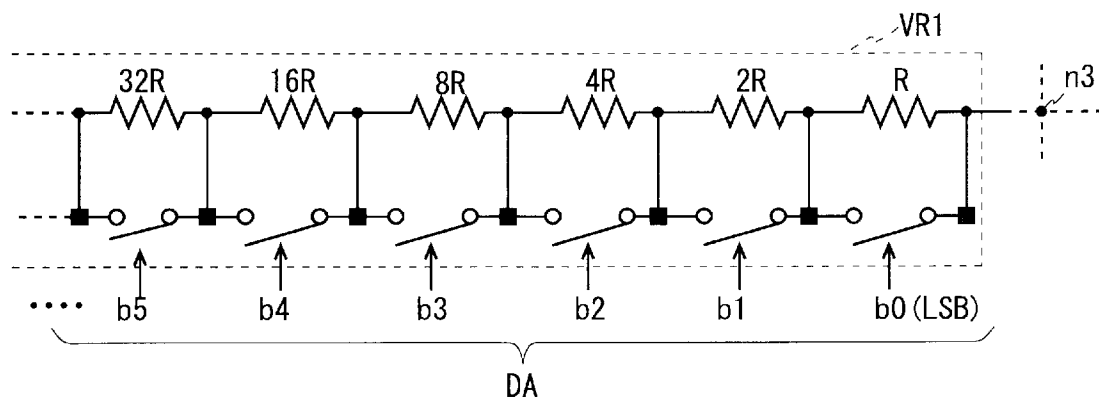


[illegible]

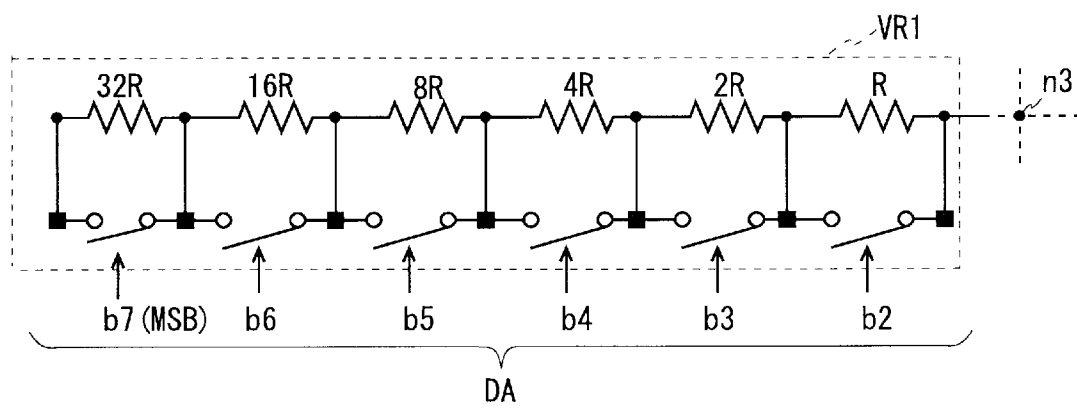
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/074813

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-535714 A (Nuelight Corp.), 06 December 2007 (06.12.2007), entire text; fig. 1 to 6 & US 2005/0248515 A1 & EP 1741084 A & WO 2005/104809 A2 & KR 10-2007-0005733 A & AU 2005237649 A	1-11
A	JP 2007-233326 A (Samsung SDI Co., Ltd.), 13 September 2007 (13.09.2007), entire text; fig. 1 to 7 & US 2007/0200804 A1 & EP 1826744 A2 & KR 10-0671669 B1 & CN 101030353 A	1-11
A	JP 2007-114308 A (Tohoku Pioneer Corp.), 10 May 2007 (10.05.2007), entire text; fig. 1 to 6 & US 2007/0085785 A1 & US 2010/0220120 A1	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 October, 2013 (23.10.13)

Date of mailing of the international search report
05 November, 2013 (05.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/074813

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-88210 A (Omron Corp.), 05 April 2007 (05.04.2007), entire text; fig. 1 to 13 (Family: none)	1-11
A	JP 2005-326830 A (Sanyo Electric Co., Ltd.), 24 November 2005 (24.11.2005), entire text; fig. 1 to 15 & US 2005/0225254 A1 & KR 10-2006-0045609 A	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-535714 A（ニューライト・コーポレーション）2007.12.06, 全文, 図1-6 & US 2005/0248515 A1 & EP 1741084 A & WO 2005/104809 A2 & KR 10-2007-0005733 A & AU 2005237649 A	1-11
A	JP 2007-233326 A（三星エスディアイ株式会社）2007.09.13, 全文, 図1-7 & US 2007/0200804 A1 & EP 1826744 A2 & KR 10-0671669 B1 & CN 101030353 A	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 1 0 . 2 0 1 3

国際調査報告の発送日

0 5 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-114308 A (東北パイオニア株式会社) 2007. 05. 10, 全文, 図 1 - 6 & US 2007/0085785 A1 & US 2010/0220120 A1	1-11
A	JP 2007-88210 A (オムロン株式会社) 2007. 04. 05, 全文, 図 1 - 1 3 (ファミリーなし)	1-11
A	JP 2005-326830 A (三洋電機株式会社) 2005. 11. 24, 全文, 図 1 - 1 5 & US 2005/0225254 A1 & KR 10-2006-0045609 A	1-11