



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I717703 B

(45)公告日：中華民國 110 (2021) 年 02 月 01 日

(21)申請案號：108108059

(22)申請日：中華民國 108 (2019) 年 03 月 11 日

(51)Int. Cl. : **G11C16/08 (2006.01)****G06F17/16 (2006.01)**

(30)優先權：2018/03/14 美國

62/642,884

2018/05/29 美國

15/991,890

2019/01/24 世界智慧財產權組織

PCT/US19/15022

(71)申請人：美商超捷公司 (美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72)發明人：陳 曉萬 TRAN, HIEU VAN (US) ; 洪 史丹利 HONG, STANLEY (US) ; 李 英

LY, ANH (US) ; 武 順 VU, THUAN (US) ; 范 新 PHAM, HIEN (VN) ; 阮 開

NGUYEN, KHA (VN) ; 陳 漢 TRAN, HAN (VN)

(74)代理人：劉法正；尹重君

(56)參考文獻：

TW 332954B

US 4810910

US 5721702

US 2005/0216746A1

US 2012/0087188A1

SHAFIEE, A et al "ISAAC: A Convolutional Neural Network Accelerator with In-Situ Analog Arithmetic in Crossbars", October 5th 2016.

<https://www.cs.utah.edu/~rajeev/pubs/isca16.pdf>.

審查人員：劉耀允

申請專利範圍項數：17 項 圖式數：45 共 92 頁

(54)名稱

用於深度學習人工類神經網路中的類比類神經記憶體之解碼器

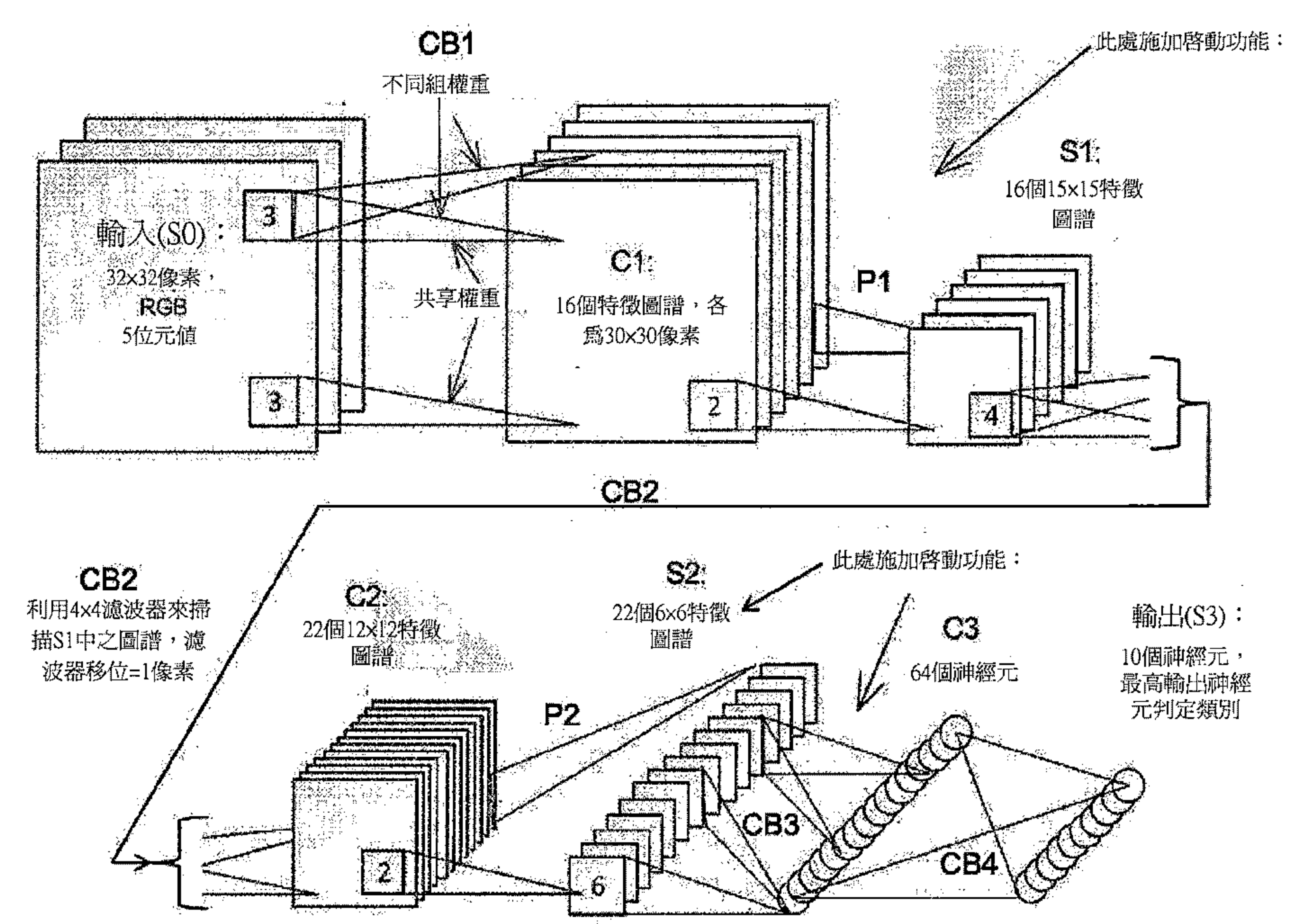
(57)摘要

揭示用於與一人工類神經網路中的一向量矩陣乘法(vector-by-matrix multiplication, VMM)陣列一起使用的多個解碼器實施例。該等解碼器包括位元線解碼器、字線解碼器、控制閘解碼器、源極線解碼器、及抹除閘解碼器。在某些實施例中，使用一高電壓版本及一低電壓版本的解碼器。

Numerous embodiments of decoders for use with a vector-by-matrix multiplication (VMM) array in an artificial neural network are disclosed. The decoders include bit line decoders, word line decoders, control gate decoders, source line decoders, and erase gate decoders. In certain embodiments, a high voltage version and a low voltage version of a decoder is used.

指定代表圖：

圖6



符號簡單說明：

CB1~4 . . . 突觸

C1 . . . 特徵圖譜/層

C2、C3、S1~3 . . .

符號

P1、P2 . . . 啟動功

能

I717703

發明摘要

※ 申請案號：108108059

G11C 16/08 (2006.01)

※ 申請日： ※IPC 分類：G06F 17/16 (2006.01)

108年3月11日

【發明名稱】（中文/英文）

用於深度學習人工類神經網路中的類比類神經記憶體之解碼器

DECODERS FOR ANALOG NEURAL MEMORY IN DEEP
LEARNING ARTIFICIAL NEURAL NETWORK

【中文】

揭示用於與一人工類神經網路中的一向量矩陣乘法(vector-by-matrix multiplication, VMM)陣列一起使用的多個解碼器實施例。該等解碼器包括位元線解碼器、字線解碼器、控制閘解碼器、源極線解碼器、及抹除閘解碼器。在某些實施例中，使用一高電壓版本及一低電壓版本的解碼器。

【英文】

Numerous embodiments of decoders for use with a vector-by-matrix multiplication (VMM) array in an artificial neural network are disclosed. The decoders include bit line decoders, word line decoders, control gate decoders, source line decoders, and erase gate decoders. In certain embodiments, a high voltage version and a low voltage version of a decoder is used.

【代表圖】

【本案指定代表圖】：圖 6

【本代表圖之符號簡單說明】：

CB1~4...突觸

C1...特徵圖譜/層

C2、C3、S1~3...符號

P1、P2...啟動功能

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 (中文/英文)

用於深度學習人工類神經網路中的類比類神經記憶體之解碼器

DECODERS FOR ANALOG NEURAL MEMORY IN DEEP

LEARNING ARTIFICIAL NEURAL NETWORK

【技術領域】

優先權主張

【0001】 本申請案主張 2018 年 3 月 14 日申請且標題為「Decoders for Analog Neuromorphic Memory in Artificial Neural Network」之美國臨時專利申請案第 62/642,884 號及 2018 年 5 月 29 日申請且標題為「Decoders For Analog Neural Memory In Deep Learning Artificial Neural Network」之美國專利申請案第 15/991,890 號之優先權。

【0002】 揭示用於與一人工類神經網路中的一向量矩陣乘法(vector-by-matrix multiplication, VMM)陣列一起使用的多個解碼器實施例。

【先前技術】

【0003】 人工類神經網路模仿生物神經網路(動物的中樞神經系統，特別係大腦)，其用以評估或近似可取決於大數目的輸入且通常未知的功能。人工類神經網路通常包括在彼此間交換訊息之互連的「神經元」的層。

【0004】 圖 1 繪示一人工類神經網路，其中圓形表示神經元的輸入或層。連接（稱為突觸）係以箭頭表示，並具有可基於經驗調諧的數字權重。此使類神經網路適應輸入並能夠學習。一般而言，類神經網路包括多個輸入的一層。一般而言有一或多個神經元中間層，及提供類神經網路的輸出之一神經元輸出層。各級的神經元基於自突觸接收之資料個別地或共同地做決策。

【0005】 用於高效能資訊處理的人工類神經網路之發展中的主要挑戰之一者係缺少適當的硬體技術。的確，實際的類神經網路依賴非常大數目的突觸，而在神經元之間實現高連接性，亦即，非常高的計算平行性。原理上，此種複雜性可以數位超級電腦或專用圖形處理單元叢集實現。然而，除了高成本以外，此等方法與生物網路相比時也苦於中等的能量效率，主要因為生物網路實施低精確度類比計算而消耗更少的能量。CMOS 類比電路已用於人工類神經網路，但大多數 CMOS 實作的突觸在給定高數目的神經元及突觸情況下已過於龐大。

【0006】 申請人先前在美國專利申請案第 15/594,439 號（其以引用方式併入本文中）中揭示一種人工（類比）類神經網路，其利用一或多個非揮發性記憶體陣列作為突觸。非揮發性記憶體陣列作為類比神經形態記憶體進行操作。該類神經網路裝置包括一第一複數個突觸及一第一複數個神經元，該第一複數個突觸經組態以接收一第一複數個輸入並由此產生一第一複數個輸出，該第一複數個神經元經組態以接收該第一複數個輸出。該第一複數個突觸包括複數個記憶體單元，其中該等記憶體單元之各者包括形成於一半導體基材中之間隔開

的源極區域及汲極區域，其中一通道區域在該源極區域與該汲極區域之間延伸；一浮閘，其設置於該通道區域之一第一部分上方並與該第一部分絕緣；及一非浮閘，其設置於該通道區域之一第二部分上方並與該第二部分絕緣。該複數個記憶體單元之各者經組態來儲存對應於該浮閘上之數個電子的權重值。該複數個記憶體單元經組態以使該第一複數個輸入乘以所儲存的該等權重值，以產生該第一複數個輸出。

【0007】 該類比神經形態記憶體系統中所用的各非揮發性記憶體單元必須經抹除及程式化以在該浮閘中保持一非常特定且精確的電荷量。例如，各浮閘必須保持 N 個不同值之一者，其中 N 係可由各單元指示之不同權重的數目。 N 的實例包括 16、32、及 64。

【0008】 用於習知快閃記憶體陣列中的先前技術解碼電路（諸如位元線解碼器、字線解碼器、控制閘解碼器、源極線解碼器、以及抹除閘解碼器）不適用於與類比神經形態記憶體系統中的 VMM 一起使用。原因之一是：在一個 VMM 系統中，一個程式化與驗證操作的驗證部分（其屬於一種讀取操作）係在單一選定的記憶體單元上操作，而讀取操作則係在陣列中的所有記憶體單元上操作。

【0009】 此時需要的是適用於在類比神經形態記憶體系統中與 VMM 一起使用之經改良的解碼電路。

【發明內容】

【0010】 揭示用於與一人工類神經網路中的一向量矩陣乘法 (vector-by-matrix multiplication, VMM) 陣列一起使用的多個解碼器實施例。

【圖式簡單說明】

【0011】

圖 1 係繪示一人工類神經網路的圖。

圖 2 係習知的 2 閘極非揮發性記憶體單元的截面側視圖。

圖 3 係習知的 4 閘極非揮發性記憶體單元的截面側視圖。

圖 4 係習知的 3 閘極非揮發性記憶體單元的側截面側視圖。

圖 5 係另一習知的 2 閘極非揮發性記憶體單元的截面側視圖。

圖 6 係繪示利用非揮發性記憶體陣列的例示性人工類神經網路之不同級的圖。

圖 7 係繪示一向量乘法器矩陣的方塊圖。

圖 8 係繪示一向量乘法器矩陣之各種級的方塊圖。

圖 9 描繪一向量乘法器矩陣的一實施例。

圖 10 描繪一向量乘法器矩陣的另一實施例。

圖 11 描繪一向量乘法器矩陣的另一實施例。

圖 12 描繪一向量乘法器矩陣的另一實施例。

圖 13 描繪一向量乘法器矩陣的另一實施例。

圖 14 描繪用於一向量乘法器矩陣之一位元線解碼器的一實施例。

圖 15 描繪用於一向量乘法器矩陣之一位元線解碼器的另一實施例。

圖 16 描繪用於一向量乘法器矩陣之一位元線解碼器的另一實施例。

圖 17 描繪一個用於操作一向量乘法器矩陣的系統。

圖 18 描繪另一個用於操作一向量乘法器矩陣的系統。

圖 19 描繪另一個用於操作一向量乘法器矩陣的系統。

圖 20 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之一實施例。

圖 21 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之另一實施例。

圖 22 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之另一實施例。

圖 23 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之另一實施例。

圖 24 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之另一實施例。

圖 25 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之另一實施例。

圖 26 描繪用於與一向量乘法器矩陣一起使用的一字線驅動器之另一實施例。

圖 27 描繪用於與一向量乘法器矩陣一起使用的一源極線解碼器電路。

圖 28 描繪用於與一向量乘法器矩陣一起使用的一字線解碼器電路、一源極線解碼器電路、以及一高電壓位準偏移器。

圖 29 描繪用於與一向量乘法器矩陣一起使用的一抹除閘解碼器電路、一控制閘解碼器電路、一源極線解碼器電路、以及一高電壓位準偏移器。

圖 30 描繪用於與一向量乘法器矩陣一起使用的一字線解碼器電路。

圖 31 描繪用於與一向量乘法器矩陣一起使用的一控制閘解碼器電路。

圖 32 描繪用於與一向量乘法器矩陣一起使用的另一控制閘解碼器電路。

圖 33 描繪用於與一向量乘法器矩陣一起使用的另一控制閘解碼器電路。

圖 34 描繪用於在一向量乘法器矩陣中控制一字線的一種電流轉電壓電路。

圖 35 描繪用於在一向量乘法器矩陣中控制一字線的另一種電流轉電壓電路。

圖 36 描繪用於在一向量乘法器矩陣中控制一控制閘線的一種電流轉電壓電路。

圖 37 描繪用於在一向量乘法器矩陣中控制一控制閘線的另一種電流轉電壓電路。

圖 38 描繪用於在一向量乘法器矩陣中控制一控制閘線的另一種電流轉電壓電路。

圖 39 描繪用於在一向量乘法器矩陣中控制一字線的另一種電流轉電壓電路。

圖 40 描繪用於在一向量乘法器矩陣中控制一字線的另一種電流轉電壓電路。

圖 41 描繪用於在一向量乘法器矩陣中控制一字線的另一種電流轉電壓電路。

圖 42 描繪用於圖 9 之向量乘法器矩陣的操作電壓。

圖 43 描繪用於圖 10 之向量乘法器矩陣的操作電壓。

圖 44 描繪用於圖 11 之向量乘法器矩陣的操作電壓。

圖 45 描繪用於圖 12 之向量乘法器矩陣的操作電壓。

【實施方式】

【0012】 本發明的人工類神經網路利用 CMOS 技術與非揮發性記憶體陣列的組合。

非揮發性記憶體單元

【0013】 數位非揮發性記憶體係已知。例如，美國專利第 5,029,130 號（「'130 專利」）揭示分離閘非揮發性記憶體單元之一陣列，且係為所有目的以引用方式併入本文中。此一類記憶體單元顯示於圖 2 中。各記憶體單元 210 包括形成在半導體基材 12 中的源極區域 14 及汲極區域 16，其間具有通道區域 18。浮閘 20 形成在通道區域 18 的第一部分上方且與該第一部分絕緣（且控制該第一部分的導電性），及形成在源極區域 16 的一部分上方。字線端子 22（其一般耦接至字線）具有設置在通道區域 18 之第二部分上方且與該第二部分絕

緣（且控制該第二部分的導電性）的第一部分，及向上並於浮閘 20 上方延伸的第二部分。浮閘 20 及字線端子 22 藉由閘極氧化物與基材 12 絕緣。位元線 24 耦接至汲極區域 16。

【0014】 記憶體單元 210 係藉由將高正電壓置於字線端子 22 上而抹除（其中將電子從浮閘移除），其導致浮閘 20 上的電子經由富爾諾罕穿隧而從浮閘 20 穿隧通過中間絕緣體至字線端子 22。

【0015】 記憶體單元 210 係藉由將正電壓置於字線端子 22 上及將正電壓置於源極 16 上而程式化（其中將電子置於浮閘上）。電子流將自源極 16 朝向汲極 14 流動。當電子抵達字線端子 22 與浮閘 20 之間の間隙時，其等將加速且變成經加熱的。由於來自浮閘 20 的吸引靜電力，該等經加熱電子的一些將通過閘極氧化物 26 注入至浮閘 20 上。

【0016】 記憶體單元 210 係藉由將正讀取電壓置於汲極 14 及字線端子 22 上（其導通字線端子下方的通道區域）而讀取。若浮閘 20 帶正電荷（亦即電子經抹除並正耦接至汲極 16），則浮閘 20 下方的通道區域部分亦經接通，且電流將跨通道區域 18 流動，其係感測為經抹除或「1」狀態。若浮閘 20 帶負電荷（亦即以電子程式化），則浮閘 20 下方的通道區域部分係大部分或完全斷開，且電流將不會跨通道區域 18 流動（或將有少許流動），其係感測為經程式化或「0」狀態。

【0017】 表 1 描繪可施加至記憶體單元 210 的端子之用於執行讀取、抹除、及程式化操作的典型電壓範圍：

表 1：圖 2 之快閃記憶體單元 210 的操作

	WL	BL	SL
讀取	2 至 3V	0.6 至 2V	0V
抹除	~11 至 13V	0V	0V
程式化	1 至 2V	1 至 3 μ A	9 至 10V

【0018】 其它分離閘記憶體單元組態為已知。例如，圖 3 描繪四閘極記憶體單元 310，其包含源極區域 14、汲極區域 16、在通道區域 18 的第一部分上方的浮閘 20、在通道區域 18 的第二部分上方的選擇閘 28（一般耦接至字線）、在浮閘 20 上方的控制閘 22、及在源極區域 14 上方的抹除閘 30。此組態描述於美國專利第 6,747,310 號中，其針對所有目的以引用方式併入本文中。此處，除了浮閘 20 以外的所有閘係非浮閘，意指其等經電氣連接或可連接至電壓源。程式化係藉由變熱的電子自通道區域 18 將其本身注入至浮閘 20 上來顯示。抹除係藉由自浮閘 20 至抹除閘 30 之電子穿隧來顯示。

【0019】 表 2 描繪可施加至記憶體單元 310 的端子之用於執行讀取、抹除、及程式化操作的一般電壓範圍：

表 2：圖 3 之快閃記憶體單元 310 的操作

	WL/SG	BL	CG	EG	SL
讀取	1.0 至 2V	0.6 至 2V	0 至 2.6 V	0 至 2.6 V	0V
抹除	-0.5 V/0 V	0V	0V/-8V	8 至 12V	0V
程式化	1V	1 μ A	8 至 11V	4.5 至 9V	4.5 至 5 V

【0020】 圖 4 描繪分離閘三閘極記憶體單元 410。記憶體單元 410 與圖 3 的記憶體單元 310 相同，但記憶體單元 410 不具有分開控制閘。除了沒有控制閘偏壓以外，抹除操作（通過抹除閘抹除）與讀取操作與圖 3 所示者類似。程式化操作的完成也未使用控制閘偏壓，因此為了彌補對於控制閘偏壓的缺乏，源極線上的程式化電壓比較高。

【0021】 表 3 描繪可施加至記憶體單元 410 的端子之用於執行讀取、抹除、及程式化操作的一般電壓範圍：

表 3：圖 4 之快閃記憶體單元 410 的操作

	WL/SG	BL	EG	SL
讀取	0.7 至 2.2V	0.6 至 2V	0 至 2.6 V	0V
抹除	-0.5 V/0 V	0V	11.5V	0V
程式化	1V	2 至 3 μ A	4.5V	7 至 9V

【0022】 圖 5 描繪堆疊閘極記憶體單元 510。記憶體單元 510 類似於圖 2 的記憶體單元 210，但浮閘 20 在整個通道區域 18 上方延伸，及控制閘 22 在浮閘 20 上方延伸，藉由絕緣層分隔。抹除、程式化、及讀取操作以與先前針對記憶體單元 210 描述的類似方式操作。

【0023】 表 4 描繪可施加至記憶體單元 510 的端子之用於執行讀取、抹除、及程式化操作的一般電壓範圍：

表 4：圖 5 之快閃記憶體單元 510 的操作

	CG	BL	SL	P 基材
讀取	2 至 5V	0.6 至 2V	0V	0V
抹除	-8 至 -10V/0V	FLT	FLT	8 至 10V / 15 至 20V
程式化	8 至 12V	3 至 5V	0V	0V

【0024】 為了在人工類神經網路中利用包含上述非揮發性記憶體單元之類型的一者的記憶體陣列，進行二種修改。第一，該等線經組態使得各記憶體單元可個別地程式化、抹除、及讀取而不會不利地影響陣列中之其他記憶體單元的記憶體狀態，如下文所進一步解釋者。第二，提供記憶體單元連續（類比）程式化。

【0025】 具體而言，陣列中的各記憶體單元的記憶體狀態（亦即，浮閘上的電荷）可獨立地且對其他記憶體單元的干擾最小地從完全抹除狀態連續地改變至完全程式化狀態。在另一個實施例中，陣列中的各記憶體單元的記憶體狀態（亦即，浮閘上的電荷）可獨立地且對其他記憶體單元的干擾最小地從完全程式化狀態連續地改變至完全抹除狀態，且反之亦然。此意指單元儲存係類比的或至少可儲存許多離散值（諸如 16 或 64 個不同的值）之一者，其允許非常精確且個別地調諧記憶體陣列中的所有單元，且其使記憶體陣列非常適於儲存類神經網路的突觸權重並對該等突觸權重進行微調調整。

採用非揮發性記憶體單元陣列的類神經網路

【0026】 圖 6 概念性地繪示利用非揮發性記憶體陣列之類神經網路的非限制性實例。此實例將非揮發性記憶體陣列類神經網路使用於

面部識別應用，但任何其他適當應用可使用基於非揮發性記憶體陣列的類神經網路實作。

【0027】 S0 係輸入，針對此實例，其係具有 5 位元精確度之 32×32 像素的 RGB 影像（亦即，三個 32×32 像素陣列，一者用於各顏色 R、G、及 B，各像素係 5 位元精確度）。從 S0 到 C1 的突觸 CB1 具有二組不同的權重及共享權重，並以 3×3 像素重疊濾波器（核心），將濾波器移位 1 個像素（或如模型所決定而多於 1 個像素）掃描輸入影像。具體而言，將影像之 3×3 部分中的 9 個像素（亦即，稱為濾波器或核心）的值提供至突觸 CB1，藉此將此等 9 個輸入值乘以合適權重，且在對該乘法的輸出加總之後，由 CB1 的第一神經元判定並提供用於產生特徵圖譜(feature map) C1 之該等層的一者之像素的單一輸出值。然後將 3×3 濾波器右移一個像素（亦即，在右邊加入三個像素之行，並在左邊丟棄三個像素之行），藉此將此新定位濾波器中的 9 個像素值提供至突觸 CB1，藉此將彼等乘以相同權重，並藉由關聯神經元判定第二單一輸出值。繼續此程序直到 3×3 濾波器針對所有三種顏色及所有位元（精確值）掃描整個 32×32 像素影像。然後使用不同組的權重重複該程序，以產生 C1 之不同的特徵圖譜，直到層 C1 的所有特徵圖譜已計算。

【0028】 在本實例中，在 C1 處，有各具有 30×30 個像素之 16 個特徵圖譜。各像素係從將輸入與核心相乘所擷取的新特徵像素，且因此各特徵圖譜係二維陣列，且因此在此實例中，突觸 CB1 構成二維陣列的 16 層（請記住本文中所提及的神經元層及陣列係邏輯關係，不

一定係實體關係 - 亦即，陣列不一定以實體的二維陣列定向）。16 個特徵圖譜之各者係由經施加至濾波器掃描之十六組不同的突觸權重之一者產生。C1 特徵圖譜可全部關於相同影像特徵的不同態樣，諸如邊界識別。例如，第一圖譜（使用第一組權重產生，用於所有掃描所共享而用以產生此第一圖譜）可識別圓形邊緣，第二圖譜（使用與第一組權重不同的第二組權重產生）可識別矩形邊緣，或某些特徵的縱橫比，並依此類推。

【0029】 啟動功能 P1（彙整）係在從 C1 到 S1 之前施加，其彙整來自各特徵圖譜中之連續、非重疊 2×2 區域的值。彙整階段的目的係平均附近位置（或也能使用 max 函數），以減少，例如，邊緣位置的相依性，並在進入下一階段之前減少資料大小。在 S1 處，有 16 個 15×15 特徵圖譜（亦即，各 15×15 像素的十六個不同陣列）。從 S1 到 C2 之 CB2 中的突觸及關聯神經元使用 4×4 濾波器，以 1 個像素的濾波器移位來掃描 S1 中的圖譜。在 C2 處，有 22 個 12×12 特徵圖譜。啟動功能 P2（彙整）係在從 C2 到 S2 之前施加，其彙整來自各特徵圖譜中之連續、非重疊 2×2 區域的值。在 S2 處，有 22 個 6×6 特徵圖譜。將啟動功能施加在從 S2 到 C3 的突觸 CB3 處，其中 C3 中的每個神經元連接至 S2 中的每個圖譜。在 C3 處，有 64 個神經元。從 C3 到輸出 S3 的突觸 CB4 將 S3 完全連接至 C3。在 S3 處的輸出包括 10 個神經元，其中最高的輸出神經元判定類別。該輸出可例如指示原始影像之內容的識別或類別。

【0030】 突觸的各級係使用非揮發性記憶體單元的陣列或陣列的一部分實作。圖 7 係包括非揮發性記憶體單元且用作輸入層與次一層之間的突觸之向量矩陣乘法(vector-by-matrix multiplication, VMM)陣列的方塊圖。具體而言，VMM 32 包括非揮發性記憶體單元 33 的陣列、抹除閘及字線閘解碼器 34、控制閘解碼器 35、位元線解碼器 36、及源極線解碼器 37，其等解碼記憶體陣列 33 的輸入。此實例中的源極線解碼器 37 也解碼記憶體單元陣列的輸出。替代地，位元線解碼器 36 可解碼記憶體陣列的輸出。記憶體陣列用作兩個目的。第一，其儲存將由 VMM 使用的權重。第二，記憶體陣列有效地將輸入乘以儲存在記憶體陣列中的權重並將各輸出線（源極線或位元線）的結果相加以產生輸出，其將係至次一層的輸入或至最終層的輸入。藉由執行乘法與加法功能，記憶體陣列不再需要分開的乘法與加法邏輯電路，且亦由於原位記憶體運算而係有能源效率的。

【0031】 將記憶體陣列的輸出供應至一差動加算器（諸如加總運算放大器）38，其加總記憶體單元陣列的輸出以創建用於該卷積的單一值。該差動加算器係諸如用以實現正權重及負權重與正輸入的加總。然後將該經加總輸出值供應至整流輸出的啟動功能電路 39。啟動功能可包括 S 形(sigmoid)函數、雙曲正切(tanh)函數、ReLU 函數。經整流輸出值變成作為次一層（例如，以上描述中的 C1）之特徵圖譜的元素，然後經施加於次一突觸以產生次一特徵圖譜層或最終層。因此，在此實例中，記憶體陣列構成複數個突觸（其從神經元的先前層

或從輸入層（諸如影像資料庫）接收其等的輸入），且加總運算放大器 38 及啟動功能電路 39 構成複數個神經元。

【0032】 圖 8 係 VMM 之各種級的方塊圖。如圖 14 所示，輸入係藉由數位類比轉換器 31 從數位轉換成類比，並提供至輸入 VMM 32a。將由輸入 VMM 32a 產生的輸出提供作為至次一 VMM（隱藏級 1）32b 的輸入，其繼而產生提供作為至次一 VMM（隱藏級 2）32b 之輸入的輸出，並依此類推。VMM 32 之各種層如卷積式類神經網路 (convolutional neural network, CNN) 之突觸及神經元的不同層而作用。各 VMM 可係獨立的非揮發性記憶體陣列，或多個 VMM 可利用相同的非揮發性記憶體陣列的不同部分，或多個 VMM 可利用相同的非揮發性記憶體陣列的重疊部分。圖 8 所示的實例含有五層(32a、32b、32c、32d、32e)：一個輸入層(32a)、兩個隱藏層(32b、32c)、以及兩個完全連接的層(32d、32e)。所屬技術領域中具有通常知識者將理解此僅係例示性的，且一個系統可包含多於兩個隱藏層及多於兩個完全連接的層。

向量矩陣乘法(VMM)陣列

【0033】 圖 9 描繪神經元 VMM 900，其特別適於圖 2 所示之類型的記憶體單元，且利用為輸入層與次一層之間的神經元的突觸及部件。VMM 900 包含非揮發性記憶體單元的一記憶體陣列 903、參考陣列 901、及參考陣列 902。參考陣列 901 及 902 用以將流入端子 BLR0 至 BLR3 中的電流輸入轉換成電壓輸入 WL0 至 WL3。如圖示之參考陣列 901 及 902 係在行方向上。一般而言，參考陣列方向正交於輸入

線。實際上，參考記憶體單元係通過多工器（多工器 914，其包括多工器及用於偏壓參考位元線的疊接電晶體 VBLR）的二極體式連接，該等多工器具有流入其等的電流輸入。參考單元經調諧至目標參考位準。

【0034】 記憶體陣列 903 供兩個目的使用。第一，其儲存將由 VMM 900 使用的權重。第二，記憶體陣列 903 有效地將輸入（在端子 BLR0 至 BLR3 中提供的電流輸入；參考陣列 901 及 902 將此等電流輸入轉換成輸入電壓以供應至字線 WL0 至 WL3）乘以儲存在記憶體陣列中的權重以產生輸出，該輸出將係至次一層的輸入或至最終層的輸入。藉由實施乘法功能，記憶體陣列否定對分開的乘法邏輯電路的需求，且也係有能源效率的。此處，電壓輸入係在字線上提供，且輸出在一讀取（推論）操作期間顯現於位元線上。置於位元線上的電流執行來自連接至位元線之記憶體單元的所有電流之一加總功能。

【0035】 圖 42 描繪用於 VMM 900 的操作電壓。表中的行指示置於用於經選擇單元之字線、用於未經選擇單元之字線、用於經選擇單元之位元線、用於未經選擇單元之位元線、用於經選擇單元之源極線、以及用於未經選擇單元之源極線上的電壓。列指示讀取、抹除、及程式化操作。

【0036】 圖 10 描繪神經元 VMM 1000，其特別適於圖 2 所示之類型的記憶體單元，且利用為輸入層與次一層之間的神經元的突觸及部件。VMM 1000 包含非揮發性記憶體單元的一記憶體陣列 1003、參考陣列 1001、及參考陣列 1002。VMM 1000 類似於 VMM 900，但在

VMM 1000 中，字線在垂直方向上延行。有兩個參考陣列 1001（在頂部，其提供將輸入電流轉換成用於偶數列之電壓的參考）及 1002（在底部，其提供將輸入電流轉換成用於奇數列之電壓的參考）。此處，輸入係在字線上提供，且輸出在一讀取操作期間顯現於源極線上。置於源極線上的電流執行來自連接至源極線之記憶體單元的所有電流之一加總功能。

【0037】 圖 43 描繪用於 VMM 1000 的操作電壓。表中的行指示置於用於經選擇單元之字線、用於未經選擇單元之字線、用於經選擇單元之位元線、用於未經選擇單元之位元線、用於經選擇單元之源極線、以及用於未經選擇單元之源極線上的電壓。列指示讀取、抹除、及程式化操作。

【0038】 圖 11 描繪神經元 VMM 1100，其特別適於圖 3 所示之類型的記憶體單元，且利用為輸入層與次一層之間的神經元的突觸及部件。VMM 1100 包含非揮發性記憶體單元的一記憶體陣列 1101、參考陣列 1102（其提供將輸入電流轉換成用於偶數列之輸入電壓的參考）、及參考陣列 1103（其提供將輸入電流轉換成用於奇數列之輸入電壓的參考）。VMM 1100 類似於 VMM 900，但 VMM 1100 進一步包含耦接至一系列記憶體單元之控制閘的控制線 1106，以及耦接至鄰接列記憶體單元之抹除閘的控制線 1107。此處，字線、控制閘線、及抹除閘線的方向相同。VMM 進一步包含參考位元線選擇電晶體 1104（mux 1114 的部件），該電晶體選擇性地將一參考位元線耦接至一選定之參考記憶體單元的位元線接觸件，以及開關 1105（mux 1114 的

部件)，該開關選擇性地將一參考位元線耦接至用於一特定選定之參考記憶體單元的控制線 1106。此處，輸入係在（記憶體陣列 1101 的）字線上提供，且輸出在一讀取操作期間顯現於位元線（諸如位元線 1109）上。置於位元線上的電流執行來自連接至位元線之記憶體單元的所有電流的加總功能。

【0039】 圖 44 描繪用於 VMM 1100 的操作電壓。表中的行指示置於用於經選擇單元之字線、用於未經選擇單元之字線、用於經選擇單元之位元線、用於未經選擇單元之位元線、用於經選擇單元之控制閘、用於與經選擇單元相同扇區中之未經選擇單元之控制閘、用於不同於經選擇單元之一扇區中之未經選擇單元之控制閘、用於經選擇單元之抹除閘、用於未經選擇單元之抹除閘、用於經選擇單元之源極線、用於未經選擇單元之源極線上的電壓。列指示讀取、抹除、及程式化操作。

【0040】 圖 12 描繪神經元 VMM 1200，其特別適於圖 3 所示之類型的記憶體單元，且利用為輸入層與次一層之間的神經元的突觸及部件。VMM 1200 類似於 VMM 1100，但在 VMM 1200 中，抹除閘線（諸如抹除閘線 1201）在垂直方向上延行。此處，輸入係在字線上提供，且輸出顯現於源極線上。置於位元線上的電流執行來自連接至位元線之記憶體單元的所有電流的加總功能。

【0041】 圖 45 描繪用於 VMM 1200 的操作電壓。表中的行指示置於用於經選擇單元之字線、用於未經選擇單元之字線、用於經選擇單元之位元線、用於未經選擇單元之位元線、用於經選擇單元之控制

閘、用於與經選擇單元相同扇區中之未經選擇單元之控制閘、用於不同於經選擇單元之一扇區中之未經選擇單元之控制閘、用於經選擇單元之抹除閘、用於未經選擇單元之抹除閘、用於經選擇單元之源極線、用於未經選擇單元之源極線上的電壓。列指示讀取、抹除、及程式化操作。

【0042】 圖 13 描繪神經元 VMM 1300，其特別適於圖 3 所示之類型的記憶體單元，且利用為輸入層與次一層之間的神經元的突觸及部件。VMM 1300 包含非揮發性記憶體單元的一記憶體陣列 1301 及參考陣列 1302（在陣列的頂部）。替代地，可將另一參考陣列置於底部，類似於圖 10 者。在其它方面，VMM 1300 類似於 VMM 1200，但在 VMM 1300 中，控制閘線（諸如控制閘線 1303）在垂直方向上延行（因此參考陣列 1302 在列方向上，正交於輸入控制閘線），且抹除閘線（諸如抹除閘線 1304）在水平方向上延行。此處，輸入經提供在控制閘線上，且輸出出現在源極線上。在一個實施例中，僅使用偶數列，且在另一實施例中，僅使用奇數列。置於源極線上的電流執行來自連接至源極線之記憶體單元的所有電流之一加總功能。

【0043】 如本文針對類神經網路所描述的，快閃單元較佳地經組態以在次臨限區域中操作。

【0044】 在本文中描述的記憶體單元以弱反轉偏壓：

$$I_{ds} = I_o * e^{(V_g - V_{th})/kV_t} = w * I_o * e^{(V_g)/kV_t}$$

$$w = e^{(-V_{th})/kV_t}$$

【0045】 對於使用記憶體單元以將輸入電流轉換成輸入電壓的 I 至 V 對數轉換器：

$$V_g = k * V_t * \log [I_{ds}/w_p * I_o]$$

【0046】 對於使用作為向量矩陣乘法器 VMM 的記憶體陣列，輸出電流係：

$$I_{out} = w_a * I_o * e^{(V_g)/kV_t}, \text{ 即}$$

$$I_{out} = (w_a/w_p) * I_{in} = W * I_{in}$$

$$W = e^{(V_{thp} - V_{tha})/kV_t}$$

【0047】 字線或控制閘可用作記憶體單元用於輸入電壓的輸入。

【0048】 替代地，快閃記憶體單元可經組態以在線性區域中操作：

$$I_{ds} = \beta * (V_{gs} - V_{th}) * V_{ds}; \beta = u * C_{ox} * W/L$$

$$W \propto (V_{gs} - V_{th})$$

【0049】 對於 I 至 V 線性轉換器，在線性區域中操作的記憶體單元可使用以將輸入/輸出電流線性地轉換成輸入/輸出電壓。

【0050】 ESF 向量矩陣乘法器的其他實施例描述於美國專利申請案第 15/826,345 號中，其以引用方式併入本文中。源極線或位元線可使用為神經元輸出（電流加總輸出）。

【0051】 圖 14 描繪位元線解碼器電路 1400 的一實施例。位元線解碼器電路 1400 包含行解碼器 1402 及類比神經形態神經元(analog neuromorphic neuron, ANN)行解碼器 1403，其每一者耦接至 VMM 陣

列 1401。VMM 陣列可基於先前討論之任一種 VMM 設計（諸如 VMM 900、VMM 1000、VMM 1100、VMM 1200、及 VMM 1300）或其他 VMM 設計。

【0052】 類比神經形態系統的一個挑戰是系統必須能夠程式化及驗證（其涉及到讀取操作）個別選定之單元，且必須能夠執行一 ANN 讀取（其中陣列中的所有單元皆經選擇及讀取）。換言之，位元線解碼器必須有時只選擇一位元線，而在其他情況下必須選擇所有位元線。

【0053】 位元線解碼器電路 1400 實現了此目的。行解碼器 1402 是一習知的行解碼器（程式化及抹除(program and erase, PE)解碼路徑），且可用於選擇一個別之位元線，諸如用於程式化及程式化驗證（其為一種感測操作）。行解碼器 1402 的輸出係耦接至用於控制程式化、PE 驗證、及抹除之程式化/抹除(program/erase, PE)行驅動器電路（圖 14 中未示出）。ANN 行解碼器 1403 是特別設計為在同一時間於每條位元線上啟用讀取操作的一行解碼器。ANN 行解碼器 1403 包含耦接至一位元線（此處為 BL0）的例示性選擇電晶體 1405 及輸出電路 1406（例如電流加算器及啟動功能，諸如 tanh、sigmoid、及 ReLU）。一組相同的裝置係附接至其他位元線之各者。所有選擇電晶體（諸如選擇電晶體 1405）係耦接至選擇線 1404。在一 ANN 讀取操作期間，選擇線 1404 經啟用，進而導通選擇電晶體之各者（諸如選擇電晶體 1405），然後使得來自每個位元線的電流由一輸出電路（諸如電路 1406）所接收並輸出。

【0054】 圖 15 描繪位元線解碼器電路 1500 的一實施例。位元線解碼器電路 1500 係耦接至 VMM 陣列 1501。VMM 陣列可基於先前討論之任一種 VMM 設計（諸如 VMM 900、VMM 1000、VMM 1100、VMM 1200、及 VMM 1300）或其他 VMM 設計。

【0055】 選擇電晶體 1502 及 1503 係由一對互補的控制信號（V0 及 VB_0）所控制，且耦接至一位元線(BL0)。選擇電晶體 1504 及 1505 係由另一對互補的控制信號（V1 及 VB_1）所控制，且耦接至另一位元線(BL1)。選擇電晶體 1502 及 1504 係耦接至相同的輸出，諸如用於啟用程式化，而選擇電晶體 1503 及 1505 係耦接至相同的輸出，諸如用於抑制程式化。電晶體 1502/1503/1504/1505 的輸出線（程式化及抹除(PE)解碼路徑）係諸如耦接至一 PE 行驅動器電路以用於控制程式化、PE 驗證、及抹除（未示出）。

【0056】 選擇電晶體 1506 係耦接至一位元線(BL0)及耦接至輸出及啟動功能電路 1507（例如，電流加算器及啟動功能，諸如 tanh、sigmoid、及 ReLU）。選擇電晶體 1506 係由控制線 1508 所控制。

【0057】 當僅欲啟動 BL0 時，控制線 1508 經解除確立且信號 V0 經確立，從而只讀取 BL0。在一 ANN 讀取操作期間，控制線 1508 經確立，選擇電晶體 1506 及類似的電晶體經導通，且所有位元線被讀取，諸如用於所有的神經元處理。

【0058】 圖 16 描繪位元線解碼器電路 1600 的一實施例。位元線解碼器電路 1600 係耦接至 VMM 陣列 1601。VMM 陣列可基於先前討

論之任一種 VMM 設計（諸如 VMM 900、VMM 1000、VMM 1100、VMM 1200、及 VMM 1300）或其他 VMM 設計。

【0059】 選擇電晶體 1601 係耦接至一位元線(BL0)及耦接至輸出及啟動功能電路 1603。選擇電晶體 1602 係耦接至一位元線(BL0)及耦接至一共同輸出（PE 解碼路徑）。

【0060】 當僅欲啟動 BL0 時，選擇電晶體 1602 經啟動，且 BL0 經附接至共同輸出。在一 ANN 讀取操作期間，選擇電晶體 1601 及類似的電晶體經導通，且所有位元線被讀取。

【0061】 為了在圖 14、圖 15、及圖 16 中對一未選擇的電晶體進行解碼，可施加負偏壓以減少電晶體洩漏，避免影響記憶體單元性能。或者，當陣列處於 ANN 操作期間時，可將負偏壓施加至 PE 解碼路徑。負偏壓可為自-0.1V 至-0.5V 或更高。

【0062】 圖 17 描繪 VMM 系統 1700。VMM 系統 1700 包含 VMM 陣列 1701 及參考陣列 1720（其可基於前述 VMM 設計的任一者，諸如 VMM 900、VMM 1000、VMM 1100、VMM 1200、VMM 1300,、或其他 VMM 設計）、低電壓列解碼器 1702、高電壓列解碼器 1703、參考單元低電壓行解碼器 1704（顯示用於在行方向上的參考陣列，意即在列方向上提供輸入至輸出轉換）、位元線 PE 驅動器 1712、位元線多工器 1706、啟動功能電路及加算器 1707、控制邏輯 1705、及類比偏壓電路 1708。

【0063】 如圖所示，參考單元低電壓行解碼器 1704 係用於在行方向上之參考陣列 1720，意即在列方向上提供輸入至輸出轉換。如果

參考陣列係在列方向上，參考解碼器需要於陣列的頂部及/或底部完成，以在行方向上提供輸入至輸出轉換。

【0064】 低電壓列解碼器 1702 提供一用於讀取及程式化操作的偏壓電壓，並為高電壓列解碼器 1703 提供一解碼信號。高電壓列解碼器 1703 提供一用於程式化及抹除操作的高電壓偏壓信號。參考單元低電壓行解碼器 1704 為參考單元提供一解碼功能。位元線 PE 驅動器 1712 為位元線提供用於程式化、驗證、及抹除的控制功能。偏壓電路 1705 係一提供各種程式化、抹除、程式化驗證、及讀取操作所需之多個電壓的共用偏壓區塊。

【0065】 圖 18 描繪 VMM 系統 1800。VMM 系統 1800 類似於 VMM 系統 1700，但 VMM 系統 1800 進一步包含紅色陣列 1801、位元線 PE 驅動器 BLDRV 1802、高電壓行解碼器 1803、NVR 磁區 1804、及參考陣列 1820。高電壓行解碼器 1803 提供一用於垂直解碼線的高電壓偏壓。紅色陣列 1802 提供用於置換有缺陷陣列部分的陣列冗餘。NVR（非揮發性暫存器，又稱作資訊磁區）磁區 1804 係用於儲存用戶資訊、裝置 ID、密碼、安全密鑰、修整位元(trimbit)、組態位元、製造資訊等的陣列磁區。

【0066】 圖 19 描繪 VMM 系統 1900。VMM 系統 1900 類似於 VMM 系統 1800，但 VMM 系統 1900 進一步包含參考系統 1999。參考系統 1999 包含參考陣列 1901、參考陣列低電壓列解碼器 1902、參考陣列高電壓列解碼器 1903、及參考陣列低電壓行解碼器 1904。參

考系統可跨多個 VMM 系統共享。VMM 系統進一步包含 NVR 磁區 1905。

【0067】 參考陣列低電壓列解碼器 1902 提供一用於涉及參考陣列 1901 之讀取及程式化操作的偏壓電壓，亦提供一用於參考陣列高電壓列解碼器 1903 的解碼信號。參考陣列高電壓列解碼器 1903 提供一用於涉及參考陣列 1901 之程式化及操作的高電壓偏壓。參考陣列低電壓行解碼器 1904 提供一用於參考陣列 1901 的解碼功能。參考陣列 1901 係諸如用以提供用於程式化驗證或單元定邊限(cell margining)（搜尋邊限單元）的參考目標。

【0068】 圖 20 描繪字線驅動器 2000。字線驅動器 2000 選擇一字線（諸如此處所示之例示性字線 WL0、WL1、WL2、及 WL3），且向該字線提供一偏壓電壓。各字線被附接至一透過控制線 2001 控制的選擇電晶體，諸如 select iso（隔離）電晶體 2002。Iso 電晶體 2002 係用以將諸如來自抹除（例如，8 至 12V）的高電壓與字線解碼電晶體隔離開來，其可利用 IO 電晶體（例如，1.8V, 3.3V）實現。此處，在任何操作期間，控制線 2001 經啟動，且所有類似於 select iso 電晶體 2002 的選擇電晶體被導通。例示性偏壓電晶體 2003（字線解碼電路的部件）選擇性地將一字線耦接至第一偏壓電壓（諸如 3V），而例示性偏壓電晶體 2004（字線解碼電路的部件）選擇性地將一字線耦接至第二偏壓電壓（其低於第一偏壓電壓，包括接地、一介於之間的偏壓、一負電壓偏壓，以減少來自未使用之記憶列的洩漏）。在一 ANN 讀取操作期間，將選擇所有使用的字線，並綁定至第一偏壓電壓。所

有未使用的字線都被綁定至第二偏壓電壓。在諸如程式化操作之類的其他操作期間，僅將選擇一字線，並將其他字線綁定至第二偏壓電壓，其可作為一用於減少陣列洩漏的負偏壓（例如，-0.3 至-0.5V 或更多）。

【0069】 圖 21 描繪字線驅動器 2100。字線驅動器 2100 類似於字線驅動器 2000，但頂部電晶體（諸如偏壓電晶體 2103）可個別地耦接至一偏壓電壓，且所有此等電晶體不如在字線驅動器 2000 中般綁定在一起。這允許所有字線同時並行地具有不同的獨立電壓。

【0070】 圖 22 描繪字線驅動器 2200。字線驅動器 2200 類似於字線驅動器 2100，但偏壓電晶體 2103 及 2104 係耦接至解碼器電路 2201 及反相器 2202。因此，圖 22 描繪在字線驅動器 2200 內之一解碼子電路 2203。

【0071】 圖 23 描繪字線驅動器 2300。字線驅動器 2300 類似於字線驅動器 2100，但偏壓電晶體 2103 及 2104 係耦接至移位暫存器 2301 之階段 2302 的輸出。移位暫存器 1301 允許透過串列移入資料（對暫存器串列地控時）以獨立地控制各列，諸如根據移入資料型態使一或多列得以同時啟用。

【0072】 圖 24 描繪字線驅動器 2400。字線驅動器 2400 類似於字線驅動器 2000，但各選擇電晶體進一步耦接至一電容器，諸如電容器 2403。電容器 2403 可於一操作開始時向字線提供一預充電或偏壓，此係由電晶體 2401 啟用以在線 2440 上取樣電壓。電容器 2403 作用以取樣及保持(sample and hold, S/H)每個字線的輸入電壓。在

VMM 陣列的 ANN 操作（陣列電流加算器及啟動功能）期間，電晶體 2401 為斷開，意即在 S/H 電容器上的電壓將用作為字線的（浮動）電壓源。替代地，電容器 2403 可由來自記憶體陣列的字線電容提供。

【0073】 圖 25 描繪字線驅動器 2500。字線驅動器 2500 類似於先前所述的字線驅動器，但偏壓電晶體 2501 及 2502 分別係連接至開關 2503 及 2504。開關 2503 接收 opa（運算放大器）2505 的輸出，且開關 2504 提供對 opa 2505 之負輸入的參考輸入，其基本上係通過由 opa 2505、電晶體 2501、開關 2503、及開關 2504 提供之閉合迴路的作用來提供由電容器 2403 所儲存的電壓。以此方式，當開關 2503 及 2504 閉合時，輸入 2506 上的電壓係藉由電晶體 2501 疊加在電容器 2403 上。替代地，電容器 2403 可由來自記憶體陣列的字線電容提供。

【0074】 圖 26 描繪字線驅動器。字線驅動器 2600 類似於先前所述的字線驅動器，但加入放大器 2601，其將作用為一用於電容器 2604 上之電壓的電壓緩衝器，以將電壓驅動至字線 WL0 中，意即在 S/H 電容器上的電壓將用作為字線的（浮動）電壓源。這係為了例如避免字線間的耦接影響電容器上的電壓。

【0075】 圖 27 描繪高電壓源極線解碼器電路 2700。高電壓源極線解碼器電路包含電晶體 2701、2702、及 2703，組態如圖所示。電晶體 2703 用於取消選取源極線至低電壓。電晶體 2702 用於將高電壓驅動至陣列的源極線中，且電晶體 2701 用於監測源極線上的電壓。電晶體 2702、2701 及驅動器電路（諸如 opa）係以一閉迴路方式（力/

感測)組態，以在 PVT (process, voltage, temperature,製程、電壓、溫度)上及不同電流負載狀況下保持電壓。SLE (受驅動之源極線節點)及 SLB (受監視之源極線節點)可以位於源極線的一端。替代地，SLE 可位於源極線的一端，而 SLN 位於源極線的另一端。

【0076】 圖 28 描繪 VMM 高電壓解碼電路，其包含字線解碼器電路 2801、源極線解碼器電路 2804、及高電壓位準偏移器 2808，其適合與圖 2 所示類型之記憶體單元一起使用。

【0077】 字線解碼器電路 2801 包含 PMOS 選擇電晶體 2802 (由信號 HVO_B 控制)及 NMOS 取消選取電晶體 2803 (由信號 HVO_B 控制)，組態如圖所示。

【0078】 源極線解碼器電路 2804 包含 NMOS 監測電晶體 2805 (由信號 HVO 控制)、驅動電晶體 2806 (由信號 HVO 控制)、及取消選取電晶體 2807 (由信號 HVO_B 控制)，組態如圖所示。

【0079】 高電壓位準偏移器 2808 接收啟用信號 EN，並輸出高電壓信號 HV 及其互補信號 HVO_B。

【0080】 圖 29 描繪 VMM 高電壓解碼電路，其包含抹除閘解碼器電路 2901、控制閘解碼器電路 2904、源極線解碼器電路 2907、及高電壓位準偏移器 2911，其適合與圖 3 所示類型之記憶體單元一起使用。

【0081】 抹除閘解碼器電路 2901 及控制閘解碼器電路 2904 使用與圖 28 中之字線解碼器電路 2801 相同的設計。

【0082】 源極線解碼器電路 2907 使用與圖 28 中之源極線解碼器電路 2804 相同的設計。

【0083】 高電壓位準偏移器 2911 使用與圖 28 中之高電壓位準偏移器 2808 相同的設計。

【0084】 圖 30 描繪用於例示性字線 WL0、WL1、WL2、及 WL3 的字線解碼器 300。例示性字線 WL0 耦接至上拉電晶體 3001 及下拉電晶體 3002。當啟動上拉電晶體 3001 時，WL0 經啟用。當啟動下拉電晶體 3002 時，WL0 經停用。圖 30 的功能類似於無隔離電晶體的圖 21 的功能。

【0085】 圖 31 描繪用於例示性控制閘線 CG0、CG1、CG2、及 CG3 之控制閘解碼器 3100。例示性控制閘線 CG0 耦接至上拉電晶體 3101 及下拉電晶體 3102。當啟動上拉電晶體 3101 時，CG0 經啟用。當啟動下拉電晶體 3102 時，CG0 經停用。圖 31 的選擇及取消選取功能係類似於圖 30 用於控制閘的相同功能。

【0086】 圖 32 描繪用於例示性控制閘線 CG0、CG1、CG2、及 CG3 的控制閘解碼器 3200。控制閘解碼器 3200 類似於控制閘解碼器 3100，但控制閘解碼器 3200 包含一耦接至各控制閘線之電容器（諸如電容器 3203）。這些取樣及保持(S/H)電容器可於操作前提供一預充電偏壓至各控制閘線上，意即該 S/H 電容器上的電壓將用作為一用於控制閘線的（浮動）電壓源。該 S/H 電容器可通過來自記憶體單元的控制閘電容來提供。

【0087】 圖 33 描繪用於例示性控制閘線 CG0、CG1、CG2、及 CG3 的控制閘解碼器 3300。控制閘解碼器 3300 類似於控制閘解碼器 3200，但控制閘解碼器 3300 進一步包含一緩衝器 3301（例如 opa）。

【0088】 圖 34 描繪電流轉電壓電路 3400。該電路包含一經組態的二極體連接之參考單元電路 3450 及一取樣及保持電路 3460。電路 3450 包含輸入電流源 3401、NMOS 電晶體 3402、疊接偏壓電晶體 3403、及參考記憶體單元 3404。取樣及保持電路係由開關 3405 及 S/H 電容器 3406 組成。記憶體 3404 在二極體連接的組態中被加偏壓，其中一偏壓係位於其位元線上，以將輸入電流轉換成電壓，諸如用於供應字線。

【0089】 圖 35 描繪電流轉電壓電路 3500，其類似於電流轉電壓電路 3400，但於 S/H 電容器後方加入放大器 3501。電流轉電壓電路 3500 包含一經組態的二極體連接之參考單元電路 3550、取樣及保持電路 3470、及放大器階段 3562。

【0090】 圖 36 描繪電流轉電壓電路 3600，其設計相同於用在二極體連接之組態中控制閘的電流轉電壓電路 3400。電流轉電壓電路 3600 包含一經組態的二極體連接之參考單元電路 3650 及一取樣及保持電路 3660。

【0091】 圖 37 描繪電流轉電壓電路 3700，其中一緩衝器 3790 係置於參考電路 3750 與 S/H 電路 3760 之間。

【0092】 圖 38 描繪電流轉電壓電路 3800，其類似於圖 35，但其控制閘係以一二極體連接組態連接。電流轉電壓電路 3800 包含一經組態的二極體連接之參考單元電路 3550、取樣及保持電路 3870、及放大器階段 3862。

【0093】 圖 39 描繪電流轉電壓電路 3900，其類似於圖 34，如應用至圖 2 中之記憶體單元。電流轉電壓電路 3900 包含一經組態的二極體連接之參考單元電路 3950 及一取樣及保持電路 3960。

【0094】 圖 40 描繪電流轉電壓電路 4000，其類似於圖 37，如應用至圖 2 中之記憶體單元，其中一緩衝器 4090 係置於參考電路 4050 與 S/H 電路 4060 之間。

【0095】 圖 41 描繪電流轉電壓電路 4100，其類似於圖 38，如應用至圖 2 中之記憶體單元。電流轉電壓電路 4100 包含一經組態的二極體連接之參考單元電路 4150、取樣及保持電路 4170、及放大器階段 4162。

【0096】 應注意的是，如本文中所使用，「在…上方(over)」及「在…上(on)」之用語皆含括性地包括了「直接在…之上(directly on)」(無居中的材料、元件或間隔設置於其間)及「間接在…之上(indirectly on)」(有居中的材料、元件或間隔設置於其間)的含意。同樣地，「相鄰的(adjacent)」一詞包括了「直接相鄰的」(無居中的材料、元件或間隔設置於其間)及「間接相鄰的」(有居中的材料、元件或間隔設置於其間)的含意，「安裝於(mounted to)」一詞則包括了「直接安裝於(directly mounted to)」(無居中的材料、元件或間隔

設置於其間) 及「間接安裝於(indirectly mounted to)」(有居中的材料、元件或間隔設置於其間) 的含意，以及「電耦接(electrically coupled)」一詞則包括了「直接電耦接(directly electrically coupled to)」(無居中的材料或元件於其間將各元件電性相連接) 及「間接電耦接(indirectly electrically coupled to)」(有居中的材料或元件於其間將各元件電性相連接) 的含意。舉例而言，「在基材上方(over a substrate)」形成元件可包括直接在基材上形成元件而其間無居中的材料/元件存在，以及間接在基材上形成元件而其間有一或多個居中的材料/元件存在。

【符號說明】

【0097】

12...半導體基材/基材

14...源極區域/汲極

16...汲極區域/源極區域/源極/汲極

18...通道區域

20...浮閘

22...字線端子/控制閘

24...位元線

26...閘極氧化物

28...選擇閘

30...抹除閘

31...數位類比轉換器

32...VMM

32a...輸入 VMM/輸入層

32b...VMM/隱藏層

32c...隱藏層

32d...層

32e...層

33...非揮發性記憶體單元/記憶體陣列

34...抹除閘及字線閘解碼器

35...控制閘解碼器

36...位元線解碼器

37...源極線解碼器

38...差動加算器/加總運算放大器

39...啟動功能電路

210...記憶體單元

300...字線解碼器

310...四閘極記憶體單元/記憶體單元

410...分離閘三閘極記憶體單元/記憶體單元

510...堆疊閘極記憶體單元/記憶體單元

900...神經元 VMM/VMM

901...參考陣列

902...參考陣列

903...記憶體陣列

914...多工器

1000...神經元 VMM/VMM

1001...參考陣列

1002...參考陣列

1003...記憶體陣列

1100...神經元 VMM/VMM

1101...記憶體陣列

1102...參考陣列

1103...參考陣列

1104...參考位元線選擇電晶體

1105...開關

1106...控制線

1107...控制線

1109...位元線

1114...mux

1200...神經元 VMM/VMM

1201...抹除閘線

1300...神經元 VMM/VMM

1301...記憶體陣列/移位暫存器

1302...參考陣列

1303...控制閘線

1304...抹除閘線

1400...位元線解碼器電路

1401...VMM 陣列

1402...行解碼器

1403...行解碼器/ANN 行解碼器

1404...選擇線

1405...選擇電晶體

1406...輸出電路/電路

1500...位元線解碼器電路

1501...VMM 陣列

1502/1503/1504/1505...選擇電晶體/電晶體

1506...選擇電晶體

1507...輸出及啟動功能電路

1508...控制線

1600...位元線解碼器電路

1601...VMM 陣列/選擇電晶體

1602...選擇電晶體

1603...輸出及啟動功能電路

1700...VMM 系統

1701...VMM 陣列

1702...低電壓列解碼器

1703...高電壓列解碼器

1704...參考單元低電壓行解碼器

1705...控制邏輯/偏壓電路

1706...位元線多工器

1707...啟動功能電路及加算器

1708...類比偏壓電路

1712...位元線 PE 驅動器

1720...參考陣列

1800...VMM 系統

1801...紅色陣列

1802...位元線 PE 驅動器 BLDRV/紅色陣列

1803...高電壓行解碼器

1804...NVR 磁區

1820...參考陣列

1900...VMM 系統

1901...參考陣列

1902...參考陣列低電壓列解碼器

1903...參考陣列高電壓列解碼器

1904...參考陣列低電壓行解碼器

1905...NVR 磁區

1999...參考系統

2000...字線驅動器

2001...控制線

2002...iso（隔離）電晶體

2003...偏壓電晶體

2004...偏壓電晶體

2100...字線驅動器

2103...偏壓電晶體

2104...偏壓電晶體

2200...字線驅動器

2201...解碼器電路

2202...反相器

2203...解碼子電路

2300...字線驅動器

2301...移位暫存器

2302...階段

2400...字線驅動器

2401...電晶體

2403...電容器

2440...線

2500...字線驅動器

2501...偏壓電晶體/電晶體

2502...偏壓電晶體

2503...開關

2504...開關

2505...opa（運算放大器）

2506...輸入

2600...字線驅動器

2601...放大器

2604...電容器

2700...高電壓源極線解碼器電路

2701...電晶體

2702...電晶體

2703...電晶體

2801...字線解碼器電路

2802...PMOS 選擇電晶體

2803...NMOS 取消選取電晶體

2804...源極線解碼器電路

2805...NMOS 監測電晶體

2806...驅動電晶體

2807...取消選取電晶體

2808...高電壓位準偏移器

2901...抹除閘解碼器電路

2904...控制閘解碼器電路

2907...源極線解碼器電路

2911...高電壓位準偏移器

3001...上拉電晶體

3002...下拉電晶體

- 3100...控制閘解碼器
- 3101...上拉電晶體
- 3102...下拉電晶體
- 3200...控制閘解碼器
- 3203...電容器
- 3300...控制閘解碼器
- 3301...緩衝器
- 3400...電流轉電壓電路
- 3401...輸入電流源
- 3402...NMOS 電晶體
- 3403...疊接偏壓電晶體
- 3404...參考記憶體單元/記憶體
- 3405...開關
- 3406...S/H 電容器
- 3450...參考單元電路/電路
- 3460...取樣及保持電路
- 3470...取樣及保持電路
- 3500...電流轉電壓電路
- 3501...放大器
- 3550...參考單元電路
- 3562...放大器階段
- 3600...電流轉電壓電路

3650...參考單元電路

3660...取樣及保持電路

3700...電流轉電壓電路

3750...參考電路

3760...S/H 電路

3790...緩衝器

3800...電流轉電壓電路

3862...放大器階段

3870...取樣及保持電路

3900...電流轉電壓電路

3950...參考單元電路

3960...取樣及保持電路

4000...電流轉電壓電路

4050...參考電路

4060...S/H 電路

4090...緩衝器

4100...電流轉電壓電路

4150...參考單元電路

4162...放大器階段

4170...取樣及保持電路

BL0...位元線

BL1...位元線

C1...特徵圖譜/層

C2、C3、S1~3...符號

CB1...突觸

CB2...突觸 CB3...突觸

CB4...突觸

BLR0...端子

BLR1...端子

BLR2...端子

BLR3...端子

CG0...控制閘線

CG1...控制閘線

CG2...控制閘線

CG3...控制閘線

HV...高電壓信號

HVO_B...互補信號

P1...啟動功能

P2...啟動功能

V0...控制信號

V1...控制信號

VB_0...控制信號

VB_1...控制信號

VBLR...疊接電晶體

- WL0...字線
- WL1...字線
- WL2...字線
- WL3...字線

申請專利範圍

1. 一種耦接至一向量矩陣乘法陣列的位元線解碼器電路，該向量矩陣乘法陣列包含經組織成列及行的一非揮發性記憶體單元陣列，其中各行連接至一位元線，該位元線解碼器電路包含：

5 一第一電路，其用於在一程式化與驗證操作期間，在一控制信號處於一第一位準時，啟用一個別位元線；及

 一第二電路，其用於在一讀取操作期間，在該控制信號處於一第二位準時，啟用所有位元線。

10 2. 如請求項 1 之位元線解碼器電路，其中該第二電路包含耦接至各位元線的一選擇電晶體及一啟動功能電路。

 3. 如請求項 2 之位元線解碼器電路，其中各選擇電晶體的一閘極耦接至該控制信號。

 4. 如請求項 1 之位元線解碼器電路，其中一負偏壓係在一程式化與驗證操作或一讀取操作期間施加至各未選取之記憶體單元的字線。

15 5. 如請求項 1 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者係一分離閘快閃記憶體單元。

 6. 如請求項 1 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者係一堆疊閘快閃記憶體單元。

20 7. 如請求項 1 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者經組態以在一次臨限區域中操作。

8. 如請求項 1 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者經組態以在一線性區域中操作。

9. 如請求項 1 之位元線解碼器電路，其中一負偏壓係在一程式化與驗證操作或一讀取操作期間施加至各未選取之位元線解碼器的閘極。

5 10. 一種耦接至一向量矩陣乘法陣列的位元線解碼器電路，該向量矩陣乘法陣列包含經組織成列及行的一非揮發性記憶體單元陣列，其中各行連接至一位元線，該位元線解碼器電路包含：

一多工電路，其中在一控制信號處於一第一位準時，該多工電路在一程式化與驗證操作期間啟用一個別位元線，且在該控制信號處於一第二位準時，該多工電路在一讀取操作期間啟用所有位元線。

10 11. 如請求項 10 之位元線解碼器電路，其中該多工電路包含耦接至各位元線的一選擇電晶體及一啟動功能電路。

12. 如請求項 10 之位元線解碼器電路，其中一負偏壓係在一程式化與驗證操作或一讀取操作期間施加至各個未選取之記憶體單元的字線。

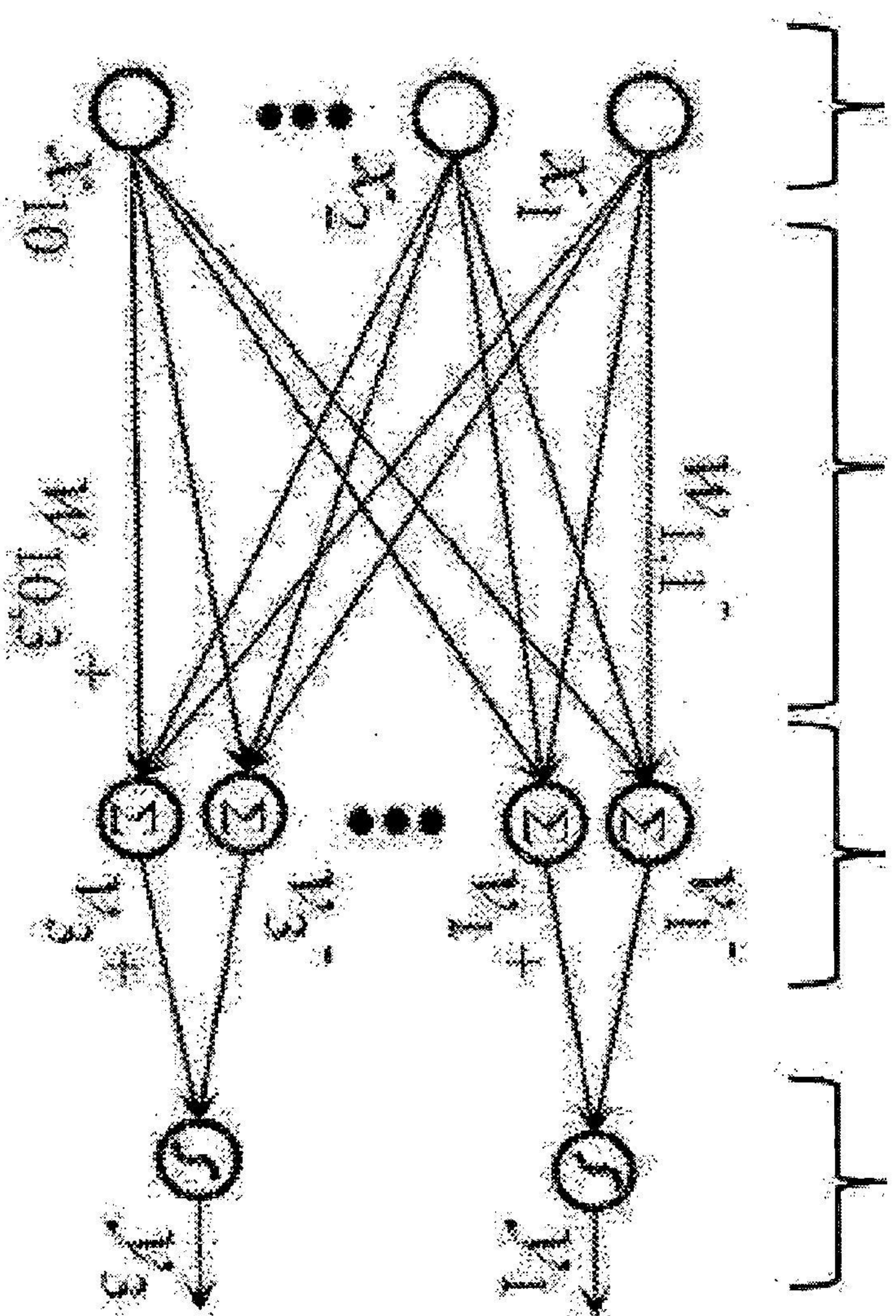
13. 如請求項 10 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者係一分離閘快閃記憶體單元。

14. 如請求項 10 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者係一堆疊閘快閃記憶體單元。

20

15. 如請求項 10 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者經組態以在一次臨限區域中操作。
16. 如請求項 10 之位元線解碼器電路，其中該等非揮發性記憶體單元之各者經組態以在一線性區域中操作。
- 5 17. 如請求項 10 之位元線解碼器電路，其中一負偏壓係在一程式化與驗證操作或一讀取操作期間施加至各未選取之位元線解碼器的閘極。

輸入 權重 中間神經元層 輸出神經元



圖式

(先前技術)

圖1

圖2 (先前技術)

210

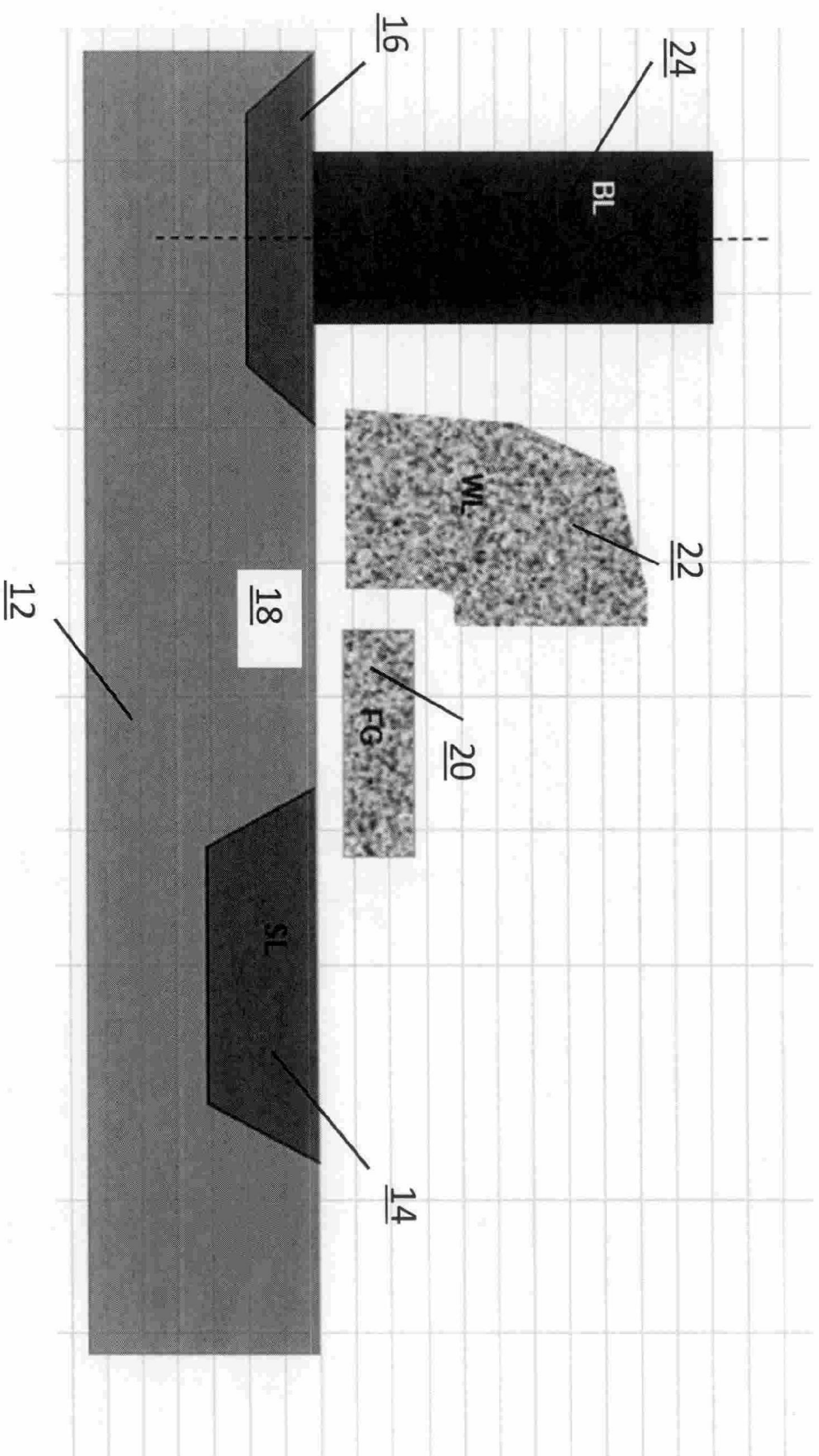


圖3 (先前技術)

310

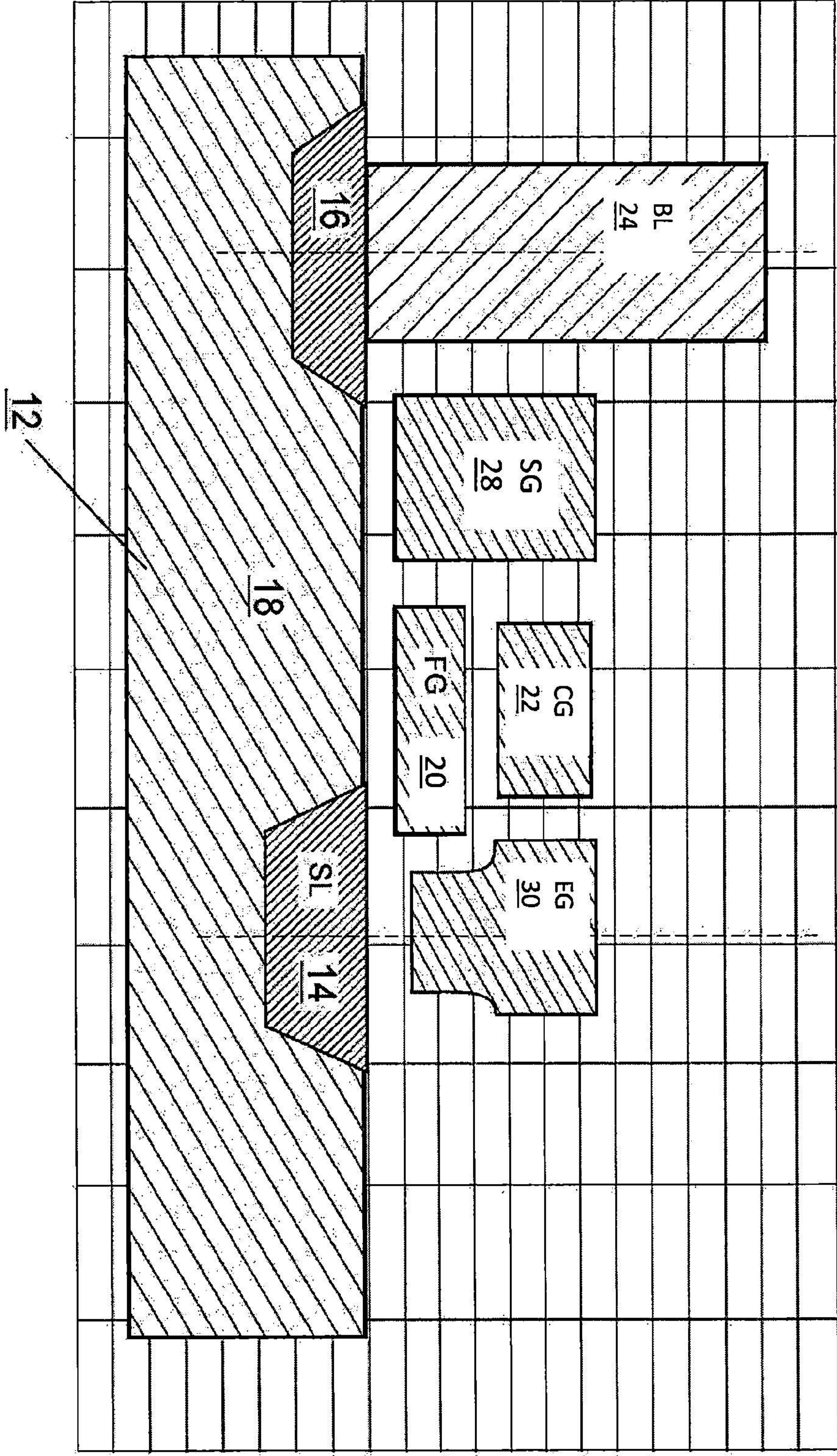


圖4（先前技術）

410

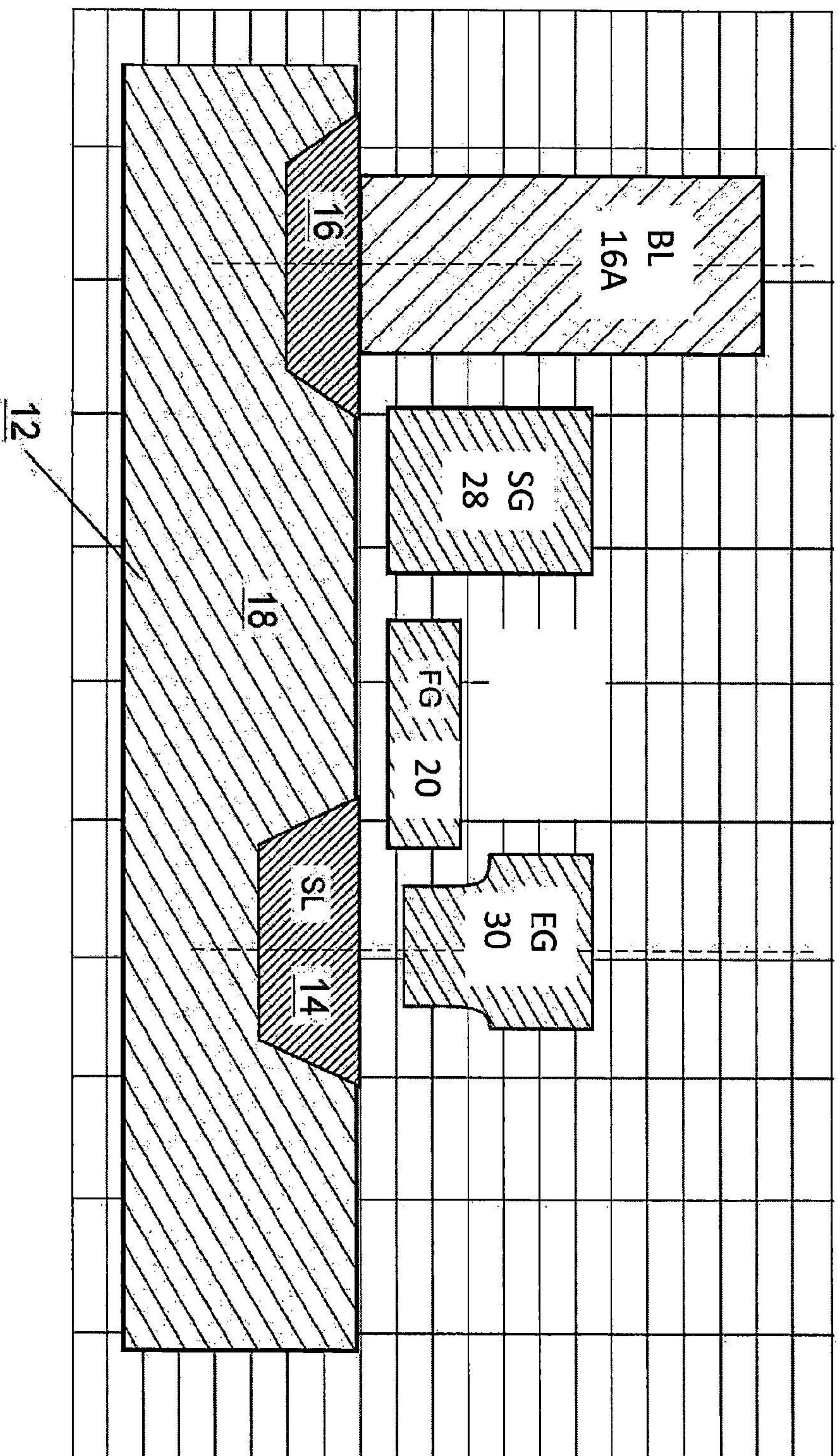


圖5 (先前技術)

510

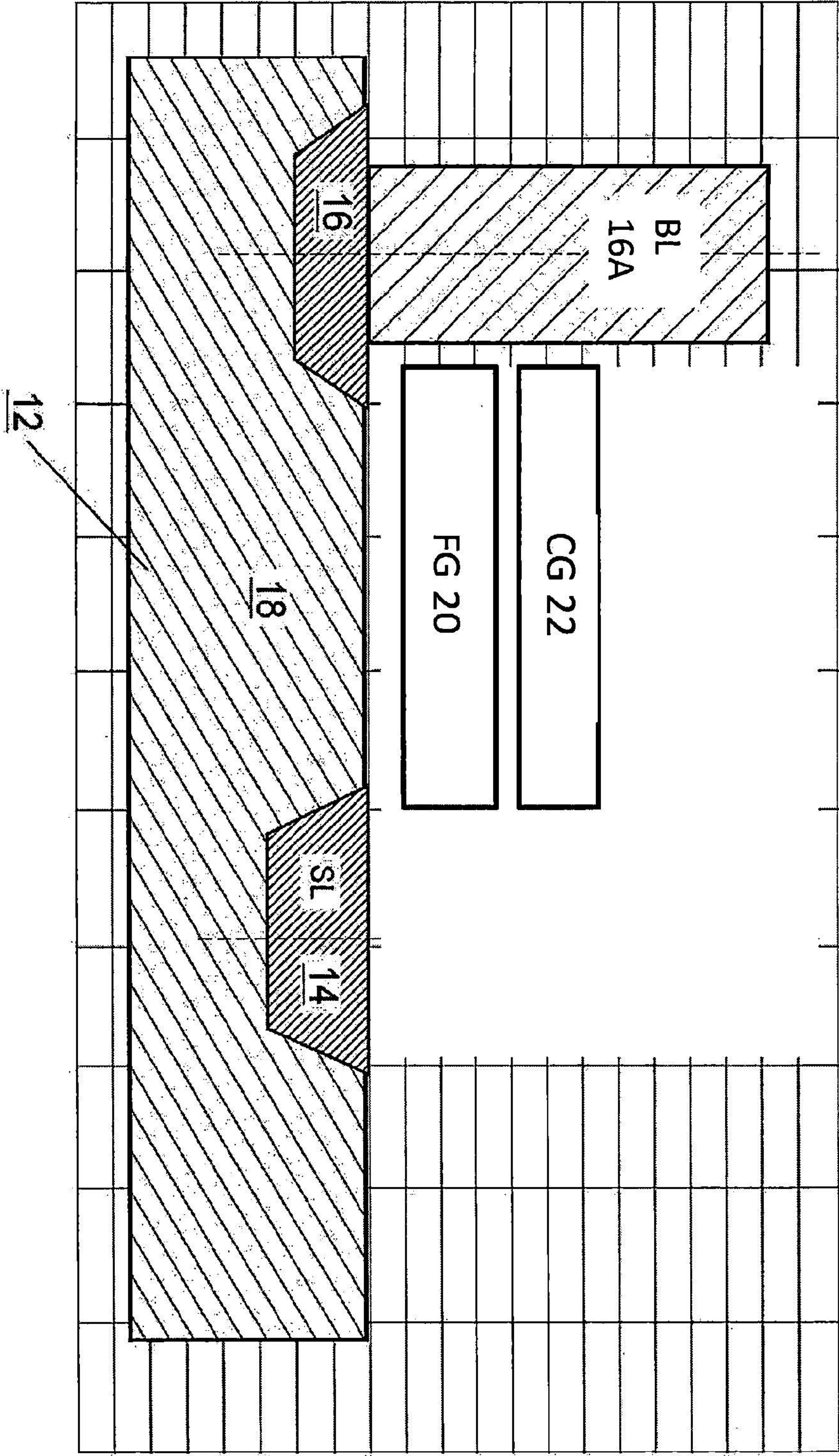


圖6

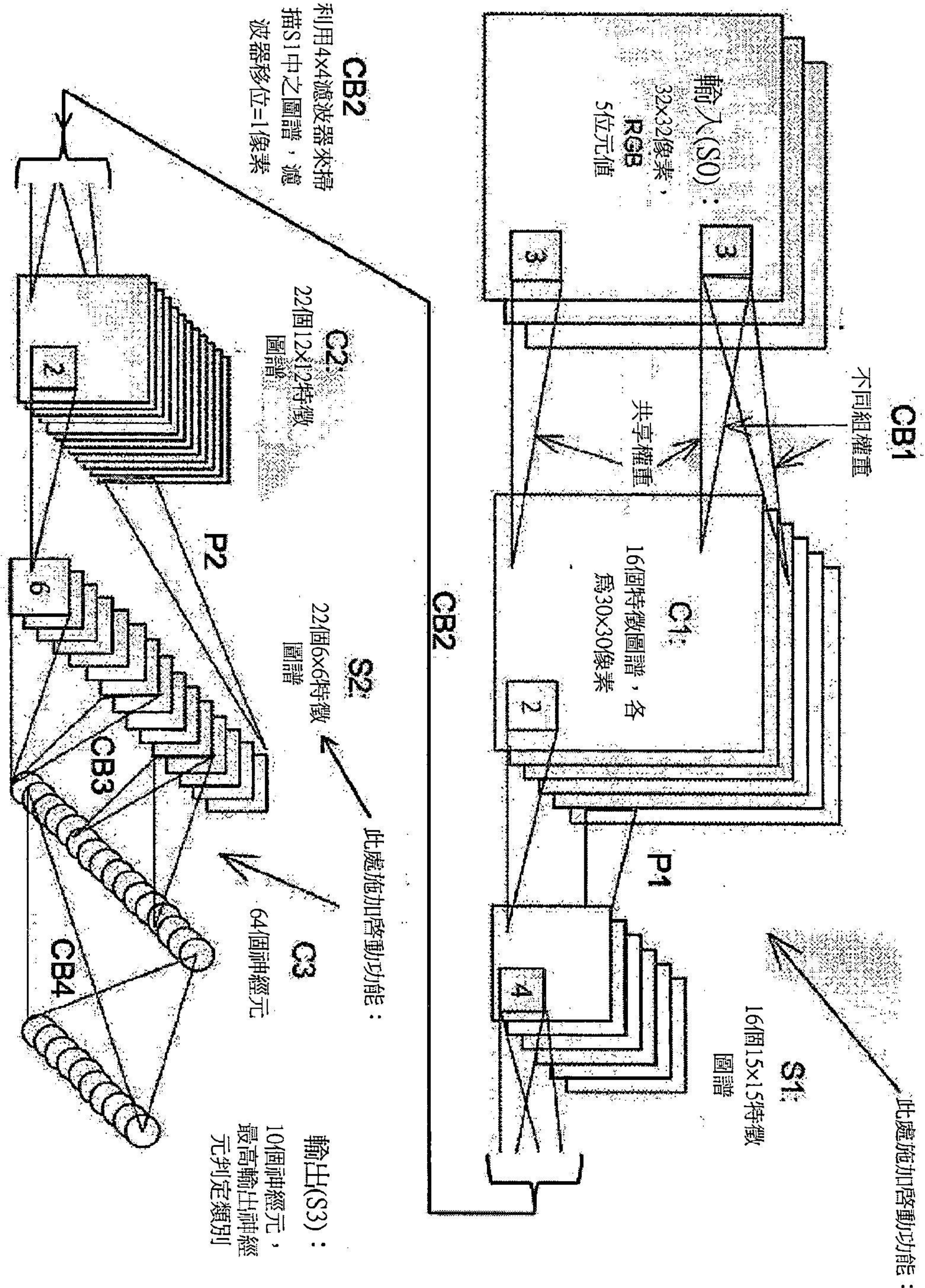
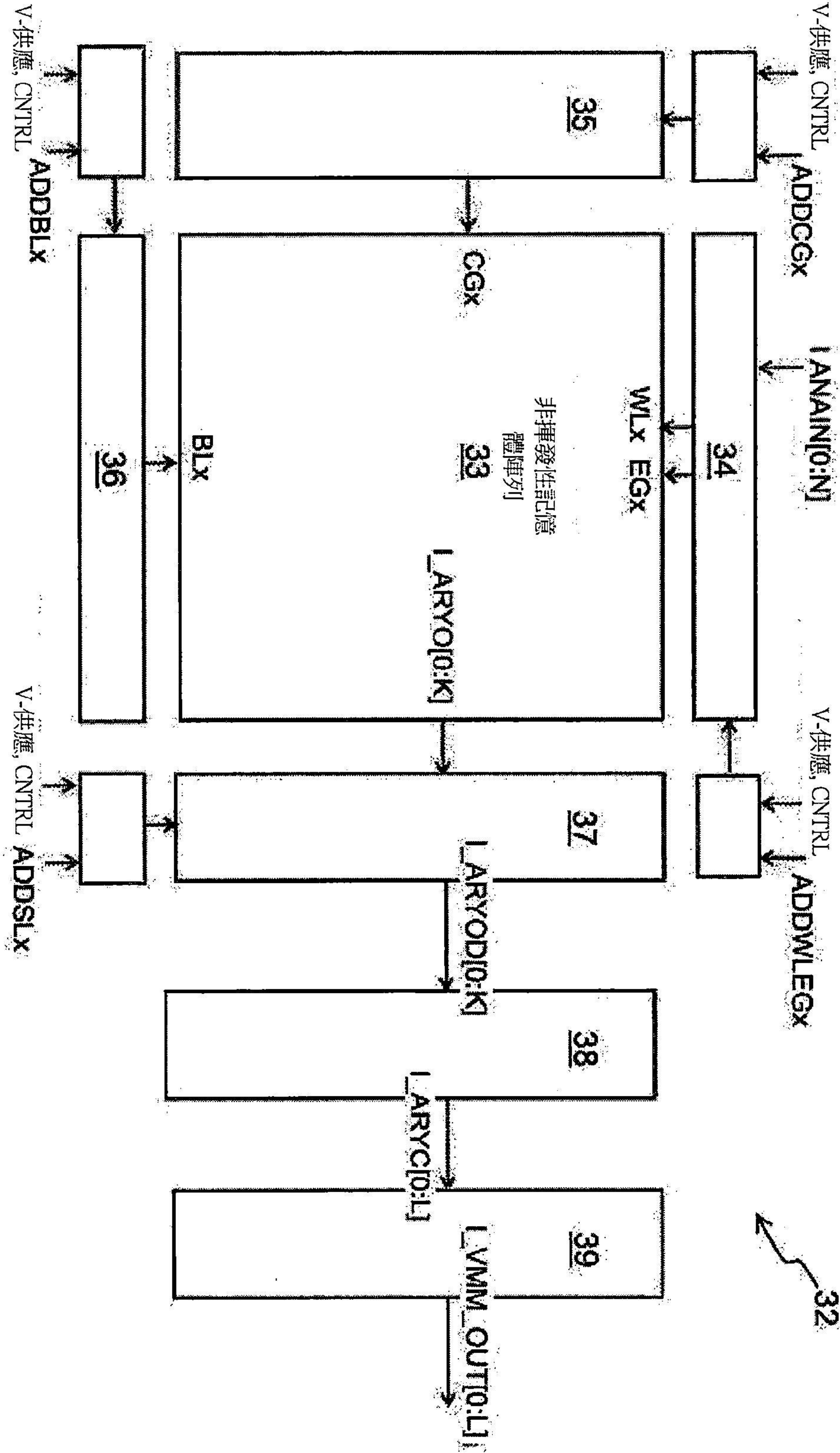


圖7



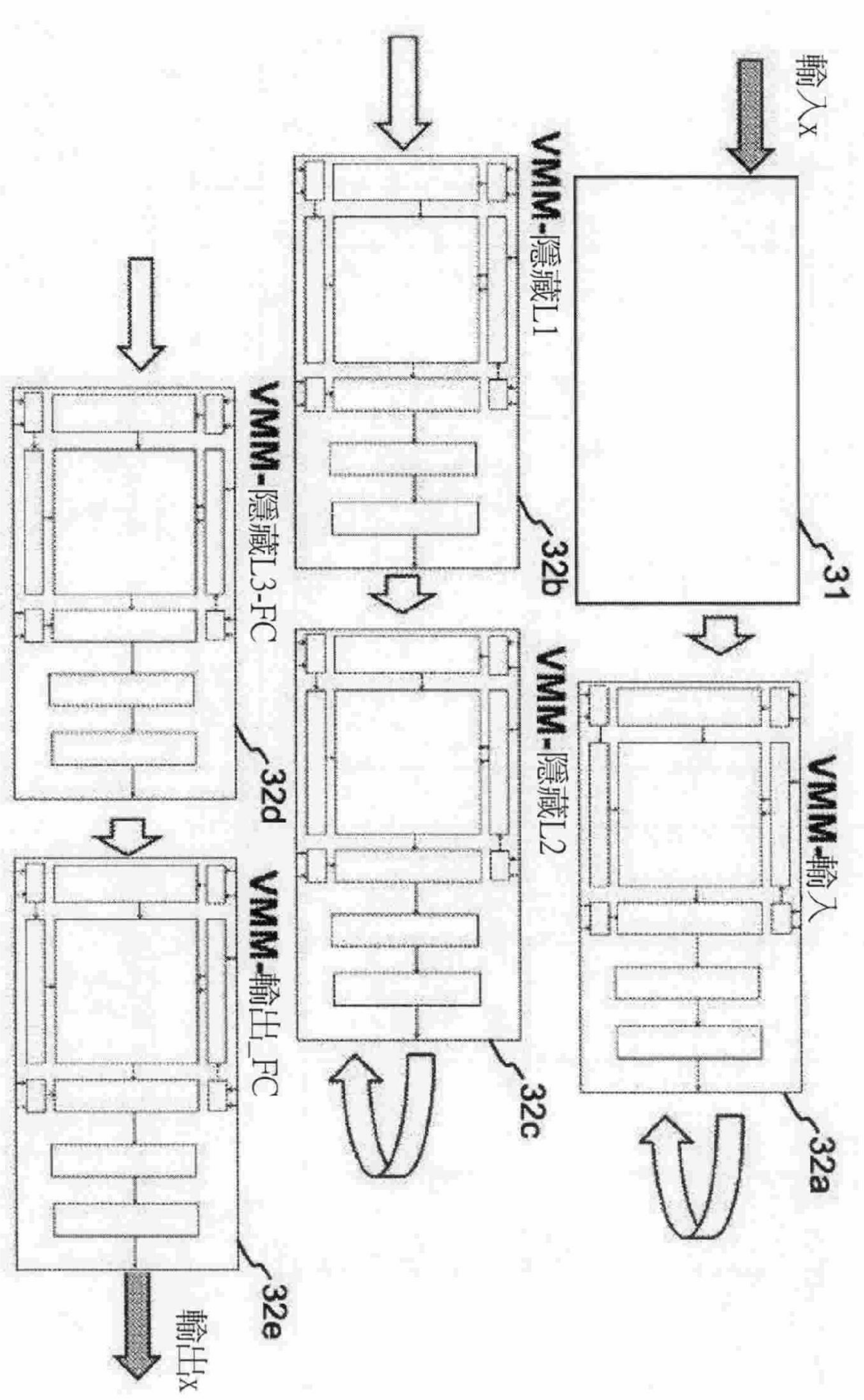
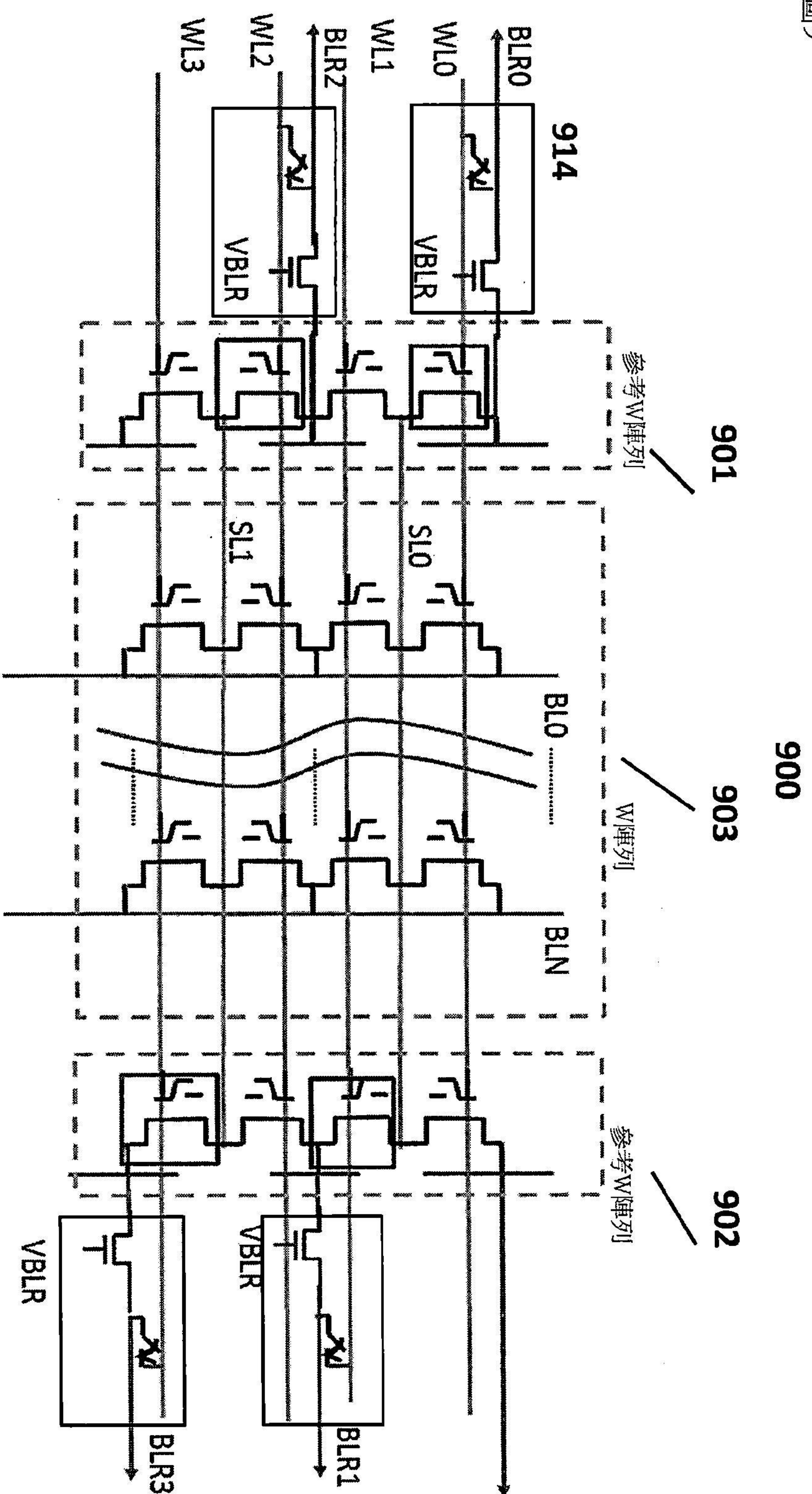


圖8

9



1000

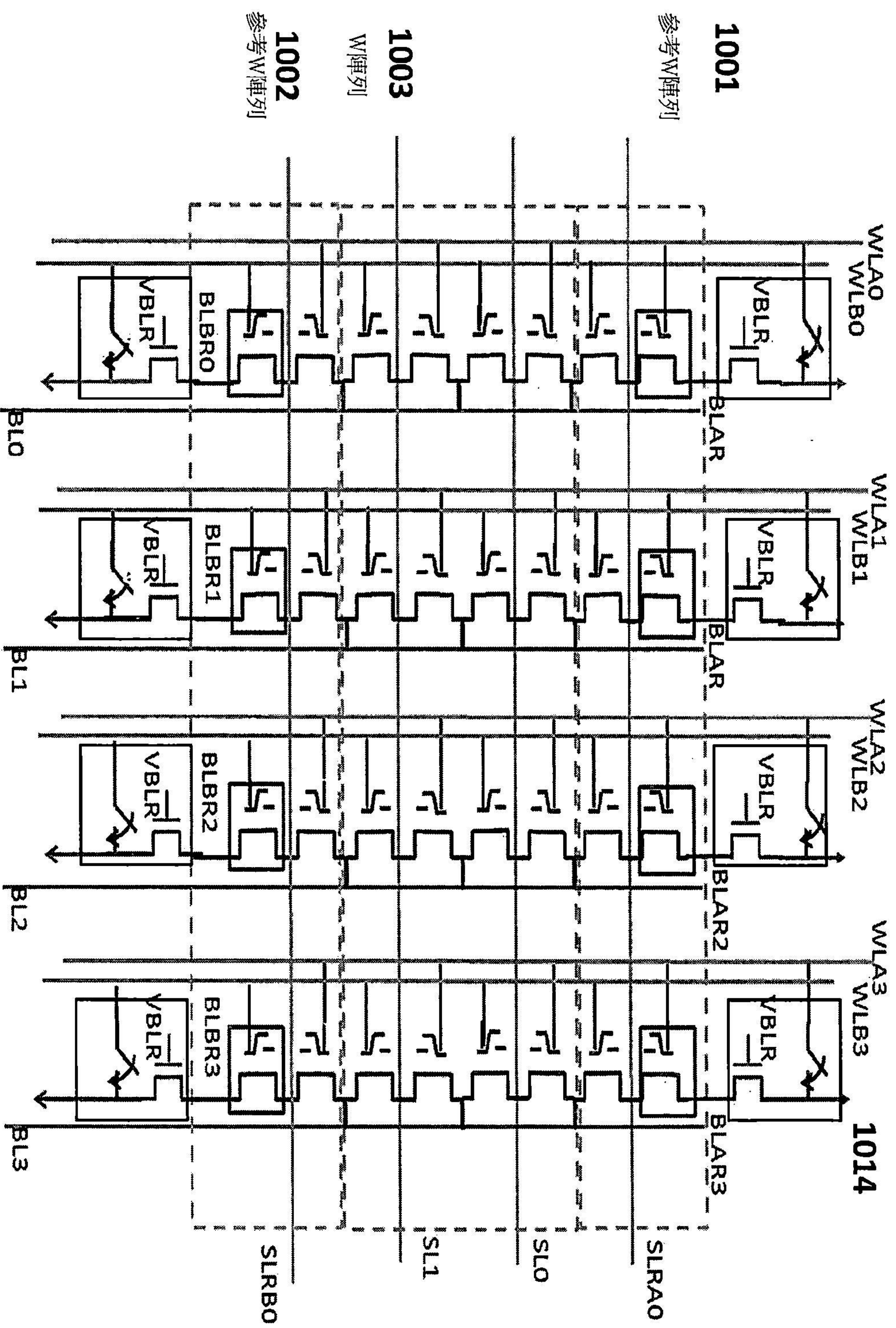


圖11

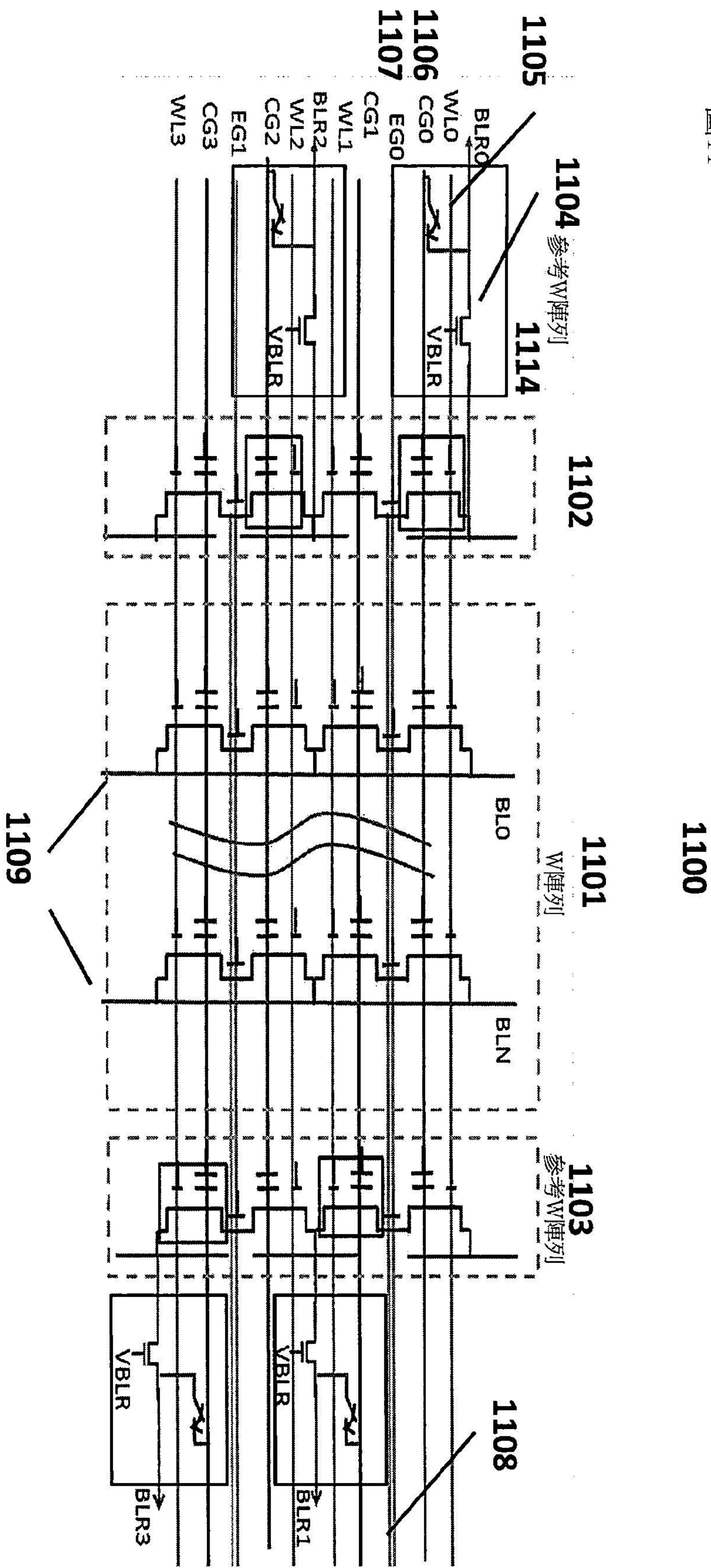
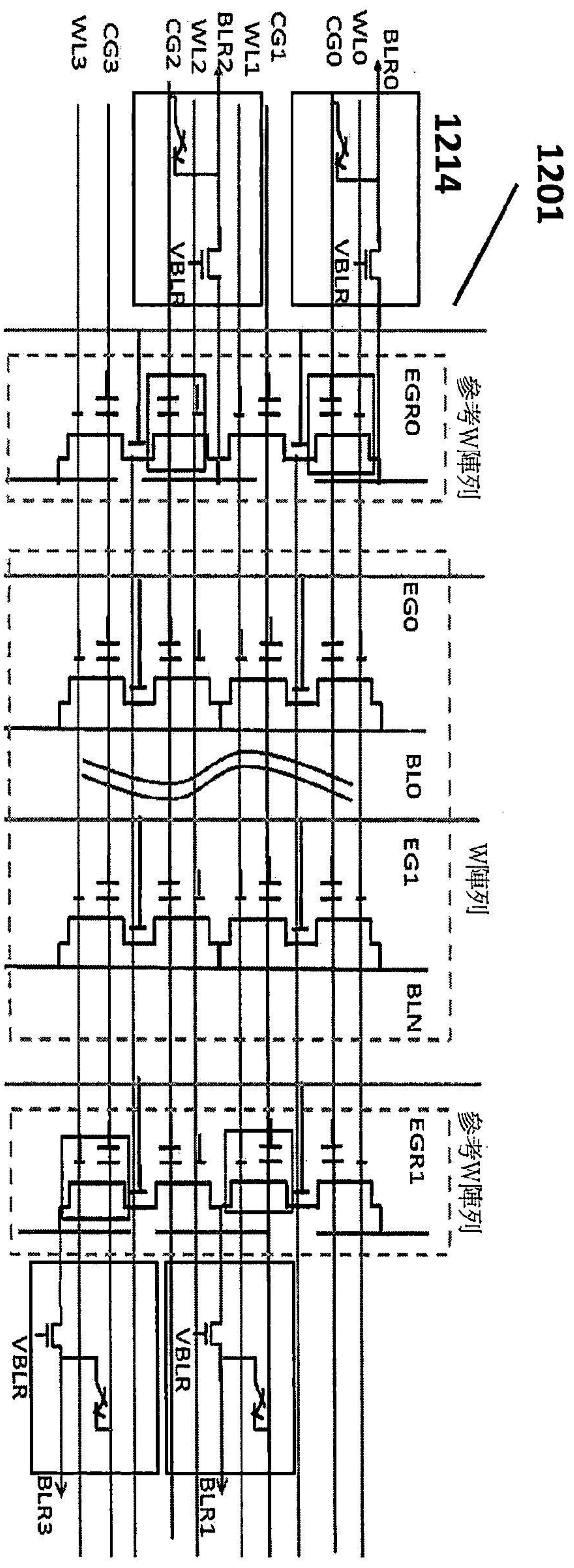


圖12

1200



13回

1300

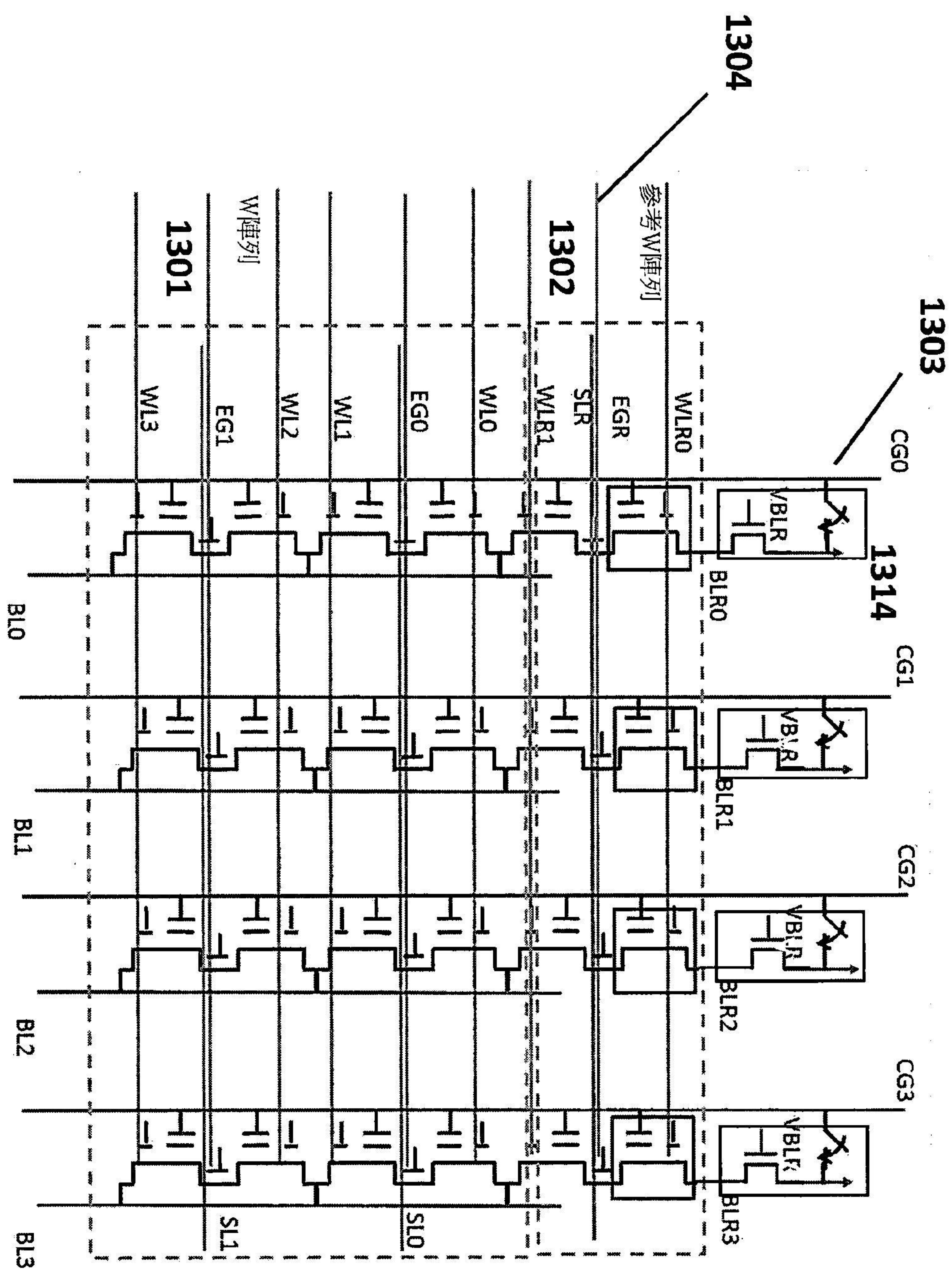


圖14

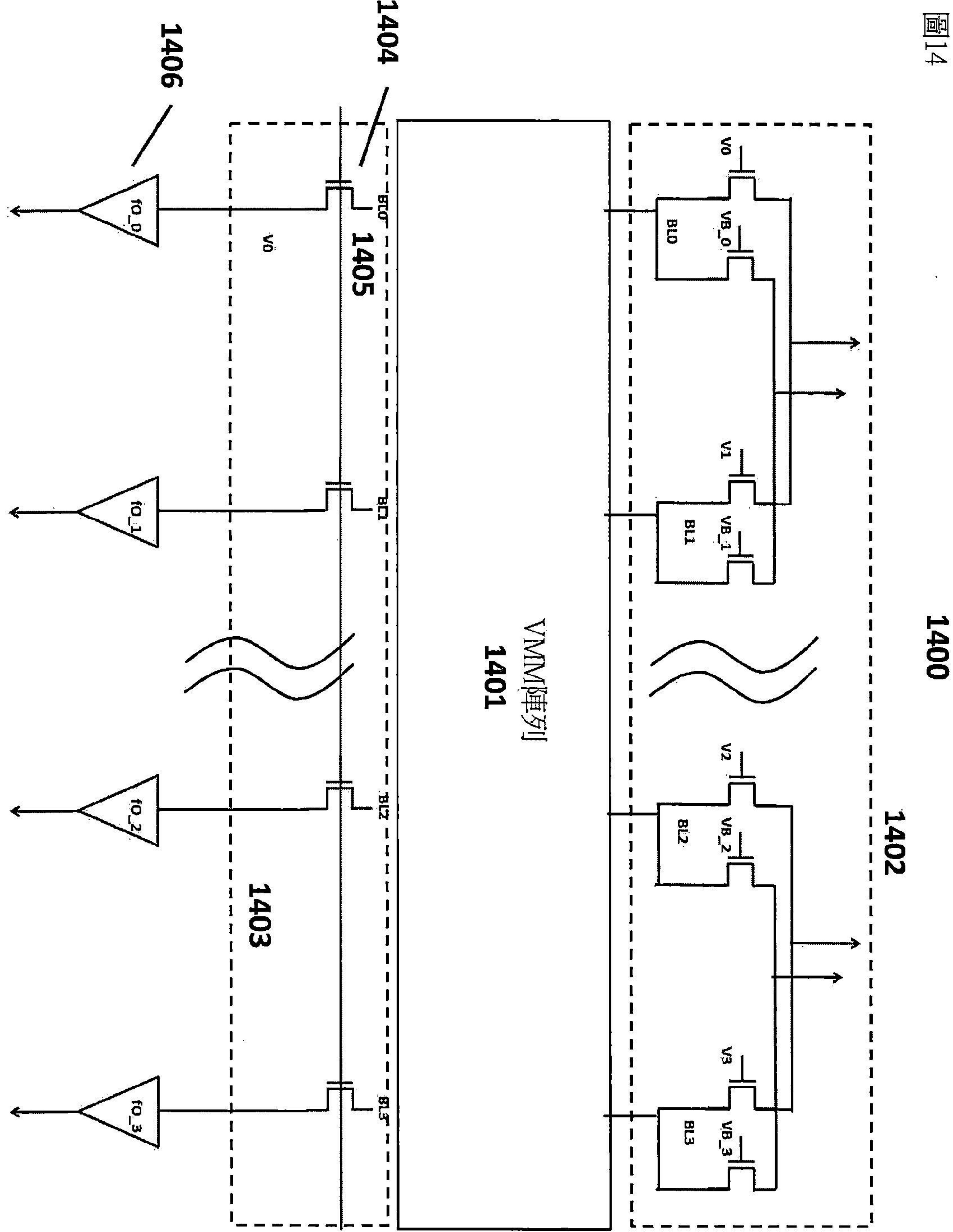


圖15

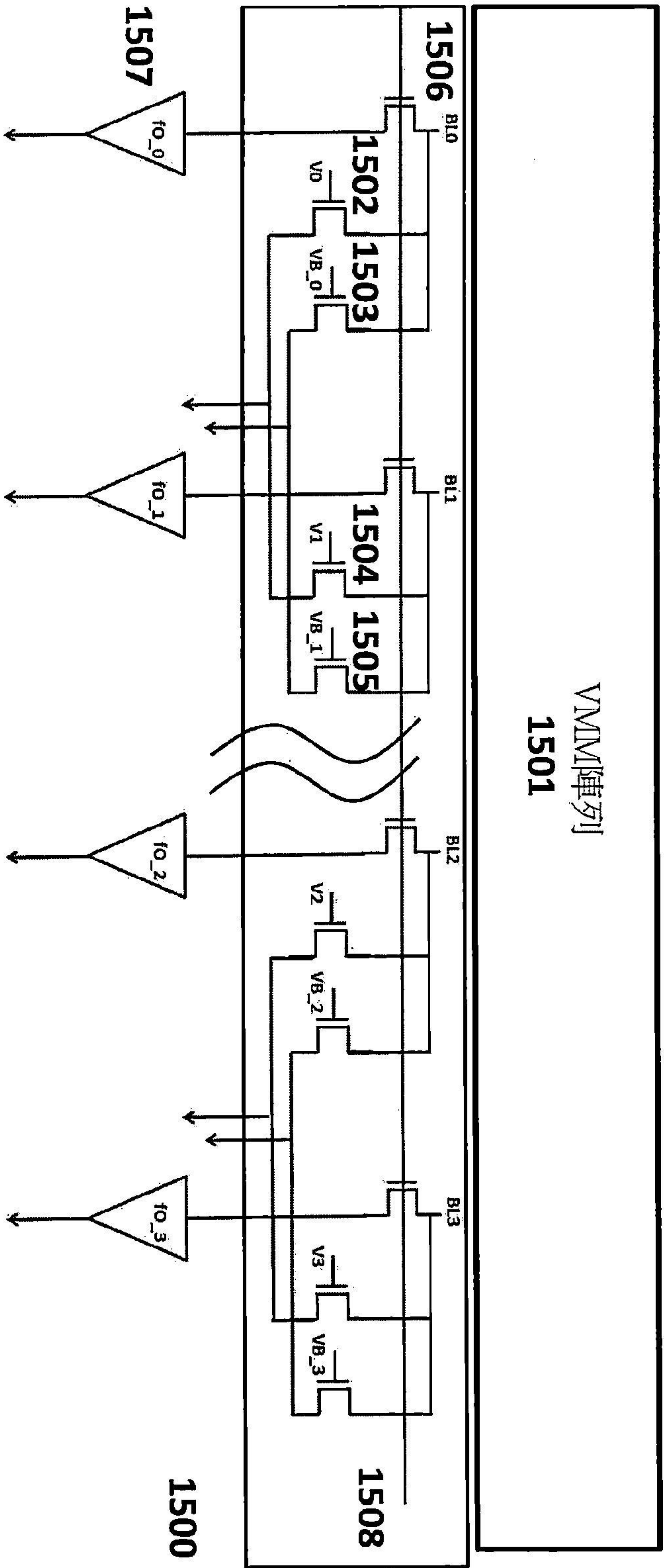


圖16

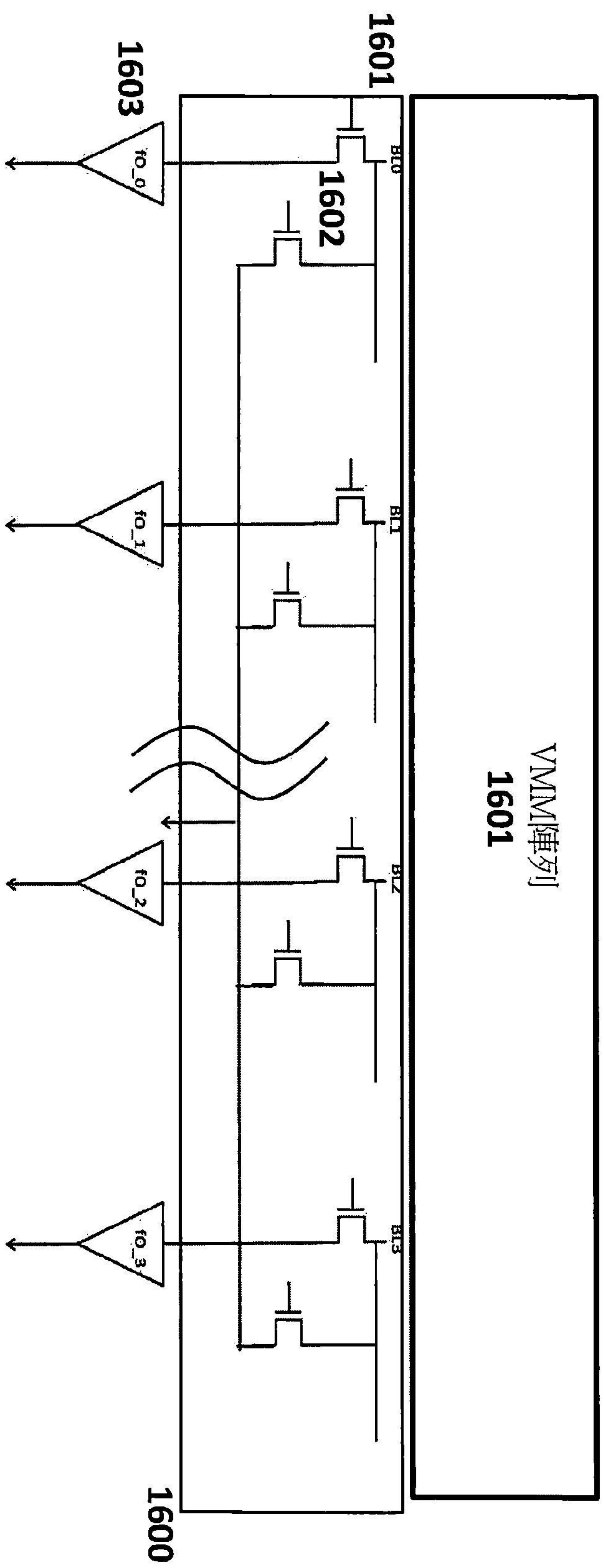


圖 17

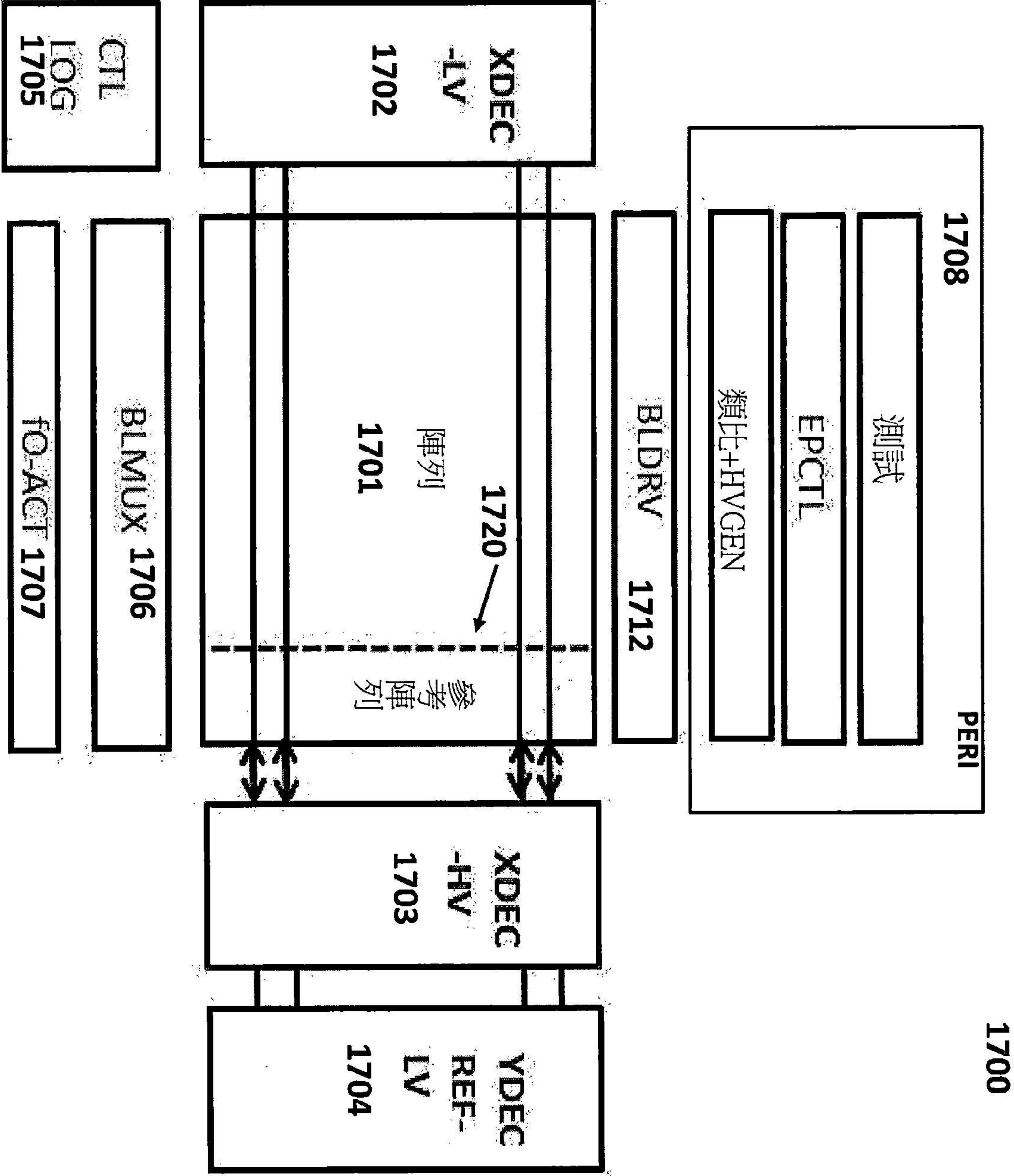


圖 18

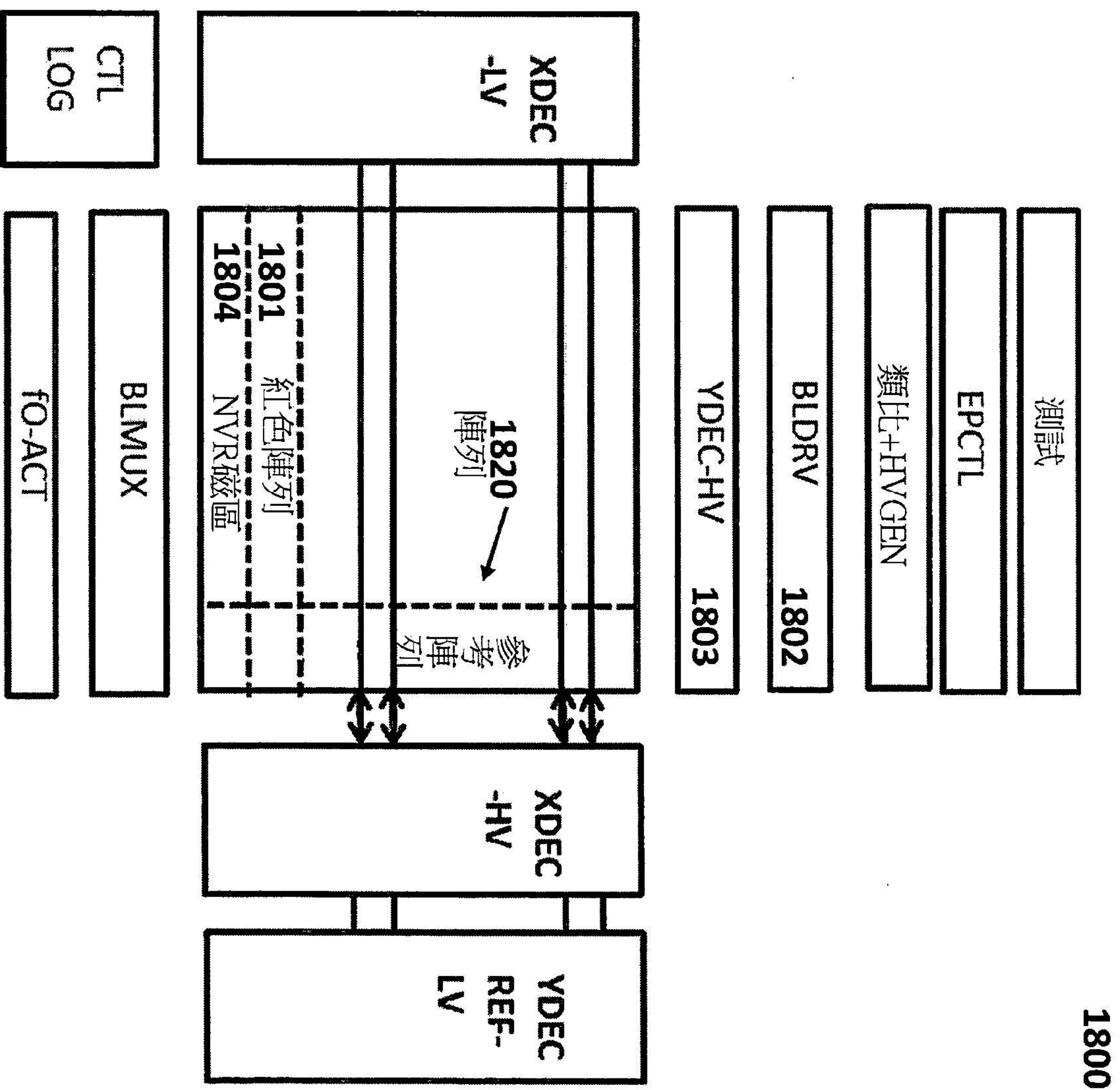


圖19

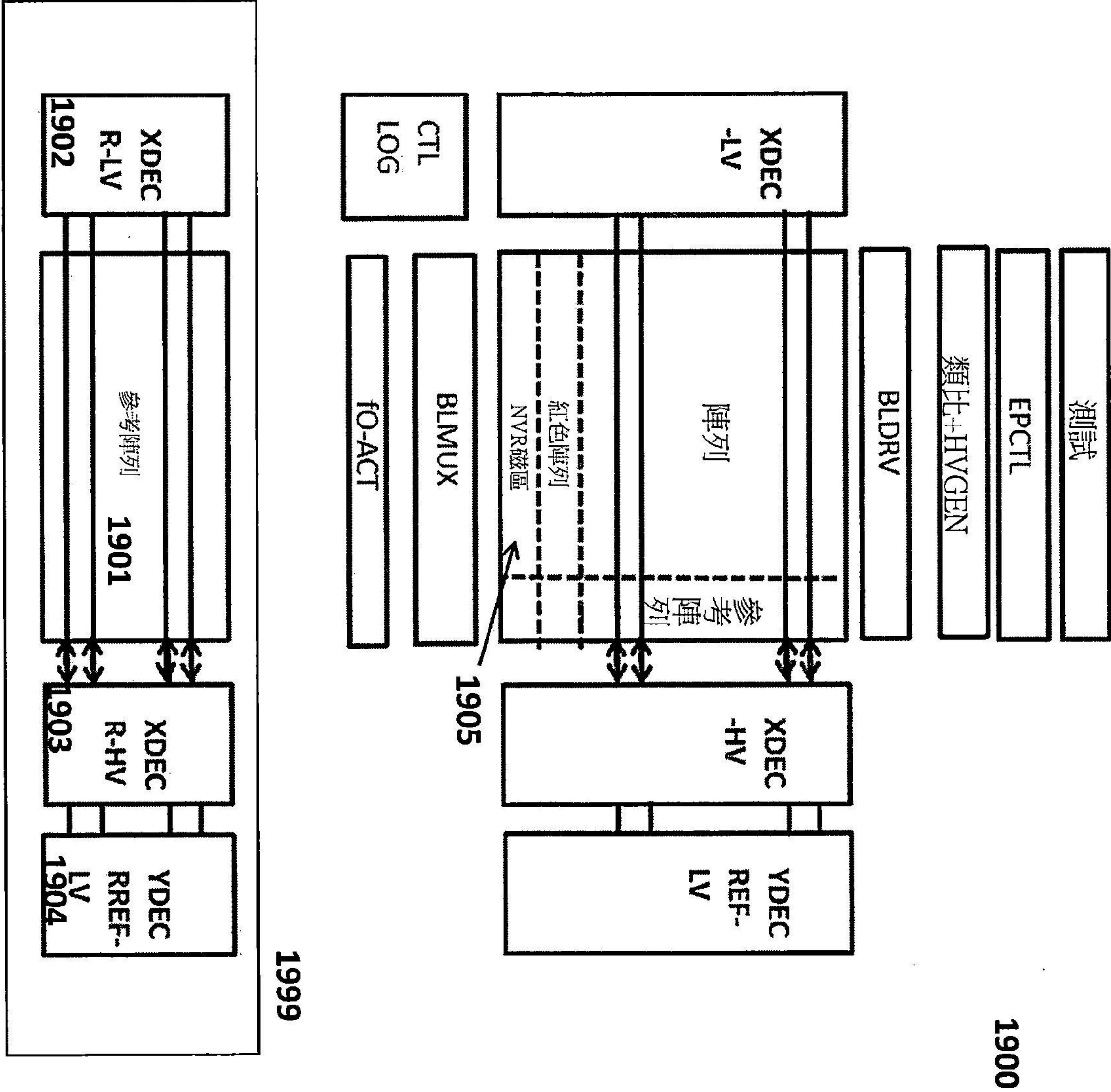


圖 20

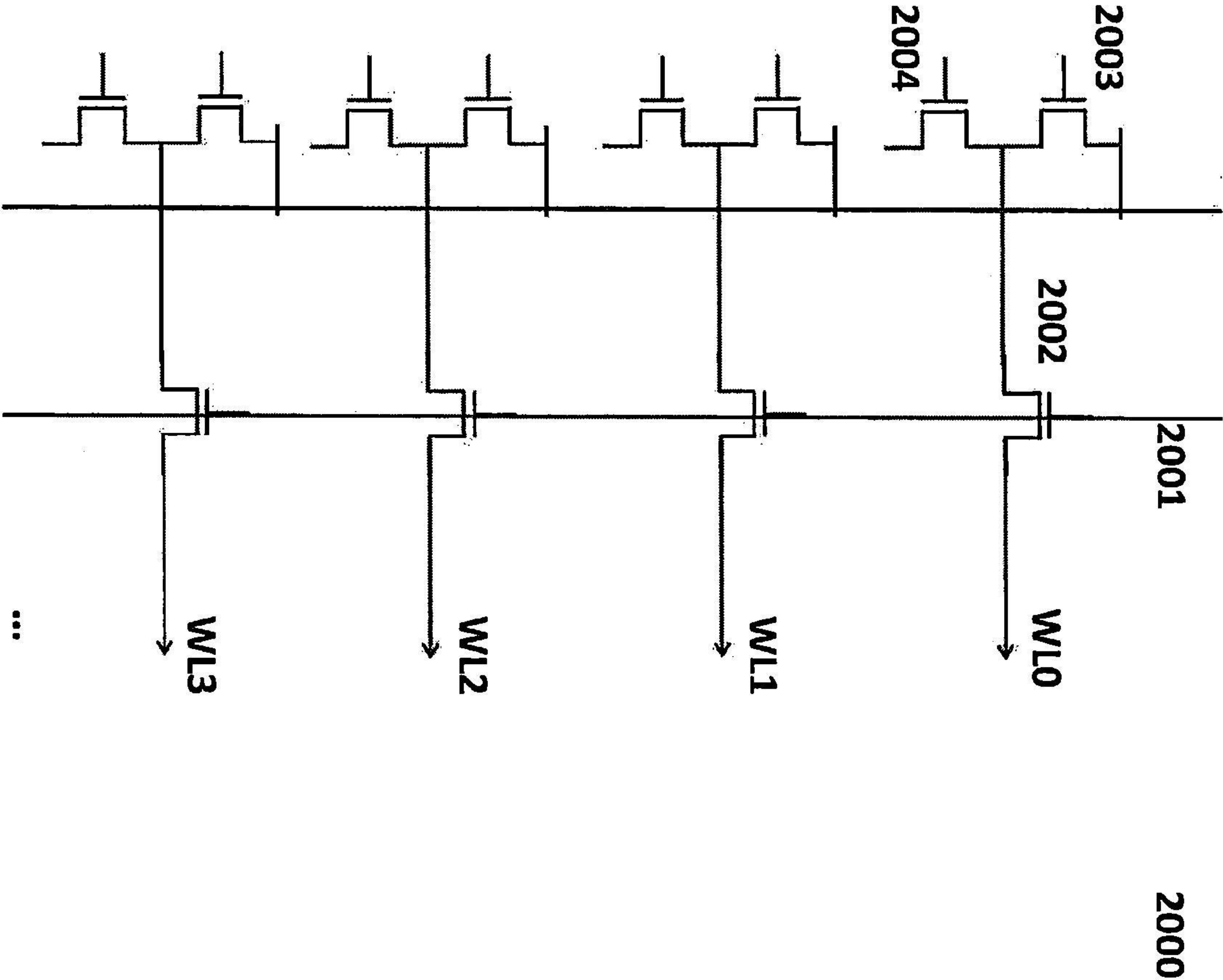


圖21

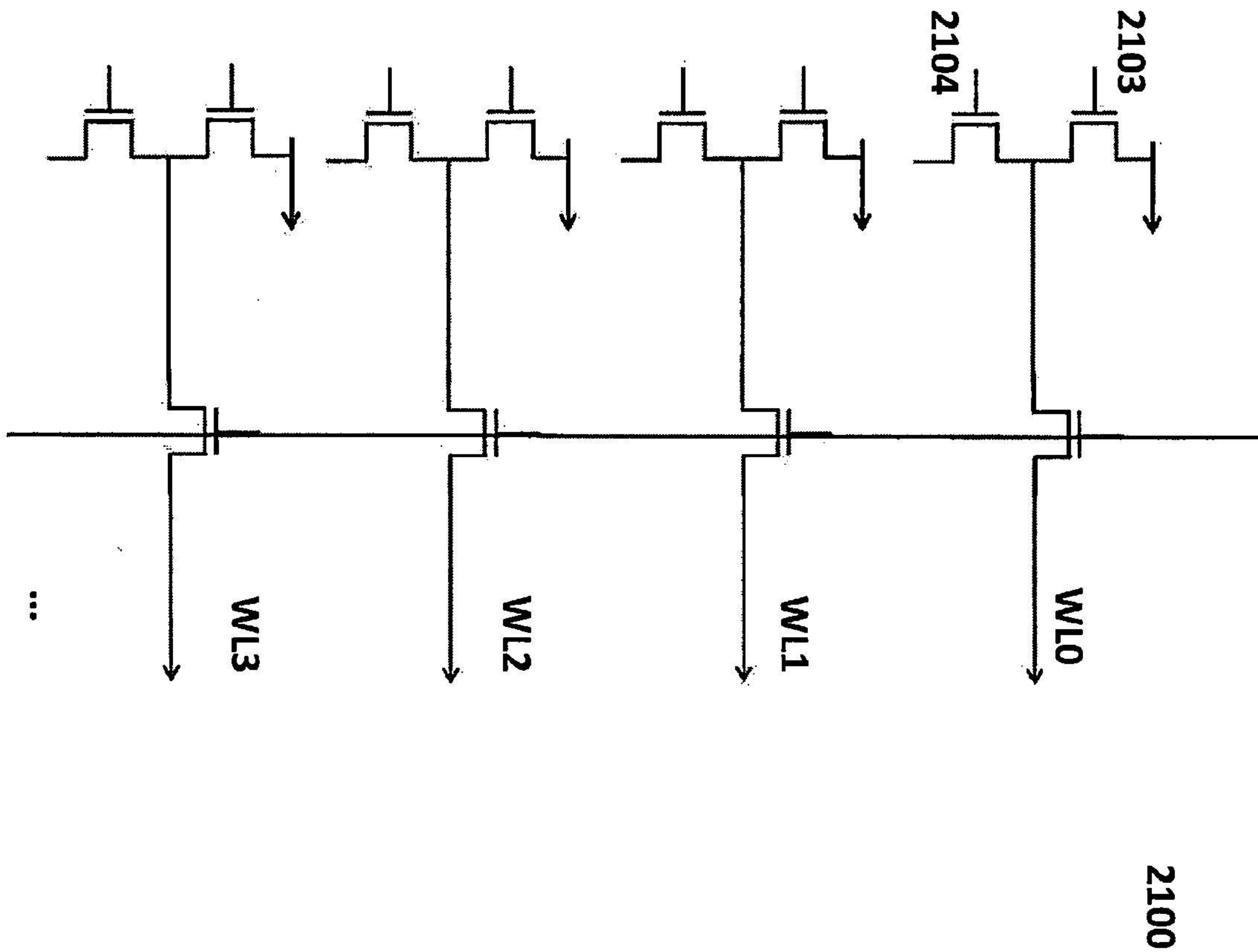


圖 22

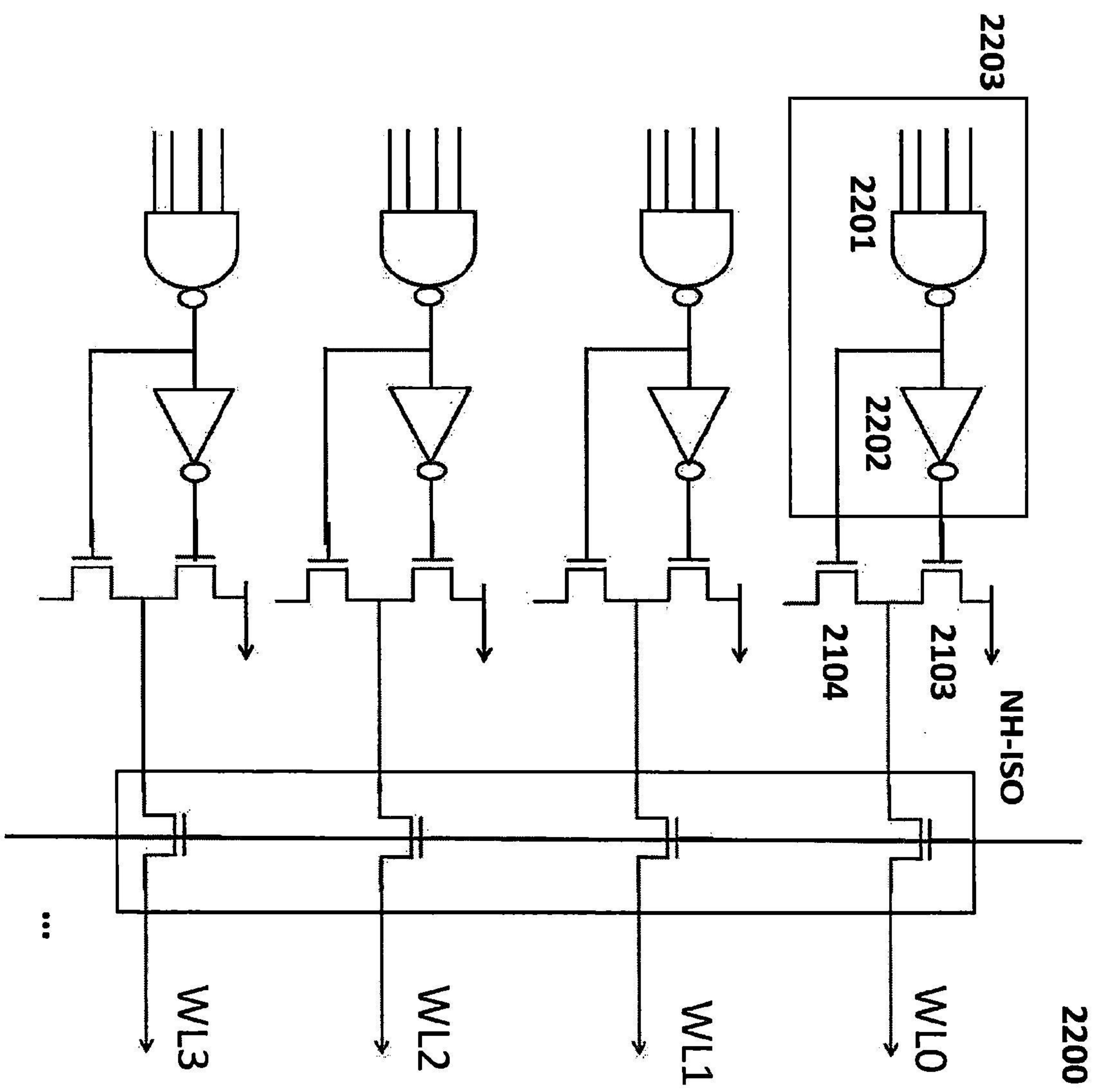


圖23

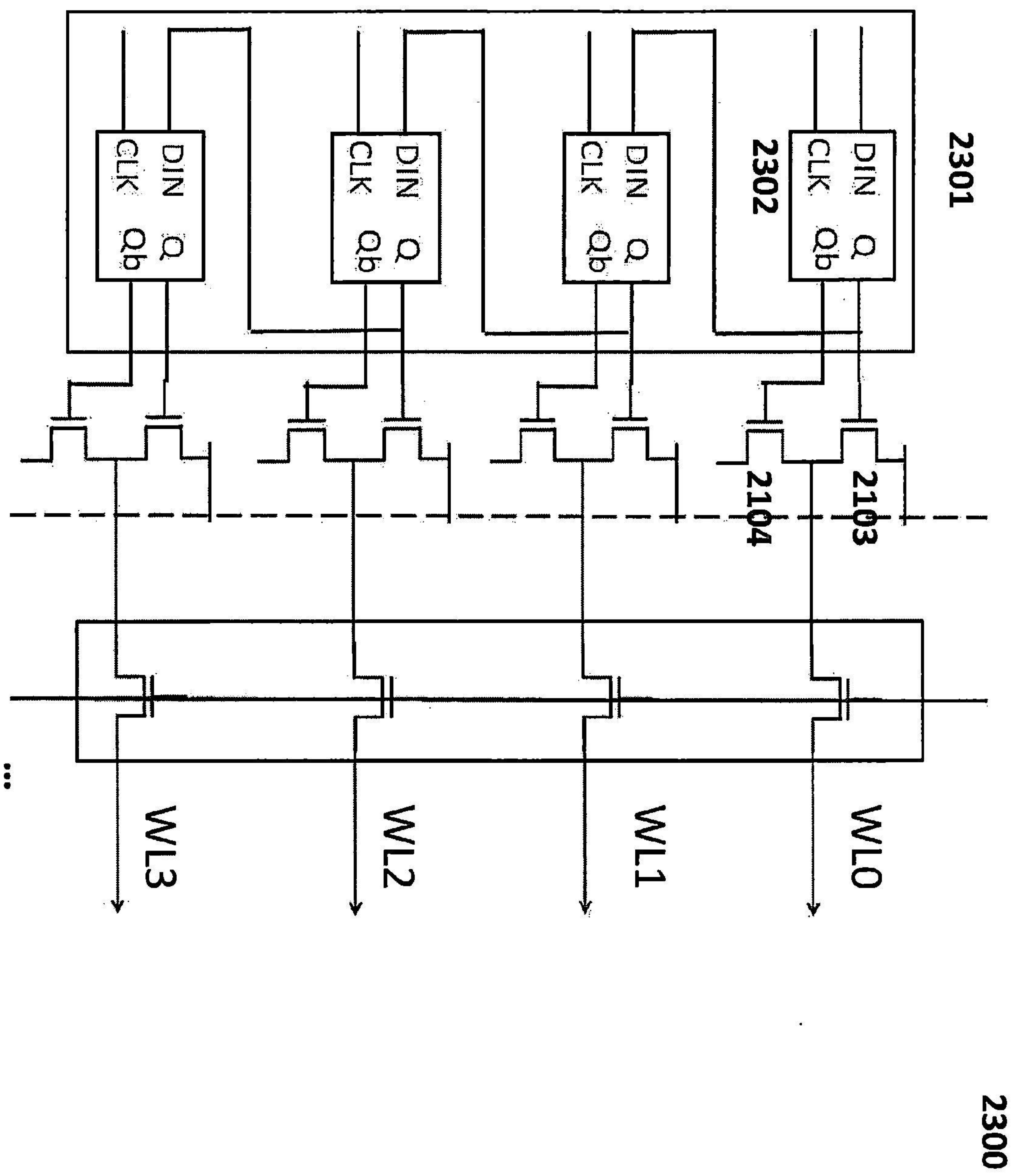


圖 24

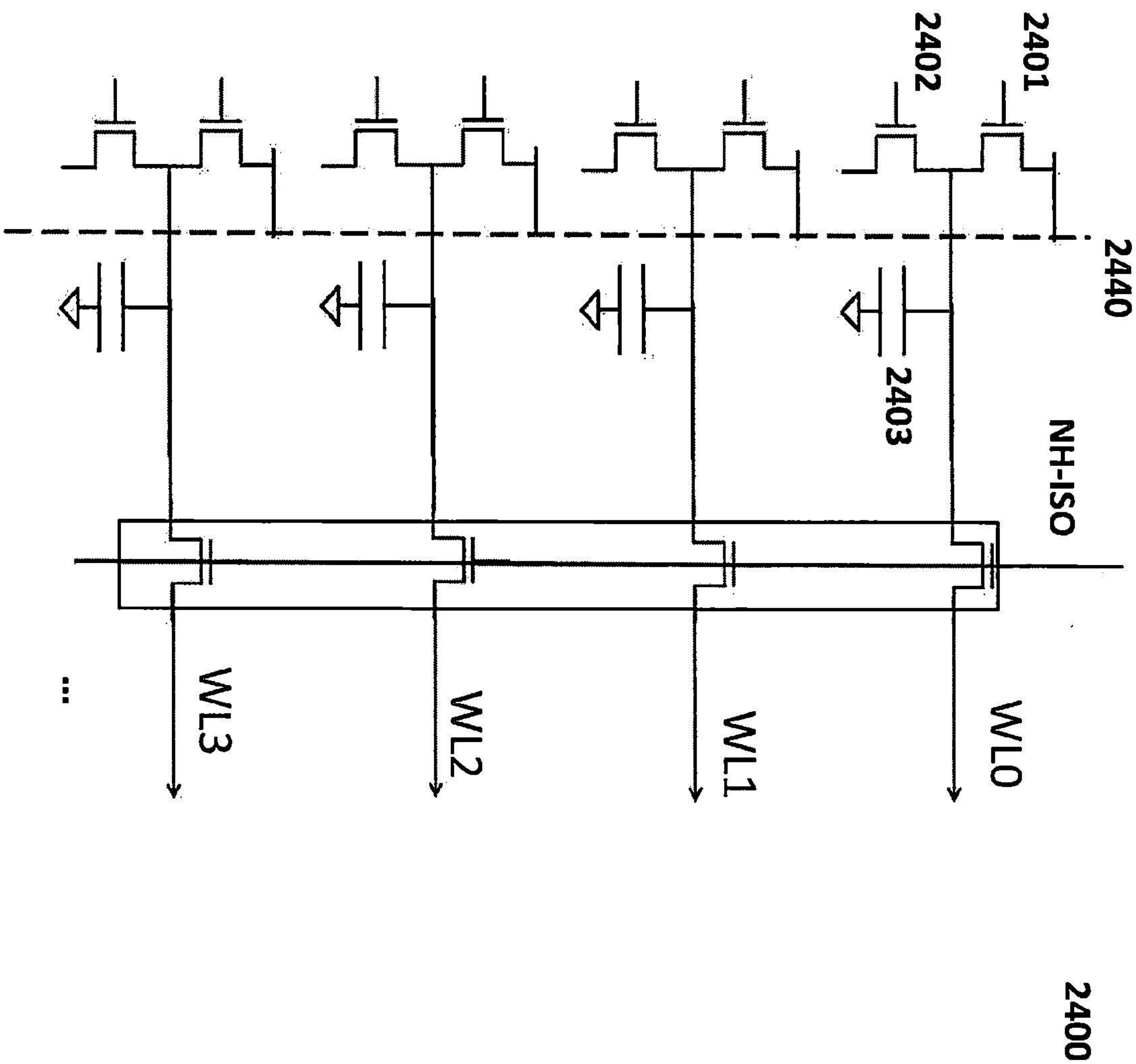


圖 25

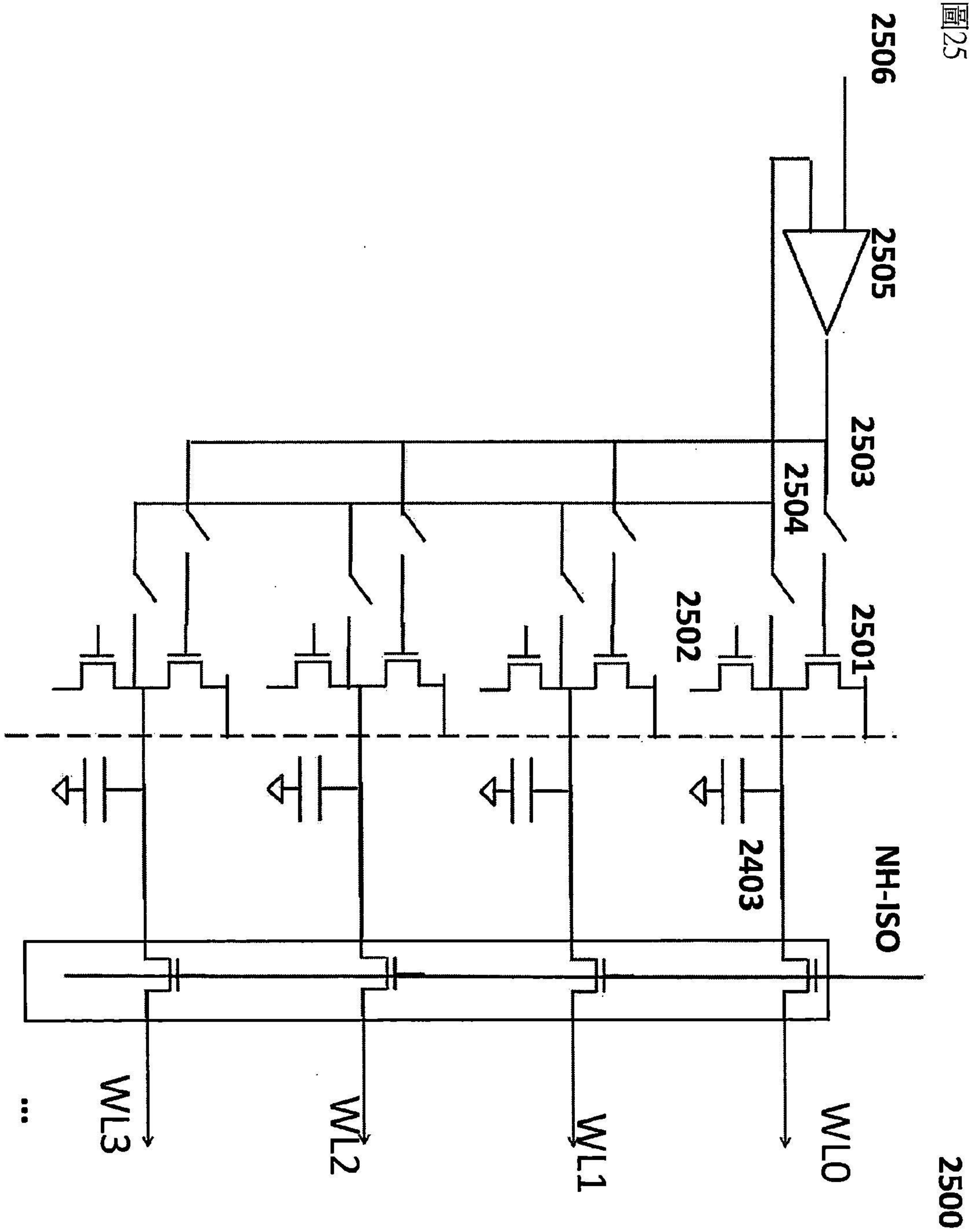


圖 26

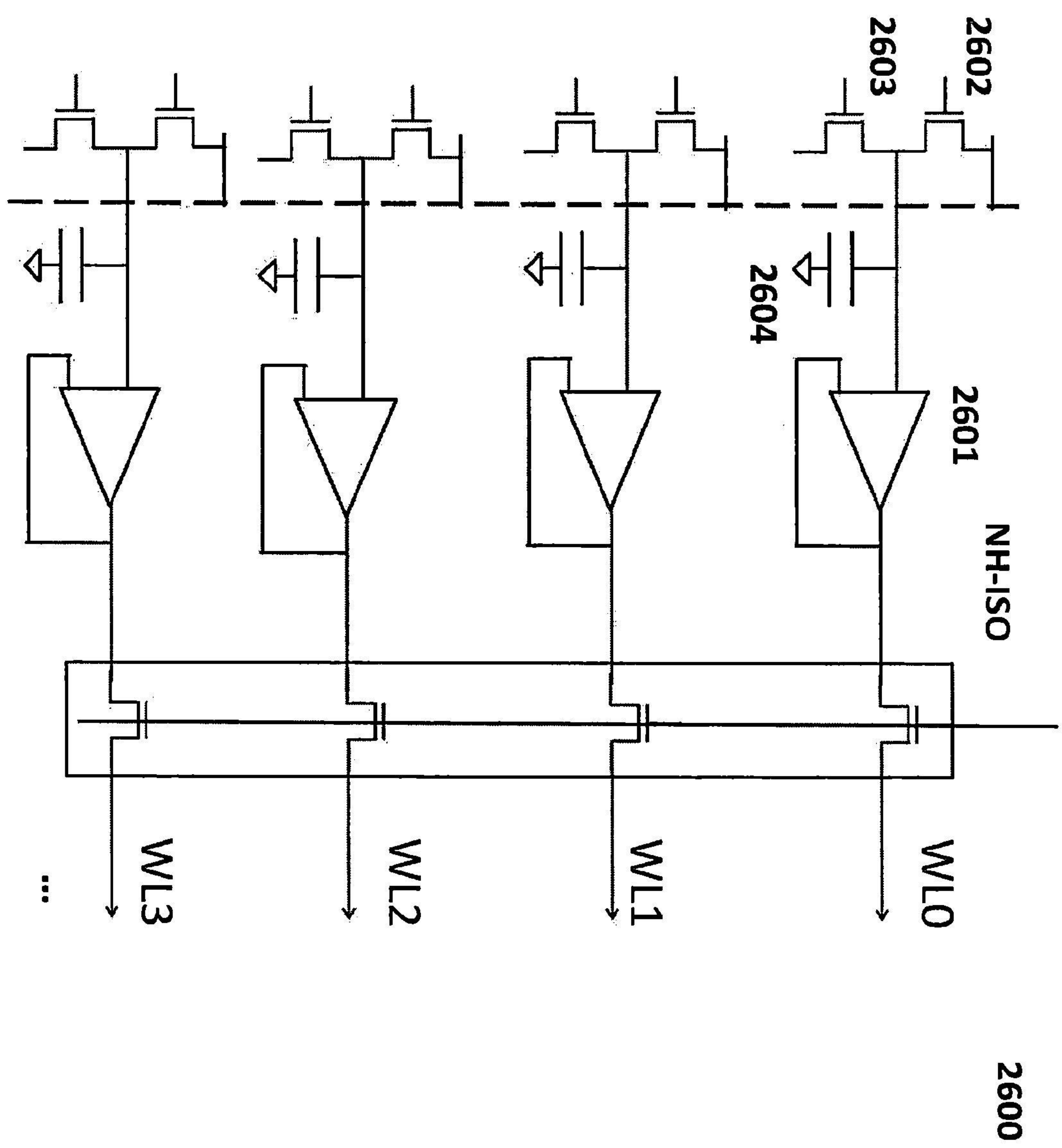


圖27

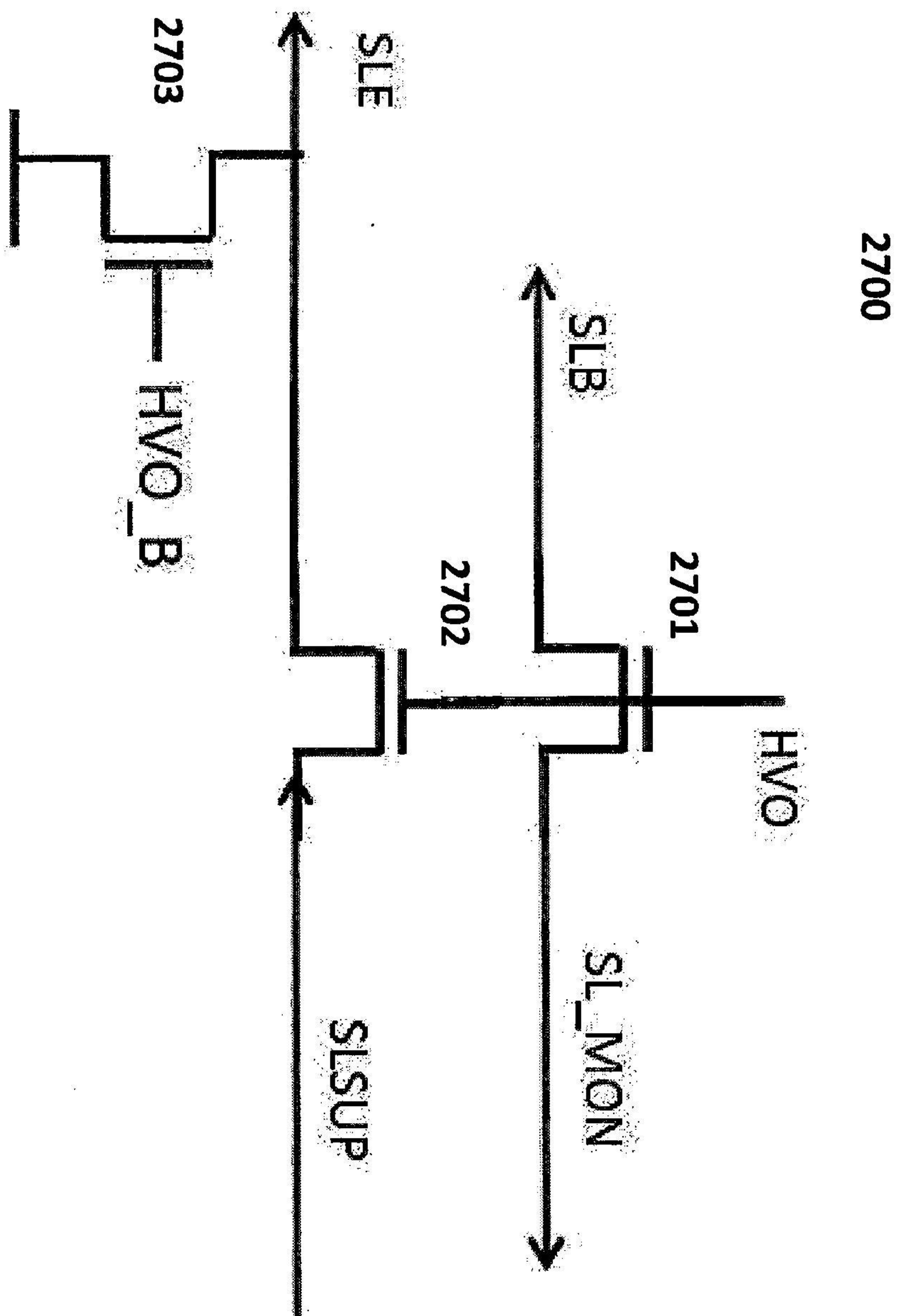


圖28

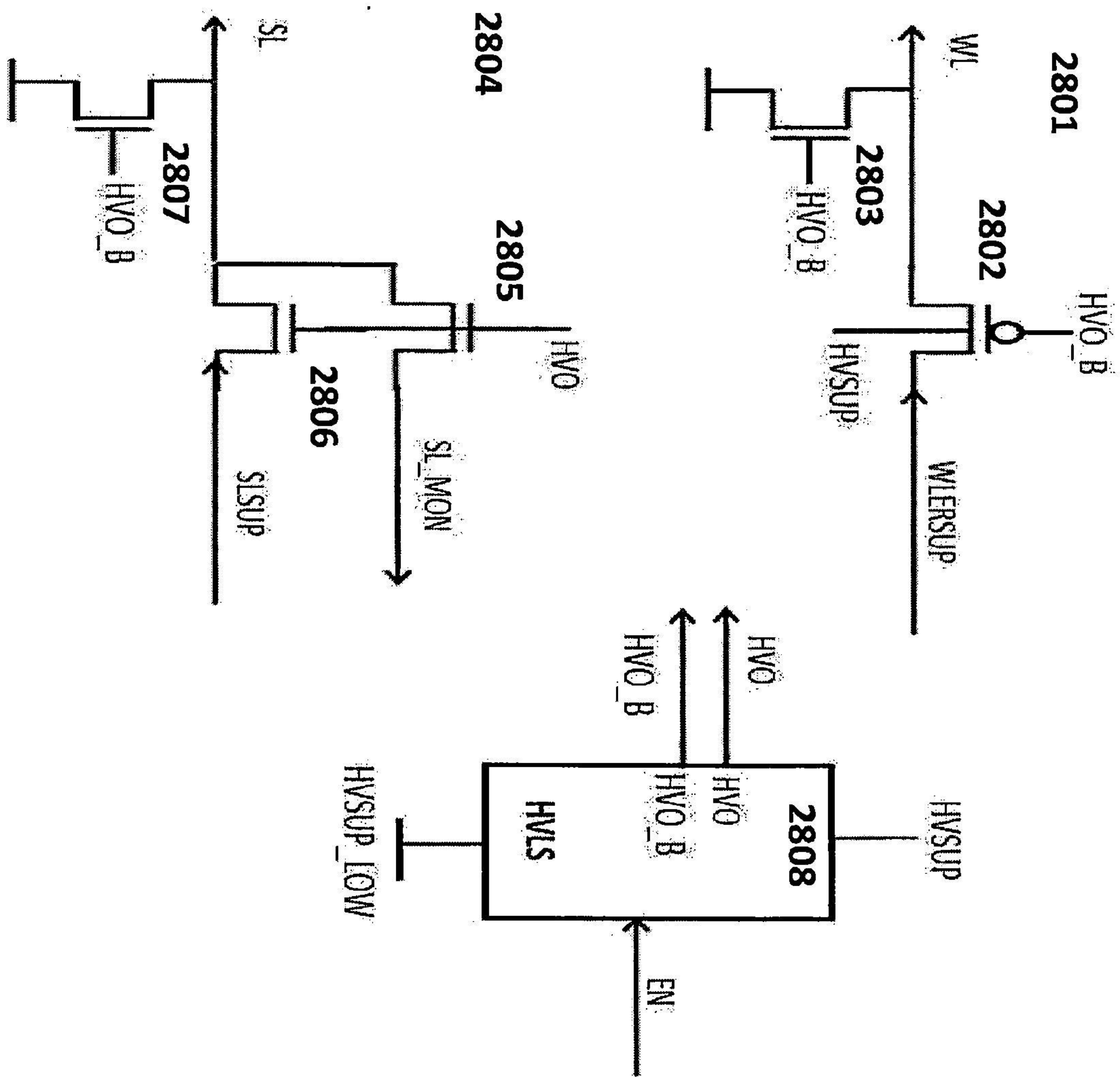


圖29

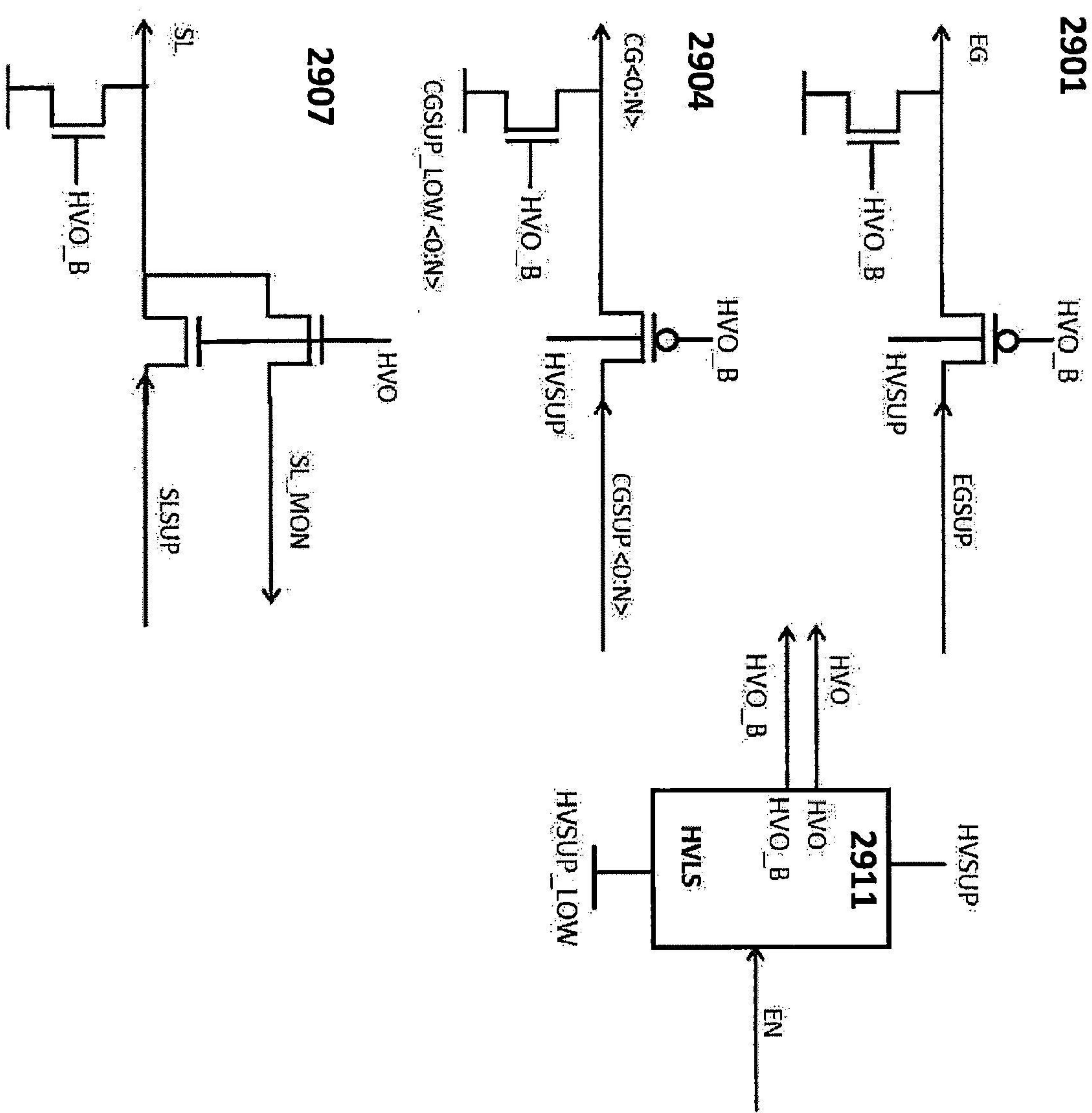


圖 30

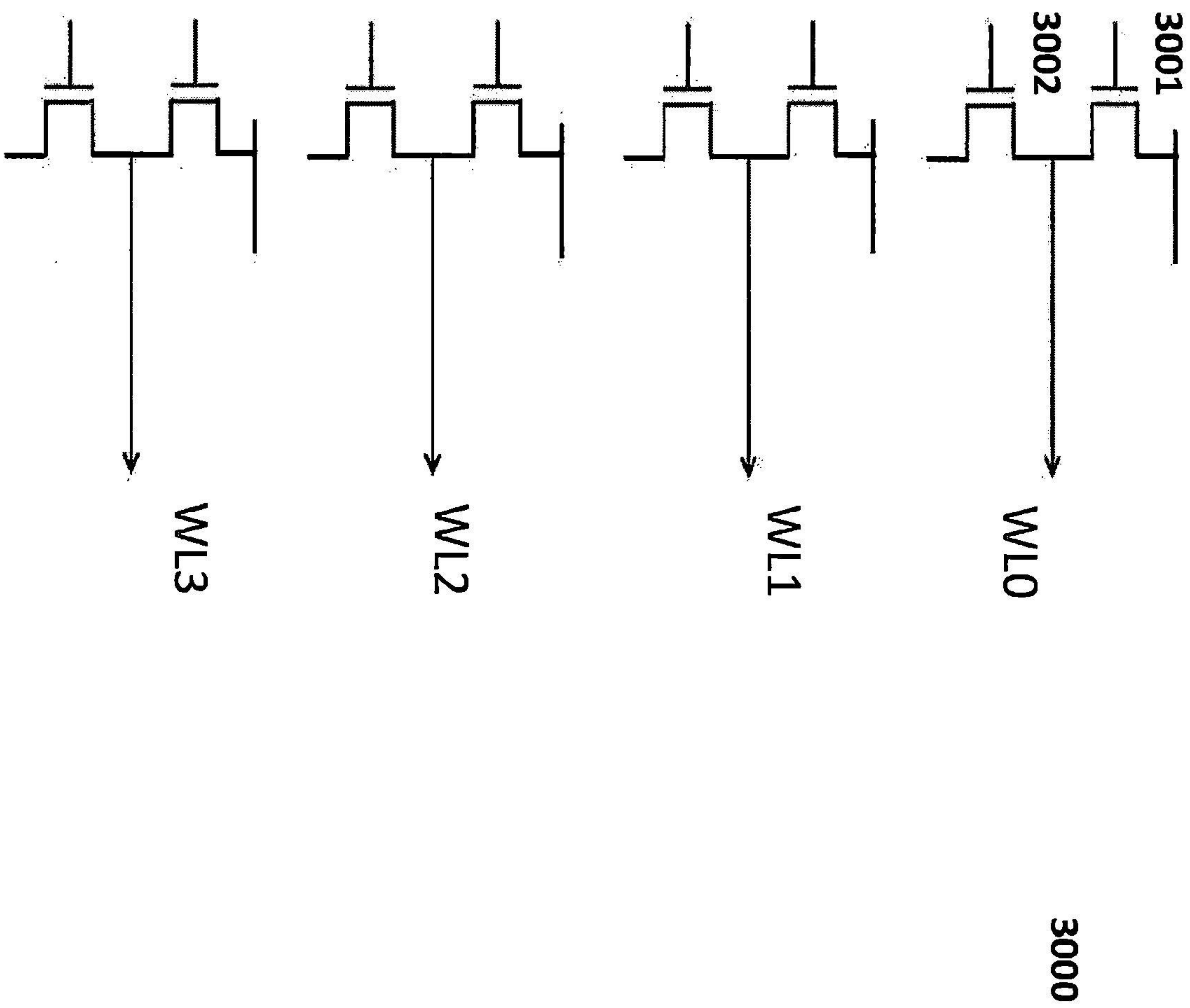


圖31

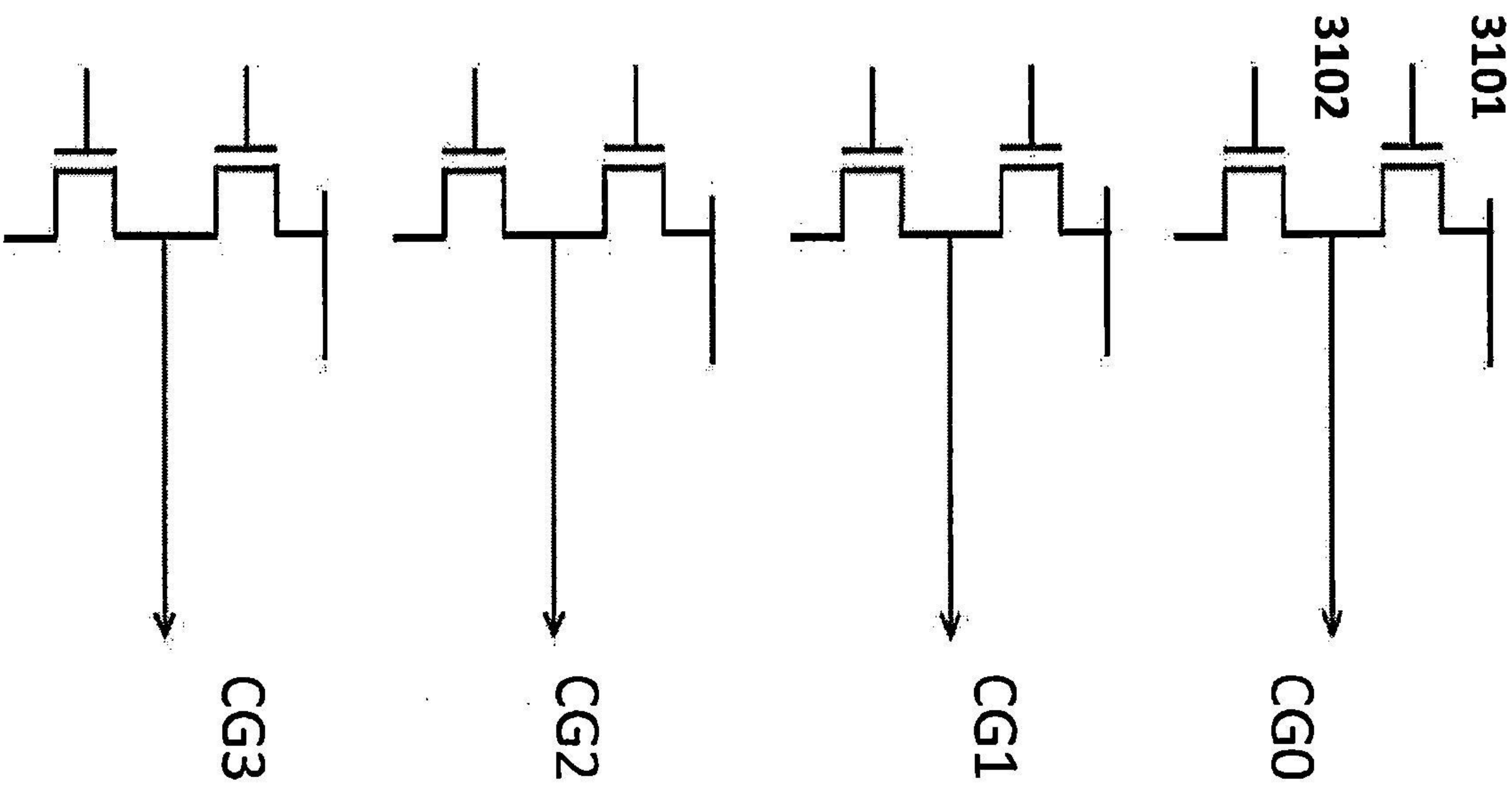
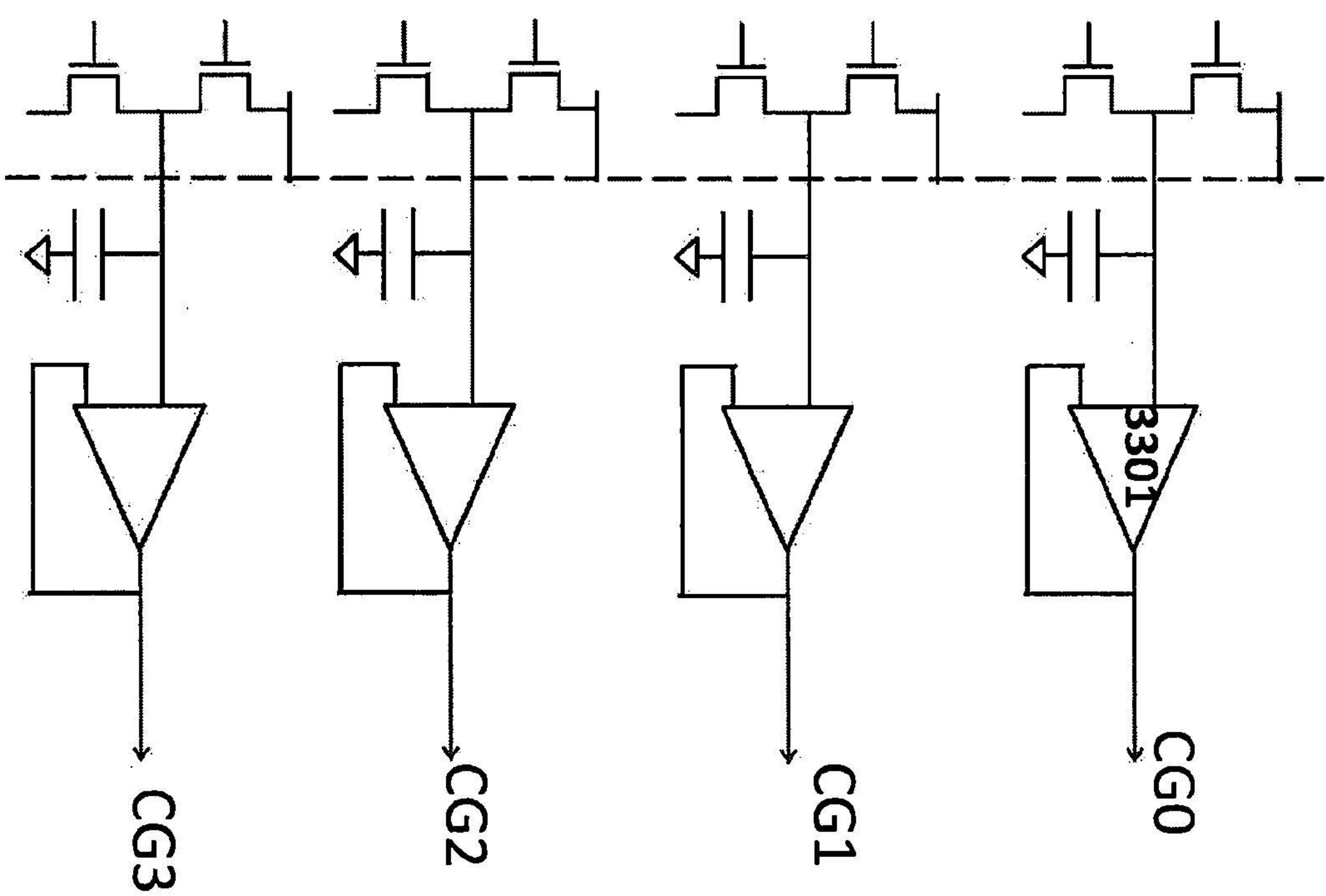


圖 33



3300

圖34

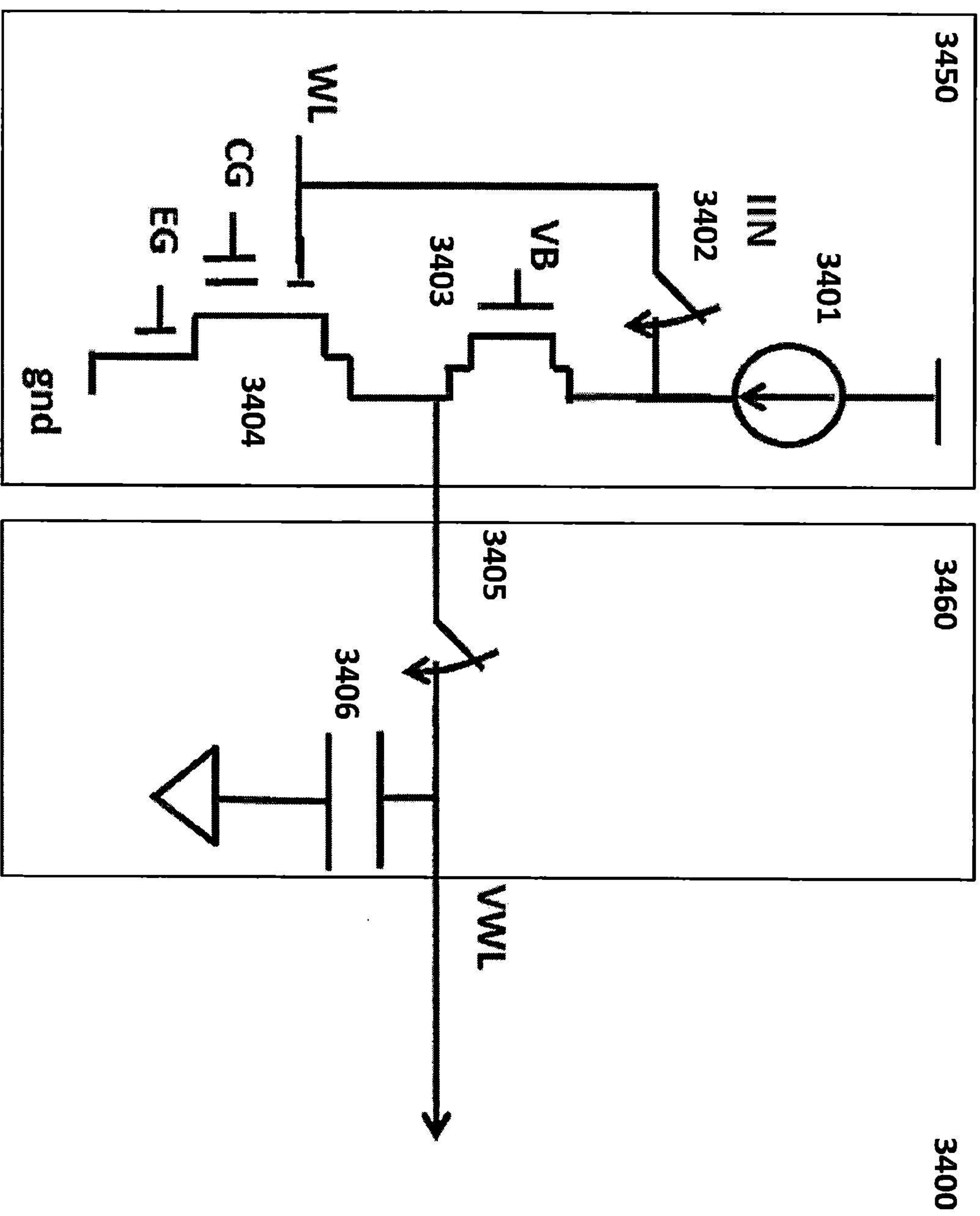


圖 35

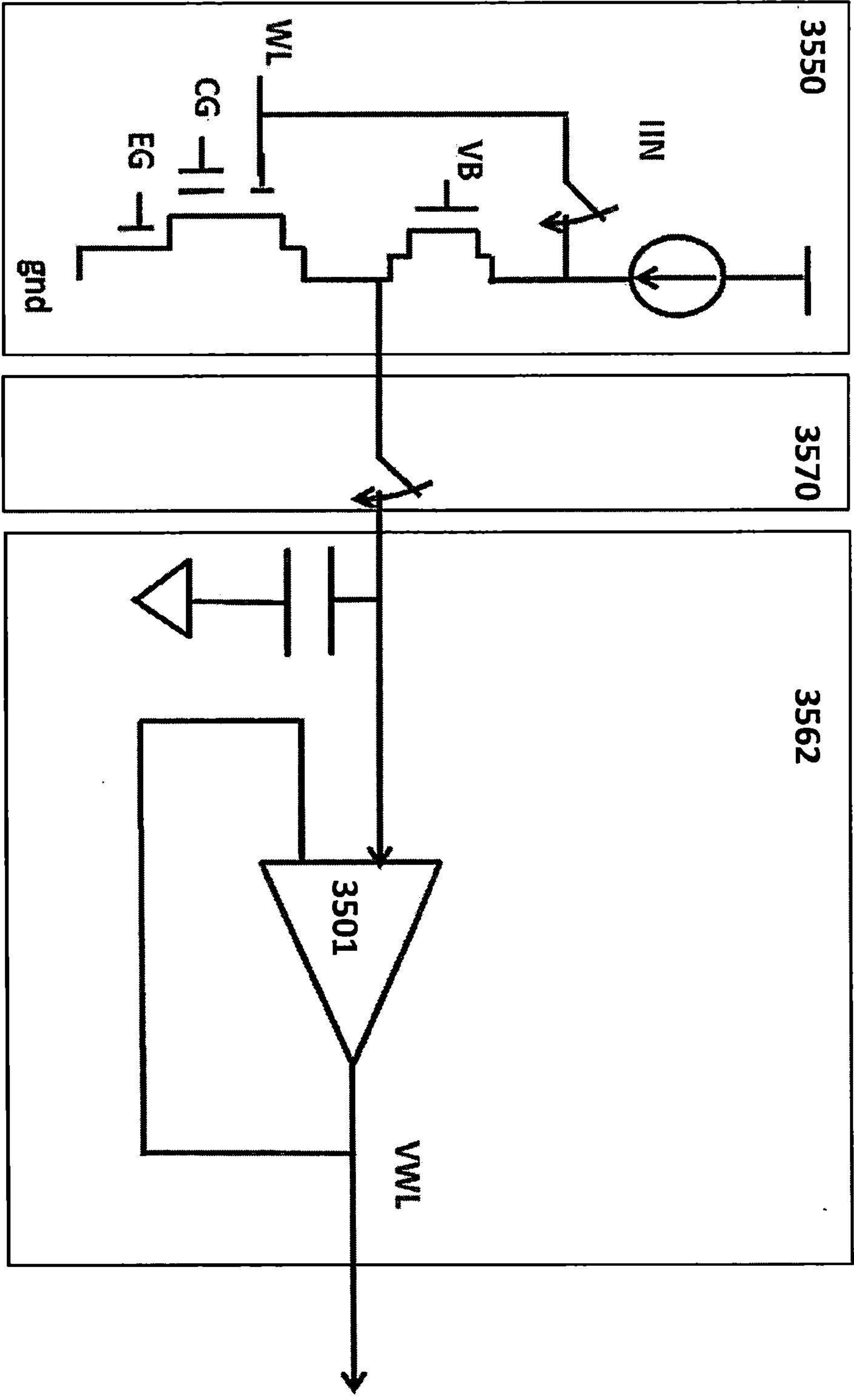
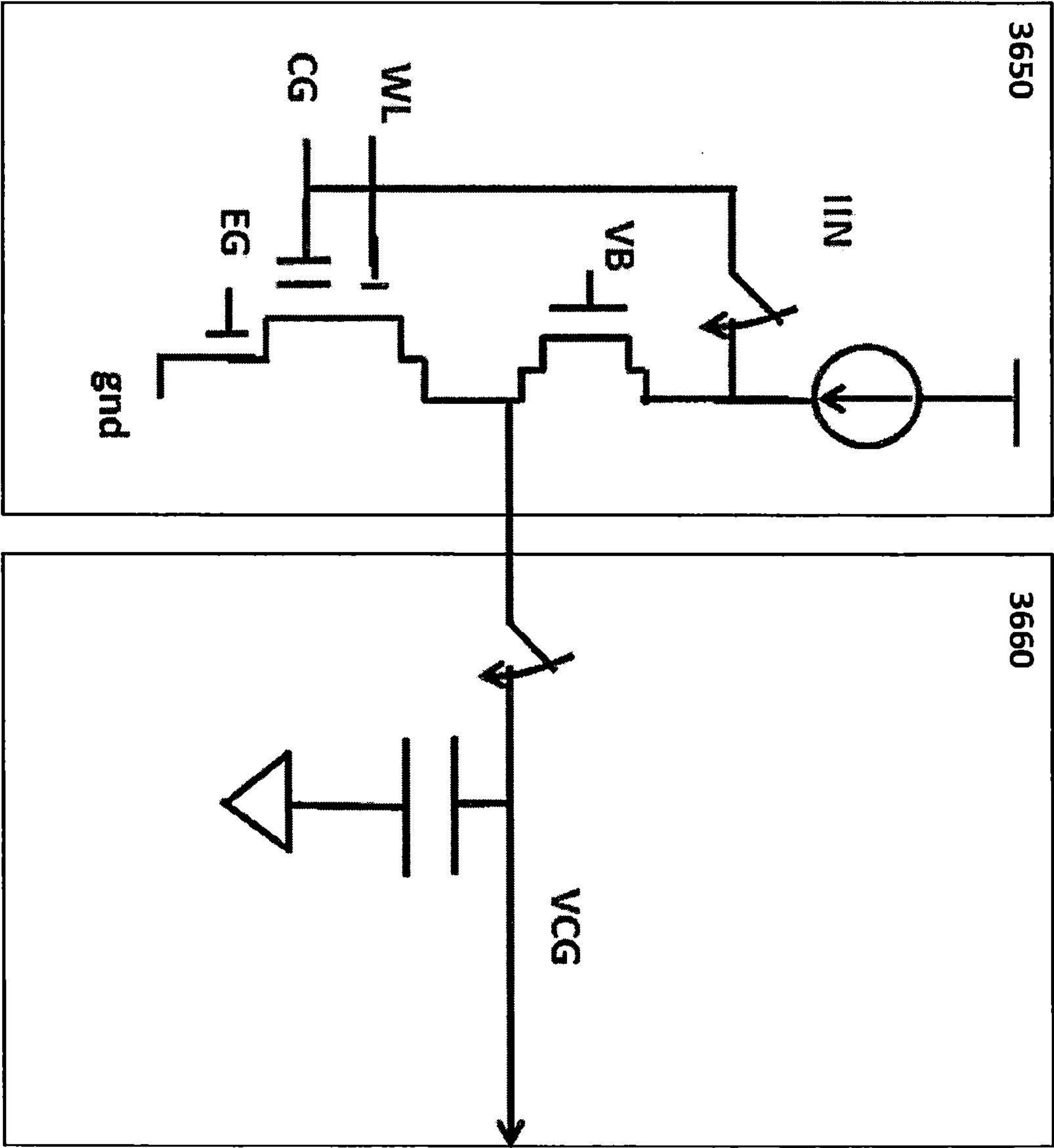
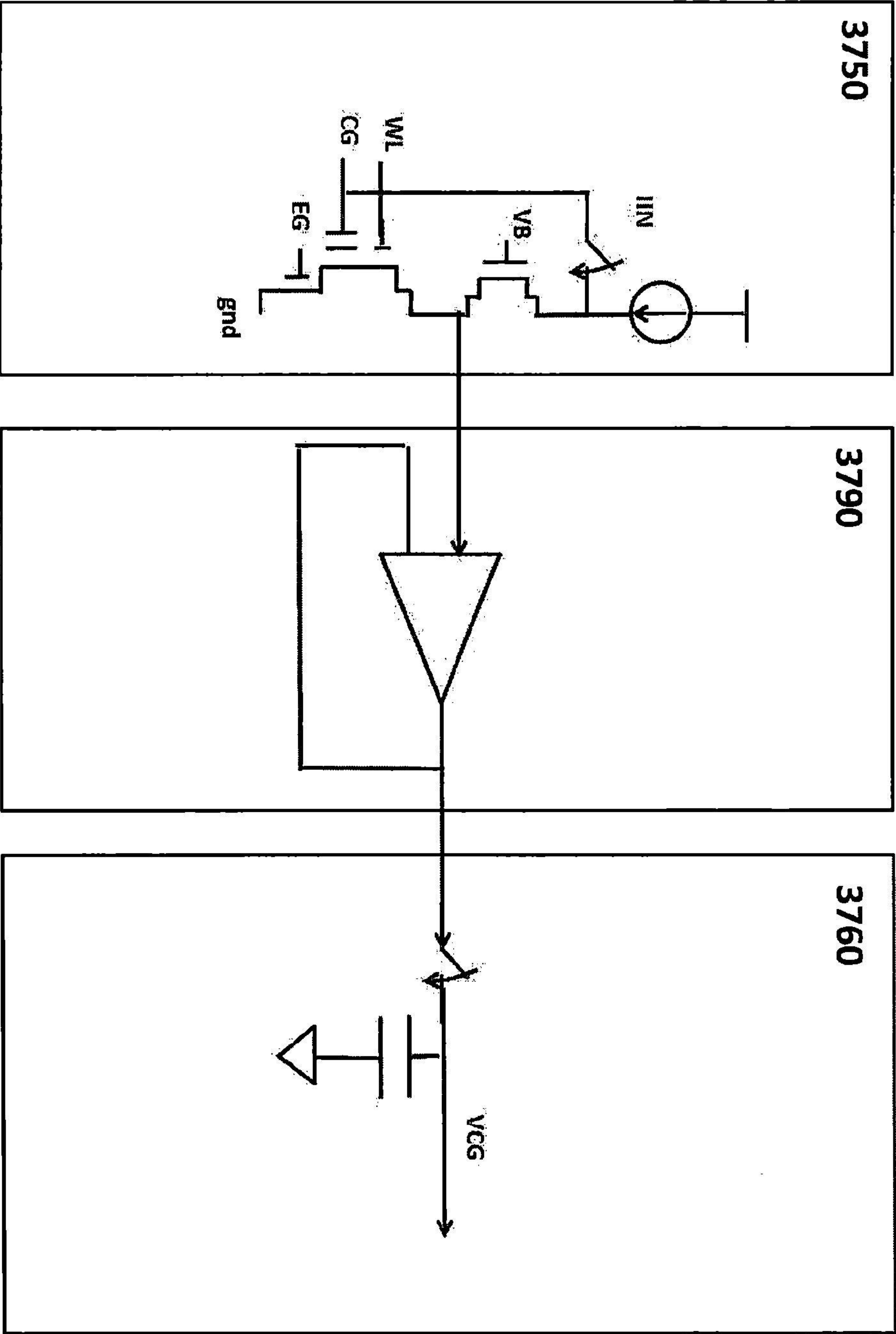


圖36



3600

圖 37



3700

圖 38

3800

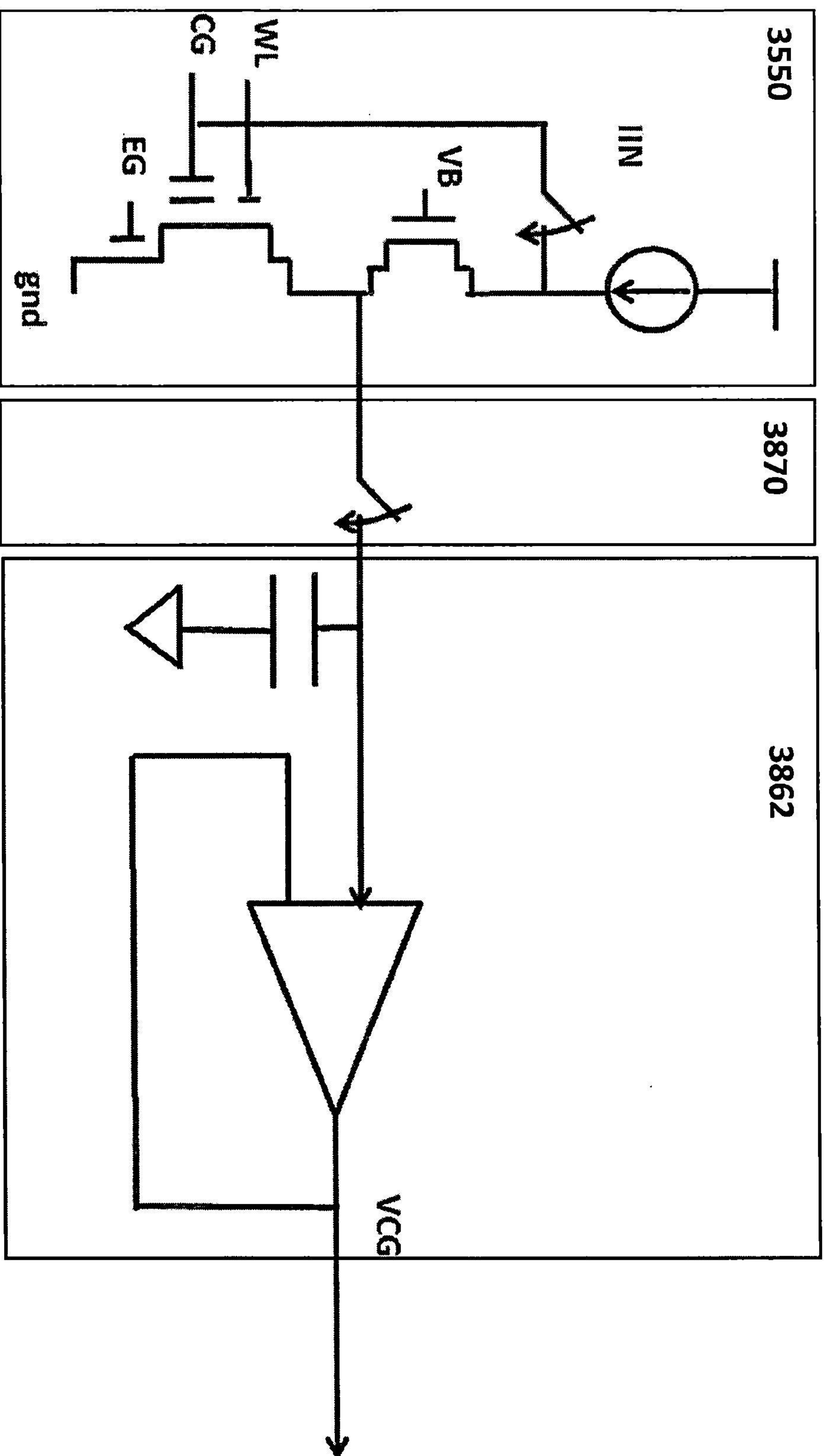


圖39

3900

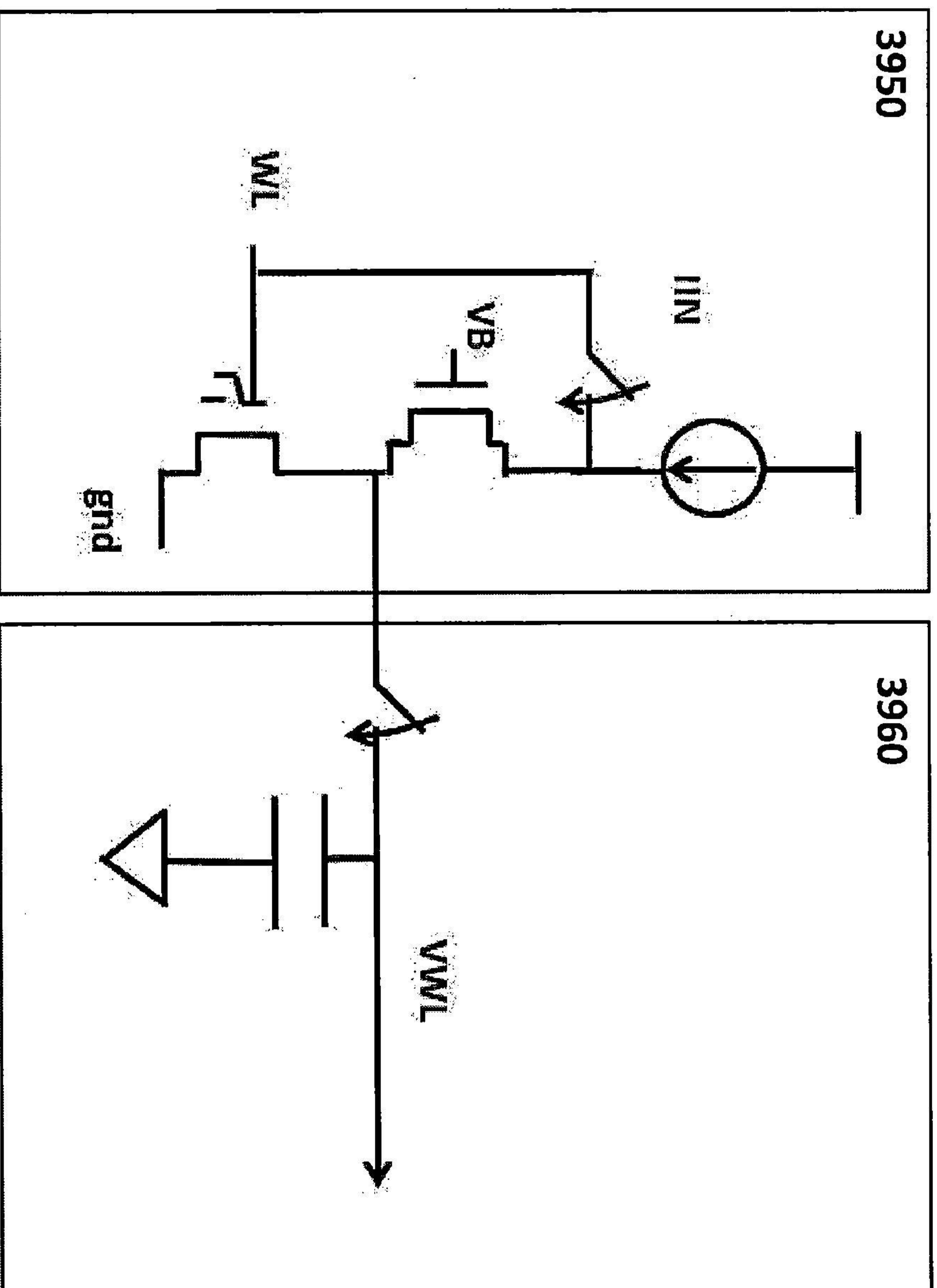
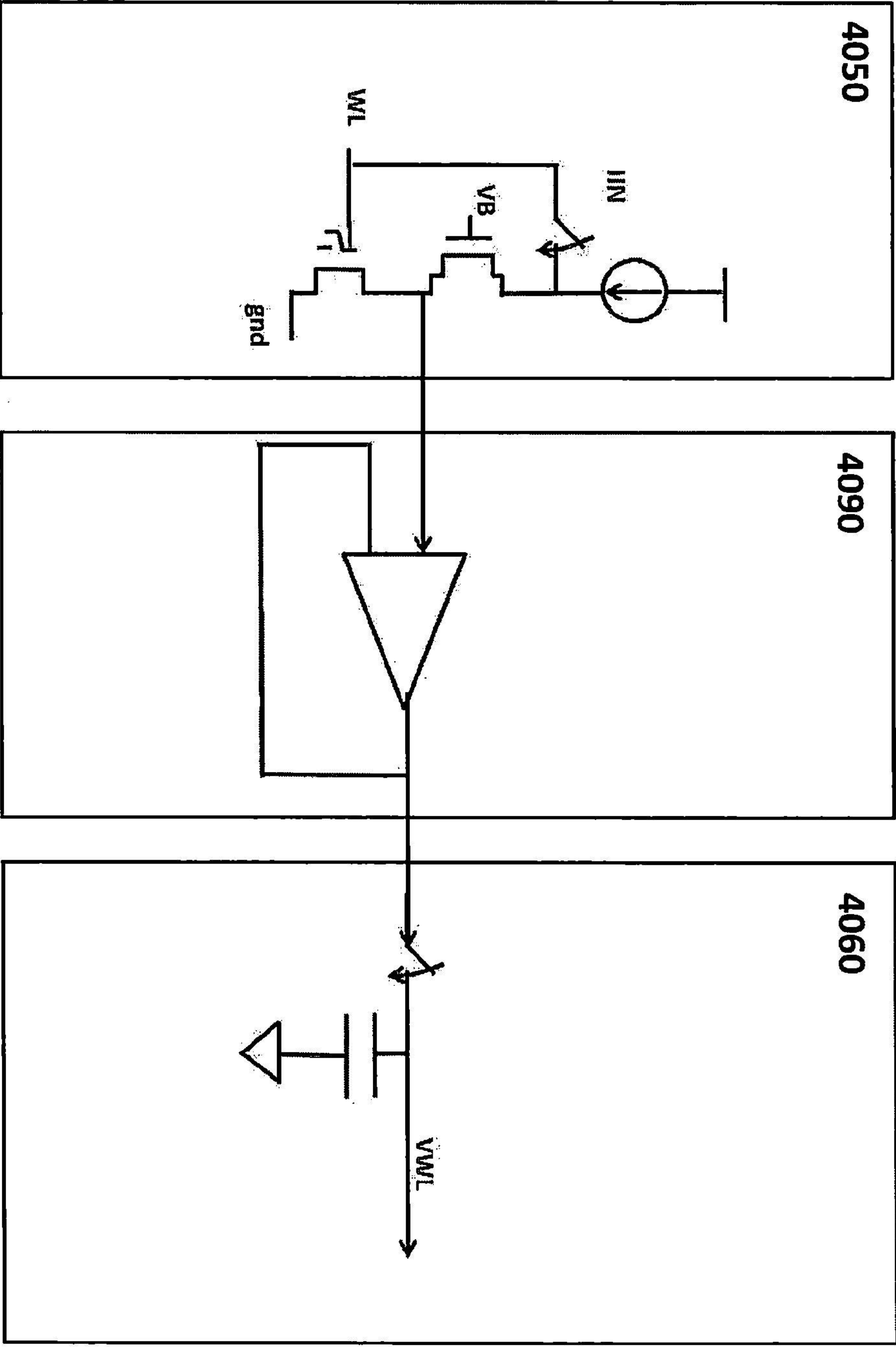
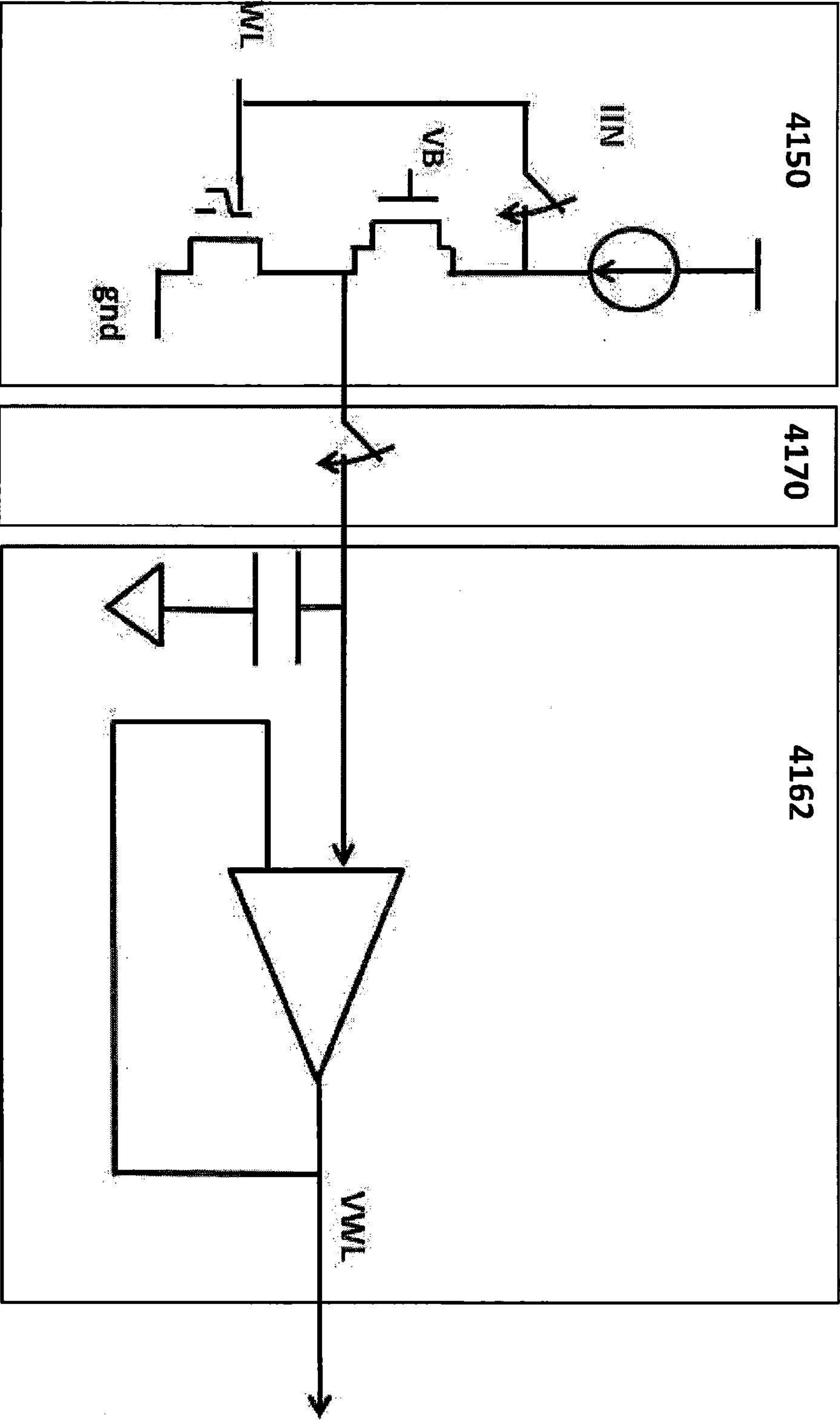


圖 40



4000

圖41



4100

圖42

	WL	WL-非選取	BL	BL-非選取	SL	SL-非選取
讀取	1-3.5V	-0.5V/0V	0.6-2V (100nA)	0.6V-2V/0V	0V	0V
抹除	~5-13V	0V	0V	0V	0V	0V
程式化	1-2V	-0.5V/0V	0.1-3 uA	Vinh ~2.5V	4-10V	0-1V/FILT

圖43

	WL	WL-非選取	BL	BL-非選取	SL	SL-非選取
讀取	1-3.5V	-0.5V/0V	0.6-2V	0.6V-2V/0V	~1V (1神經元)	0V
抹除	~5-13V	0V	0V	0V	0V	SL-抑制 (~4-8V)
程式化	1-2V	-0.5V/0V	0.1-3 uA	Vinh ~2.5V	4-10V	0-1V/FLT

• • • • •

圖44

	WL	WL-非選取	BL	BL-非選取	CG	CG-非選取相同 區段	CG-非選取	EG	EG-非選取	SL	SL-非選取
讀取	1.0-2V	-0.5V/0V	0.6-2V (1神經元)	0V	0-2.6V	0-2.6V	0-2.6V	0-2.6V	0-2.6V	0V	0V
抹除	0V	0V	0V	0V	0V	0-2.6V	0-2.6V	5-12V	0-2.6V	0V	0V
程式化	0.7-1V	-0.5V/0V	0.1-1uA	Vinh (1- 2V)	4-11V	0-2.6V	0-2.6V	4.5-5V	0-2.6V	4.5-5V	0-1V

圖45

	WL	WL-非選取	BL	BL-非選取	CG	CG-非選取相同 區段	CG-非選取	EG	EG-非選取	SL	SL-非選取
讀取	1.0-2V	-0.5V/0V	0.6-2V (頂神經元)	0V	0-2.6V	0-2.6V	0-2.6V	0-2.6V	0-2.6V	0V	0V
抹除	0V	0V	0V	0V	0V	CGINH (4-9V)	0-2.6V	5-12V	0-2.6V	0V	0V
程式化	0.7-1V	-0.5V/0V	0.1-1uA	Vinh (1-2V)	4-11V	0-2.6V	0-2.6V	4.5-5V	0-2.6V	4.5-5V	0-1V