(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/31

(45) 공고일자 2002년12월26일
(11) 등록번호 10-0351489
(24) 등록일자 2002년08월22일

(21) 출원번호 10-1995-0021877
(22) 출원일자 1995년07월24일

(65) 공개번호 특1996-0005768
(43) 공개일자 1996년02월23일

(30) 우선권주장 08/280,103 1994년07월25일 미국(US)

(73) 특허권자 애질런트 테크놀로지스, 인크.
미합중국 캘리포니아 (우편번호 94306-2024) 팔로 알토 페이지 밀로드 395

(72) 발명자 폴리스만
미합중국캘리포니아94306팔로앨토라구나코트3509
제임스비.크루거
미합중국캘리포니아94019하프문베이켈리애비뉴164
제이.레온소헷
미합중국위스콘신53705매디슨알링톤플레이스1937

(74) 대리인 김창세
장성구

심사관 : 신창우

(54) 반도체기판내에회로및매립절연층을형성하는방법

요약

통상 이산화 실리콘층인 매입 절연체층을 형성하는 방법 및 장치는, 반도체 웨이퍼의 노출된 영역으로 이온을 균일하게 주입하기 위해 플라즈마 소스 이온 주입을 사용하는 것을 포함한다. 실리콘-온-절연체(SOI) 구조는, 매입 절연체층 위의 얇은 반도체층에 집적회로를 제조하기 전에 어닐링 공정을 실시함으로써 형성된다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 반도체 기판의 플라즈마 소스 이온 주입 장치의 블럭도,

도 2는 도 1의 장치를 사용하여 산소가 주입된 실리콘 웨이퍼의 샘플에 대한 오거 전자 스펙트럼(Auger electron spectrum)을 도시한 도면,

도 3은 도 1의 장치를 사용하여 산소가 주입된 제 2의 반도체 웨이퍼 샘플의 산소 농도 프로파일의 2차원적인 이온 질량 분광법(secondary ion mass spectroscopy:SIMS)을 도시한 도면,

도 4는 동일한 제 2의 샘플에 대해 단지 어닐링만을 행한 후의 SIMS 산소 농도 프로파일을 도시한 도면,

도 5는 도 4의 실리콘-온-절연체 구조체의 측단면도,

도 6은 상부 실리콘 층에 형성된 트랜지스터를 갖는 도 5의 구조의 측단면도.

도면의 주요 부분에 대한 부호의 설명

10 : 플라즈마 소스 이온 주입 장치 12 : 진공 챔버

14 : 플라즈마 소스 16 : 공급 장치

18 : 밸브 20 : 인입 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치 제조에 관한 것으로, 특히 반도체 기판내에 매립된 절연체 층을 형성하기 위한 방법 및 장치에 관한 것이다.

통상, 집적 회로의 제조시에 사용되는 실리콘 웨이퍼의 두께는 약 500 미크론이다. 일반적으로, 실리콘 웨이퍼의 최상층에 있어서의 처음의 몇 미크론 영역이 트랜지스터의 동작용으로 사용된다. 실리콘-온-절연체 기술은 실리콘 웨이퍼의 최상부 표면에 소자를 간편하게 형성하는 방법을 제공하고 있다. 간단히 언급하면, SOI는 pn 접합이 아닌, 절연체를 통해 소자를 완전히 에워싼다고 말할 수 있다.

SOI는 반도체 장치를 제조하는데 있어서 제조 공정상의 복잡성을 감소시킬 가능성을 가지고 있다. 더구나, 중요한 것은 SOI가 방사선에 대한 면역성이 존재하므로 우주 및 군사 분야에 적용된다는 것이다. pn 접합에서 감마선에 의해 과도 광전류가 생성되기 때문에 방사선이 많은 환경에서는 접합 절연이 그다지 효과적이지 못하다. SOI의 또다른 장점으로서는, SOI에 의해 형성된 반도체 소자의 감소된 정전 용량이 이전의 세대와 동일한 치수로 설계된 트랜지스터의 동작 속도를 증가시킨다는 것이다. 즉, 기생 용량이 감소되면 회로의 속도가 증가된다는 것이다. 회로 속도는 SOI 기술이 허용하는 마이크로칩의 사이즈를 감소시키는 것에 의해 더욱 증가된다.

SOI 구조는 웨이퍼 본딩을 사용하여 형성할 수 있다. 이 기술은 고온의 노(爐)를 사용하여 2개의 산화 실리콘 웨이퍼를 함께 녹인다. 이 기술은 여러 응용예에 있어서 바람직한 결과를 보이고 있지만, 이와 같은 방법은 비용이 많이 들며, 치수의 균일화를 달성하기 위한 해결 방법의 능력에 의해 제한을 받게 된다.

다른 SOI 기술로서는 주입된 산소에 의한 분리법(SIMOX 법)으로 지칭되는 것이 있다. 이 기술은 초고집적 CMOS 응용을 위한 유망한 후보로서 떠오르고 있다. SIMOX 웨이퍼는, 이득, 속도, 최대 동작 온도 및 전력 소비의 측면에서 중요한 장점을 제공하는 반도체 장치의 제조시에 사용되고 있다. 통상 SIMOX 웨이퍼는 1.8 $\times 10^{18}$ ions/cm2의 높은 도즈량, 150 내지 200KeV 등의 높은 에너지와 0^{+}의 이온 빔 주입에 의해 제조되어 왔다. 그러나, 저에너지(Low Energy) SIMOX 법(LES 법)으로 지칭되는 SIMOX 기술에 있어서의 최근의 기술 방법은, 바람직한 결과를 갖도록 20 내지 80 KeV의 범위의 저에너지에서 1 $\times 10^{17}$ ions/cm^2 내지 6 $\times 10^{17}$ ions/cm^2의 낮은 도즈량의 주입을 사용하고 있다. LES는, 20 KeV에서 전체 도즈량이 1.5 $\times 10^{17}$ ions/cm^2인 0^{+}의 이온 빔 주입과 그 후의 고온 어닐링에 의해, 12.5nm의 실리콘 오버레이어(overlayer)와 36nm의 매립된 실리콘 이산화물층을 갖는 SIMOX 웨이퍼를 형성할 수 있다는 것이 증명되었다. LES 구조는 종래의 SIMOX 기술에 비해 결함의 정도를 더 작게 하고 생산 원가를 더욱 저렴하게 한다.

이온 빔 주입 장치는 플라즈마 소스로부터 이온 빔이 추출되도록 동작하고 있다. 이해관계에 있는 이온 종류가 추출되지만, 다른 이온 종류는 거부된다. 그 후, 추출된 이온 빔은 소망하는 에너지 레벨까지 이온 에너지를 증가시키기 위해 가속된다. 통상적으로, 빔 전류는, 몇 평방 센티미터로 되는 빔의 " 자취(footprint)" 영역을 가질 정도로, 예를 들면 밀리암페어의 범위로 매우 작다. 전체 표면의 커버리지(coverage)를 제공하기 위해 이온 빔이 조종될 수도 있고, 또는 실리콘 웨이퍼를 조종할 수도 있으며, 또는 빔의 조종과 실리콘 웨이퍼의 조종을 조합시켜 사용할 수도 있다. 종종, 실리콘 웨이퍼의 표면으로부터의 손상을 방지하기 위해 얇은 " 스크린 산화물(screen oxide)" 이 성장된다. 웨이퍼가 고진공 상태에서 유지되고 있기 때문에 온도 제어는 통상적으로 척(chuck)을 통한 후부(backside)의 냉각에 의해 달성된다.

이온 빔의 이온이 실리콘 웨이퍼의 표면으로 들어감에 따라 웨이퍼 내에서 이온이 원자핵과 충돌하고 전자들과 상호 작용하기 때문에 이온은 에너지를 잃게 된다. 웨이퍼 내에서 이온이 휴지 상태(rest)로 될 때까지, 각각의 충돌과 전자의 상호 작용은 이온의 에너지를 감소시킨다. 상호 작용으로 인해 통계 처리가 행해지고, 주입되는 이온의 프로파일은 종종 가우스 분포에 근접하게 된다. 주입되는 이온 분포의 전개는 표준 편차에 의해 특징지어지며 스트래글(straggle)로 지칭된다.

이온 빔 주입은 웨이퍼 본딩 등의 SOI 구조를 형성하는 다른 방법 이상으로 많은 장점을 가지고 있다. 그러나, 웨이퍼 표면을 가로 질러 이온 빔을 조종하는 것에 의한 일련의 프로세싱은 제조 효율을 제한하고 있다. 더군다나 복잡한 이온 광학 장치가 필요하다 웨이퍼 조종이 포함되면 복잡성은 증가된다. 또다른 관심사는, 이온 빔의 채용시에, 비용 효율이 이온 에너지에 대해 보다 낮은 에너지의 제한을 부과하므로, 안정화된 이온의 가우스 분포의 피크치가 웨이퍼 최상부 표면에 얼마나 근접하는가에는 한계가 있다.

본 발명의 목적은, 실리콘-온-절연체 구조체의 제조시에 제조 효율을 증가시키기 위한 방법 및 장치를 제공하는데 있다. 본 발명의 다른 목적은, 얇은 절연 체층이 실리콘-온-절연체 구조체에 형성될 때의 제한 요소를 감소시키는 방법 및 장치를 제공하는데 있다.

본 발명의 방법 및 장치는, 통상 실리콘 웨이퍼인 반도체 기판을 절연시키기 위해, 이온 종류들을 면적 방향으로(area wise) 동시에 주입하고 있다. 실리콘 웨이퍼가 고전압원에 접속되므로, 웨이퍼는 주사하고 있는 이온 빔의 목표물이 아닌 인접하는 플라즈마 환경으로부터 이온을 유인한다.

실리콘 웨이퍼는 밀폐된 챔버내에서 지지 부재상에 위치한다. 챔버는 통상적으로 부분적으로 배기되고 가열된다. 실리콘 웨이퍼 내에 매립되는 절연체층을 형성하도록 선택된 물질로부터 발생된 플라즈마는 챔버 내로 도입된다. 부(negative) 고전압이 반도체 웨이퍼에 인가된다. 부의 고전압에 응답하여, 전자들은 웨이퍼에서 먼곳으로 향하고 이온들은

웨이퍼 쪽으로 이동하도록 놓여진다. 캐소드 외장(cathode sheath)이 형성되어, 양 이온이 실리콘 웨이퍼 쪽으로 가속된다. 이온들은 웨이퍼 내로 주입될 만한 충분한 에너지를 가지고서 웨이퍼에 도달한다. 바람직한 실시예에서, 실리콘 웨이퍼에 인가되는 전압은, 진공 챔버 내에 있는 웨이퍼와 벽 사이에서의 펄스화된 부의 고전압 DC 전위이다. 전위가 부로(negatively) 이동함에 따라, 외장은 플라즈마 내로 이동하고, 전자들은 플라즈마 외장의 경계표부터 " 반향" 되어 플라즈마 내에 유지된다. 플라즈마 외장이 플라즈마 내로 이동함에 따라, 플라즈마 외장의 경계가 이온들을 이동시키는 것은 아니고, 그 대신에 이온들을 거쳐서 휩쓸고 가는(sweeps) 것이 된다. 경계 내에 포획된 이온들은 외장의 전계에 의해 영향을 받아서 실리콘 웨이퍼 쪽으로 가속된다.

웨이퍼가 위치하고 있는 적당히 배기된 챔버 내의 실리콘 웨이퍼의 온도 제어는 후부의 가스를 제공하는 것에 의해 달성된다. 종래 기술의 이온 빔 주입 방법은 대류에 의한 열전도시에 어떠한 범위에도 기대할 수 있고, 온도 제어 시스템의 효율을 제한하는 고진공의 환경을 필요로 한다. 더군다나, 이온 빔 주입의 고진공 환경은 온도 제어 가스의 흐름을 분리하는데 사용될 임의의 실(seal)에 대해 사실상 응력을 발생시킬 수도 있다. 이에 비해, 본 발명의 비교적 적당한 진공환경에 의해, 어떤 의미로는 채널을 형성하는 주입 이온의 소스로서 선택되는 가스는 후부(backside)의 온도를 효율적으로 제어할 수 있다. 또, 헬륨이나 아르곤 등의 비활성 가스가 실리콘 웨이퍼의 온도를 제어하는데 사용될 수 있다.

바람직한 실시예에서, 주입될 이온은 산소 이온이다. 따라서, SIMOX 구조가 형성된다. 주입을 위한 다른 가능한 후보로서는 질소와 탄소가 있으므로, 반도체 기판의 표면을 가로지르면서 동시에 주입하기 위해, 이온이 플라즈마로부터 유인되는 이 기술을 이용하여 질화 실리콘과 탄화 실리콘의 매립층이 형성된다. 그 후, 실리콘의 얇은 표면층에 단일 소자 또는 1개 이상의 집적 회로를 형성할 수 있다.

통상, 고온의 온도에서 주입이 행해졌더라도, 실리콘 기판 내로 절연체 물질이 주입된 후에 어닐링이 행해진다, 실리콘이 절연체 물질과 반응하는 충분한 시간동안 질소 등의 중성 대기 중에서 어닐링이 실행되어 기판 표면에서의 실리콘층의 품질이 향상되고 균일한 매립 절연체층이 형성된다.

이 기술은 " 플라즈마 소스 이온 주입" 으로 지칭되며, 디바이스의 내마모성과 내부식성을 충분히 향상시키기 위해 수공구(hand tool)와 인공 고관절과 같은 표면처리 장치에 사용되고 있다. 콘라도(Conrad)에 의한 미국 특허 제 4764394호와 소헷(Shohet)에 의한 미국 특허 제 5289010호 및 펠치(Felch) 등에 의한 국제 출원 제 WO 93/18201호에는, 반도체 기판의 전도성을 향상시키기 위해, 플라즈마 소스 이온 주입도 주입 도펀트로 사용할 수 있다는 것이 제안되고 있다. 그러나, 전도성을 향상시키기 위한 이 기술은 반도체 제조 공정에서는 쉽게 받아들이지 않고 있다. 이온들이 반도체 기판에 도달함에 따라 표면 스퍼터링이 발생한다. 표면으로부터의 원자의 방출은 최종 구조에 악영향을 끼친다, 이에 비해, 산소 플라즈마 환경에서의 플라즈마 소스 이온 주입은 부의 펄스 사이에서 실리콘 웨이퍼의 산화를 유발시키므로, 발생되는 스퍼터링은 주로 성장한 산화에 대한 것이 된다.

매립 절연체층을 형성하기 위해 빔 주입을 사용하는 종래의 기술에 비해 본 발명의 장점은, 다수의 반도체 기판에 대해 광범위한 프로세싱을 동시에 실시할 수 있다는 것이다. 게다가, 이온 빔 주입과 비교해서, 이온 에너지에 대한 저에너지의 제한이 중요한 요소는 아니다. 다른 장점은, 복잡한 이온 광학 장치 및/또는 웨이퍼의 조종이 불필요하다는 것이다. 필요한 설비를 저렴한 비용으로 이용할 수 있고, 고 제조 효율을 달성하도록 사용할 수도 있다.

이하, 도면을 참조하여 본 발명을 상세히 설명한다.

도 1에 있어서, 플라즈마 소스 이온 주입 장치(10)는 진공 챔버(12)를 포함하도록 도시되어 있다. 이 챔버 내에는, 공급 장치(16)로부터 챔버 내로 도입되는 가스로부터 플라즈마를 생성하는 플라즈마 소스(14)가 있다. 공급 장치(16)로부터의 공급은 밸브(18)에 의해 제어된다. 통상, 공급 장치로부터 진공 챔버(12)로의 인입 라인(20)은 플라즈마 소스(14)로 향하고 있다.

공급 장치(16)는 반도체 웨이퍼 내로 이온을 주입하여 절연체층을 마련하기 위해 플라즈마 생성을 위한 가스를 공급한다. 바람직한 실시예에서 절연체층은 SiO_2, Si_3N_4 또는 SiC 등의 매립층이다. 플라즈마 소스(14)는 전원 공급 장치(24)에 접속되고, 이 장치(24)는 제 1의 펄스 변조기(30)에 접속되어 있다. 플라즈마는 전압 펄스에 따라 생성된다. 플라즈마 소스(14)의 동작은, 플라즈마 소스 이온 주입 장치(10)의 동작에 있어서 중요한 사항은 아니다. 공급 장치(16)로부터의 가스의 이온화는 임의의 공지 기술을 사용하여 실행하더라도 무방하다. 진공 펌프(26)는 챔버(12)의 출구(28)에 접속되어, 동작시 챔버의 압력이 소망하는 값이 되도록 한다.

정전 차폐 그리드(34)는 진공실(12)의 상부 영역으로부터 반도체 웨이퍼(22)로의 이온의 흐름을 제어하는데 사용된다. 챔버(12)에는 이온화 게이지(40)가 부착되어 챔버 내의 이온화 상태를 판단하게 된다.

도 1에는 또한 소련에 의한 미국 특허 제 5289010호에 기재되어 있는 형태의 이온 사이클로트론 공진(ICR) 시스템이 도시되어 있다. 플라즈마 소스(14)에서 생성된 이온 중 소망하지 않는 이온들은 솔레노이드 자석(36)과 무선 주파수 스위프 전원(38)을 구비하는 ICR 시스템에 의해 제거될 수 있다. 자석(36)은 1쌍의 여기 전극(39)과 1쌍의 이온 집속 전극(41)(여기서는, 1개만 도시함) 사이의 영역에 실질적으로 단일 방향성의 일정한 자기장을 형성한다. 전극(39)과 플레이트(41)는 이온 정화 영역을 규정하고 있다. 소스(38)로부터의 무선 주파수는 이온정화 영역 내에 생성된 전계를 가변시킨다. 가변 전계는 전계와 공진하도록 소망하는 이온 종류들과는 다른 전하대 질량(charge-to-mass) 비를 가진 소망하지 않는 이온들을 구동한다. 결과적으로, 소망하지 않는 이온들을 제거하는 이온 집속 플레이트(41)에 소망하지 않는 이온들이 도착할 때까지, 소망하지 않는 이온들은 나선형으로 확장하면서 바깥쪽으로 구동된다.

진공 챔버(12) 내의 스테이지(42) 상에는 반도체 웨이퍼(22)가 지지되어 있다. 이 스테이지는 전기적 전도성 부재로서, 고전압 DC 전원 공급 장치(44)와 제 2의 펄스 변조기(46)로부터의 부의 고전압 펄스를 수신한다, 변조기의 펄스는 전원 공급 장치(44)로부터의 0 내지 -100 KV 등의 부의 전압이다. 다음에 더욱 상세히 설명하는 바와 같이, 반도체 웨이퍼(22)로의 이온 주입은 스테이지(42)가 부로 바이어스치는 동안에만 실행된다. 부의 바이어스는, 반도체 웨이퍼(22)로 이온을 주입하기 위해 필요한 이온 에너지를 공급하도록 동작하는 플라즈마 외장을 생성한다.

동작시에, 샘플로 되는 4개의 실리콘 웨이퍼에는 도 1의 장치(10)를 사용하여 산소 이온이 주입되었다. 각각의 샘플은, 저항률이 7.5 내지 15옴/cm이고, 3인치의 붕소가 도핑된 (111) 방위의 실리콘 웨이퍼였다. 웨이퍼는 진공 챔버(12) 내에 장착되었고, 이 챔버의 압력은 진공 펌프(26)에 의해 2×10^{-6} Torr 내지 5×10^{-6} Torr범위 내의 압력으로 감소되었다. 실리콘 웨이퍼(22)의 상부 표면에서는 고유의 산화물을 제거하기 위해 세정된다.

다음에, 필라멘트 플라즈마 소스(14)에 의해 산소 플라즈마가 생성되었다. 고전압 DC 공급 장치(44)는 -30KV로 조정되었다. 변조기(46)는 제 1, 2, 3의 3개의 샘플에 대해서는 40μs의 펄스폭을 제공하고, 제 4의 샘플에 대해서는 10μs의 펄스폭을 제공한다. 도시되지는 않았지만, 웨이퍼지지 스테이지(42)에는 온도를 100℃보다 갖게 유지하기 위해 수냉(water cool) 처리가 실시되었다. 그러나, 실제적으로는 600 내지 650℃의 온도를 유지하는 것이 바람직하다. 도시되지는 않았지만, 공급 장치(16)로부터 웨이퍼(22)의 후부로 플라즈마 소스 가스를 직접 도입하는 것은 웨이퍼의 온도를 제어하는 편리한 수단을 제공해준다. 또 배면의 온도 제어를 위해 비활성 가스를 도입할 수도 있다. 이온 주입시, 챔버의 압력은 약 0.2mTorr로 유지되었다.

산소 플라즈마에서는, 산소 이온의 80%를 O_2^+로 하고, 나머지 산소 이온을 O^+로 하여 측정하였다. 종래의 빔선(beam-line) 주입에 의한 것과 마찬가지로 전형적인 O^+보다는 $O2^+$가 주요 주입 이온 종류였다는 사실은 주된 관심사가 아니었다. -60KV에서의 $O2^+$의 주입은 -30KV에서의 O^+ 주입과 같이 실리콘 내에서 유사한 산소프로파일을 제공한다. 그러나, 1종류의 이온을 주입하는 것이 대부분의 예에서 바람직하다. 상술한 ICR 시스템은 $O2^+$나 O^+를 제어하는데 사용될 수 있다.

주지된 바와 같이, 이온 도즈량은 스테이지(42)로의 부의 고전압 펄스의 총수와 변조기(46)에서 생성된 듀티 사이클과 주파수에 의해 제어될 수 있다. 부의 고전압은 실리콘 웨이퍼(22)의 표면에 대한 플라즈마 외장을 생성한다. 이 고전압은 웨이퍼 근처의 영역으로부터 전자를 반발시킨다. 스테이지(42)의 전위가 부로 이동함에 따라, 외장의 경계도 기판의 표면으로부터 더욱 멀리 이동한다. 플라즈마 외장의 경계가 확장되기 때문에 플라즈마 외장의 경계가 이온을 이동시키는 것은 아니다. 그 보다는 오히려, 이온의 부피가 더욱 크기 때문에, 플라즈마 외장의 경계가 이온을 거쳐서 멀리까지 뻗치는 것이다. 이온이 경계 내에 위치하고 있는 경우에, 외장은 외장 내의 전계에 의해 영향을 받아서 웨이퍼(22)로 향해 가속된다. 제 1의 샘플의 측정된 이온 도즈량은 1×10^{17} ions/cm^2 였다. 제 2의 샘플의 측정된 이온 도즈량은 5.5×10^{16} ions/cm^2 였다. 나머지 2개의 샘플의 측정된 이온 도즈량은 3.3×10^{16} ions/cm^2 였다.

제 1의 샘플 웨이퍼에 어닐링 처리가 실시되지 않은 반면에, 제 2, 3, 및 4의 웨이퍼에는 어닐링 처리가 실시되었다. 제 2의 샘플 웨이퍼에 대해서는, N_2 +0.25% O_2 의 분위기에서 6시간 동안 1300℃의 온도로 어닐링 처리가 실시되었다. 제 3 및 제 4의 샘플 웨이퍼의 각각에 대해서는, N_2 의 중성 분위기에서 7시간 동안 1080℃의 온도로 어닐링 처리가 실시되었다. 이온이 주입된 제 1의 샘플 웨이퍼와 어닐링 처리가 실시된 제 2, 3, 및 4의 샘플 웨이퍼는 모두 2차적인 이온 마스크 분광계(SIMS)와 오거 전자 분광계(AES)에 의해 검사되었다. 도 2는 제 3의 샘플 웨이퍼의 표면에 대한 AES 스펙트럼을 도시한 것이다. 표준형의 AES 스펙트럼은 76eV와 92eV에서의 피크가, SiO_2 의 실리콘과 순수한 실리콘으로부터의 오거 전자에 각각 대응한다는 것을 나타내고 있다. 표면에 실리콘 원자가 남아 있다고 하면, 도 2에서 양쪽 피크값을 관찰할 수 있다.

도 3은 SIMS 해석에서, 스퍼터 깊이의 함수로서, 어닐링 이전의 제 2의 샘플 웨이퍼의 산소 농도 프로파일을 도시한 것이다. 통상, 산소의 농도는 최상부의 표면으로부터 약 45nm의 깊이까지 4×10^{22} cm^{-3} 로 균일하다. 산소 농도와 화학량론적 이산화 실리콘은 약 4×10^{22} cm^{-3} 이어야 하므로, 균일한 산소 농도의 표면 근처 영역에 이산화 실리콘이 형성되었다고 추정할 수가 있다. 비교를 위해, 상술한 어닐링 후의 제 2 샘플의 산소 농도 프로파일이 도 4에 도시되어 있다. 어닐링된 샘플의 표면 근처 영역 내의 대부분의 산소는 상기 영역 내에 더 이상 존재하지 않으므로, 산소 함유량이 적은 얇은 실리콘층이 남게 된다. 얇은 SiO_2 층이 하부에 나타난다. 결과적인 SIMOX구조가 도5에 도시되어 있다. 주입된 산소는 매립 절연층(48)을 형성한다. 그 후, 종래의 기술을 사용하여 트랜지스터를 형성할 수 있다. 도 6에 있어서 소스/드레인 영역(56, 58)을 갖는 PMOS 트랜지스터가 2개의 필드 산화 영역(60, 62) 사이에 형성될 수 있다. PMOS 트랜지스터는 또한 게이트 산화물층(66) 상의 게이트(64)를 포함한다. 또, NMOS 트랜지스터(68)가 필드 산화물 영역(74, 76)을 포함한다. 도 6의 구조는 단지 일예로서 도시된 것이다. 다른 트랜지스터의 구성이 형성될 수도 있다.

다시, 도 5를 참조하면, 어닐링된 4번째 샘플의 실리콘층(50)은 어닐링된 2번째 샘플의 어닐링 온도는 1080℃였고, 이에 반해 2번째 샘플의 어닐링 온도는 1300℃였다. 4번째 샘플의 어닐링 온도를 더 낮게 한 것이 결과적으로 실리콘층을 더 얇게 만들었다고 생각된다. 이러한 결과는, 실리콘 와이퍼(52) 내에 매립된 SiO_2 층이, 산소의 플라즈마 소스 이온 주입과 그 다음에 표면상에 이어지는 열에 의한 어닐링에 의해 형성된다는 것을 나타내고 있다.

제 1의 샘플의 표면 근처에 있는 실리콘 원자의 거의 대부분이 SiO_2 와 합체되었기 때문에, 제 1의 샘플의 이온 도즈량인 1×10^{17} cm^{-3} 은, 플라즈마 소스 이온 주입을 사용하여 30KeV에서 주입하는데 너무 많은 양일 수 있다. 그러나, 이온 도즈량을 측정하는 것이 부정확할 수도 있기 때문에, 이와 같은 결론을 확신할 수는 없는 것이다. 또다른 주목할 만한 사항으로서, 제 3 및 제 4의 샘플로부터 SIMS 데이터를 비교하는 것에 의해, 측정된 이온 도즈량이 2개의 샘플에 대해 동일했음에도 불구하고, 제 4의 샘플에 있어서는 매립 절연체층(48)의 두께와 산소 농도가 모두 더 작았다는 것을 알 수 있었다. 이것은, 40μs에 비해 10μs로서 펄스 폭이 작아질수록 주입된 이온은 더 작아지며 매립층도 더 얇아지게 된다는 것을 암시한다. 이상적인 환경하에서는 전압의 전이가 순시적이기 때문에, 이상적으로는 펄스폭의 변경이 이온 주입에 대해 심각한 영향을 끼치지는 않을 것이라고 예측된다. 그러나, 실제적으로는 각 전이에 연관되는 전압 구배가 존재하므로, 제 3 및 제 4의 샘플에 있어서의 차이를 유발시키는 전이일 수도 있다.

사전에 주목된 바와 같이, SOI 구조를 형성하는 종래의 방법은 실리콘 웨이퍼에 주입될 이온 빔을 사용하는 것이다. 종래의 빔-선 주입에 의해서는 4개의 샘플을 형성하는데 선택된 이온 에너지 및 도즈량과 유사한 이온 에너지 및 도즈량에 데해 더 두꺼운 실리콘층을 갖는 것으로 되었다. 플라즈마 소스 이온 주입에 의한 산소의 주입에 대해 주입의 깊이가 더 얇다고 하는 것에 대해서는 적어도 2가지의 설명을 할 수 있다. 첫 번째, 이온 에너지가 비교적 작다는 것이다 도 1의 장치(10)의 이온 종류는 대부분 $O2^+$ 이고, 목표물의 바이어스 전위는 30KeV이기 때문에, 산소 원자당 주입 에너지는 15KeV에서의 O^*의 그것보다 작다. 결론적으로, 평균 투입 범위(mean projected range: Rp)를 매우 얇게 할 수 있다. 이러한 조건하에서, Rp는 비정형 실리콘에 대해서 약 33mm일 것이라고 생각된다. 만약 평균 전체 범위(meau full range: R_f)의 절반이 R_p로부터 감산되면, 표면상에는 단지 7nm의 실리한만이 남게 될 것이다. 이러한 점에서 볼 때, 예를 들면 40 내지 60 KeV 처럼 높은 주입 에너지가, 종래 기술의 이온 빔에 의한 저 에너지 SIMOX(LES) 실험과 동일한 결과를 달성하기 위해 사용되어야 한다고 생각된다. 반도체 기판의 표면으로 이온이 들어감에 따라, 원자들과 충돌하여 전자와 상호작용을 하게 된다. 각 핵원자와 전자의 상호작용으로 인해, 반도체 기판내에서 이온이 휴지 상태로 될 때까지, 이온의 에너지는 감소한다.

통상, 상호작용의 결과로서 통계학적 처리가 이루어지며, 주입 프로파일은 가우스 분포에 의해 종종 하기의 식과 같이 근사화되며,

$$N(X)=N_P \exp\left[-(x-R_P)^2/2\triangle R_P\right] \qquad .....(1)$$

상기 식에 있어서, Rp는 투입 범위로서 반도체 기판으로 이온이 이동한 평균 거리와 동일하다. 피크 농도 Np는 X=Rp에서 발생한다. 프로세스의 통계적 처리의 특성으로 인해, 몇몇의 이온들은 투입 범위 Rp보다 많이 침투할 것이고, 몇몇의 이온들은 투입 범위에 도달하기 전에 휴지 상태로 될 것이다, 주입 이온의 분포 전개는 표준 편차 △Rp에 의해 특징지어지며, " 스트래글(straggle)" 로 지칭된다. 식 1에 의해 표현된 분포 곡선하에 있는 영역은 다음의 식과 같이 정의되는 주입 도즈량 Q이다.

$$Q=\int_0^\infty N(x)dx \ \ ions/cm^2 \qquad ..(2)$$

만약, 주입 물질이 목표물 내에 완전히 포함된다면, 식 1은 다음과 같이 적용된다.

$$Q=\sqrt{2\pi}\,N_P\,\triangle R_P \qquad .....(3)$$

주입되는 도즈량은 종종 몇 퍼센트 이내로 제어될 수 있다. 상기 범위와 스트래글은 대체로 이온 에너지에 비례한다.

종래의 이온 빔 주입과 비교해서, 플라즈마 소스 이온 주입을 사용하여 관찰되는, 보다 얇은 주입 깊이에 대한 두 번째 설명은 투입 범위 Rp의 이해로부터 발생된다. 플라즈마 소스 이온 주입을 사용하여 주입되는 이온은 에너지의 범위 이내에 분포되어 있다, 에너지의 전개는 목표물의 이온 에너지 아래, 예를 들면 30 KeV 아래의 이온 에너지로 상승하게 된다, 이들 저에너지 이온은 후술하는 바와같이 표면 영역의 근처로 주입되거나, 혹은 목표물의 표면을 스퍼터할 수 있다. 그곳에는 이온 에너지 전개를 유발시킬 가능성이 없다. 반도체 표면의 정전 충전(electrostatic charge-up)과 펄스 상승 및 하강시의 목표물 바이어스 전위의 변동은 저에너지 주입 이온을 유발시킬 수 있다. 저에너지 이온의 다른 존재할 수 있는 소스로서는, 반도체 기판을 바이어스하는 것에 의해 생성되는 플라즈마 외장 내의 이온-중성 전하 교환 및 상호 작용이 포함된다.

사전에 주목되는 바와 같이, 플라즈마 소스 이온 주입 프로세스는 도 1의 반도체 기판(22)의 최상부 표면의 스퍼터링을 유발시킬 수 있다. 그러나, 진공 챔버(12) 내에 형성된 플라즈마 환경이 산소 환경인 경우, 펄스가 개시됨으로써 반도체 기판의 스퍼터링은 아마 반도체 물질에 그다지 심각한 영향을 끼치지 않을 것이다. 그 대신에 펄스들 사이에서 최상부 표면상에 산소가 성장하게 되는데, 이것이 스퍼터링 성장 산화물이다. 따라서, 기판에 대한 손상은 별로 발생하지 않는다.

도 6을 참조하면, 산소 및 질소 주입에 의한 경계 구조를 형성하도록 혹은 산소 및 질소 주입에 의하거나 질소 주입에 의한 경계 구조를 형성하도록 질소 주입에 의한 매립층(48)의 형성 후에, 트랜지스터(54, 68)를 형성하는데 플라즈마 수소 이온 주입도 사용할 수가 있다. 그러나, SIMOX 기법이 최대의 가능성을 제공할 것으로 생각된다.

(57) 청구의 범위

청구항 1.

반도체 기판내에 회로를 형성하는 방법에 있어서,

(a) 상기 반도체 기판과 결합할 때 상기 반도체 기판의 영역을 전기적으로 절연시키도록 선택된 물질로부터 플라즈마를 생성시키는 단계와,

(b) 상기 반도체 기판의 표면에 인접하게 상기 플라즈마의 환경을 형성시키는 단계와,

(c) 반도체 온 절연체 구조체를 형성하는 단계 - 이 단계는 상기 플라즈마 환경 내의 플라즈마로부터의 이온이 상기 반도체 기판 내로 주입되도록 상기 이온을 상기 반도체 기판 내로 가속시켜, 상기 반도체 기판 내에 절연 물질을 형성하는 단계를 포함하되, 상기 가속 단계는 상기 반도체 기판에 전계를 형성시킴으로써 상기 이온을 유인하되 상기 반도체 기판에 인가되는 부의 전압을 펄스화(pulsing)하는 단계를 포함함 - 와,

(d) 상기 반도체 기판 내에 절연 물질을 형성한 후에, 상기 절연 물질이 상기 반도체 기판의 반도체 물질과 반응하도록 어닐링하는 단계와,

(e) 상기 반도체 기판 내에 적어도 하나의 전자 소자를 형성하는 단계를 포함하는

반도체 기판내의 회로 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 플라즈마 생성 단계는 산소, 질소, 및 탄소로 이루어지는 물질들의 군으로부터 상기 플라즈마 형성을 위한 상기 물질을 선택하는 단계를 포함하는 반도체 기판내의 회로 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 반도체 기판은 실리콘인 반도체 기판내의 회로 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 이온 가속 단계는 상기 절연 물질의 매립층을 형성하기 위해 실행되며, 상기 전계 형성을 위한 전압을 선택함으로써 특정의 이온 주입 깊이를 형성하는 단계를 포함하는 반도체 기판내의 회로 형성 방법.

청구항 5.

제 4 항에 있어서,

상기 플라즈마 생성을 위한 상기 물질의 선택 단계는 산소를 선택하는 단계를 포함하며,

상기 방법은 또한 상기 플라즈마로부터의 이온 가속의 주기적 펄스들 사이에 상기 반도체 기판의 상기 표면을 산화시키는 단계를 더 포함하는 반도체 기판내의 회로 형성 방법.

청구항 6.

제 1 항에 있어서,

상기 반도체 기판을 챔버 내에 위치시키는 단계와, 상기 플라즈마 환경을 상기 표면에 인접하게 형성시키기 전에 상기 챔버를 배기시키는 단계를 더 포함하는 반도체 기판내의 회로 형성 방법.

청구항 7.

제 1 항에 있어서,

상기 반도체 기판에 상기 전압을 인가하는 단계는 부의 DC 펄스를 인가하는 단계를 포함하는 반도체 기판내의 회로 형성 방법.

청구항 8.

제 7 항에 있어서,

상기 플라즈마 환경 생성 단계는 상기 펄스들 사이에서 상기 반도체 기판의 표면의 산화를 유발시키는 플라즈마를 생성하는 단계인 반도체 기판내의 회로 형성 방법.

청구항 9.

제 1 항에 있어서,

상기 반도체 기판내로 상기 절연 물질을 형성하는 동안 상기 반도체 기판의 온도를 제어하는 단계 - 상기 제어 단계는 상기 이온이 가속되는 방향의 상기 표면에 대향되는 상기 반도체 기판의 면과의 열적 교류를 위해 가스를 도입하는 단계를 포함함 - 를 더 포함하는 반도체 기판내의 회로 형성 방법.

청구항 10.

반도체 기판내에 매립 절연층을 형성하기 위한 방법에 있어서,

(a) 상기 반도체 기판을 챔버내에 위치시키는 단계와,

(b) 플라즈마 소스 이온 주입을 사용하여 상기 반도체 기판내로 물질을 주입하는 단계 - 상기 주입 단계는 형성될 상기 매립 절연층의 절연 특성에 기초하여 상기 물질을 선택하는 단계와, 상기 챔버내에서 상기 선택된 물질의 플라즈마 이온을 형성시키는 단계와, 상기 이온이 반도체 기판내로 면적방향의 영역을 통해 주입되도록 상기 플라즈마 내의 이온에 충분한 운동 에너지를 부여하기 위해 상기 챔버 내에 전계를 형성시키는 단계를 포함하되, 상기 전계 형성 단계는 상기 반도체 기판에 인가되는 부의 고전압을 펄스화하는 단계를 포함함 - 와,

(c) 반도체 특성을 갖는 표면층이 제공되고 상기 물질이 상기 반도체 기판과 반응하여 상기 매립된 절연체층을 형성하도록 상기 반도체 기판을 어닐링하는 단계를 포함하는

반도체 기판내의 매립 절연체층 형성 방법.

청구항 11.

제 10 항에 있어서,

상기 반도체 기판은 실리콘 웨이퍼이며, 상기 선택된 물질은 산소인 반도체 기판내의 매립 절연체층 형성 방법.

청구항 12.

제 10 항에 있어서,

상기 방법은 상기 부의 고전압의 펄스들 사이에서 상기 반도체 기판을 산화시키는 단계를 더 포함하는 반도체 기판내의 매립 절연체층 형성 방법.

청구항 13.

제 11 항에 있어서,

상기 표면층에 대향하는 반도체 기판의 측면상으로 상기 선택된 물질의 가스를 흐르게 함으로써 상기 반도체 기판의 온도를 제어하는 단계를 더 포함하는 반도체 기판내의 매립 절연체층 형성 방법.

청구항 14.

반도체 기판내에 회로를 형성하는 방법에 있어서,

(a) 상기 반도체 기판과 결합할 때 상기 반도체 기판의 영역을 전기적으로 절연시키도록 선택된 물질로부터 플라즈마를 생성시키는 단계와,

(b) 상기 반도체 기판의 표면에 인접하게 상기 플라즈마의 환경을 형성시키는 단계와,

(c) 상기 플라즈마 환경 내의 플라즈마로부터의 이온이 상기 반도체 기판 내로 주입되도록 상기 이온을 상기 반도체 기판 내로 가속시켜, 상기 반도체 기판 내에 절연 물질을 형성하는 단계 - 상기 가속 단계는 상기 반도체 기판에 전계를 형성시킴으로써 상기 이온을 유인하되 상기 반도체 기판에 인가되는 부의 전압을 펄스화(pulsing)하는 단계를 포함함 - 와,

(d) 상기 반도체 기판 내에 절연 물질을 형성한 후에, 반도체 온 절연체 구조체가 형성되도록 상기 반도체 기판을 어닐링하는 단계와,

(e) 상기 반도체 온 절연체 구조체 내에 적어도 하나의 전자 소자를 형성하는 단계를 포함하는

반도체 기판내의 회로 형성 방법.

청구항 15.

제 14 항에 있어서,

상기 플라즈마 생성 단계는 산소, 질소, 및 탄소로 이루어지는 물질들의 군으로부터 상기 플라즈마 형성을 위한 상기 물질을 선택하는 단계를 포함하는 반도체 기판내의 회로 형성 방법.

청구항 16.

제 14 항에 있어서,

상기 반도체 기판은 실리콘인 반도체 기판내의 회로 형성 방법.

청구항 17.

제 14 항에 있어서,

상기 이온 가속 단계는 상기 절연 물질의 매립층을 형성하기 위해 실행되며, 소망하는 이온 주입의 깊이에 기초하여 상기 전계를 형성하는 전압을 선택하는 단계를 포함하는 반도체 기판내의 회로 형성 방법.

청구항 18.

제 14 항에 있어서,

상기 반도체 기판을 챔버 내에 위치시키는 단계와, 상기 플라즈마 환경을 상기 표면에 인접하게 형성시키기 전에 상기 챔버를 배기시키는 단계를 더 포함하는 반도체 기판내의 회로 형성 방법.

청구항 19.

제 14 항에 있어서,

상기 반도체 기판에 상기 전압을 인가하는 단계는 부의 DC 펄스를 인가하며 상기 부의 DC 펄스들 사이에서 산화시키는 단계를 포함하는 반도체 기판내의 회로 형성 방법 .

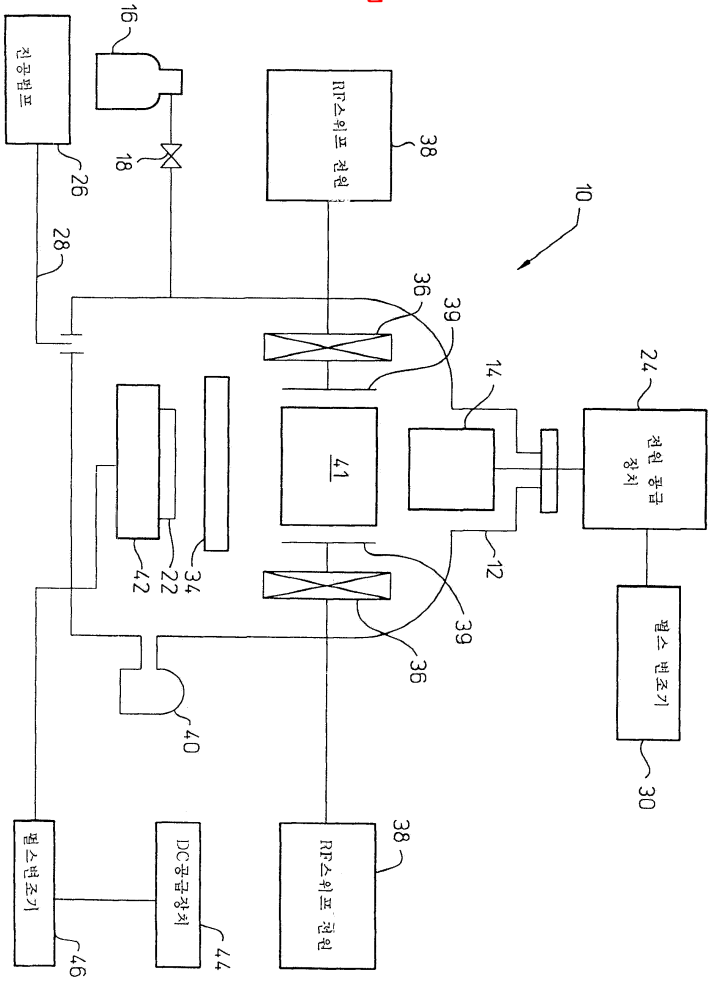
청구항 20.

제 14 항에 있어서,

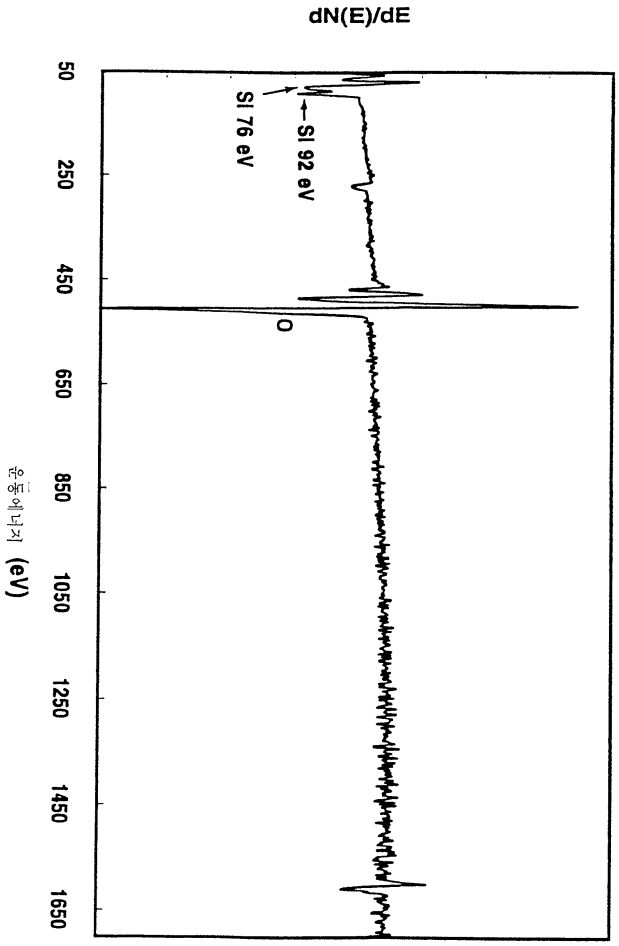
상기 반도체 기판내로 상기 절연 물질을 형성하는 동안 상기 반도체 기판의 온도를 제어하는 단계 - 상기 제어 단계는 상기 반도체 기판과의 열 교류를 위해 가스를 도입하는 단계를 포함함 - 를 더 포함하는 반도체 기판내의 회로 형성 방법.

도면

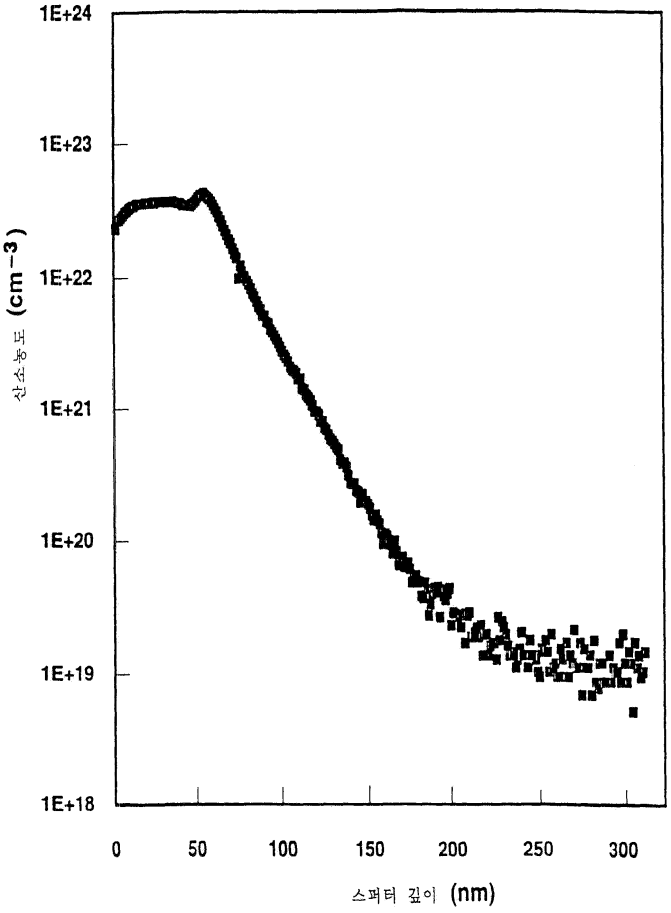
도면 1


진공펌프
16
18
26
28
RF스위프 전원
38
10
36
39
14
24
41
전원 공급 장치
42
22
34
12
펄스 변조기
30
40
펄스변조기
DC공급장치
RF스위프 전원
46
44
38

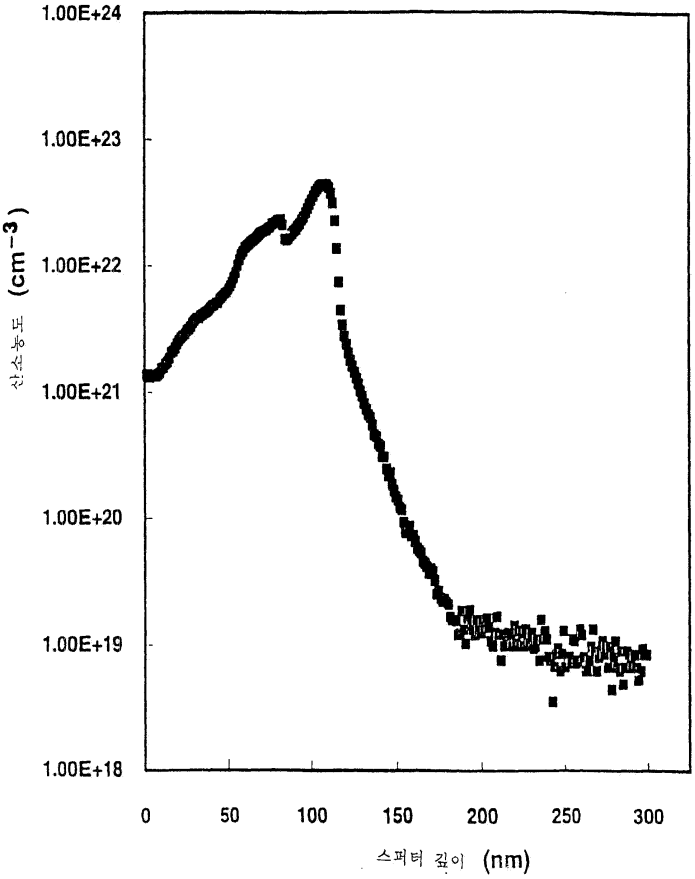
도면 2


dN(E)/dE
Si 76 eV
Si 92 eV
O
50
250
450
650
850
1050
1250
1450
1650
운동에너지 (eV)

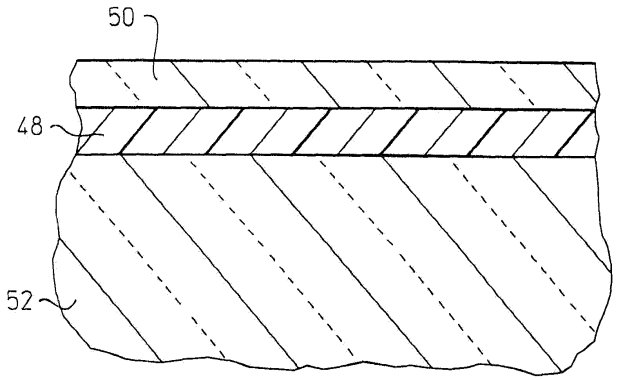
도면 3


1E+24
1E+23
1E+22
1E+21
1E+20
1E+19
1E+18
산소농도 (cm⁻³)
0
50
100
150
200
250
300
스퍼터 깊이 (nm)

도면 4


1.00E+24
1.00E+23
1.00E+22
1.00E+21
1.00E+20
1.00E+19
1.00E+18
산소농도 (cm⁻³)
0
50
100
150
200
250
300
스퍼터 깊이 (nm)

도면 5


50
48
52

도면 6

