

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5247367号
(P5247367)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.		F I
H03F 3/24 (2006.01)		H03F 3/24
H03F 1/02 (2006.01)		H03F 1/02
H03F 1/32 (2006.01)		H03F 1/32
H03F 3/60 (2006.01)		H03F 3/60

請求項の数 34 (全 33 頁)

(21) 出願番号	特願2008-290911 (P2008-290911)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年11月13日(2008.11.13)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2010-118916 (P2010-118916A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成22年5月27日(2010.5.27)	(72) 発明者	近藤 将夫 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成23年11月1日(2011.11.1)	(72) 発明者	松永 良国 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		(72) 発明者	関 健太 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 RF電力増幅器

(57) 【特許請求の範囲】

【請求項1】

プッシュプル電力増幅回路の能動デバイスとしての第1トランジスタおよび第2トランジスタと、前記プッシュプル電力増幅回路の出力整合回路としてのトランスフォーマとを具備して、

前記第1トランジスタの入力端子と前記第2トランジスタの入力端子とに、非反転入力信号と反転入力信号とがそれぞれ供給可能とされており、

前記トランスフォーマは、磁氣的に結合した一次コイルと二次コイルとを有しており、

前記トランスフォーマの前記一次コイルの一端と他端とは、前記第1トランジスタの出力端子と前記第2トランジスタの出力端子にそれぞれ接続され、前記トランスフォーマの前記二次コイルの一端と他端との間から出力信号が生成可能とされており、

前記トランスフォーマの前記一次コイルは、前記第1トランジスタの前記出力端子と前記第2トランジスタの前記出力端子の間に並列に接続されるとともに前記二次コイルと磁氣的に結合した第1コイルと第2コイルとを少なくとも含み、

前記二次コイルは、前記一次コイルの前記第1コイルと前記第2コイルとの間に形成されたRF電力増幅器。

【請求項2】

前記第1コイルと前記第2コイルとの少なくとも一方のコイルは前記第1トランジスタの前記出力端子と前記第2トランジスタの前記出力端子との間で電源電圧が供給可能とされている請求項1に記載のRF電力増幅器。

【請求項 3】

前記トランスフォーマの前記一次コイルと前記二次コイルとは基板の表面に平坦に形成された環状形状の金属薄膜配線によってそれぞれ構成されている請求項 2 に記載の R F 電力増幅器。

【請求項 4】

前記トランスフォーマの前記一次コイルを構成する金属薄膜配線の配線幅は、前記トランスフォーマの前記二次コイルを構成する金属薄膜配線の配線幅よりも大きく形成されている請求項 3 に記載の R F 電力増幅器。

【請求項 5】

前記トランスフォーマの前記一次コイルを構成する前記金属薄膜配線と前記トランスフォーマの前記二次コイルを構成する前記金属薄膜配線とは前記環状形状の周辺にそれぞれ形成されており、

前記一次コイルと前記二次コイルは所定のターン比に設定されることによって、前記トランスフォーマは前記ターン比によって決定されるインピーダンス変換比によって出力整合の動作を実行する請求項 4 に記載の R F 電力増幅器。

【請求項 6】

前記二次コイルのターン数は、前記一次コイルのターン数の略整数倍に設定されている請求項 5 に記載の R F 電力増幅器。

【請求項 7】

前記トランスフォーマの前記一次コイルの前記第 1 コイルと前記第 2 コイルとは、前記環状形状の外側金属薄膜配線と内側金属薄膜配線とによってそれぞれ形成されており、

前記二次コイルは、前記外側金属薄膜配線と前記内側金属薄膜配線の間形成された中央金属薄膜配線によって構成されている請求項 5 に記載の R F 電力増幅器。

【請求項 8】

前記外側金属薄膜配線と前記内側金属薄膜配線との間で前記中央金属薄膜配線によって構成された前記二次コイルは、複数のターン数を形成する請求項 7 に記載の R F 電力増幅器。

【請求項 9】

前記第 1 コイルと前記二次コイルと前記第 2 コイルは前記基板の前記表面に形成された多層配線構造によって形成され、前記多層配線構造において前記二次コイルは前記第 1 コイルと前記第 2 コイルとにより挟まれている請求項 5 に記載の R F 電力増幅器。

【請求項 10】

前記基板は半導体チップであり、前記第 1 トランジスタと前記第 2 トランジスタとは前記半導体チップに形成され、前記トランスフォーマはオンチップトランスフォーマとして前記半導体チップに形成されている請求項 5 に記載の R F 電力増幅器。

【請求項 11】

前記トランスフォーマが形成された前記基板は配線基板であり、前記第 1 トランジスタと前記第 2 トランジスタとは半導体チップに形成されており、

前記配線基板に形成された前記トランスフォーマは、前記半導体チップに形成された前記第 1 トランジスタおよび前記第 2 トランジスタに接続配線によって電氣的に接続されている請求項 5 に記載の R F 電力増幅器。

【請求項 12】

前記トランスフォーマの前記一次コイルは、対称形状で形成されている請求項 5 に記載の R F 電力増幅器。

【請求項 13】

前記第 1 トランジスタと前記第 2 トランジスタとは M O S トランジスタである請求項 5 に記載の R F 電力増幅器。

【請求項 14】

前記 M O S トランジスタは L D 型 M O S トランジスタである請求項 13 に記載の R F 電力増幅器。

10

20

30

40

50

【請求項 15】

前記第1トランジスタと前記第2トランジスタとはバイポーラトランジスタである請求項5に記載のRF電力増幅器。

【請求項 16】

前記バイポーラトランジスタは化合物半導体ヘテロバイポーラトランジスタである請求項15に記載のRF電力増幅器。

【請求項 17】

前記第1トランジスタおよび前記第2トランジスタが接続された前記一次コイルの前記一端および前記他端と前記出力信号が生成可能とされた前記二次コイルの前記一端および前記他端は前記環状形状で相互に対向する場所に形成されている請求項1から請求項16までのいずれかに記載のRF電力増幅器。

10

【請求項 18】

プッシュプル電力増幅回路の能動デバイスとしての第1トランジスタおよび第2トランジスタと、前記プッシュプル電力増幅回路の出力整合回路としてのトランスフォーマとを具備して、

前記第1トランジスタの入力端子と前記第2トランジスタの入力端子とに、非反転入力信号と反転入力信号とがそれぞれ供給可能とされており、

前記トランスフォーマは、一次金属薄膜配線と二次金属薄膜配線とを有し、前記一次金属薄膜配線と前記二次金属薄膜配線とは磁氣的に結合され、前記一次金属薄膜配線と前記二次金属薄膜配線とは基板の表面に平坦に形成された環状形状をそれぞれ有しており、

20

前記トランスフォーマの前記一次金属薄膜配線の一端には前記第1トランジスタの出力端子が接続され、前記トランスフォーマの前記一次金属薄膜配線の他端には前記第2トランジスタの出力端子が接続され、

前記トランスフォーマの前記二次金属薄膜配線の一端と他端との間から、出力信号が生成可能とされており、

前記トランスフォーマの前記一次金属薄膜配線の前記一端および前記他端と前記二次金属薄膜配線の前記一端および前記他端とは、前記環状形状で相互に対向する第1部分と第2部分とにそれぞれ形成され、

前記環状形状の前記第1部分において、前記トランスフォーマの前記一次金属薄膜配線の前記一端と前記他端とは互いに近接して配置されており、

30

前記環状形状の前記第2部分において、前記トランスフォーマの前記二次金属薄膜配線の前記一端と前記他端とは互いに近接して配置されており、

前記トランスフォーマの前記一次金属薄膜配線は前記第1トランジスタの前記出力端子と前記第2トランジスタの前記出力端子の間に並列に接続されるとともに前記二次金属薄膜配線と磁氣的に結合した第1配線と第2配線を少なくとも含み、

前記二次金属薄膜配線は、前記一次金属薄膜配線の前記第1配線と前記第2配線との間に形成されたRF電力増幅器。

【請求項 19】

前記第1配線と前記第2配線との少なくとも一方の配線は前記第1トランジスタの前記出力端子と前記第2トランジスタの前記出力端子との間で電源電圧が供給可能とされている請求項18に記載のRF電力増幅器。

40

【請求項 20】

前記トランスフォーマの前記一次金属薄膜配線の配線幅は、前記トランスフォーマの前記二次金属薄膜配線の配線幅よりも大きく形成されている請求項19に記載のRF電力増幅器。

【請求項 21】

前記トランスフォーマの前記一次金属薄膜配線と前記トランスフォーマの前記二次金属薄膜配線とは前記環状形状の周辺にそれぞれ形成されており、

前記一次金属薄膜配線と前記二次金属薄膜配線は所定のターン比に設定されることによって、前記トランスフォーマは前記ターン比によって決定されるインピーダンス変換比に

50

よって出力整合の動作を実行する請求項 20 に記載の R F 電力増幅器。

【請求項 22】

前記二次金属薄膜配線のターン数は前記一次金属薄膜配線のターン数の略整数倍に設定されている請求項 21 に記載の R F 電力増幅器。

【請求項 23】

前記トランスフォーマの前記一次金属薄膜配線の前記第 1 配線と前記第 2 配線とは、前記環状形状の外側金属薄膜配線と内側金属薄膜配線とによってそれぞれ形成されており、

前記二次金属薄膜配線は、前記外側金属薄膜配線と前記内側金属薄膜配線の間形成された中央金属薄膜配線によって構成されている請求項 22 に記載の R F 電力増幅器。

【請求項 24】

前記外側金属薄膜配線と前記内側金属薄膜配線との間で前記中央金属薄膜配線によって構成された前記二次金属薄膜配線は、複数のターン数を形成するものである請求項 23 に記載の R F 電力増幅器。

【請求項 25】

前記第 1 配線と前記二次金属薄膜配線と前記第 2 配線は前記基板の前記表面に形成された多層配線構造によって形成され、前記多層配線構造において前記二次金属薄膜配線は前記第 1 配線と前記第 2 配線とにより挟まれたものである請求項 21 に記載の R F 電力増幅器。

【請求項 26】

前記基板は半導体チップであり、前記第 1 トランジスタと前記第 2 トランジスタとは前記半導体チップに形成され、前記トランスフォーマはオンチップトランスフォーマとして前記半導体チップに形成されている請求項 21 に記載の R F 電力増幅器。

【請求項 27】

前記トランスフォーマが形成された前記基板は配線基板であり、前記第 1 トランジスタと前記第 2 トランジスタとは半導体チップに形成されており、

前記配線基板に形成された前記トランスフォーマは、前記半導体チップに形成された前記第 1 トランジスタおよび前記第 2 トランジスタに接続配線によって電氣的に接続されている請求項 21 に記載の R F 電力増幅器。

【請求項 28】

前記第 1 トランジスタと前記第 2 トランジスタとは M O S トランジスタである請求項 21 に記載の R F 電力増幅器。

【請求項 29】

前記 M O S トランジスタは L D 型 M O S トランジスタである請求項 28 に記載の R F 電力増幅器。

【請求項 30】

前記第 1 トランジスタと前記第 2 トランジスタとはバイポーラトランジスタである請求項 21 に記載の R F 電力増幅器。

【請求項 31】

前記バイポーラトランジスタは化合物半導体ヘテロバイポーラトランジスタである請求項 30 に記載の R F 電力増幅器。

【請求項 32】

前記一次金属薄膜配線に接続される前記能動素子として、前記環状形状の前記第 1 部分において前記トランスフォーマの前記一次金属薄膜配線の前記一端および前記他端に前記第 1 トランジスタおよび前記第 2 トランジスタのみが接続されており、

前記第 1 部分と前記第 2 部分とを接続する仮想線を中心に前記トランスフォーマの前記一次金属薄膜配線と前記二次金属薄膜配線とは、それぞれ対称形状で形成されている請求項 18 から請求項 31 のいずれかに記載の R F 電力増幅器。

【請求項 33】

前記電源電圧は、前記一次コイルの対称線上で前記一方のコイルに供給可能とされている請求項 12 に記載の R F 電力増幅器。

10

20

30

40

50

【請求項 3 4】

前記電源電圧は、前記一次コイルの対称線上で前記一方の配線に供給可能とされている請求項 1 9 に記載の R F 電力増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、R F 電力増幅器に関するもので、特に Q ファクタの低下を伴うことなくインピーダンス整合回路のトランスフォーマの一次コイルの入力インピーダンスを低減するのに有益な技術に関する。

【背景技術】

【0002】

携帯電話端末機器や無線 LAN 端末などの通信機器に搭載される無線周波数 (R F) 電力増幅器においては、良く知られているようにソース接地またはエミッタ接地の電力増幅トランジスタによって負荷のアンテナを効率的に駆動するために、電力増幅トランジスタと負荷の間にインピーダンス整合回路が接続される。このインピーダンス整合回路は、電力増幅トランジスタの数オームの低い出力インピーダンスを一般的には 50 オームの負荷の高い入力インピーダンスに変換する。また、インピーダンス整合回路はコイルや容量の受動素子により構成されるが、無損失で所定の変圧比を持つ変圧器 (トランスフォーマ) によって構成することができる。この変圧器の一次コイルは電力増幅トランジスタのドレインまたはコレクタに接続される一方、変圧器の二次コイルは負荷のアンテナに接続される。

【0003】

下記非特許文献 1 には、変圧器を使用したインピーダンス整合回路において変圧器の一次コイルの一端と他端に相補入力信号によって駆動される一対の N チャンネル M O S トランジスタが接続された高効率の B 級プッシュプル電力増幅器が記載されている。一次コイルの midpoint にはドレイン電源電圧が供給され、変圧器の二次コイルは負荷に接続される。

【0004】

一方、下記非特許文献 2 には、入力バルンとしての 1 個目のオンチップ変圧器とドライバ段と段間整合回路としての 2 個目と 3 個目のオンチップ変圧器と電力出力段とがシリコンチップ上に集積化されたモノリシック R F 電力増幅器が記載されている。ドライバ段は 1 個目のオンチップ変圧器の二次コイルの両端からの信号によって駆動される一対のドライバトランジスタを含み、電力出力段は 2 個目と 3 個目とのオンチップ変圧器の二次コイルの両端からの信号によって駆動される一対の出力トランジスタを含んでいる。一対のドライバトランジスタのコレクタには、2 個目と 3 個目のオンチップ変圧器の一次コイルを介して電源電圧が供給される。3 個のオンチップ変圧器は、シリコンチップ上の 3 層配線によって形成される。ドライバ段の一対のドライバトランジスタのコレクタには、シリコンチップの外部部品の複数のコイルと複数の容量によって構成された出力整合回路が接続される。

【0005】

一方、下記非特許文献 3 には、下記非特許文献 2 に記載のモノリシック R F 電力増幅器の外部部品による出力整合回路の問題を解消する一方、短チャンネル M O S トランジスタの低い降伏電圧と熱放散との問題を解決するための電力増幅器が記載されている。この電力増幅器は著者によって分布能動変圧器 (D A T) 電力増幅器と呼ばれ、分布能動変圧器 (D A T) の一次コイルは環状形状に配置された高い Q ファクタを持つ複数のスラブインダクタ (Slab Inductor) によって構成されている。複数のインダクタの間には、相補入力信号によって駆動される一対の N チャンネル M O S トランジスタを含む差動プッシュプル増幅器が接続されている。分布能動変圧器 (D A T) の一次コイルでは、複数のインダクタと複数の差動プッシュプル増幅器が環状形状に沿って交互に配置されている。分布能動変圧器 (D A T) の二次コイルは、環状形状の一次コイルの内部のワンターン金属ストリップによって構成される。一次コイルの複数の差動プッシュプル増幅器が同一の同期した交流電流を流すので、二次コイルに磁界が誘起され、複数の差動プッシュプル増幅器の差動電圧

10

20

30

40

50

の和が生成される。尚、D A Tは、Distributed Active-Transformerの略である。

【0006】

また、下記非特許文献3に記載のD A T電力増幅器は、複数の差動プッシュプル増幅器の各一对のM O Sトランジスタのゲートに相補入力信号を並列に供給するために、環状形状の外部から相補入力信号を環状形状の中央部に平衡信号を供給するための差動信号線を含む。この中央部と各一对のM O Sトランジスタの各ゲートとの間には、対称接続のための分配回路が配置されている。尚、分布能動変圧器(D A T)の環状形状の一次コイルが直線形状の複数のスラブインダクタによって構成されることによって、対向配線に流れる電流によって負の相互インダクタンスが生成される一般的なスパイラルインダクタと比較して、高いQファクタを持つものである。

10

【0007】

更に、下記非特許文献4には、下記非特許文献3に記載のようなD A T電力増幅器の分布能動変圧器(D A T)の円形構造が増幅器の不安定性をもたらす電力の入力と出力の交差結合の原因となることが記載されている。また下記非特許文献4には、能動デバイスと比較して分布能動変圧器(D A T)の大きな電力結合構造がトータルチップサイズを決定するので、コストの面で望ましくないことも記載されている。従って、下記非特許文献4には、安定性のため入力と出力との結合を低減するために、パワーデバイスと接続される入力ポートは分布能動変圧器(D A T)の四角形の一辺の部分の一次コイルに配置され、分布能動変圧器(D A T)の二次コイルの出力ポートは四角形の反対側の辺に配置されている。

20

【0008】

【非特許文献1】Frederic H. Raab et al, "RF and Microwave Power Amplifier and Transmitter Technologies - Part 2", High Frequency Electronics, PP. 22~36, May 2003,

【非特許文献2】Werner Simburger et al, "A Monolithic Transformer Coupled 5-W Silicon Power Amplifier with 59% PAE at 0.9GHz", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 34, NO. 12, DECEMBER 1999, PP. 1881~1892.

【非特許文献3】Ichiro Aoki et al, "Fully Integrated CMOS Power Amplifier Design Using the Distributed Active-Transformer Architecture", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 3, March 2002, PP. 371~383.

30

【非特許文献4】Kyu Hwan An et al, "A Monolithic Voltage-Boosting Parallel-Primary Transformer Structures for Fully Integrated CMOS Power Amplifier Design", 3~5 June 2007, 2007 IEEE Radio Frequency Integrated Circuits Symposium, PP. 419~422.

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明者等は本発明に先立って、出力インピーダンス整合回路として無損失で所定の変圧比を持つ変圧器(トランスフォーマ)を使用するR F電力増幅器の開発に従事した。このR F電力増幅器は携帯電話端末機器に搭載されるので、小型化、低コストと言う開発課題が本発明者等に与えられた。

【0010】

開発の経過において、まず本発明者等は背景技術の技術を詳細に、検討した。

50

【 0 0 1 1 】

図 1 は、上記非特許文献 3 に記載の D A T 電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。この電力増幅器は、シリコン(Si)チップ上に形成された(オンチップ)トランスフォーマを用いるものであり、このトランスフォーマは電磁誘導を利用して略平行に近接して配置された複数の配線間でエネルギーの伝達を行うデバイスである。また図 1 の平面図に示した電力増幅器は、1 個の Si チップ上に形成された 1 個のトランスフォーマと複数個のトランジスタとを含み、このトランスフォーマによって出力電力の電力合成とインピーダンス整合とを行うものである。

【 0 0 1 2 】

この電力増幅器は、能動デバイスとしては C M O S 製造プロセスによって製造可能な 8 個のソース接地の N チャンネル M O S トランジスタ 7 A ~ 7 H を使用して、各トランジスタの入力端子、出力端子、接地端子は、それぞれゲート、ドレイン、ソースとなっている。出力整合回路および電力合成回路として、環状形状の一次コイルとしての複数(4 個)の金属配線 1 A ~ 1 D と、一次コイルの内部の二次コイルのワンターン金属ストリップとしての金属薄膜配線 2 とから構成されたオンチップトランスフォーマを使用されている。第 1 金属配線 1 A と第 2 金属配線 1 B との間には、一对の N チャンネル M O S トランジスタ 7 A、7 B と容量 4 A とを含む第 1 プッシュプル型電力増幅回路が接続され、トランジスタ 7 A のゲートとトランジスタ 7 B のゲートには非反転入力信号 + Input と反転入力信号 - Input がそれぞれ供給される。第 2 金属配線 1 B と第 3 金属配線 1 C との間には、一对の N チャンネル M O S トランジスタ 7 C、7 D と容量 4 B とを含む第 2 プッシュプル型電力増幅回路が接続され、第 3 金属配線 1 C と第 4 金属配線 1 D との間には、一对の N チャンネル M O S トランジスタ 7 E、7 F と容量 4 C とを含む第 3 プッシュプル型電力増幅回路が接続される。最後に、第 4 金属配線 1 D と第 1 金属配線 1 A との間には、一对の N チャンネル M O S トランジスタ 7 G、7 H と容量 4 D とを含む第 4 プッシュプル型電力増幅回路が接続される。環状形状の一次コイルとしての 4 個の金属配線 1 A ~ 1 D の各配線は、高い Q ファクタを持つ複数のスラブインダクタ(Slab Inductor)によって構成され、その中点にはドレイン電源電圧 V dd が供給される。一次コイルの内部の二次コイルのワンターン金属ストリップとしての金属薄膜配線 2 の両端からは出力信号 Output が生成され、この両端には容量 4 E が接続されている。尚、容量 4 A ~ 4 D は、各プッシュプル型電力増幅回路の奇数高調波のレベルを低減するものである。

【 0 0 1 3 】

図 1 の平面図に示した電力増幅器によれば、環状形状の一次コイルとしての 4 個のスラブインダクタと 4 個のプッシュプル型電力増幅回路とが環状に交互に配置されて、一次コイルと環状形状の二次コイル 2 とが隣接するように配置され磁氣的に結合している。その結果、4 個のプッシュプル型電力増幅回路の出力が、オンチップトランスフォーマによって電力合成されるとともに出力整合を行うことができ、また、短チャンネル M O S トランジスタの低い降伏電圧と熱放散との問題を解決することができる。更に電力増幅器の出力整合回路を Si チップ上に小型に形成できて、それによって電力増幅器の製造コストおよびサイズを大幅に低減することができる効果がある。また、プッシュプル型電力増幅回路の一对の M O S トランジスタが差動動作であることから、一对の M O S トランジスタの電流が相殺されソース電圧が安定化され、4 個のスラブ金属配線 1 A ~ 1 D の各中点のドレイン電源電圧 V dd も安定化される。従って、電圧安定化のための大きな容量が不要となり、電力増幅器の製造コストおよびサイズを低減できる効果も有する。

【 0 0 1 4 】

図 2 も、上記非特許文献 3 に記載の D A T 電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。図 2 に示す電力増幅器が図 1 に示す電力増幅器と相違するのは、下記の点である。すなわち、図 2 に示す電力増幅器では、オンチップトランスフォーマの環状形状の二次コイル 2 の外側には外側環状形状の一次コイルとしての 8 個の金属配線 1 A ~ 1 H が配置されて、二次コイル 2 の内側には内側環状形状の一次コイルとしての 4 個の金属配線 1 I ~ 1 L が配置されている。外側の金属配線 1 A と外側の金

10

20

30

40

50

属配線 1Bとの間には、一対のNチャンネルMOSトランジスタ3A、3Bと容量4Aとを含むプッシュプル型電力増幅回路が接続され、トランジスタ3Aのゲートとトランジスタ3Bのゲートには非反転入力信号 + Inputと反転入力信号 - Inputがそれぞれ供給される。外側の金属配線 1Cと外側の金属配線 1Dとの間には、一対のNチャンネルMOSトランジスタ3C、3Dと容量4Bとを含むプッシュプル型電力増幅回路が接続され、外側の金属配線 1Eと外側の金属配線 1Fとの間には、一対のNチャンネルMOSトランジスタ3E、3Fと容量4Cとを含むプッシュプル型電力増幅回路が接続される。最後に、外側の金属配線 1Gと外側の金属配線 1Hとの間には、一対のNチャンネルMOSトランジスタ3G、3Hと容量4Dとを含むプッシュプル型電力増幅回路が接続される。

【 0 0 1 5 】

環状形状の中央部の右上の内側の金属配線 1Lの midpoint には、ドレイン電源電圧 V_{dd} が供給される。内側の金属配線 1Lの左上の一端はボンディングワイヤ8Aと外側の金属配線 1Aとを介してNチャンネルMOSトランジスタ3Aのドレインに接続され、内側の金属配線 1Lの右下の他端はボンディングワイヤ8Hと外側の金属配線 1Fとを介してNチャンネルMOSトランジスタ3Fのドレインに接続されている。環状形状の中央部の左上の内側の金属配線 1Iの midpoint にも、ドレイン電源電圧 V_{dd} が供給される。内側の金属配線 1Iの左下の一端はボンディングワイヤ8Cと外側の金属配線 1Cとを介してNチャンネルMOSトランジスタ3Cのドレインに接続され、内側の金属配線 1Iの右上の他端はボンディングワイヤ8Bと外側の金属配線 1Hとを介してNチャンネルMOSトランジスタ3Hのドレインに接続されている。環状形状の中央部の左下の内側の金属配線 1Jの midpoint にも、ドレイン電源電圧 V_{dd} が供給される。内側の金属配線 1Jの右下の一端はボンディングワイヤ8Eと外側の金属配線 1Eとを介してNチャンネルMOSトランジスタ3Eのドレインに接続され、内側の金属配線 1Jの左上の他端はボンディングワイヤ8Dと外側の金属配線 1Bとを介してNチャンネルMOSトランジスタ3Bのドレインに接続されている。環状形状の中央部の右下の内側の金属配線 1Kの midpoint には、ドレイン電源電圧 V_{dd} が供給される。内側の金属配線 1Kの右上の一端はボンディングワイヤ8Gと外側の金属配線 1Gとを介してNチャンネルMOSトランジスタ3Gのドレインに接続され、内側の金属配線 1Kの左下の他端はボンディングワイヤ8Fと外側の金属配線 1Dとを介してNチャンネルMOSトランジスタ3Dのドレインに接続されている。

【 0 0 1 6 】

図 3 も、上記非特許文献 3 に記載の DAT 電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。図 3 に示す電力増幅器が図 2 に示す電力増幅器と相違するのは、二次コイル 2 の外側の外側環状形状の一次コイルの金属配線の個数と内側の内側環状形状の一次コイルの金属配線の個数が半分とされ、プッシュプル型電力増幅回路の個数も半分とされている。すなわち、図 3 に示す電力増幅器では、オンチップトランスフォーマの環状形状の二次コイル 2 の外側には外側環状形状の一次コイルとしての 4 個の金属配線 1A ~ 1D が配置されて、二次コイル 2 の内側には内側環状形状の一次コイルとしての 2 個の金属配線 1E ~ 1F が配置されている。

【 0 0 1 7 】

環状形状の中央部の上の内側の金属配線 1Eの midpoint には、ドレイン電源電圧 V_{dd} が供給される。内側の金属配線 1Eの左下の一端はボンディングワイヤ8Aと外側の金属配線 1Bとを介してNチャンネルMOSトランジスタ3Cのドレインに接続され、内側の金属配線 1Eの右下の他端はボンディングワイヤ8Dと外側の金属配線 1Cとを介してNチャンネルMOSトランジスタ3Dのドレインに接続されている。環状形状の中央部の下の内側の金属配線 1Fの midpoint にも、ドレイン電源電圧 V_{dd} が供給される。内側の金属配線 1Fの右上の一端はボンディングワイヤ8Cと外側の金属配線 1Dとを介してNチャンネルMOSトランジスタ3Bのドレインに接続され、内側の金属配線 1Fの左上の他端はボンディングワイヤ8Bと外側の金属配線 1Aとを介してNチャンネルMOSトランジスタ3Aのドレインに接続されている。

【 0 0 1 8 】

10

20

30

40

50

図2と図3に示した本発明に先立って本発明者等により検討された電力増幅器では、下記のような問題があることが明らかとなった。すなわち、上記非特許文献4に記載されたように、図2と図3とに示したオンチップトランスフォーマの環状形状が増幅器の不安定性をもたらす電力の入力と出力との交差結合の原因となるものである。すなわち、図2に示す電力増幅器では、複数の差動プッシュプル増幅器の複数の一対のMOSトランジスタ3A、3B...3G、3Hのゲートに相補入力信号+Input、-Inputを並列に供給するために、下記が必要となる。最初に、外部環状形状の一次コイル1A、1B...1G、1Hの外部から相補入力信号+Input、-Inputを環状形状の中央部に平衡信号を供給するための差動信号線が必要となる。次に、環状形状の中央部と複数の一対のMOSトランジスタ3A、3B...3G、3Hのゲートとの間に、複数の対称接続配線を有する分配回路が必要となる。しかし、環状形状の外部から内部の中央部に相補入力信号+Input、-Inputを平衡に供給するための差動信号線は環状形状の二次コイル2とクロス配線となるので、このクロス配線の部分で信号の損失が生じる。また、環状形状の中央部と複数の一対のMOSトランジスタのゲートとに接続された分配回路の複数の対称接続配線も環状形状の二次コイル2と複数のクロス配線となるので、複数のクロス配線の部分で信号損失が生じる。本発明者等によるシミュレーションの結果、この損失によって電力付加効率(PAE: Power Added Efficiency)が5%低下することが判明した。

【0019】

更に、図2に示す電力増幅器では、オンチップトランスフォーマと複数の差動プッシュプル増幅器の複数のMOSトランジスタ3A、3B...3G、3Hとは同一のSiチップ上に形成する必要があり、MOSトランジスタ3A、3B...3G、3Hと比較して環状形状のオンチップトランスフォーマのチップ占有面積が大きくなり、電力増幅器の製造コストが高くなるものである。更に、損失による電力付加効率の低下と高い製造コストの問題は、図3に示す電力増幅器でも回避することは不可能である。

【0020】

図4は、上記非特許文献4に記載のDAT電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。図4に示す電力増幅器では、安定性のため入力と出力との結合を低減するために、パワーデバイスと接続される入力ポートはトランスフォーマの四角形の下側の一辺の一次コイルに配置され、トランスフォーマの二次コイルの出力ポートは四角形の反対側の上側の一辺に配置されている。トランスフォーマの環状形状の二次コイルは、外側の二次コイル2Aと内側の二次コイル2Bとによって構成される。外側の二次コイル2Aの四角形の上中央左の一端は出力端子Outputに接続され、外側の二次コイル2Aの四角形の上中央右の他端は下層クロス配線5Hを介して内側の二次コイル2Bの四角形の上中央左の一端に接続される。また内側の二次コイル2Bの四角形の上中央右の他端は、下層クロス配線5Dを介して接地電圧GNDに接続されている。

【0021】

トランスフォーマの環状形状の第1の一次コイルは、四角形の左辺に突出した長距離配線の金属配線1Aと、四角形の下中央の下層クロス配線5Fと、四角形の下中央左の短距離配線の金属配線1Bとによって構成されている。すなわち、四角形の左辺に突出した長距離配線の金属配線1Aの四角形の下中央右の一端と四角形の下中央左の短距離配線の金属配線1Bの一端とは、下層クロス配線5Fを介して相互に接続されている。短距離配線の金属配線1Bの他端はNチャンネルMOSトランジスタ7Bのドレインに接続され、長距離配線の金属配線1Aの四角形の左下の他端はNチャンネルMOSトランジスタ7Aのドレインに接続されている。トランスフォーマの環状形状の第2の一次コイルは、四角形の右辺に突出した長距離配線の金属配線1Dと、四角形の上中央の下層クロス配線5Gと、四角形の内側左の長距離配線の金属配線1Cと、四角形の下中央の下層クロス配線5Eと、四角形の下中央右の短距離配線の金属配線1Eとによって構成されている。すなわち、四角形の右辺に突出した長距離配線の金属配線1Dの四角形の右下の一端はNチャンネルMOSトランジスタ7Dのドレインに接続され、長距離配線の金属配線1Dの四角形の上中央右の他端は下層クロス配線5Gを介して四角形の内側左の長距離配線の金属配線1Cの四角形の上中

10

20

30

40

50

央左の一端に接続されている。長距離配線の金属配線1Cの四角形の下中央左の他端は、四角形の下中央の下層クロス配線5Eと四角形の下中央右の短距離配線の金属配線1Eを介してNチャンネルMOSトランジスタ7Cのドレインに接続されている。またNチャンネルMOSトランジスタ7A、7B、7C、7Dのドレインには、ボンディングワイヤ9A、9B、9C、9Dを介してドレイン電源電圧V_{dd}が供給される。

【0022】

図4に示す電力増幅器では、複数のMOSトランジスタ7A、7B、7C、7Dのゲートに相補入力信号+Input、-Inputを供給するためのゲート相補入力信号配線は、トランスフォーマの外側の二次コイル2Aおよび内側の二次コイル2Bとクロス配線を形成する必要は無い。また、MOSトランジスタ7A...7Dのゲート相補入力信号配線は、Siチップのデバイスレイアウトによってボンディングワイヤ9A...9Dとクロス配線を形成する必要は無い。従って、図4に示す電力増幅器では、差動プッシュプル増幅器の電力の入力と出力との交差結合による不安定性の問題もしくは電力付加効率の低下を解消することができる。更に、図4に示す電力増幅器では、トランスフォーマと複数の差動プッシュプル増幅器の複数のMOSトランジスタ7A...7Dは同一のSiチップ上に形成する必要はない。MOSトランジスタ7A...7DはSiチップ上に形成する一方、Siチップと比較してコストの安価なプリント配線基板上に環状形状のトランスフォーマを形成することができる。プリント配線基板上に形成された環状形状のトランスフォーマとSiチップ上に形成されたMOSトランジスタ7A...7Dとはボンディングワイヤによって相互に接続可能であるので、電力増幅器の製造コストを低減することが可能となるものである。

【0023】

しかし、図4に示す電力増幅器では、トランスフォーマの一次コイルの入力インピーダンスが高くなるという問題が本発明者等の検討によって明らかとされた。すなわち、図4に示す電力増幅器では、第1の一次コイル(配線1A、クロス配線5F、配線1B)や第2の一次コイル(配線1D、クロス配線5G、配線1C、クロス配線5E、配線1E)の長さは、トランスフォーマの環状形状の周辺長と略等しい長さとなっている。第1の一次コイルの両端には第1の差動プッシュプル増幅器のMOSトランジスタ7A、7Bのドレインが接続され、第2の一次コイルの両端には第2の差動プッシュプル増幅器のMOSトランジスタ7C、7Dのドレインが接続されている。一次コイルの入力インピーダンスの値は、一次コイルの長さすなわち環状形状の周辺長に比例するものとなる。図1や図2に示す電力増幅器のトランスフォーマと比較すると、図4に示すトランスフォーマでは、環状形状の周辺に配置された差動プッシュプル増幅器の個数が減少しているため、1個の差動プッシュプル増幅器の2個のMOSトランジスタのドレインの間の一次コイルの長さが入力インピーダンスとが増加する。

【0024】

差動プッシュプル増幅器のMOSトランジスタのドレイン出力インピーダンス(数オーム程度)と比較してトランスフォーマの一次コイルの入力インピーダンスが高くなると、トランスフォーマによる出力インピーダンス整合での整合条件が得られなくなってしまう。トランスフォーマの環状形状の半径と周辺長とを短縮することによって、トランスフォーマの一次コイルの入力インピーダンスを低減することができる。しかし、それによってトランスフォーマは略スパイラルインダクタとして動作するので、上記非特許文献4に記載のようにQファクタが低下するという問題が発生することが本発明者等の検討によって明らかとされた。

【0025】

また図4に示すトランスフォーマでは、NチャンネルMOSトランジスタ7A、7B、7C、7Dのドレインにドレイン電源電圧V_{dd}を供給するためのボンディングワイヤ9A、9B、9C、9Dの信号損失も生じるので、RF増幅出力信号の電力付加効率(PAE)が低下するという問題も本発明者等によって明らかとされた。

【0026】

更に図4に示すトランスフォーマでは、第1の一次コイル(配線1A、クロス配線5F、配

10

20

30

40

50

線 1 B)は四角形の右側と比較すると四角形の左側では環状形状の半径と周辺長とが大きくなっている。しかし、第 2 の一次コイル(配線 1 D、クロス配線 5 G、配線 1 C、クロス配線 5 E、配線 1 E)は、四角形の左側と比較すると四角形の右側では環状形状の半径と周辺長とが大きくなっている。その結果、二次コイル 2 A、2 B の出力端子 Output から生成される R F 増幅出力信号の偶数次の高調波歪が増大して、隣接チャンネル漏洩電力比(A C P R)や電力付加効率(P A E)が劣化するという副次的な問題が明らかとされた。尚、A C P R は、Adjacent Channel leakage Power Ratioの略である。

【 0 0 2 7 】

本発明は、以上のような本発明に先立った本発明者等の検討の結果、なされたものである。

10

【 0 0 2 8 】

従って、本発明の目的とするところは、Qファクタの低下を伴うことなくトランスフォーマの一次側の入力インピーダンスを低減できる R F 電力増幅器を提供することにある。

【 0 0 2 9 】

更に、本発明の他の目的とするところは、R F 増幅出力信号の電力付加効率(P A E)の低下を軽減することにある。また、本発明の副次的な目的とするところは、R F 電力増幅器の高調波歪が増大を軽減することに有る。

【 0 0 3 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【 0 0 3 1 】

本願において開示される発明のうちの代表的なものについて簡単に説明すれば下記のとおりである。

【 0 0 3 2 】

すなわち、本発明の代表的な R F 電力増幅器は、プッシュプル電力増幅回路の能動デバイスとしての第 1 と第 2 のトランジスタ(3A、3B)と、出力整合回路としてのトランスフォーマ(1A、1B、2)とを具備する。

【 0 0 3 3 】

前記第 1 と前記第 2 のトランジスタ(3A、3B)の入力端子に、入力信号(+ Input、- Input)が供給される。

30

【 0 0 3 4 】

前記トランスフォーマは、磁氣的に結合した一次コイル(1A、1B)と二次コイル(2)とを有する。

【 0 0 3 5 】

前記トランスフォーマの前記一次コイル(1A、1B)に前記第 1 と前記第 2 のトランジスタ(3A、3B)の出力端子が接続され、前記トランスフォーマの前記二次コイル(2)から出力信号(Output)が生成される。

【 0 0 3 6 】

前記トランスフォーマの前記一次コイル(1A、1B)は前記第 1 と前記第 2 のトランジスタ(3A、3B)の前記出力端子の間に並列に接続され前記二次コイル(2)と磁氣的に結合した第 1 コイル(1A)と第 2 コイル(1B)とを少なくとも含む(図 9 参照)。

40

【発明の効果】

【 0 0 3 7 】

本願において開示される発明のうちの代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 3 8 】

すなわち、Qファクタの低下を伴うことなくトランスフォーマの一次側の入力インピーダンスを低減できる R F 電力増幅器を提供することができる。

【発明を実施するための最良の形態】

50

【 0 0 3 9 】

《 代表的な実施の形態 》

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【 0 0 4 0 】

〔 1 〕本発明の代表的な実施の形態による R F 電力増幅器は、プッシュプル電力増幅回路の能動デバイスとしての第 1 トランジスタ(3A)および第 2 トランジスタ(3B)と、前記プッシュプル電力増幅回路の出力整合回路としてのトランスフォーマ(1 A、 1 B、 2)とを具備する。

10

【 0 0 4 1 】

前記第 1 トランジスタ(3A)の入力端子と前記第 2 トランジスタ(3B)の入力端子とに、非反転入力信号(+ Input)と反転入力信号(- Input)とがそれぞれ供給可能とされている。

【 0 0 4 2 】

前記トランスフォーマは、磁氣的に結合した一次コイル(1 A、 1 B)と二次コイル(2)とを有している。

【 0 0 4 3 】

前記トランスフォーマの前記一次コイル(1 A、 1 B)の一端と他端とは、前記第 1 トランジスタ(3A)の出力端子と前記第 2 トランジスタ(3B)の出力端子にそれぞれ接続され、前記トランスフォーマの前記二次コイル(2)の一端と他端との間から出力信号(Output)が生成可能とされている。

20

【 0 0 4 4 】

前記トランスフォーマの前記一次コイル(1 A、 1 B)は、前記第 1 トランジスタ(3A)の前記出力端子と前記第 2 トランジスタ(3B)の前記出力端子の間に並列に接続されるとともに前記二次コイル(2)と磁氣的に結合した第 1 コイル(1 A)と第 2 コイル(1 B)とを少なくとも含むものである(図 5 (A) 参照)。

【 0 0 4 5 】

前記実施の形態によれば、トランスフォーマの一次コイル(1 A、 1 B)は並列接続された第 1 コイル(1 A)と第 2 コイル(1 B)とを少なくとも含むので、トランスフォーマの一次側の入力インピーダンスを低減することが可能となる。この際に、トランスフォーマの環状形状の半径と周辺長とを短縮する必要がないので、Q ファクタの低下を解消することができる。

30

【 0 0 4 6 】

好適な実施の形態では、前記第 1 コイル(1 A)と前記第 2 コイル(1 B)との少なくとも一方のコイルは前記第 1 トランジスタ(3A)の前記出力端子と前記第 2 トランジスタ(3B)の前記出力端子との間で電源電圧(V dd)が供給可能とされている(図 5 (A) 参照)。

【 0 0 4 7 】

前記好適な実施の形態によれば、第 1 トランジスタ(3A)と第 2 トランジスタ(3B)とに電源電圧(V dd)を供給する際に、上記非特許文献 4 に記載のようにボンディングワイヤを使用する必要が無く、インピーダンスの低い一次コイルを使用して電源電圧を供給するものである。従って、上記非特許文献 4 に記載のボンディングワイヤの信号損失による電力付加効率の低下の問題を軽減することができる。

40

【 0 0 4 8 】

他の好適な実施の形態では、前記トランスフォーマの前記一次コイル(1 A、 1 B)と前記二次コイル(2)とは基板の表面に平坦に形成された環状形状の金属薄膜配線によってそれぞれ構成されている。

【 0 0 4 9 】

前記他の好適な実施の形態によれば、前記トランスフォーマの部品の高さを低くできるので、トランスフォーマを具備する R F 電力増幅器を携帯電話端末に搭載するに際して、携帯電話端末の小型化が可能となる。

50

【 0 0 5 0 】

更に他の好適な実施の形態では、前記トランスフォーマの前記一次コイル(1A、1B)を構成する金属薄膜配線の配線幅は、前記トランスフォーマの前記二次コイル(2)を構成する金属薄膜配線の配線幅よりも大きく形成されている。

【 0 0 5 1 】

別の好適な実施の形態では、前記トランスフォーマの前記一次コイル(1A、1B)を構成する前記金属薄膜配線と前記トランスフォーマの前記二次コイル(2)を構成する前記金属薄膜配線とは前記環状形状の周辺にそれぞれ形成されている。

【 0 0 5 2 】

前記一次コイル(1A、1B)と前記二次コイル(2)は所定のターン比に設定されることによって、前記トランスフォーマは前記ターン比によって決定されるインピーダンス変換比によって出力整合の動作を実行する。

10

【 0 0 5 3 】

より好適な実施の形態では、前記二次コイル(2)のターン数は前記一次コイル(1A、1B)のターン数の略整数倍に設定されている。

【 0 0 5 4 】

更により好適な実施の形態では、前記トランスフォーマの前記一次コイル(1A、1B)の前記第1コイル(1A)と前記第2コイル(1B)とは、前記環状形状の外側金属薄膜配線と内側金属薄膜配線とによってそれぞれ形成されている。

【 0 0 5 5 】

20

前記二次コイル(2)は、前記外側金属薄膜配線と前記内側金属薄膜配線の間形成された中央金属薄膜配線によって構成されている(図5(A)、図7、図8、図9、図10参照)。

【 0 0 5 6 】

具体的な実施の形態では、前記外側金属薄膜配線と前記内側金属薄膜配線との間で前記中央金属薄膜配線によって構成された前記二次コイル(2)は、複数のターン数を形成するものである(図5(A)、図7、図8、図10参照)。

【 0 0 5 7 】

より具体的な実施の形態では、前記第1コイル(1A)と前記二次コイル(2)と前記第2コイル(1B)は前記基板の前記表面に形成された多層配線構造によって形成され、前記多層配線構造において前記二次コイル(2)は前記第1コイル(1A)と前記第2コイル(1B)とにより挟まれたものである(図6参照)。

30

【 0 0 5 8 】

他の具体的な実施の形態では、前記基板は半導体チップ(11)であり、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とは前記半導体チップ(11)に形成され、前記トランスフォーマはオンチップトランスフォーマとして前記半導体チップ(11)に形成されている(図11、図13参照)。

【 0 0 5 9 】

更に異なる具体的な実施の形態では、前記トランスフォーマが形成された前記基板は配線基板(17)であり、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とは半導体チップ(11)に形成されている。

40

【 0 0 6 0 】

前記配線基板(17)に形成された前記トランスフォーマは、前記半導体チップ(11)に形成された前記第1トランジスタ(3A)および前記第2トランジスタ(3B)に接続配線によって電気的に接続されている(図12、図14参照)。

【 0 0 6 1 】

別の具体的な実施の形態では、前記トランスフォーマの前記一次コイル(1A、1B)は、対称形状で形成されている(図5(A)~図14参照)。

【 0 0 6 2 】

前記別の具体的な実施の形態によれば、二次コイル(2)の出力端子(Output)から生成さ

50

れるRF増幅出力信号の偶数次の高調波歪を低減できるので、隣接チャンネル漏洩電力比(ACPR)や電力付加効率(PAE)の劣化の問題を低減することが可能となる。

【0063】

また別の具体的な実施の形態では、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とはMOSトランジスタである(図5(A)~図13、図15参照)。

【0064】

具体的には、前記MOSトランジスタはLD型MOSトランジスタである。

【0065】

更に別の具体的な実施の形態では、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とはバイポーラトランジスタである(図14、図17参照)。

10

【0066】

具体的には、前記バイポーラトランジスタは化合物半導体ヘテロバイポーラトランジスタである。

【0067】

最も具体的な実施の形態では、前記第1トランジスタおよび前記第2トランジスタが接続された前記一次コイルの前記一端および前記他端と前記出力信号が生成可能とされた前記二次コイルの前記一端および前記他端は前記環状形状で相互に対向する場所に形成されている(図5(A)~図14参照)。

【0068】

〔2〕本発明の別の観点の代表的な実施の形態によるRF電力増幅器は、プッシュプル電力増幅回路の能動デバイスとしての第1トランジスタ(3A)および第2トランジスタ(3B)と、前記プッシュプル電力増幅回路の出力整合回路としてのトランスフォーマ(1A、1B、2)とを具備する。

20

【0069】

前記第1トランジスタ(3A)の入力端子と前記第2トランジスタ(3B)の入力端子とに、非反転入力信号(+Input)と反転入力信号(-Input)とがそれぞれ供給可能とされている。

【0070】

前記トランスフォーマは、一次金属薄膜配線(1A、1B)と二次金属薄膜配線(2)とを有し、前記一次金属薄膜配線と前記二次金属薄膜配線とは磁氣的に結合され、前記一次金属薄膜配線と前記二次金属薄膜配線とは基板の表面に平坦に形成された環状形状をそれぞれ有している。

30

【0071】

前記トランスフォーマの前記一次金属薄膜配線(1A、1B)の一端(I1)には前記第1トランジスタ(3A)の出力端子が接続され、前記トランスフォーマの前記金属薄膜配線の他端(I2)には前記第2トランジスタ(3B)の出力端子が接続される。

【0072】

前記トランスフォーマの前記二次金属薄膜配線(2)の一端(O1)と他端(O2)との間から、出力信号(Output)が生成可能とされている。

【0073】

前記トランスフォーマの前記一次金属薄膜配線(1A、1B)の前記一端(I1)および前記他端(I2)と前記二次金属薄膜配線(2)の前記一端(O1)および前記他端(O2)とは、前記環状形状で相互に対向する第1部分(B1)と第2部分(B2)とにそれぞれ形成される。

40

【0074】

前記環状形状の前記第1部分(B1)において、前記トランスフォーマの前記一次金属薄膜配線(1A、1B)の前記一端(I1)と前記他端(I2)とは互いに近接して配置されている。

【0075】

前記環状形状の前記第2部分(B2)において、前記トランスフォーマの前記二次金属薄膜配線(2)の前記一端(O1)と前記他端(O2)とは互いに近接して配置されている。

50

【0076】

前記トランスフォーマの前記一次金属薄膜配線(1A、1B)は前記第1トランジスタ(3A)の前記出力端子と前記第2トランジスタ(3B)の前記出力端子の間に並列に接続されるとともに前記二次金属薄膜配線(2)と磁気的に結合した第1配線(1A)と第2配線(1B)とを少なくとも含む(図5(A)、(B)参照)。

【0077】

前記実施の形態によれば、トランスフォーマの一次金属薄膜配線(1A、1B)は並列接続された第1配線(1A)と第2配線(1B)とを少なくとも含むので、トランスフォーマの一次側の入力インピーダンスを低減することが可能となる。

【0078】

更に、トランスフォーマの一次金属薄膜配線(1A、1B)の一端(I1)および他端(I2)と二次金属薄膜配線(2)の一端(O1)および他端(O2)とは、環状形状で相互に対向する第1部分(B1)と第2部分(B2)とにそれぞれ形成される。環状形状の第1部分(B1)において、一次金属薄膜配線(1A、1B)の一端(I1)と他端(I2)とは互いに近接して配置されている。環状形状の第2部分(B2)において、二次金属薄膜配線(2)の一端(O1)と他端(O2)とは互いに近接して配置されている。従って、トランスフォーマの相補出力端子と一方の出力として機能する二次金属薄膜配線(2)の一端(O1)からトランスフォーマの相補入力端子として機能する一次金属薄膜配線(1A、1B)の一端(I1)および他端(I2)への結合度と、トランスフォーマの相補出力端子と他方の出力として機能する二次金属薄膜配線(2)の他端(O2)から一次金属薄膜配線(1A、1B)の一端(I1)および他端(I2)への結合度とを略等しくすることが可能となる。その結果、RF電力増幅器のプッシュプル電力増幅回路の動作安定性を向上することが可能となる。

【0079】

また更に、前記実施の形態によれば、前記トランスフォーマの一次配線と二次配線とは金属薄膜配線(1A、1B、2)によって形成されているので、前記トランスフォーマの部品の高さを低くできるので、トランスフォーマを具備するRF電力増幅器を携帯電話端末に搭載するに際して、携帯電話端末の小型化が可能となる。

【0080】

好適な実施の形態では、前記第1配線(1A)と前記第2配線(1B)との少なくとも一方の配線は前記第1トランジスタ(3A)の前記出力端子と前記第2トランジスタ(3B)の前記出力端子との間で電源電圧(V_{dd})が供給可能とされている(図5(A)、(B)参照)。

【0081】

前記好適な実施の形態によれば、第1トランジスタ(3A)と第2トランジスタ(3B)とに電源電圧(V_{dd})を供給する際に、上記非特許文献4に記載のようにボンディングワイヤを使用する必要が無く、インピーダンスの低い一次コイルを使用して電源電圧を供給するものである。従って、上記非特許文献4に記載のボンディングワイヤの信号損失による電力付加効率の低下の問題を軽減することができる。

【0082】

更に好適な実施の形態では、前記トランスフォーマの前記一次金属薄膜配線(1A、1B)の配線幅は、前記トランスフォーマの前記金属薄膜配線(2)の配線幅よりも大きく形成されている。

【0083】

他の好適な実施の形態では、前記トランスフォーマの前記一次金属薄膜配線(1A、1B)と前記トランスフォーマの前記二次金属薄膜配線(2)とは前記環状形状の周辺にそれぞれ形成されている。

【0084】

前記一次金属薄膜配線(1A、1B)と前記二次金属薄膜配線(2)は所定のターン比に設定されることによって、前記トランスフォーマは前記ターン比によって決定されるインピーダンス変換比によって出力整合の動作を実行する。

【0085】

10

20

30

40

50

より好適な実施の形態では、前記二次金属薄膜配線(2)のターン数は前記一次金属薄膜配線(1A、1B)のターン数の略整数倍に設定されている。

【0086】

更により好適な実施の形態では、前記トランスフォーマの前記一次金属薄膜配線(1A、1B)の前記第1配線(1A)と前記第2配線(1B)とは、前記環状形状の外側金属薄膜配線と内側金属薄膜配線とによってそれぞれ形成されている。

【0087】

前記二次金属薄膜配線(2)は、前記外側金属薄膜配線と前記内側金属薄膜配線の間に形成された中央金属薄膜配線によって構成されている(図5(A)、(B)、図7、図8、図9、図10参照)。

【0088】

具体的な実施の形態では、前記外側金属薄膜配線と前記内側金属薄膜配線との間で前記中央金属薄膜配線によって構成された前記二次金属薄膜配線(2)は、複数のターン数を形成するものである(図5(A)、(B)、図7、図8、図10参照)。

【0089】

より具体的な実施の形態では、前記第1配線(1A)と前記二次金属薄膜配線(2)と前記第2配線(1B)は前記基板の前記表面に形成された多層配線構造によって形成され、前記多層配線構造において前記二次金属薄膜配線(2)は前記第1配線(1A)と前記第2配線(1B)とにより挟まれたものである(図6参照)。

【0090】

他の具体的な実施の形態では、前記基板は半導体チップ(11)であり、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とは前記半導体チップ(11)に形成され、前記トランスフォーマはオンチップトランスフォーマとして前記半導体チップ(11)に形成されている(図11、図13参照)。

【0091】

更に異なる具体的な実施の形態では、前記トランスフォーマが形成された前記基板は配線基板(17)であり、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とは半導体チップ(11)に形成されている。

【0092】

前記配線基板(17)に形成された前記トランスフォーマは、前記半導体チップ(11)に形成された前記第1トランジスタ(3A)および前記第2トランジスタ(3B)に接続配線によって電氣的に接続されている(図12、図14参照)。

【0093】

また別の具体的な実施の形態では、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とはMOSトランジスタである(図5(A)、(B)~図13、図15参照)。

【0094】

具体的には、前記MOSトランジスタはLD型MOSトランジスタである。

【0095】

更に別の具体的な実施の形態では、前記第1トランジスタ(3A)と前記第2トランジスタ(3B)とはバイポーラトランジスタである(図14、図17参照)。

【0096】

具体的には、前記バイポーラトランジスタは化合物半導体ヘテロバイポーラトランジスタである。

【0097】

最も具体的な実施の形態では、前記一次金属薄膜配線に接続される前記能動素子として、前記環状形状の前記第1部分(B1)において前記トランスフォーマの前記一次金属薄膜配線(1A、1B)の前記一端(I1)および前記他端(I2)に前記第1トランジスタ(3A)および前記第2トランジスタ(3B)のみが接続されている。

【0098】

前記第1部分(B1)と前記第2部分(B2)とを接続する仮想線を中心に前記トランスフ

10

20

30

40

50

オーマの前記一次金属薄膜配線(1A、1B)と前記二次金属薄膜配線(2)とは、それぞれ対称形状で形成されている(図5(A)、(B)~図14参照)。

【0099】

前記最も具体的な実施の形態によれば、トランスフォーマの環状形状の半径と周辺長とが対称形状となるので、Qファクタの低下を解消することができる。また、二次金属薄膜配線(2)の出力端子(Output)から生成されるRF増幅出力信号の偶数次の高調波歪を低減できるので、隣接チャンネル漏洩電力比(ACPR)や電力付加効率(PAE)の劣化の問題を低減することが可能となる。

【0100】

《実施の形態の説明》

次に、実施の形態について更に詳述する。尚、発明を実施するための最良の形態を説明するための全図において、前記の図と同一の機能を有する部品には同一の符号を付して、その繰り返しの説明は省略する。

【0101】

《RF電力増幅器の基本構成》

図5は、本発明の1つの実施の形態によるRF電力増幅器の基本的な構成を示す図である。

【0102】

図5(A)は、トランスフォーマがその入力端子I1、I2とその出力端子O1、O2との略中間点C1に配置された代表的な構成を示すものである。図5(B)は、トランスフォーマがその入力端子I1、I2とその出力端子O1、O2との略中間点C1からシフトして配置された構成を示すものである。図5(C)は、図5(A)の破線B1に囲まれた部分の拡大図を示すものである。図5(D)は、図5(C)における線A-A'の部分の断面図である。尚、トランスフォーマの入力端子I1、I2と出力端子O1、O2とは、前記環状形状で相互に対向する第1部分B1および第2部分B2にそれぞれ形成されている。

【0103】

すなわち、図5(A)~(D)に示すRF電力増幅器では、能動デバイスとして2個のソース接地のNチャンネル高耐圧MOSトランジスタ3A、3Bを使用しており、トランジスタの入力端子、出力端子、接地端子は、それぞれゲート、ドレイン、ソースとなっている。出力整合回路および電力合成回路として、環状形状の一次コイルとしての複数(2個)の金属配線1A、1Bと、一次コイルの2個の金属配線1A、1Bの間の二次コイルのスリーターン金属ストリップとしての金属薄膜配線2とから構成されたオンチップトランスフォーマを使用されている。1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタ3AのドレインとNチャンネルMOSトランジスタ3Bのドレインとの間には、オンチップトランスフォーマの一次コイルとして外側の金属配線1Aと内側の金属配線1Bとが2本並列に接続されている。この並列接続によって一次コイルのインダクタンスが低減されるので、オンチップトランスフォーマの一次コイルの入力インピーダンスを低減することができる。また、二次コイルの金属薄膜配線2の配線幅よりも一次コイルの2個の金属配線1A、1Bの金属薄膜配線の配線幅が大きく設定されているので、オンチップトランスフォーマの一次コイルの入力インピーダンスを低減することができる。この時には、トランスフォーマの環状形状の半径と周辺長とを短縮することなく保持することができるので、Qファクタの低下を解消することができる。

【0104】

環状形状の上中央において、一次コイルとしての外側の金属配線1Aの midpoint に電源電圧V_{dd}が供給される。図5(A)~(D)には示されていないが、環状形状の上中央において、一次コイルとしての内側の金属配線1Bの midpoint に図示されていないクロス配線等によって電源電圧V_{dd}が供給されることができ、従って、図4で説明したNチャンネルMOSトランジスタのドレインに電源電圧を供給するためのボンディングワイヤでの信号損失による電力付加効率の低下の問題を軽減することができる。

【0105】

10

20

30

40

50

図5(A)、(C)に示すように、一方のNチャンネルMOSトランジスタ3Aのドレインには環状形状の下中央左で外側の金属配線1Aの一端(第1入力端子I1)と下層クロス配線5Aの一端とに接続されて、下層クロス配線5Aの他端は内側の金属配線1Bの一端に接続されている。他方のNチャンネルMOSトランジスタ3Bのドレインには環状形状の下中央右で外側の金属配線1Aの他端(第2入力端子I2)と下層クロス配線5Bの一端とに接続されて、下層クロス配線5Bの他端は内側の金属配線1Bの他端に接続されている。尚、トランスフォーマの一次コイルとしての金属配線1Aおよび金属配線1Bとトランスフォーマの二次コイル2と下層クロス配線5Aおよび下層クロス配線5Bとは、図5(D)に示すように多層配線構造により形成されている。基板Subの表面上には第1層目の絶縁膜Ins1が形成され、第1層目の絶縁膜Ins1の表面上には下層クロス配線5Bと第2層目の絶縁膜Ins2とが形成されている。第2層目の絶縁膜Ins2の表面上には、トランスフォーマの一次コイルとしての金属配線1Aおよび金属配線1Bとトランスフォーマの二次コイル2とが形成されている。金属配線1A、金属配線1Bと二次コイル2との上には、第3層目の絶縁膜Ins3が形成されている。また、一次コイルとしての外側の金属配線1Aと内側の金属配線1Bは2本並列に接続されているが、一次コイルは環状形状の周辺にてワンターンで形成されている。

【0106】

一方のNチャンネルMOSトランジスタ3Aのゲートには非反転入力信号+Inputが供給され、他方のNチャンネルMOSトランジスタ3Bのゲートには反転入力信号-Inputが供給される。一次コイルの金属配線1A、1Bの長さは環状形状の周辺長と略等しいが、一次コイルの金属配線1A、1Bが2本並列に接続されることによって、2個のNチャンネルMOSトランジスタ3A、3Bのドレインの間の一次コイルの入力インピーダンスが半分に低減されることができる。尚、2個のNチャンネルMOSトランジスタ3A、3Bのドレインの間には、奇数高調波のレベルを低減するための容量4が接続されている。この容量4は、例えば、CMOS製造プロセスによって製造可能なMIM容量によって構成される。MIM容量は容量絶縁膜の上下に容量電極が形成されることで容量が構成される。尚、MIMは、Metal-Insulator-Metalの略である。

【0107】

一次コイルの並列接続された2個の金属配線1A、1Bの間には、二次コイルの金属ストリップとしての金属薄膜配線2がスリターンで配置されている。金属薄膜配線2の環状形状の上中央右の一端(第2出力端子O2)は下層クロス配線5Dを介して接地電圧GNDに接続される一方、上中央右の一端を開始点として時計回りで3回転して上中央左の他端(第1出力端子O1)の終了点に到達するように金属薄膜配線2が形成されている。上中央左の他端の終了点は下層クロス配線5Cに接続され、下層クロス配線5Cを介して出力信号Outputが生成される。従って、一次コイルと二次コイルとのターン比(Turn Ratio)は1:3となるので、RF電力増幅器の出力インピーダンス整合回路としてのオンチップトランスフォーマの基本理論上のインピーダンス変換比は1:3²となる。本発明者等が図5に示すRF電力増幅器のインピーダンス変換比を電磁界シミュレーションによって計算したところ、1:11と基本理論値よりも良好なインピーダンス変換比が得られることが明らかとなった。図5(A)~(D)に示すRF電力増幅器によって、基本理論値よりも良好なインピーダンス変換比が得られるのは、2本の金属配線1A、1Bの並列接続によって構成された一次コイルの入力インピーダンスが通常の場合の半分に低減されることに起因するものである。

【0108】

また、図5(A)~(D)に示すRF電力増幅器では、プッシュプル型電力増幅回路のNチャンネルMOSトランジスタ3A、3Bとして出力インピーダンスが比較的高い高耐圧トランジスタを使用することが推奨される。高耐圧トランジスタとしては、LD(Laterally Diffused)型のNチャンネルMOSトランジスタやGaAs等の化合物半導体による高耐圧npn型ヘテロバイポーラトランジスタを使用することができる。

【0109】

10

20

30

40

50

図1に示すDAT電力増幅器と比較すると、図5(A)~(D)に示すRF電力増幅器では一次コイルの金属配線1A、1Bが2本並列に接続されているが、環状形状の周辺に配置されたプッシュプル型電力増幅回路の個数が4分の1に減少されているので、一次コイルの入力インピーダンスは略2倍に増加している。従って、図5(A)~(D)に示したRF電力増幅器のNチャンネルMOSトランジスタ3A、3Bとして出力インピーダンスが比較的高い高耐圧トランジスタを使用することで、MOSトランジスタの出力インピーダンスとトランスフォーマの一次コイルの入力インピーダンスとの間でインピーダンス整合条件を得ることができる。

【0110】

LD型NチャンネルMOSトランジスタではゲートとドレインの間にN型低不純物濃度領域が形成されることによって、通常のCMOS製造プロセスで形成される一般的な短チャンネルMOSトランジスタと比較して耐圧を大幅に向上している。LD型NチャンネルMOSトランジスタの低不純物濃度領域によってドレイン出力容量が小さくなるので、高効率、低歪率のRF電力増幅特性を得ることができる。また、高耐圧であるので、静電破壊に対する耐性を向上することもできる。

10

【0111】

更に、図5(A)~(D)に示すRF電力増幅器のNチャンネルMOSトランジスタ3A、3BにLD型NチャンネルMOSトランジスタを使用することで、LD型MOSトランジスタの比較的高い出力インピーダンスとトランスフォーマの一次コイルの入力インピーダンスとの間で良好なインピーダンス整合条件を得ることができる。

20

【0112】

一方、図4に示した電力増幅器でも、図1に示すDAT電力増幅器と比較すると、環状形状の周辺に配置されたプッシュプル型電力増幅回路の個数が4分の1に減少されているので、一次コイルの入力インピーダンスは略4倍に増加している。図4のRF電力増幅器のNチャンネルMOSトランジスタ7A、7B、7C、7Dに出力インピーダンスが比較的高いLD型MOSトランジスタを使用しても、MOSトランジスタとトランスフォーマの一次コイルの入力インピーダンスとの間で良好なインピーダンス整合条件を得ることができないものであった。その結果、図4に示した電力増幅器にLD型MOSトランジスタを採用した場合の最大のRF出力電力 $P_{out(max)}$ は略33dBmが上限であることが、本発明者等によって確認されている。

30

【0113】

それに対して、図5(A)~(D)に示すRF電力増幅器にLD型MOSトランジスタを採用した場合には良好なインピーダンス整合条件を得ることができるので、最大RF出力電力 $P_{out(max)}$ を略35dBmまで増加可能であることが、本発明者等によって確認されている。

【0114】

また、図5(A)~(D)に示すRF電力増幅器では、オンチップトランスフォーマの一次コイルの2個の金属配線1A、1Bの環状形状の半径と周辺長とは環状形状の左右で対称となっている。従って、二次コイル2の出力端子Outputから生成されるRF増幅出力信号の偶数次の高調波歪を低減できるので、隣接チャンネル漏洩電力比(ACPR)や電力付加効率(PAE)の劣化の問題を低減することが可能となる。

40

【0115】

《RF電力増幅器の他の構成》

図6は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【0116】

すなわち、図6に示すRF電力増幅器が、図5に示したRF電力増幅器と相違するのは下記の点である。

【0117】

まず図6に示すRF電力増幅器では、図6の右の断面構造に示されているように、二次コイルの金属ストリップとしてツーターンで配置された金属薄膜配線2の上下に一次コイ

50

ルの並列接続された2個の金属配線1A、1Bが形成されている。従って、金属配線1Bと金属薄膜配線2と金属配線1Aとは、Siチップ上の第1層金属配線と第2層金属配線と第3層金属配線とによってそれぞれ形成されている。

【0118】

図6の平面図に示すように、第2層金属配線の金属薄膜配線2の環状形状の上中央右の一端は下層クロス配線5Dを介して接地電圧GNDに接続される一方、上中央右の内側の一端を開始点として時計回りで2回転して上中央左の外側の他端の終了点に到達するように金属薄膜配線2が形成されている。環状形状の金属薄膜配線2の上中央左の外側の他端と上中央右の内側の一端との間で、金属薄膜配線2の内側環状形状部と外側環状形状部とが接続される。またこの間で、第1層金属配線の金属配線1Bの midpoint と第3層金属配線の金属配線1Aの midpoint とに電源電圧Vddが供給される。

10

【0119】

図6に示すRF電力増幅器においても、1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタ3A、3Bのドレインの間に、オンチップトランスフォーマの一次コイルとして外側の金属配線1Aと内側の金属配線1Bとが2本並列に接続されている。この並列接続によって一次コイルのインダクタンスが低減され、一次コイルの入力インピーダンスを低減できる。この時に、トランスフォーマの環状形状の半径と周辺長とを短縮することなく保持できるので、Qファクタの低下を解消できる。

【0120】

更に、環状形状の上中央において、第1層金属配線の金属配線1Bの midpoint と第3層金属配線の金属配線1Aの midpoint とに電源電圧Vddが供給されるので、図4で説明したNチャンネルMOSトランジスタのドレインに電源電圧を供給するためのボンディングワイヤの信号損失による電力付加効率の低下の問題を軽減できる。

20

【0121】

図6に示すF電力増幅器では、一次コイルと二次コイルとのターン比(Turn Ratio)は1:2となるので、RF電力増幅器の出力インピーダンス整合回路としてのオンチップトランスフォーマの基本理論上のインピーダンス変換比は $1:2^2$ となる。本発明者等が図6に示すRF電力増幅器のインピーダンス変換比を電磁界シミュレーションによって計算したところ、1:5.7と基本理論値よりも良好なインピーダンス変換比が得られることが明らかとなった。図6に示すRF電力増幅器によって、基本理論値よりも良好なインピーダンス変換比が得られるのは、2本の金属配線1A、1Bの並列接続によって構成された一次コイルの入力インピーダンスが通常の場合の半分に低減されることに起因するものである。

30

【0122】

また、図6に示すF電力増幅器のNチャンネルMOSトランジスタ3A、3BにLD型NチャンネルMOSトランジスタを使用することで、LD型MOSトランジスタの比較的高い出力インピーダンスとトランスフォーマの一次コイルの入力インピーダンスとの間で良好なインピーダンス整合条件を得ることができる。

【0123】

また、図6に示すF電力増幅器でも、オンチップトランスフォーマの一次コイルの2個の金属配線1A、1Bの環状形状の半径と周辺長とは環状形状の左右で対称となっている。従って、二次コイル2の出力端子Outputから生成されるRF増幅出力信号の偶数次の高調波歪を低減でき、隣接チャンネル漏洩電力比(ACPR)や電力付加効率(PAE)の劣化の低減が可能となる。尚、図6において、二次コイルの金属薄膜配線2の上下に形成された一次コイルの2個の金属配線1A、1Bは、ビア6A、6Bによって電氣的に相互に接続されている。上下に形成された金属配線1A、1Bの間の層間絶縁膜に貫通孔が形成され、この貫通孔中に配線金属が充填されることによってビア6A、6Bが形成されることができ

40

【0124】

図7は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【0125】

50

すなわち、図7に示すRF電力増幅器が、図5に示したRF電力増幅器と相違するのは下記の点である。

【0126】

まず図7に示すRF電力増幅器では、二次コイルの金属ストリップとしてツーターンで配置された金属薄膜配線2の間に一次コイルの並列接続された3個の金属配線1A、1B、1Cが形成されている。

【0127】

図7の平面図に示すように、金属薄膜配線2の環状形状の上中央右の一端は下層クロス配線5Dを介して接地電圧GNDに接続される一方、上中央右の内側の一端を開始点として時計回りで2回転して上中央左の外側の他端の終了点に到達するように金属薄膜配線2が形成されている。環状形状の金属薄膜配線2の上中央左の外側の他端と上中央右の内側の一端との間で、金属薄膜配線2の内側環状形状部と外側環状形状部とが接続される。またこの間で、金属配線1Cの midpoint と金属配線1Bの midpoint と金属配線1Aの midpoint とに電源電圧Vddが供給される。

【0128】

図7に示すRF電力増幅器においても、1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタ3A、3Bのドレインの間に、オンチップトランスフォーマの一次コイルとして外側の金属配線1Aと中央の金属配線1Bと内側の金属配線1Cとが3本並列に接続されている。この並列接続によって一次コイルのインダクタンスが低減され、一次コイルの入力インピーダンスを低減できる。また、二次コイルの金属薄膜配線2の配線幅よりも一次コイルの3個の金属配線1A、1B、1Cの金属薄膜配線の配線幅が大きく設定されているので、オンチップトランスフォーマの一次コイルの入力インピーダンスを低減することかできる。図5や図6に示したRF電力増幅器と比較して、図7に示すRF電力増幅器によれば最大RF出力電力 $P_{out(max)}$ が略0.5dBm増加することが、本発明者等によって確認されている。更に、トランスフォーマの環状形状の半径と周辺長とを短縮することなく保持できるので、Qファクタの低下を解消できる。

【0129】

また、環状形状の上中央において、内側の金属配線1Cの midpoint と中央の金属配線1Bの midpoint と外側の金属配線1Aの midpoint とに電源電圧Vddが供給されるので、図4で説明したNチャンネルMOSトランジスタのドレインに電源電圧を供給するためのボンディングワイヤの信号損失による電力付加効率の低下の問題を軽減できる。

【0130】

図7に示すRF電力増幅器でも、一次コイルと二次コイルとのターン比(Turn Ratio)は1:2となるので、RF電力増幅器の出力インピーダンス整合回路としてのオンチップトランスフォーマの基本理論上のインピーダンス変換比は1:2²となる。本発明者等が図7に示すRF電力増幅器のインピーダンス変換比を電磁界シミュレーションによって計算したところ、1:6と基本理論値よりも良好なインピーダンス変換比が得られることが明らかとなった。図7に示すRF電力増幅器によって、基本理論値よりも良好なインピーダンス変換比が得られるのは、3本の金属配線1A、1B、1Cの並列接続によって構成された一次コイルの入力インピーダンスが通常の場合の3分の1に低減されることに起因するものである。

【0131】

また、図7に示すRF電力増幅器のNチャンネルMOSトランジスタ3A、3BにLD型NチャンネルMOSトランジスタを使用することで、LD型MOSトランジスタの比較的高い出力インピーダンスとトランスフォーマの一次コイルの入力インピーダンスとの間で良好なインピーダンス整合条件を得ることができる。

【0132】

また、図7に示すRF電力増幅器でも、オンチップトランスフォーマの一次コイルの3個の金属配線1A、1B、1Cの環状形状の半径と周辺長とは環状形状の左右で対称となっている。従って、二次コイル2の出力端子Outputから生成されるRF増幅出力信号の偶数次の

10

20

30

40

50

高調波歪を低減でき、隣接チャンネル漏洩電力比(A C P R)や電力付加効率(P A E)の劣化の低減が可能となる。

【0133】

図8は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【0134】

すなわち、図8に示すRF電力増幅器が、図7に示したRF電力増幅器と相違するのは下記の点である。

【0135】

図8に示すRF電力増幅器では、トランスフォーマの一次コイルの外側の金属配線1Aと中央の金属配線1Bとの間に二次コイルの金属ストリップとしての金属薄膜配線2がワンターン追加されていることである。従って、金属薄膜配線2のターン数は3となるので、一次コイルと二次コイルとのターン比(Turn Ratio)は1:3となり、RF電力増幅器の出力インピーダンス整合回路としてのオンチップトランスフォーマの基本理論上のインピーダンス変換比は1:3²となる。また図8に示すRF電力増幅器でも、図5から図7までに示した本発明の種々の実施の形態によるRF電力増幅器と略同様な有益な作用と効果とを達成することができる。

10

【0136】

図9は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【0137】

すなわち、図9に示すRF電力増幅器が、図5に示したRF電力増幅器と相違するのは下記の点である。

20

【0138】

図9に示すRF電力増幅器では、トランスフォーマの一次コイルの外側の金属配線1Aと内側の金属配線1Bとの間の二次コイルの金属ストリップとしての金属薄膜配線2がスリターンからワンターンに変更されていることである。従って、金属薄膜配線2のターン数は1となるので、一次コイルと二次コイルとのターン比(Turn Ratio)は1:1となり、RF電力増幅器の出力インピーダンス整合回路としてのオンチップトランスフォーマの基本理論上のインピーダンス変換比は1:1²となる。しかし、1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタ3A、3Bのドレインの間には、一次コイルの外側と内側の金属配線1A、1Bが2本並列接続されているので、一次コイルのインダクタンスが低減され、オンチップトランスフォーマの一次コイルの入力インピーダンスを低減できる。本発明者等が図9のRF電力増幅器のインピーダンス変換比を電磁界シミュレーションによって計算したところ、1:2.1と基本理論値よりも良好なインピーダンス変換比が得られることが明らかとなった。この理由も、2本の金属配線1A、1Bの並列接続によって構成された一次コイルの入力インピーダンスが通常の場合の2分の1に低減されることに起因するものである。また図9のRF電力増幅器でも、図5から図7に示した本発明の種々の実施の形態によるRF電力増幅器と略同様な有益な作用と効果とを達成することができる。

30

【0139】

図10は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

40

【0140】

すなわち、図10に示すRF電力増幅器が、図9に示したRF電力増幅器と相違するのは下記の点である。

【0141】

図10に示すRF電力増幅器では、トランスフォーマの一次コイルの外側の金属配線1Aと内側の金属配線1Bとの間の二次コイルの金属ストリップとしての金属薄膜配線2がワンターンからツーターンに変更されていることである。従って、金属薄膜配線2のターン数は2となるので、一次コイルと二次コイルとのターン比(Turn Ratio)は1:2となり、RF電力増幅器の出力インピーダンス整合回路としてのオンチップトランスフォーマの基本理論上のインピーダンス変換比は1:2²となる。しかし、1個のプッシュプル型電力

50

増幅回路のNチャンネルMOSトランジスタ3A、3Bのドレインの間には、一次コイルの外側と内側の金属配線1A、1Bが2本並列接続されているので、一次コイルのインダクタンスが低減され、オンチップトランスフォーマの一次コイルの入力インピーダンスを低減できる。本発明者等が図10のRF電力増幅器のインピーダンス変換比を電磁界シミュレーションによって計算したところ、1:5.7と基本理論値よりも良好なインピーダンス変換比が得られることが明らかとなった。この理由も、2本の金属配線1A、1Bの並列接続によって構成された一次コイルの入力インピーダンスが通常の場合の2分の1に低減されることに起因するものである。また図10のRF電力増幅器でも、図5から図7に示した本発明の種々の実施の形態によるRF電力増幅器と略同様な有益な作用と効果とを達成することができる。

10

【0142】

《モノリシックRF電力増幅器》

図11は、図5で説明したトランスフォーマと1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタとをSiチップに集積化した本発明の他の実施の形態によるモノリシックRF電力増幅器の構成を示す図である。

【0143】

すなわち、図11に示すモノリシックRF電力増幅器では、Siチップ10に図5で説明した出力インピーダンス整合のためのトランスフォーマ11とMOSトランジスタ3A、3Bの差動対3と入力インピーダンス整合のためのトランスフォーマ12とが集積化されている。Siチップ10は長方形のタブ上にペレットボンディングされ、長方形のタブの周辺には複数の外部リード13~16が形成されている。複数の外部リード13~16とSiチップ10の複数のボンディングパッドは、複数のボンディングワイヤによって相互に電氣的に接続されている。

20

【0144】

2本の外部リード16から供給される差動入力信号が入力インピーダンス整合トランスフォーマ12を介して差動対3の一对のMOSトランジスタのゲートに供給されて、差動対3の一对のMOSトランジスタのドレインの差動出力信号は出力インピーダンス整合トランスフォーマ11の一次コイルに供給される。出力インピーダンス整合トランスフォーマ11の二次コイルから生成されるRF送信差動出力信号は、2本の外部リード13、14を介して携帯電話端末に搭載されるアンテナに供給可能とされている。また、2本の外部リード13、14の間に配置された外部リード15を介して供給される電源電圧V_{dd}が、出力インピーダンス整合トランスフォーマ11の環状形状の一次コイルの外側の金属配線の中点と内側の金属配線の中点とに供給可能とされている。2本の外部リード13、14の間に配置された外部リード15は、2本の外部リード13、14の間の不所望なクロストークを低減する機能を持つものである。

30

【0145】

図11に示すモノリシックRF電力増幅器のSiチップ10に集積化されるトランスフォーマとプッシュプル型電力増幅回路のNチャンネルMOSトランジスタとしては図5に示した構造だけではなく図6から図10までに示したいずれかの構造を集積化することが可能である。尚、図11に示すモノリシックRF電力増幅器のSiチップ10の表面には、機械的および電氣的な保護と水分侵入防止のためのレジン樹脂が形成されている。

40

【0146】

《RF電力増幅器モジュール》

図12は、1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタを集積化したSiチップ10と図9で説明した出力インピーダンス整合トランスフォーマ11とを内蔵した本発明の他の実施の形態によるRF電力増幅器モジュールの構成を示す図である。

【0147】

すなわち、図12に示すRF電力増幅器モジュールでは、Siチップ10にはMOSトランジスタ3A、3Bの差動対3と入力インピーダンス整合のためのトランスフォーマ12と

50

が集積化されている。更に、RF電力増幅器モジュールのプリント基板17には、Siチップ10と図9で説明した出力インピーダンス整合のためのトランスフォーマ11とチップ容量18A、18Bと金属薄膜インダクタ19とが形成されている。

【0148】

プリント基板17の上に金属薄膜配線を形成する場合は、Siチップ10の上に金属薄膜配線を形成する場合と比較して、微細なパターンの形成が困難である。すなわち、プリント基板17の上に出力インピーダンス整合トランスフォーマ11を形成する場合には、2次コイルをツーターンまたはそれ以上にすることは困難である。従って、図12に示すRF電力増幅器モジュールでは、図9に示した2次コイルがワンターンで一次コイルと2次コイルとのターン比が1:1の出力インピーダンス整合回路としてのオンチップトランスフォーマ11を採用している。しかし、それによってオンチップトランスフォーマ11のインピーダンス変換比が若干不足するので、チップ容量18Aと金属薄膜インダクタ19との受動素子で形成された補助の出力インピーダンス整合回路がトランスフォーマ11の出力に接続されている。また、この補助の出力インピーダンス整合回路は、不要な高調波成分を低減するローパスフィルタとしても機能する。尚、チップ容量18Bは、プッシュプル型電力増幅回路の奇数高調波のレベルを低減するものである。また、図12のRF電力増幅器モジュールの表面には、機械的および電氣的な保護と水分侵入防止のためのレジジン樹脂が形成されている。更に、図12のRF電力増幅器モジュールのプリント基板17に搭載されるトランスフォーマとしては図9に示した構造だけではなく図5から図8までと図10に示したいずれかの構造を搭載することが可能である。尚、図12では、プリント基板17には複数のビア20、21、22A、22Bが形成され、このビアはプリント基板17の内部で多層配線の上層配線と下層配線との相互接続を行うものである。ビア20はチップ容量18Aと金属薄膜インダクタ19とで形成された補助出力インピーダンス整合回路の出力信号を得るために使用されて、ビア21はトランスフォーマ11の一次コイルへの電源電圧の供給のために使用されている。また、ビア22A、22Bは、チップ容量18A、18Bの一方の端子をプリント基板17の裏面の接地電極に接続するために使用されている。

【0149】

図13は、1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタと図9で説明した出力インピーダンス整合トランスフォーマ11とを集積化したSiチップ10を内蔵した本発明の他の実施の形態によるRF電力増幅器モジュールの構成を示す図である。

【0150】

図13に示すRF電力増幅器モジュールが、図12に示したRF電力増幅器モジュールと相違するのは、下記の点である。

【0151】

すなわち、図13に示すRF電力増幅器モジュールでは、Siチップ10にはMOSトランジスタ3A、3Bの差動対3と入力インピーダンス整合トランスフォーマ12と図9で説明した出力インピーダンス整合トランスフォーマ11とMIM容量18C、18Dとが集積化されている。更に、RF電力増幅器モジュールのプリント基板17に、Siチップ10と金属薄膜インダクタ19とが形成されている。プリント基板17上の金属薄膜インダクタ19とSiチップ10上のMIM容量18Cとは、補助の出力インピーダンス整合回路と不要な高調波成分を低減するローパスフィルタとして機能する。尚、MIM容量18Dは、プッシュプル型電力増幅回路の奇数高調波のレベルを低減するものである。また、図13のRF電力増幅器モジュールの表面には、機械的および電氣的な保護と水分侵入防止のためのレジジン樹脂が形成されている。更に、図13のRF電力増幅器モジュールのプリント基板17に搭載されたSiチップ10に集積化されるトランスフォーマとしては図9に示した構造だけではなく図5から図8までと図10に示したいずれかの構造を集積化することが可能である。

【0152】

10

20

30

40

50

図14は、プッシュプル型電力増幅回路のトランジスタとして高耐圧npn型ヘテロバイポーラトランジスタ(HBT)40を集積化したGaAsチップ41と図9で説明した出力インピーダンス整合トランスフォーマ11とを内蔵した本発明の他の実施の形態によるRF電力増幅器モジュールの構成を示す図である。

【0153】

図14に示すRF電力増幅器モジュールが、図12に示したRF電力増幅器モジュールと相違するのは、図12のNチャンネルMOSトランジスタを集積化したSiチップ10がHBT40を集積化したGaAs化合物半導体半絶縁性チップ41に置換されている点であり、他の点は同一である。

【0154】

《LD型MOSトランジスタ》

図15は、図5乃至図13に示した本発明の種々の実施の形態のRF電力増幅器のプッシュプル型電力増幅回路で使用されるLD型MOSトランジスタの構成を示す図である。

【0155】

図15の上側の平面図には、2個のLD型MOSトランジスタと両ドレイン電極Dの間のMIM容量とが示され、このMIM容量は奇数高調波のレベルを低減する。2個のLD型MOSトランジスタのゲート電極Gには差動入力信号が供給され、2個のLD型MOSトランジスタの共通ソース電極Sには接地電圧が供給される。尚、2個のLD型MOSトランジスタは、複数のソース電極Sと複数のドレイン電極Dとが相互に食い込んだフィンガー電極構造となっている。

【0156】

図15の下側の断面図には、図15の上側の平面図の右側のLD型MOSトランジスタの一部の断面構造が示されている。

【0157】

2個のLD型MOSトランジスタは、例えば、P⁻型(低不純物濃度)Si基板23、P型ウェル24、Si酸化膜25、多結晶Si膜(ゲート電極)26、N型Si層(低不純物濃度ソース拡散層)40、N⁻型Si層(低不純物濃度ドレイン拡散層)28、N⁺型Si層(高不純物濃度ドレイン拡散層)29、N⁺型Si層(高不純物濃度ソース拡散層)30、P⁺型Si層31、金属膜32~35、絶縁膜36から構成される。LD型MOSトランジスタのドレイン28とソース31とはゲート26を中心として対称に形成されている。

【0158】

図15の下側の断面図に示すLD型MOSトランジスタでは、特に、ゲート電極26と高不純物濃度ドレイン拡散層29との間に低不純物濃度ドレイン拡散層28とオフセットドレイン構造ODSとが形成されている。また、Si基板(p-型Si基板23)は、低不純物濃度で高比抵抗率とされている。従って、図15に示すLD型MOSトランジスタは、CMOS製造プロセスによって形成される短チャンネルMOSトランジスタよりも高耐圧とされる。また、このLD型MOSトランジスタのドレイン出力容量が低減されて、ソース・ドレイン電流経路のチャンネル抵抗は比較的高い値となるので、出力インピーダンスも比較的高い値となるものとなる。

【0159】

図15の下側の断面図に示すLD型MOSトランジスタが、一般的なLD型MOSトランジスタと異なるのは、Si基板23が低不純物濃度で高比抵抗率である点である。

【0160】

図16は、図15の下側の断面図に示すLD型MOSトランジスタとの比較のために、一般的なLD型MOSトランジスタの構造を示す図である。

【0161】

図16に示した一般的な構造のLD型MOSトランジスタにおいては、図15のP⁻型(低不純物濃度)Si基板23が図16のP⁻型(低不純物濃度)Si層38に置換されて、このP⁻型Si層38の下部にP⁺型Si基板37が形成されている。更に、図16に示した一般的な構造のLD型MOSトランジスタでは、ソース電極がP⁻型Si層38を貫

10

20

30

40

50

通してP⁺型Si基板37に到達するように深く形成されたP⁺型多結晶Si層39に電氣的に接続されている。図16に示す一般的な構造のLD型MOSトランジスタはRF電力増幅器モジュールに搭載され、P⁺型Si基板37はRF電力増幅器モジュールの放熱板の機能も有する接地電極に接続される。RF電力増幅器モジュールの放熱板の機能も有する接地電極は、携帯電話端末の回路基板の接地配線に接続される。従って、図16に示す一般的な構造のLD型MOSトランジスタがRF電力増幅器モジュールの最終増幅段のソース接地パワートランジスタとして利用される際には、大きな電流値のソース電流が流れるソース電極の接地電圧変動が低減される一方、RF電力増幅器モジュールの熱放散を改善することが可能となる。

【0162】

それに対して、図15の下側の断面図に示すLD型MOSトランジスタが使用される図5乃至図13に示した本発明の種々の実施の形態のRF電力増幅器のプッシュプル型電力増幅回路では、図15に示す2個のLD型MOSトランジスタが差動動作を行うものとなる。従って、2個のLD型MOSトランジスタの共通ソースに流れる交流電流は相互にキャンセルされるので、2個の共通ソースに流入または流出する交流電流はゼロとなる。従って、図15に示した2個のLD型MOSトランジスタを最終増幅段のソース接地パワートランジスタとして搭載するRF電力増幅器モジュールでは、2個のLD型MOSトランジスタの共通ソースを、例えば外部リードを介して携帯電話端末の回路基板の接地配線に接続するだけで接地は十分なものとなる。それは、2個の共通ソースに流入または流出する交流電流はゼロとなって、外部リードに流れる電流がゼロとなるためである。しかし、その際には図15に示すLD型MOSトランジスタが形成されたP⁻型(低不純物濃度)Si基板23をRF電力増幅器モジュールの放熱板に接続して、RF電力増幅器モジュールの熱放散を改善することが推奨される。

【0163】

更に、図15に示すLD型MOSトランジスタが形成されたP⁻型Si基板23が低不純物濃度で高比低効率であることによって、P⁻型Si基板23に2個のLD型MOSトランジスタが接続されるオンチップトランスフォーマが形成される場合の電力損失を低減することが可能となるものとなる。例えば、図5から図10のいずれかの構造を有するオンチップトランスフォーマが、図15に示すP⁻型Si基板23に形成される場合を想定する。オンチップトランスフォーマの環状形状の中央の磁界の影響によって、中央の磁界の周辺に渦電流が流れる可能性がある。図15に示すLD型MOSトランジスタでは、P⁻型Si基板23が低不純物濃度で高比抵抗率であるので、渦電流の値は小さく、渦電流による電力損失も小さなものとなる。しかし、図16に示す一般的な構造のLD型MOSトランジスタでは、P⁺型Si基板37が高不純物濃度で低比抵抗率であるので、渦電流の値は大きく、渦電流による電力損失も大きくものとなる。

【0164】

《高耐圧ヘテロバイポーラトランジスタ》

図17は、図14に示した本発明の他の実施の形態のRF電力増幅器のプッシュプル型電力増幅回路で使用される高耐圧npn型ヘテロバイポーラトランジスタ(HBT)の構成を示す図である。

【0165】

図17の上側の平面図には、2個のHBTと両コレクタ電極Cの間のMIM容量とが示され、このMIM容量は奇数高調波のレベルを低減する。2個のHBTのベース電極Bには差動入力信号が供給され、2個のLD型MOSトランジスタのエミッタ電極Eには接地電圧が供給される。尚、2個のHBTは、複数のエミッタ電極Eと複数のコレクタ電極Cとが相互に食い込んだフィンガー電極構造となっている。

【0166】

図17の下側の断面図には、図17の上側の平面図の左側のHBTの一部の断面構造が示されている。

【0167】

10

20

30

40

50

このHBTは、GaAs化合物半導体半絶縁性基板42に形成され、N⁺型サブコレクタ層43、N⁻型コレクタ層44、P⁺型GaAsベース層45、N型AlGaAsエミッタ層46、N⁺型GaAsオーミック層47を含んでいる。また、このHBTはコレクタ電極48、ベース電極49、エミッタ電極50、半絶縁性基板42の裏面の接地電極51、バイアホール52を含み、特に、エミッタ電極50はバイアホール52と接地電極51とを介して接地電圧に接続可能とされている。また、HBTのN⁻型コレクタ層44は低不純物濃度とされ、HBTは高耐圧とされる。また、このHBTのコレクタ出力容量が低減され、エミッタ・コレクタ電流経路の抵抗は比較的高い値となるので、出力インピーダンスも比較的高い値となるものとなる。

【0168】

具体的なRF電力増幅器モジュール

図18は、上記で説明した図5乃至図17に示した本発明の種々の実施の形態を応用した携帯電話端末に使用する具体的なRF電力増幅器モジュールの構成を示す図である。

【0169】

図18に示すRF電力増幅器モジュール110には、DCS1800とPCS1900のハイバンド側のRF送信入力信号Pin_HBとGSM850とGSM900のローバンド側のRF送信入力信号Pin_LBとが供給される。

【0170】

ハイバンド側のRF送信入力信号Pin_HBは、容量101の両端と入力整合回路102の一次コイルの両端に供給される。入力整合回路102の二次コイルの両端と容量103の両端とに生成されるRF信号は、初段の駆動増幅段104と2段目の駆動増幅段105とによって増幅される。2段目の駆動増幅段105の差動増幅信号は、コイル106の両端と最終段のプッシュプル型電力増幅回路のNチャンネルLD型MOSトランジスタ107のゲートとNチャンネルLD型MOSトランジスタ108のゲートとの間に供給される。最終段のプッシュプル型電力増幅回路のNチャンネルLD型MOSトランジスタ107、108のドレインの間に生成される差動増幅信号は、容量109の両端とトランスフォーマ110の一次コイル1(1A、1B)に供給され、一次コイル1の midpoint に電源電圧Vddが供給される。トランスフォーマ110としては、図5乃至図10のいずれかに示した本発明の種々の実施の形態のトランスフォーマを使用することができる。トランスフォーマ110の二次コイル2にはインダクタ1111と容量1112の受動素子で形成された補助出力インピーダンス整合回路111の入力端子が接続され、出力インピーダンス整合回路111の出力端子からハイバンド側のRF送信出力信号Pout_HBが生成される。ハイバンド側のRF送信出力信号Pout_HBの一部の信号は、容量112を介してパワー検出器300の第1入力端子に供給される。

【0171】

ローバンド側のRF送信入力信号Pin_LBは、容量201の両端と入力整合回路202の一次コイルの両端に供給される。入力整合回路202の二次コイルの両端と容量203の両端とに生成されるRF信号は、初段の駆動増幅段204と2段目の駆動増幅段205とによって増幅される。2段目の駆動増幅段205の差動増幅信号は、コイル206の両端と最終段のプッシュプル型電力増幅回路のNチャンネルLD型MOSトランジスタ207のゲートとNチャンネルLD型MOSトランジスタ208のゲートとの間に供給される。最終段のプッシュプル型電力増幅回路のNチャンネルLD型MOSトランジスタ207、208のドレインの間に生成される差動増幅信号は、コイル209の両端とトランスフォーマ210の一次コイル1(1A、1B)に供給され、一次コイル1の midpoint に電源電圧Vddが供給される。トランスフォーマ210としては、図5乃至図10のいずれかに示した本発明の種々の実施の形態のトランスフォーマを使用することができる。トランスフォーマ210の二次コイル2にはインダクタ2111と容量2112の受動素子で形成された補助出力インピーダンス整合回路211の入力端子が接続され、出力インピーダンス整合回路211の出力端子からローバンド側のRF送信出力信号Pout_LBが生成される。ローバンド側のRF送信出力信号Pout_LBの一部の信号は、容量212を介してパワー検出器3

10

20

30

40

50

00の第2入力端子に供給される。

【0172】

バイアス制御回路400は送信パワー制御信号V rampのレベルとパワー検出器300の出力から生成されるパワー検出信号V detのレベルとを比較することによって、パワー検出信号V detのレベルが送信パワー制御信号V rampのレベルに一致するようにRF電力増幅器のゲインを制御する。このRF電力増幅器のゲイン制御は、バイアス制御回路400から生成されるバイアス電圧V biasのレベルによって制御される。

【0173】

ここで、パワー検出器300とバイアス制御回路400とは、例えばCMOS製造プロセスによって形成され、能動素子は主として短チャネルMOSトランジスタによって構成される。この短チャネルMOSトランジスタは、トランスフォーマ110、210に接続されたNチャンネルLD型MOSトランジスタ107、108、207、208よりも供給される入力電力および入力電圧が低いため、低耐圧構造を採用することができる。そのため、チップサイズと高速動作性等を考慮して、NチャンネルLD型MOSトランジスタ107、108、207、208よりもゲート長が短い短チャネルMOSトランジスタが、採用される。

10

【0174】

尚、プッシュプル型電力増幅回路はNチャンネルLD型MOSトランジスタで構成して、パワー検出器300とバイアス制御回路400とは短チャネルMOSトランジスタで構成するとしたが、これに限定されるものではない。プッシュプル型電力増幅回路に用いられる能動素子は、パワー検出器300とバイアス制御回路400に使用される能動素子よりも高耐圧のトランジスタを採用することが好ましい。

20

【0175】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0176】

例えば、本発明の種々の実施の形態によるRF電力増幅器は、携帯電話端末に搭載するRF電力増幅器に使用可能であるだけでなく、無線LAN等の種々のRF通信装置に搭載するRF電力増幅器として広範囲に使用することができる。

30

【図面の簡単な説明】

【0177】

【図1】図1は、非特許文献3に記載のDAT電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。

【図2】図2も、非特許文献3に記載のDAT電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。

【図3】図3も、非特許文献3に記載のDAT電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。

【図4】図4は、非特許文献4に記載のDAT電力増幅器をベースに本発明に先立って本発明者等により検討された電力増幅器である。

40

【図5】図5は、本発明の1つの実施の形態によるRF電力増幅器の基本的な構成を示す図である。

【図6】図6は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【図7】図7は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【図8】図8は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【図9】図9は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【図10】図10は、本発明の実施の形態によるRF電力増幅器の他の構成を示す図である。

【図11】図11は、図5で説明したトランスフォーマと1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタとをSiチップに集積化した本発明の他の実施の

50

形態によるモノリシックRF電力増幅器の構成を示す図である。

【図12】図12は、1個のプッシュプル型電力増幅回路のNチャンネルMOSトランジスタを集積化したSiチップと図9で説明した出力インピーダンス整合トランスフォーマとを内蔵した本発明の他の実施の形態によるRF電力増幅器モジュールの構成を示す図である。

【図13】図13は、図12に示した本発明の1つの実施の形態による半導体集積回路を構成する種々のデバイスのレイアウトを示すシリコンチップの平面図である。

【図14】図14は、プッシュプル型電力増幅回路のトランジスタとして高耐圧npn型ヘテロバイポーラトランジスタを集積化したGaAsチップと図9で説明した出力インピーダンス整合トランスフォーマとを内蔵した本発明の他の実施の形態によるRF電力増幅器モジュールの構成を示す図である。

10

【図15】図15は、図5乃至図13に示した本発明の種々の実施の形態のRF電力増幅器のプッシュプル型電力増幅回路で使用されるLD型MOSトランジスタの構成を示す図である。

【図16】図16は、図15の下側の断面図に示すLD型MOSトランジスタとの比較のために、一般的なLD型MOSトランジスタの構造を示す図である。

【図17】図17は、図14に示した本発明の他の実施の形態のRF電力増幅器のプッシュプル型電力増幅回路で使用される高耐圧npn型ヘテロバイポーラトランジスタの構成を示す図である。

【図18】図18は、上記で説明した図5乃至図17に示した本発明の種々の実施の形態を応用した携帯電話端末に使用する具体的なRF電力増幅器モジュールの構成を示す図である。

20

【符号の説明】

【0178】

1A、1B、1C トランスフォーマの一次コイル

2 トランスフォーマの二次コイル

3A、3B トランジスタ

Output 出力信号

Vdd 電源電圧

GND 接地電圧

30

4 容量

5A、5B、5C、5D、5E 下層クロス配線

6A、6B ビア

+ Input 非反転入力信号

- Input 反転入力信号

I1、I2 トランスフォーマの入力端子

O1、O2 トランスフォーマの出力端子

C1 中間点

B1 第1部分

B2 第2部分

40

10 Siチップ

11 トランスフォーマ

12 入力インピーダンス整合トランスフォーマ

13、14、15、16 外部リード

17 プリント基板

18A、18B、18C、18D 容量

19 インダクタ

20、21、22A、22B ビア

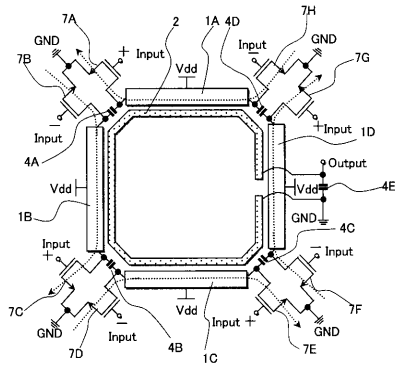
40 ヘテロバイポーラトランジスタ

41 GaAsチップ

50

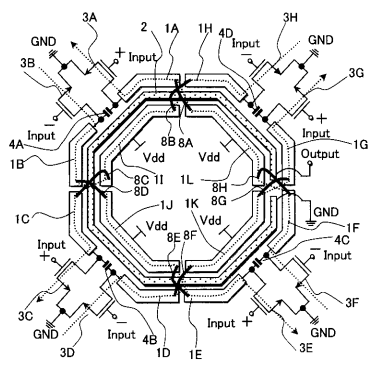
【 図 1 】

図1



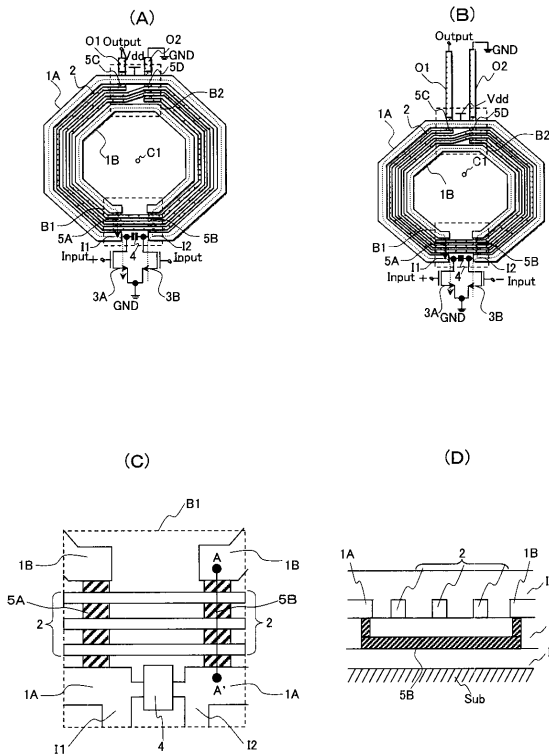
【 図 2 】

図2



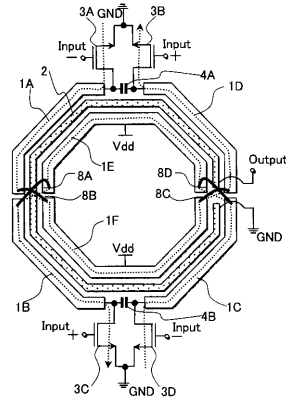
【 図 5 】

図5



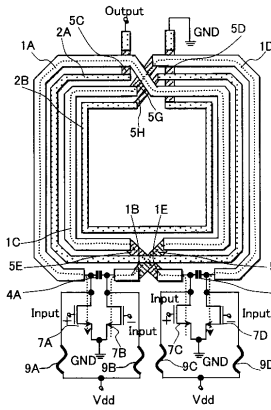
【 図 3 】

図3



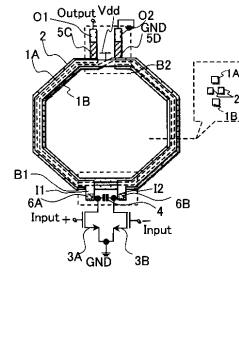
【 図 4 】

図4



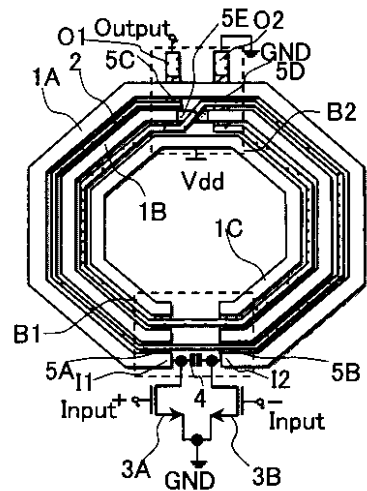
【 図 6 】

図6



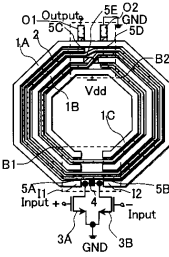
【 図 7 】

図7



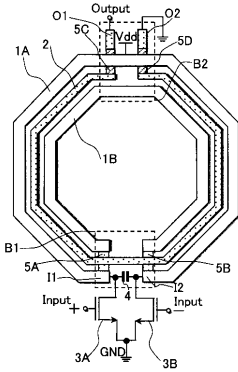
【図8】

図8



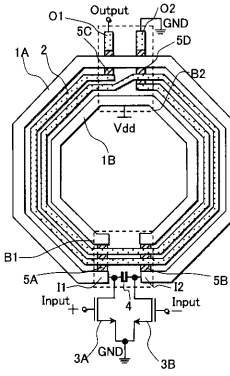
【図9】

図9



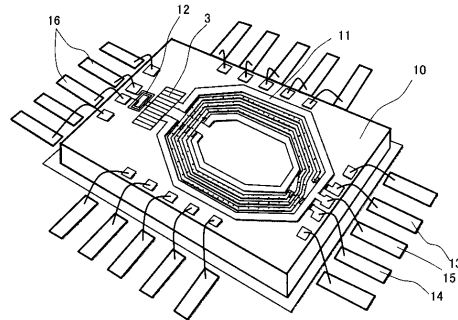
【図10】

図10



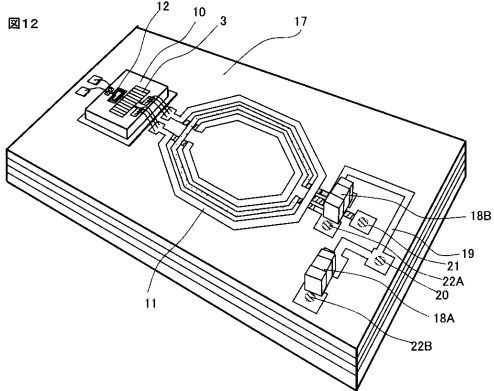
【図11】

図11



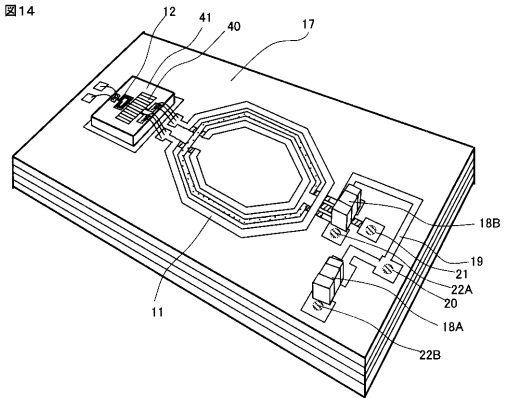
【図12】

図12



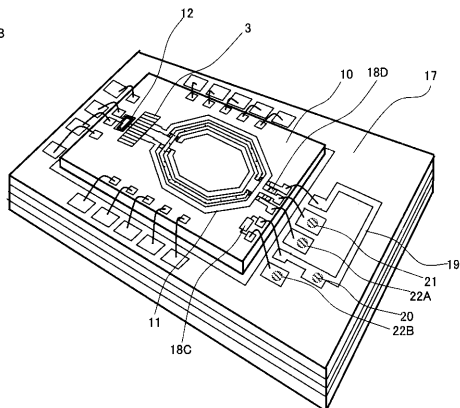
【図14】

図14



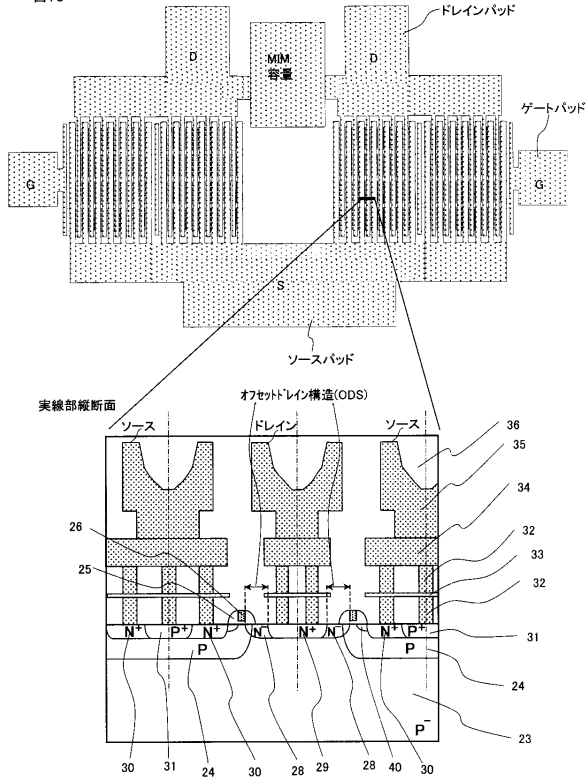
【図13】

図13



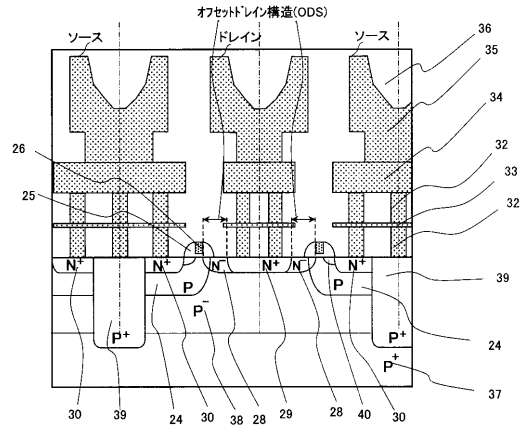
【図15】

図15



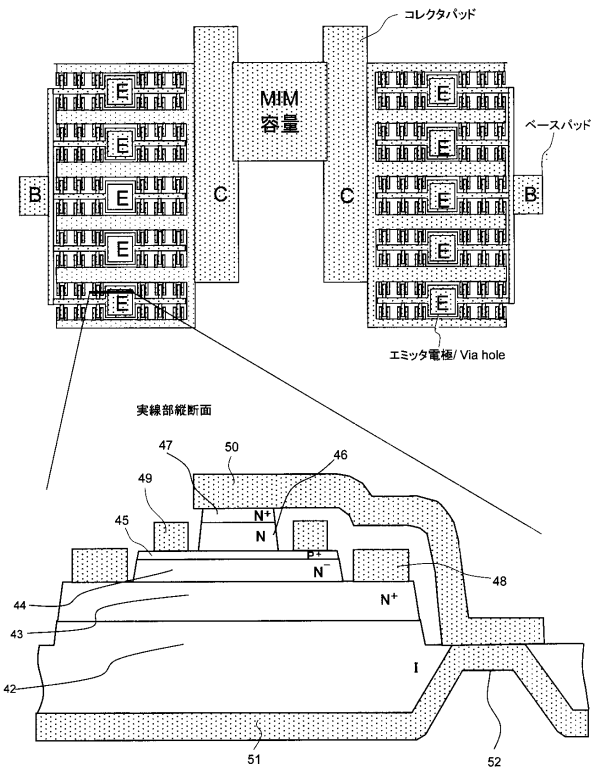
【図16】

図16



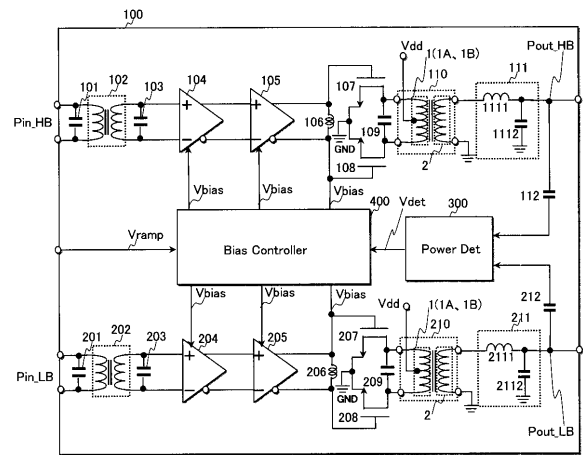
【図17】

図17



【図18】

図18



フロントページの続き

(72)発明者 櫻井 智

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 高橋 義昭

(56)参考文献 特開平03-077360(JP,A)

特開2006-295896(JP,A)

特開2008-278345(JP,A)

特開平08-078994(JP,A)

P.Haldi, G.Liu, A.M.Niknejad, "CMOS compatible transformer power combiner", *Electronic Letters*, 米国, IEEE, 2006年 9月14日, Vol.42 No.19

D.Gruner, G.Boeck, "6GHz SiGe Power Amplifier with On-Chip Transformer Combining", *International Microwave and Optoelectronics Conference*, 2007, 米国, IEEE, 2007年, pages:790-794

A.Heinz, W.Simburger, H.D.Wohlmut, P.Weger, W.Wilhelm, R.Gabl, K.Aufinger, "A Monolithic 2.8V, 3.2W Silicon Bipolar Power Amplifier with 54% PAE at 900MHz", *Radio Frequency Integrated Circuits Symposium*, 2000, Digest of Papers, 米国, IEEE, 2000年, pages:117-120

(58)調査した分野(Int.Cl., DB名)

H03F 3/24

H03F 1/02

H03F 1/32

H03F 3/60