【57】摘要
本发明公开了一种半导体集成电路，其能够减少在电源线中布置开关以防止漏电流时的布图设计的负担，并且能够减小开关中发生的电压下降对信号延迟的影响。其中，多个电源线组布置成带状，通过从电源线组分支出来的多个支线组对电路元供电，布置在支线组中的电源开关元导通或关断对电路元的供电。电源开关元分散布置在电路元布署的区域，并且对于每组相对少量的电路元，通过电源开关元的供电被精细控制。
1. 一种半导体集成电路，包括：
   多个电路元；
   多个带状布置的电源线组；
   多个支线组，所述支线组从所述电源线组分出来，并且向所述电路元中的至少一个供电；和
   电源开关元，所述电源开关元布置在至少一个支线组中，并根据输入控制信号而导通或关断对所述电路元的供电，
   其中，所述电源开关元的至少一部分被包含在电源线组下面的区域中，并且所述支线组包括从所述电源线组的电源线分出来并延伸到下层的过孔连接线。

2. 根据权利要求 1 所述的半导体集成电路，其中，每个支线组在与从中分支出所述支线组的电源线组形成预定角度的方向上延伸形成。

3. 根据权利要求 1 所述的半导体集成电路，其中，所述电源开关元包括至少一个晶体管，所述晶体管布置在所述支线组中所包含的至少一条支线上，根据所述控制信号而导通或关断，并且具有根据所述晶体管处于导通状态时通过所述支线被供电的电路元的功耗的驱动能力。

4. 根据权利要求 1 所述的半导体集成电路，其中，每个电源开关元包括：
   第一连接线（L211），所述第一连接线连接到向所述电路元供电的两条支线（VSSB），所述两条支线在所述电源开关元两边彼此面对，并且在彼此相反的方向上延伸；
   第二连接线（L212），所述第二连接线连接到从所述电源线组的电源线分出来的支线（CT2）；和
   开关电路，所述开关电路连接在所述第一连接线和所述第二连接线之间，并且根据所述控制信号而导通或关断。

5. 根据权利要求 4 所述的半导体集成电路，其中
   所述第二连接线的至少一部分被包含在电源线组下面的区域中，并且
被连接到所述第二连接线的支线包括从所述电源线组的电源线分支出来并且延伸到下层的过孔连接线。

6. 根据权利要求4所述的半导体集成电路，其中，所述开关电路包括连接在所述第一连接线与所述第二连接线之间的晶体管，所述晶体管根据所述控制信号而导通或关断，并且具有根据在导通状态时通过所述第一连接线被供电的电路元的功率的驱动能力。

7. 根据权利要求1所述的半导体集成电路，其中，所述电源开关元包括：

第三连接线（L221），所述第三连接线连接到向所述电路元供电的支线（VSSB1）；

第四连接线（L222），所述第四连接线连接到支线（VSSB2），所述支线从所述电源线组的电源线分支出来并且在与被连接到所述第三连接线的支线相反的方向上延伸；和

开关电路，所述开关电路连接在所述第三连接线与所述第四连接线之间，并且根据所述控制信号而导通或关断。

8. 根据权利要求7所述的半导体集成电路，其中，所述多个电路元包括从由所述电源线组的电源线分支出来并被连接到所述第四连接线的支线上供电的电路元。

9. 根据权利要求7所述的半导体集成电路，其中

所述第四连接线的至少一部分被包含在电源线组下面的区域中，并且

被连接到所述第四连接线的支线包括从所述电源线组的电源线分支出来并延伸到下层的过孔连接线。

10. 根据权利要求7所述的半导体集成电路，其中，所述开关电路包括连接在所述第三连接线与所述第四连接线之间的晶体管，所述晶体管根据所述控制信号而导通或关断，并且具有根据在导通状态时通过所述第三连接线被供电的电路元的功率的驱动能力。

11. 根据权利要求1所述的半导体集成电路，其中

所述支线组包括：

第一支线，和
第二支线，所述第二支线连接到所述电源线组的电源线；
所述电源开关元根据所述控制信号而导通或关断所述第一支线与所述
第二支线之间的连接；并且
所述多个电路元包含：
从所述第一支线被供电的第一电路元，和
从所述第二支线被供电的第二电路元。
12. 根据权利要求 11 所述的半导体集成电路，其中，至少两个相邻支
线组共享所述第二支线。
13. 根据权利要求 11 所述的半导体集成电路，其中，所述第一支线和
所述第二支线并排形成在相同连接线层中。
14. 根据权利要求 11 所述的半导体集成电路，其中，所述第一支线和
所述第二支线形成在不同连接线层中并且彼此面对。
15. 根据权利要求 11 所述的半导体集成电路，其中，每个电源开关元
包括：
被连接到所述第一支线的第五连接线；
被连接到所述第二支线的第六连接线；和
开关电路，所述开关电路连接在所述第五连接线与所述第六连接线之
间，并且根据所述控制信号而导通或关断。
16. 根据权利要求 15 所述的半导体集成电路，其中
所述第六连接线的至少一部分被包含在电源线组下面的区域中，并且
所述第二支线包括从所述电源线组的电源线分支出来并延伸到下层的
过孔连接线。
17. 根据权利要求 15 所述的半导体集成电路，其中，所述开关电路包
括连接在所述第五连接线与所述第六连接线之间的晶体管，所述晶体管根
据所述控制信号而导通或关断，并且具有根据在导通状态时通过所述第五
连接线被供电的电路元的功耗的驱动能力。
半导体集成电路

技术领域
本发明涉及半导体集成电路，更具体地，涉及通过使用具有高阈值电压的晶体管切断对未使用电路的供电来达到功耗降低的半导体集成电路。

背景技术
随着功耗下降以及处理尺寸的小型化，半导体集成电路的电源电压逐年下降。当信号幅度由于电源电压的下降而变小时，晶体管的阈值电压相对于信号幅度变高，所以晶体管的导通电流减小，而延迟增加。由于该原因，晶体管的阈值电压也必须与电源电压一起降低。但是，当晶体管的阈值电压被降低时，关断状态的漏电流增加，所以存在阻碍了功耗降低的缺点。

作为防止这种漏电流增加的一种技术，已知有“多阈值互补金属氧化物半导体”（MTCMOS）电路技术。在 MTCMOS 中，例如，具有高阈值电压的晶体管开关被布置在每个执行特定功能的电路块的电源线中。当电路块变为未使用状态时，晶体管开关被设置在关断位置，电路块中流过各个晶体管的漏电流被切断。由此，可以大大减少流过未使用的电路块的无用漏电流。

发明内容
但是，在结合了 MTCMOS 技术的半导体集成电路的设计中，在电源线中布置晶体管开关的布图设计通常是手工执行的。例如，每个执行特定功能的电路块内部的电路元的布置和连接线是由 CAD 设备对每个电路块自动设计的，然后将晶体管开关手动布置到电路块外部的电源线中。由于该原因，存在这样的缺点：设计工作的负担增加了，并且产品的开发周期变长。
另外，随着电源电压的下降，在电源线阻抗性部件中出现的微小电压下降开始给信号延迟带来大的影响。即，电源电压越低，信号幅度相对于晶体管阈值电压的余量就越小，所以即使电源电压下降很小，也会发生大的信号延迟。

当在这种情形中在电源线中布置晶体管开关时，由此引起的电压下降被进一步增加，所以上述问题变得更加严重。特别是，在离外部电源线距离变长的电路块中央，信号延迟变大。结果，存在这样的问题：即使电路块自身正常工作，但是当晶体管开关布置在外部电源线中时它就不再工作了。另外，当电路块还连接到更高电平的块时，存在这样的问题：不再满足所需的定时。

需要提供这样一种半导体集成电路，其能够减少布置电源开关的布图设计的负担，并且能够减小电源开关中发生的电压下降对信号延迟的影响。

根据本发明的一个实施例，提供了一种半导体集成电路，包括：多个电路元；多个带状布置的电源线组；多个支线组，它们从电源线组分支出来，并且向至少一个电路元供电；和电源开关元，其布置在至少一个支线组中，并根据输入控制信号导通或关断对电路元的供电。

根据本发明的一个实施例，多个电源线组布置成带状，通过从电源线组分支出来的多个支线组对电路元供电。布置在支线组中的电源开关元控制对电路元的供电。

由于该原因，电源开关元分散布置在电路元布置的区域中。对于每组相对少量的电路元，通过电源开关元的供电被精细控制。由于这样，与对每个电路块提供电源开关的方法相比，由电源开关导致的电源电压的下降变小，并且增加了电源开关元布置的自由度。

优选地，每个支线组在与从其中分支出该支线组的电源线组成预定角度的方向上延伸形成。由于这样，提高了电源的连接线结构的对称性。

另外，优选地，每个电源开关元包括至少一个晶体管，该晶体管布置在支线组中所包含的至少一条支线中，并且根据控制信号导通或关断。该晶体管具有的驱动能力是根据该晶体管处于导通状态时通过该支线被供电。
的电路元的功耗。例如，功耗越大，驱动能力越大。

通过根据经由开关晶体管被供电的电路元的功耗将开关晶体管的驱动能力设置为合适大小，与统一地设置晶体管驱动能力的情形相比，可以减小电路面积和漏电流，同时抑制了电源电压的下降。

每个电源开关元的至少一部分可以被包含在电源线组下面的区域中。在这种情形中，支线组可以包括从电源线组的电源线分支出来并延伸到下层的过孔连接线。由于这样，增加了电路元的布置密度。

每个电源开关元可以包括：第一连接线，其连接到向电路元供电的两条支线，这两条支线在电源开关元两边彼此面对，并且在彼此相反的方向上延伸；第二连接线，其连接到从电源线组的电源分支出的支线；和开关电路，其连接在第一连接线和第二连接线之间，并且也根据控制信号导通或关断。

电源开关元可以包括：第三连接线，其连接到向电路元供电的支线；第四连接线，其连接到支线，该支线从电源线组的电源线分支出来，并且在与连接到第三连接线的支线相反的方向上延伸；和开关电路，其连接在第三连接线与第四连接线之间，并且也根据控制信号导通或关断。

支线组也可以包括第一支线和连接到电源线组的电源线的第二支线。在这种情形中，电源开关元也可以根据控制信号导通或关断第一支线与第二支线之间的连接。另外，多个电路元可以包括：从第一支线供电的第一电路元和和第二支线供电的第二电路元。

在这种情形中，第一支线和第二支线可以并排形成在相同的接线层上，或者可以形成在不同接线层中并彼此面对。

另外，在这种情形中，两个电源开关元可以包括：第五连接线，其连接到第一支线；第六连接线，其连接到第二支线；和开关电路，其连接在第五连接线与第六连接线之间，并且根据控制信号导通或关断。

根据本发明的一个实施例，电源开关元布置的自由度变高，并且可以容易地实现通过 CAD 设备的自动布图设计，使得可以减小布图设计的负担。

另外，可以抑制由电源开关元引起的电源电压下降，使得可以减小在
电源开关元中发生的电压下降对信号延迟的影响。

附图说明
从下面参考附图对本发明优选实施例的描述中，本发明的这些以及其他目的和特征将变得更加清楚，附图中：
图 1 是根据第一实施例的半导体集成电路的配置示例的示图；
图 2 是根据第一实施例的半导体集成电路的布图示例的示图；
图 3 是根据第一实施例的半导体集成电路的布图示例的放大图；
图 4 是根据第二实施例的电路元的配置示例的示图；
图 5 是根据第二实施例的电源开关元的配置示例的示图；
图 6 是根据第二实施例的半导体集成电路的布图示例的示图；
图 7 是根据第三实施例的电源开关元的配置示例的示图；
图 8 是根据第三实施例的半导体集成电路的布图示例的示图；
图 9 是根据第四实施例的断电型电路元的配置示例的示图；
图 10 是根据第四实施例的被恒定供电电路元的配置示例的示图；
图 11 是根据第四实施例的电源开关元的配置示例的示图；
图 12 是根据第四实施例的半导体集成电路的布图示例的示图；
图 13 是断电型电路元与被恒定供电电路元的布置示例的示图；
图 14 是根据第五实施例的断电型电路元的配置示例的示图；
图 15 是根据第五实施例的被恒定供电电路元的配置示例的示图；
图 16 是根据第五实施例的电源开关元的配置示例的示图；
图 17 是根据第五实施例的半导体集成电路的布图示例的示图；
图 18 是根据第六实施例的具有不同驱动能力的多个电源开关元的示例的示图；
图 19 是将双连接线型结构与三连接线型结构相组合的示例的第一示图；
图 20 是将双连接线型结构与三连接线型结构相组合的示例的第二示图。
具体实施方式

下面将参考附图给出对本发明六个实施例的说明。

【第一实施例】

图 1 是根据本发明第一实施例的半导体集成电路的配置示例的示图。图中，示意图显示了与电源有关的连接线以及连接到这些连接线的电路元。

图 1 所示的半导体集成电路具有多个电源线组 PL1、多个电源线组 PL2、多个电源线组 BL1 和 BL2、多个电路元 10、多个电源开关元 20、电路块 30 以及多个源输入元 41 和 42。

注意，电源线组 PL1 是本发明的电源线组的实施例，电源线组 BL2 是本发明的电源线组的实施例，电路元 10 是本发明的电路元的实施例，电源开关元 20 是本发明的电源开关元的实施例。

在图 1 的示例中，电源线组 PL1 被布置为带状，它们以基本相等的间隔平行布置。电源线组 PL2 在垂直于电源线组 PL1 的方向上布置为带状。在图 1 的示例中，它们以基本相等的间隔平行布置。这些带状的电源线组 PL1 和带状的电源线组 PL2 相互交叉，形成格带状电源线图案。

电源线组 PL1 和 PL2 具有电源线 VDD 和 VSS。在格带状电源线图案的交叉点处，电源线组 PL1 和 PL2 的电源线 VDD 和电源线 VSS 相互连接。

在格带状电源线图案中，电源输入元 41 和 42 连接到矩形框架的电源线组 PL1 和 PL2。电源线 VSS 连接到电源输入元 41，电源线 VDD 连接到电源输入元 42。

通过这些电源输入元 41 和 42，从半导体集成电路外部向电源线 VSS 和 VDD 提供电源电压。

支线组 BL1 和 BL2 从电源线组 PL1 分支出来，并且向半导体集成电路中的电路基本单元（即电路元 10）供电。另外，支线组 BL1 和 BL2 在与电源线组 PL1 形成预定角度的方向上延伸形成。例如，如图 1 所示，它们是在垂直于电源线组 PL1 的方向上延伸形成的。

从一个电源线组 PL1 中分支出多个这样的支线组。多个电路元 10 连
接到这些支线组。半导体集成电路中所包含的电路元 10 基本上从这些支线组被供电。注意，由于总是在工作等等而不需要被切断供电的电路包括直接从电源线组供电而不经过支线组的电路，例如，如图 1 所示的电路块 30。

每个支线组 BL1 具有两条支线（VDDA 和 VSSA）。支线 VDDA 连接到电源线 VDD，而支线 VSSA 连接到电源线 VSS。另一方面，每个支线组 BL2 具有两条支线（VDDB 和 VSSB）。支线 VDDB 连接到电源线 VDD，而支线 VSSB 连接到电源线 VSS。支线组 BL1 和 BL2 的区别在于是否插入有电源开关元 20。即，电源开关元 20 只被插入到支线组 BL2 中。

电源开关元 20 接收未被图示的控制信号作为输入，并相应地导通或关断对连接到支线组 BL2 上的电路元 10 的供电。例如，电源开关元 20 包括开关晶体管。开关晶体管被布置在支线组 BL2 的至少一条支线中，并且根据输入控制信号而导通或关断。

在 MTCMOS 类型半导体集成电路的情形中，高阈值电压 MOS 晶体管被用作这种开关晶体管。例如，当根据控制信号切断支线 VSSB 时，高阈值电压 n 型 MOS 晶体管被用作开关晶体管。当根据控制信号切断支线 VDDB 时，使用高阈值电压 p 型 MOS 晶体管。

图 2 是根据本实施例的半导体集成电路的布图示例的示图。图 2 中，参考标号 “40” 指示输入/输出使用元，包括电源输入元 41 和 42。除此之外，图 1 与图 2 中相同的参考标号指示相同的部件。

在其上形成了半导体集成电路的矩形半导体芯片四边，多个输入/输出使用元 40 被布置成直线。格带状电源线图案形成在被这些输入/输出使用元 40 包围的半导体芯片内部。

格带状电源线图案的内部可以被粗略划分为非断电区域 A1、断电区域 A2 以及其他区域。在非断电区域 A1 中，布置有连接到支线组 BL1 的电路元 10。在断电区域 A2 中，布置有连接到支线组 BL2 的电路元 10。在其他区域中，布置有不连接到支线组 BL1 和 BL2 的电路元。通过在每个支线组中选择插入或不插入电源开关元 20，可以自由确定图 2 所示的断
电区域 A1 和 A2 的范围。

图 3 是根据本实施例的半导体集成电路的布局示例的放大图。图 1 和图 3 中相同的参考标号指示相同的部件。

在图 3 的示例中，每个电源开关元 20 的一部分被包含在电源线组 PL1 下面的区域中。从电源线组 PL1 分支到每个电源开关元 20 的连接线包括例如在电源线组 PL1 下面延伸的过孔连接线。

如上所述，依照根据本实施例的半导体集成电路，多个电源线组 PL1 布置成带状，并且通过从电源线组 PL1 分支出的多个支线组 BL2 对电路元 10 供电。布置在支线组 BL2 中的电源开关元 20 导通及关断对电路元 10 的供电。

因此，多个电源开关元 20 广泛分散在可以布置电路元 10 的区域中。可以通过每个电源开关元 20，精细控制对种种相对少量的电路元的供电。

由于这样，与为每个大规模电路块提供电源开关的方法相比，减少了流过每个电源开关元 20 的电源电流，并且可以使电源电压下降变小。结果，可以减小电源开关元 20 中发生的电压下降对信号延迟的影响。

另外，与在电路块外部布置各个电源开关的传统方法相比，布置电源开关元 20 的自由度变高了，并且可以如图 2 和图 3 所示地自由确定断电区域。由于这样，可以容易地实现含有电源开关元 20 的布图的自动设计，因此减小了传统上手工进行的设计工作的负担，并缩短了开发周期。

另外，每个支线组 BL2 在垂直于分支出该支线组的电源线组 PL1 的方向上延伸形成，所以电源连接线结构的对称性变高。由于这样，可以更容易地实现含有电源开关元 20 的布图的自动设计。

另外，如图 3 所示，通过布置每个电源开关元 20 使得其至少一部分被包含在电源线组 PL1 下面的区域中，可以有效利用电源线组 PL1 下面的区域，可以可以减小电路面积，并可以增加电路元 10 的布置密度。

【第二实施例】

接下来，将解释本发明的第二实施例。

根据第二实施例的半导体集成电路比根据第一实施例的半导体集成电路更详细地示出了电源开关元和电路元的配置以及连接他们的支线组的结
构。诸如电源线组的布置等总体配置与根据第一实施例的半导体集成电路相同。

图 4 是根据本发明第二实施例的电路元 11 的配置示例的示图。图 4 所示的电路元 11 具有被配置成 p 型 MOS 晶体管 Qp1 和 n 型 MOS 晶体管 Qn1 的串联电路的反相器电路，以及向该反相器电路供电的连接线 L111 和 L112。注意，虽然图 4 将反相器电路单元示出为一个示例，但是本实施例中所解释的电路元 11 也可以包括用作基本电路的各种其他电路元，例如，NAND 电路元。

连接线 L111 连接到向电路元 11 提供电势 VSS 的支线 VSSB。当稍后将解释的电源开关元 21 处于导通状态时，连接线 L111 具有与电源线 VSS 相同的电势。

连接线 L112 连接到从电源线 VDD 分支出的支线 VDDB。连接线 L112 具有与电源线 VDD 相同的电势。

这些连接线 L111 和 L112 形成在矩形电路元 11 相对的侧边部分。反相器电路布置在这些面对的侧边部分之间。

图 5 是根据本实施例的电源开关元 21 的配置示例的示图。电源开关元 21 具有 n 型 MOS 晶体管 Qn2 和连接线 L211 至 L213。n 型 MOS 晶体管 Qn2 是本发明开关电路的一个实施例，连接线 L211 是本发明第一连接线的一个实施例。连接线 L212 是本发明第二连接线的一个实施例。

连接线 L211 是连接到向不同电路元 11 提供电势 VSS 的两条支线 VSSB 的连接线。这两条支线 VSSB 在彼此相反的方向上在开关元 21 两边延伸，如图 6 所示。当电源开关元导通时，连接到它的电路元 11 被供电。

连接线 L212 连接到从电源线 VSS 分支出的支线。连接线 L212 具有与电源线 VSS 相同的电势。

连接线 L213 连接到从电源线 VDD 分支出的支线 VDDB。连接线 L213 具有与电源线 VDD 相同的电势。

n 型 MOS 晶体管 Qn2 的漏极连接到连接线 211，源极和衬底连接到连接线 L212，栅极接收控制信号 Sc 作为输入。n 型 MOS 晶体管 Qn2 根据控
制信号 Sc 导通或关断。

当 n 型 MOS 晶体管 Qn2 导通时，连接线 L211 和连接线 L212 连接，
连接到两条支线 VSSB 的电路元 11 被供电。当 n 型 MOS 晶体管 Qn2 关断时，
连接线 L211 和连接线 L212 断开，对电路元 11 的供电被切断。

连接线 L211 形成在矩形电源开关元 21 的一侧部分。其一部分向电源
开关元 21 内侧凹入成 U 形。连接线 L212 形成在该 U 形凹进之中。连接线
L213 形成在与连接线 L211 相对的侧边部分。n 型 MOS 晶体管 Qn2 布置在
连接线 L211 和 L213 之间。

图 6 是根据本实施例的半导体集成电路的布图示例的示图。在图 6 的
示例中，从电源线组 PL1 分支出支线组 BL2-1 至 BL2-4。各个支线组
BL2-1 至 BL2-4 具有支线 VDD 和 VSSB。所有支线组在垂直于电源线组
PL1 的方向上延伸。

支线组 BL2-1 和 BL2-2 彼此相邻，并且共享支线 VSSB。支线组 BL2-
3 和 BL2-4 彼此相邻，并且共享支线 VSSB。

支线组 BL2-1 和 BL2-3 从电源线组 PL1 的公共分支点分出，并且在彼
此相反的方向上在公共电源开开关元 21 两边延伸。支线组 BL2-2 和 BL2-4
从电源线组 PL1 的公共分支点分出，并且在彼此相反的方向上在公共电源
开关元 21 两边延伸。

另外，连接到支线组 BL2-1 和 BL2-3 的电源开关元 21 以及连接到支
线组 BL2-2 和 BL2-4 的电源开关元 21 的至少一部分被包含在电源线组
PL1 下面的区域中。

从电源线 VSS 分支到连接线 L212 的连接线包括过孔连连接线 CT2，
其从电源线 VSS 分出，并且延伸到下层。过孔连接线 CT2 在下层中连接
电源线 VSS 与连接线 L212。电源线 VDD 分支到连接线 L213 的连接线
包括过孔连接线 CT1，其从电源线 VDD 分出，并且延伸到下层。过孔连
接线 CT1 在下层中连接电源线 VDD 于连接线 L213。

另外，这两个电源开关元 21 彼此相邻，并且两者的连接线 L211 电
连接，因此它们用作两个并联连接的开关。相应地，这两个电源开关元 21
的 n 型 MOS 晶体管 Qn2 被相同的控制信号 Sc 控制，从而一起导通或关
断。

如上面解释的那样，根据本实施例，取代构成电源线组 PL1 的两条电源线（VDD、VSS），构成支线组的两条支线（VDDB、VSSB）被连接到电路元 11，因此可以使用传统半导体集成电路中使用的一般电路元作为本实施例的电路元 11。

另外，因为每个电源开关元 21 被偏置使得其至少一部分被包含在电源线组 PL1 下面的区域中，所以可以增加电路元 11 的偏置密度。

另外，因为相邻的支线组和来源开关元共享连接线，所以可以减少电路面积。此外，通过与根据第一实施例的半导体集成电路相同的配置，可以展现相同的效果。

注意，在图 6 的示例中，因为两个电源开关元 21 并联连接，所以即使减少到一个电源开关元 21，也能工作。即，也可以通过一个电源开关元 21 控制四个支线组的供电。

【第三实施例】

接下来，将解释本发明的第三实施例。

通过改变上述第二实施例中的电源开关元及连接线结构的部分配置，得到了根据第三实施例的半导体集成电路。诸如电源线组的偏置以及电路元的配置等的总体配置与根据第一和第二实施例的半导体集成电路相同。

图 7 是根据本发明第三实施例的电源开关元 22 的配置示例的示图。电源开关元 22 具有 n 型 MOS 晶体管 Qn3 和连接线 L221 至 L223。n 型 MOS 晶体管 Qn3 是本发明开关电路的一个实施例，连接线 L221 是本发明第三连接线的一个实施例，连接线 L222 是本发明第四连接线的一个实施例。

连接线 L221 连接到向电路元 11 提供电势 VSS 的支线 VSSB1。与上述的电源开关元 21 的连接线 L211 不同，连接到连接线 L221 的支线数目是 1。

连接线 L222 连接到从电源线 VSS 分支出的支线 VSSB2。连接线 VSSB2 在与支线 VSSB1 相反的方向上延伸，如图 8 所示。即，连接线 VSSB2 和连接线 VSSB1 在彼此相反的方向上在电源开关元 21 两边延伸。
连接线 L223 连接到从电源线 VDD 分支出的支线 VDDB。连接线 L223 具有与电源线 VDD 相同的电势。

n 型 MOS 晶体管 Qn3 的漏极连接到连接线 L221，源极和衬底连接到连接线 L222，栅极接收控制信号 Sc 作为输入。n 型 MOS 晶体管 Qn3 根据控制信号 Sc 导通或关断。当 n 型 MOS 晶体管 Qn3 导通时，连接线 L221 和连接线 L222 连接，连接到支线 VSSB1 的电路元 11 被供电。当 n 型 MOS 晶体管 Qn3 关断时，连接线 L221 和连接线 L222 断开，对电路元 11 的供电被切断。

连接线 L222 从矩形电源开关元 22 的一角开始沿着矩形侧边延伸。连接线 L222 的末端在到达另一角之前停止。连接线 L221 从该另一角开始沿着与连接线 L222 相同的侧边延伸，在该侧边的中间，弯向电源开关元 22 的内侧，以避开连接线 L222。然后，它平行于连接线 L222 从该弯曲部分直线延伸到末端。连接线 L223 形成在与其上形成有连接线 L222 的一个侧边相面对的另一个侧边部分中。n 型 MOS 晶体管 Qn3 形成在连接线 L221 与连接线 L223 之间。

图 8 是根据本实施例的半导体集成电路的布图示例的示图。在图 8 的示例中，从电源线组 PL1 分支出支线组 BL3-1 至 BL3-4。每个支线组 BL3-1 至 BL3-4 具有支线 VDDB 和 VSSB。每条支线 VSSB 还包括支线 VSSB1 和 VSSB2。

每条支线 VDDB 通过过孔连接线 CT3 连接到电源线 VDD。每条支线 VSSB2 通过过孔连接线 CT4 连接到电源线 VSS。每条支线 VSSB1 通过电源开关元 22 连接到支线 VSSB2。这些支线都在垂直于电源线组 PL1 的方向上延伸。

支线组 BL3-1 和 BL3-2 彼此相邻，并且共享支线 VSSB（VSSB1 和 VSSB2）。支线组 BL3-3 和 BL3-4 彼此相邻，并且共享支线 VSSB（VSSB1 和 VSSB2）。

支线组 BL3-1 和 BL3-3 从电源线组 PL1 的公共分支点分出，并在在彼此相反的方向上从该分支点延伸。支线组 BL3-2 和 BL3-4 从电源线组 PL1 的公共分支点分出，并在在彼此相反的方向上从该分支点延伸。
被插入到支线组 BL3-1 和 BL3-2 中的电源开关元 22 彼此相邻，并且电连接到连接线 L221。由于这个原因，这两个电源开关元 22 用作两个并联连接的开关。相应地，这两个电源开关元 22 的 n 型 MOS 晶体管 Qn3 被相同的控制信号 Sc 控制，从而一起导通或关断。对于被插入到支线组 BL3-3 和 BL3-4 中的两个电源开关元 22 也一样，它们由相同的控制信号 Sc 控制。

如上面解释的那样，根据本实施例，以与第二实施例相同的方式，取代构成电源线组 PL1 的两条电源线（VDD、VSS），构成支线组的两条支线（VDDB、VSSB）被连接到各个电路元 11，使得可以容易地使用传统半导体集成电路中所使用的一般电路元作为本实施例的电路元 11。

另外，在相反方向上在电源开关元 22 两边延伸的两条支线 VSSB1 和 VSSB2 中，支线 VSSB1 的供电由 n 型 MOS 晶体管 Qn3 控制，而支线 VSSB2 被电源线 VSS 恒定地供电。由于该原因，如图 8 所示，还可以在电源线组 PL1 与电源开关元 22 之间的空区域中布置恒定工作的电路元 11 以及来自支线 VSSB2 和 VDDB 的供电。

另外，当没有恒定工作的电路元 11 时，也可以将每个电源开关元 22 的至少一部分包含在电源线组 PL1 下面的区域中。因此，可以增加电路元 11 的布置密度。

另外，图 8 的示例由两个并联连接的电源开关元 22 构建，因此即使减少到一个电源开关元 22，也可以工作。即，也可以通过单个电源开关元 21 来控制两个支线组的供电。

另外，在本实施例中，与第一实施例的方式一样，彼此相邻的支线组和电源开关元共享连接线，使得可以减小电路面积。除此之外，通过与根据第一实施例的半导体集成电路相同的配置，可以展现相同的效果。

【第四实施例】

接下来，将解释本发明的第四实施例。

通过将根据第二和第三实施例的半导体集成电路中由两条支线构成支线组这样的配置改变为由三条支线构成支线组的配置，使得可以在支线组处自由地布置恒定需要供电的电路元，这样得到根据第四实施例的半导体
集成电路。诸如电源线组的布置等的总体配置与根据第一实施例的半导体集成电路相同。

图 9 是根据本发明第四实施例的电路元 12 的配置示例的示图。图 9 所示的电路元 12 具有被构成为 p 型 MOS 晶体管 Qp1 和 n 型晶体管 Qn1 的串联电路的反相器电路，并且具有向该反相器电路供电的连接线 L121 至 L123。注意，图 9 将反相器电路元示出为一个示例，但是本实施例中所解释的电路元 12 也可以包括用作基本电路的各种电路元，例如，NAND 电路元。

反相器电路（Qp1、Qn1）被连接在连接线 L121 和 L123 之间，并且从这些连接线被供电。相应地，当稍后将解释的电源开关元 23 处于关断状态时，对反相器电路的供电被切断。

注意，在图 9 的示例中，p 型 MOS 晶体管 Qp1 的衬底被连接到连接线 L123，n 型 MOS 晶体管 Qn1 的衬底被连接到连接线 L122。如稍后将要解释的，连接线 L122 和 L123 被恒定连接到电源线 VSS 和 VDD，因此，不管是否断电，这些 MOS 晶体管的衬底电势都能保持稳定。

连接线 L121 被连接到向电路元 12 提供电源电势 VSS 的支线 VSSB3。当稍后将解释的电源开关元 23 处于导通状态时，连接线 L121 具有与电源线 VSS 相同的电势。

连接线 L122 被连接到与支线 VSSB3 处于同一连接线层的支线 VSSB4。连接线 L122 具有与电源线 VSS 相同的电势。

连接线 L123 被连接到从电源线 VDD 分支出的支线 VDDB。连接线 L123 具有与电源线 VDD 相同的电势。

连接线 L122 和 L123 形成在矩形电路元 12 相对的侧边部分。连接线 L121 形成在与连接线 L122 相邻的位置，并在与连接线 L122 平行的方向上延伸。反相器电路被布置在这些连接线 L121 和 L123 之间的区域中。

图 10 是根据本实施例的电路元 13 的配置示例的示图。图 10 所示的电路元 13 具有被构成为 p 型 MOS 晶体管 Qp1 和 n 型 MOS 晶体管 Qn1 的串联电路的反相器电路，并且具有向该反相器电路供电的连接线 L131 至 L133。
电路元 13 中的连接线 L131、L132 和 L133 对应于上述电路元 12 中的连接线 L121、L122 和 L123。这两者的结构以及它们所连接的支线是相同的。

电路元 12 与电路元 13 的差别在于向反相器电路（Qp1、Qn1）供电的连接线。即，电路元 12 从连接线 L121 和 L123 被供电，因此当电源开关元 23 关断时供电被切断。但是电路元 13 从连接线 L132 和 L133 供电，因此不管电源开关元 23 的状态如何，恒定地供电。

图 11 是根据本实施例的电源开关元 23 的配置示例的示图。电源开关元 23 具有 n 型 MOS 晶体管 Qn4 和连接线 L231 至 L233。n 型 MOS 晶体管 Qn4 是本发明开关电路的一个实施例，连接线 L231 是本发明第五连接线的一个实施例，连接线 L232 是本发明第六连接线的一个实施例。

连接线 L231 是连接到向电路元 12 供电的支线 VSSB3 的连接线。当 n 型 MOS 晶体管 Qn4 导通时，其具有与电源线 VSS 相同的电势。

连接线 L232 连接到从电源线 VSS 分支出的支线 VSSB4。连接线 L232 具有与电源线 VSS 相同的电势。

连接线 L233 连接到从电源线 VDD 分支出的支线 VVDDB。连接线 L233 具有与电源线 VDD 相同的电势。

n 型 MOS 晶体管 Qn4 的漏极连接到连接线 L231，源极和衬底连接到连接线 L232，栅极接收控制信号 Sc 作为输入。n 型 MOS 晶体管 Qn4 根据控制信号 Sc 导通或关断。

当 n 型 MOS 晶体管 Qn4 导通时，连接线 L231 和连接线 L232 连接，连接到支线 VSSB3 的电路元 12 被供电。当 n 型 MOS 晶体管 Qn4 关断时，连接线 L231 和连接线 L232 断开，对电路元 12 的供电被切断。

连接线 L232 和 L233 形成在矩形电源开关元 23 相对的侧边部分。连接线 L231 形成在与连接线 L232 相邻的位置，并在平行于连接线 L232 的方向上延伸。n 型 MOS 晶体管 Qn4 被布置在这些连接线 L231 和 L233 之间的区域中。

图 12 是根据本实施例的半导体集成电路的布图示例的示图。在图 12 的示例中，从电源线组 PL1 分支出支线组 BL4-1 至 BL4-4。各个支线组
BL4-1 至 BL4-4 具有支线 VDDB、VSSB3 和 VSSB4。注意，支线 VSSB3 不直接连接到电源线 VSS，而是在电源开关元 23 导通时通过支线 VSSB4 连接到电源线 VSS。另外，所有这些支线都在垂直于电源线组 PL1 的方向上延伸，并且并排形成在相同的连接线层中。

支线组 BL4-1 和 BL4-2 彼此相邻，并且共享支线 VSSB4。支线组 BL4-3 和 BL4-4 彼此相邻，并且共享支线 VSSB4。

支线组 BL4-1 和 BL4-3 从电源线组 PL1 的公共分支点分出，并且在彼此相反的方向上在公共电源开关元 23 两边延伸。支线组 BL4-2 和 BL4-4 从电源线组 PL1 的公共分支点分出，并且在彼此相反的方向上在公共电源开关元 23 两边延伸。

另外，连接到支线组 BL4-1 和 BL4-3 的电源开关元 23 以及连接到支线组 BL4-2 和 B42-4 的电源开关元 23 的至少一部分被包含在电源线组 PL1 下面的区域中。

从电源线 VSS 分支到连接线 L232 的连接线包括过孔连接线 CT6，其从电源线 VSS 分出，并且延伸到下层。过孔连接线 CT6 在下层中连接电源线 VSS 与连接线 L232。从电源线 VDD 分支到连接线 L233 的连接线包括过孔连接线 CT5，其从电源线 VDD 分出，并且延伸到下层。过孔连接线 CT5 在下层中连接电源线 VDD 与连接线 L233。

图 13 是电路元 12 和电路元 13 的布置的示例的示图。如图 13 所示，电路元 12 和 13 可以混合布置在支线组上的任何位置处。

如上面解释的那样，本实施例具有通过电源开关元 23 的开关电路（Qn4）被连接到电源线 VSS 上的支线 VSSB3（第一支线），以及不通过开关电路（Qn4）而直接连接到电源线 VSS 上的支线 VSSB4（第二支线），并且分别提供了从支线 VSSB3 供电的电路元 12（第一电路元）和从支线 VSSB4 供电的电路元 13（第二电路元）。

因此，如图 13 所示，可以在支线组上的任何位置处混合布置能够通过电源开关元 23 被切断供电的电路元 12 以及被恒定供电的电路元 13。因此，可以非常自由地布置要被断电的电路以及要被恒定供电的电路，因此减少了对布图的限制，并且可以通过更简单的处理实现包含电源开关元 23
的布图的自动设计。

另外，每个电源开关由 23 被布置使得其至少一部分被包含在电源线组 PL1 下面的区域中，所以可以增加电路元 12 和 13 的布制密度。

另外，在本实施例中，彼此相邻的支线组共享支线。例如，在图 13 的示例中，支线组 BL4-5 和 BL4-6，支线组 BL4-7 和 BL4-8 以及支线组 BL4-9 和 BL4-10 共享支线 VDD。另外，支线组 BL4-6 和 BL4-7，支线组 BL4-8 和 BL4-9 以及支线组 BL4-10 和 BL4-11 共享支线 VSSB4。

因此，与分别提供支线的情形相比，可以减小电路面积。

除此之外，通过与第一实施例的半导体集成电路相同的配置，可以展现相同的效果。

【第五实施例】

接下来，将解释本发明的第五实施例。

通过将在根据第四实施例的半导体集成电路中在相同连接线层并排形成的支线（第一支线和第二支线）改变为在彼此面对的不同连接线层中形成的支线，得到根据第五实施例的半导体集成电路。诸如电源线组的布制等的总体配置与根据第一实施例的半导体集成电路相同。

图 14 是本发明第五实施例的电路元 14 的配置示例的示例。图 14 所示的电路元 14 具有构成为 p 型 MOS 晶体管 Qp1 和 n 型 MOS 晶体管 Qn1 的串联电路的反相器电路，以及向该反相器电路供电的连接线 L141 至 L143。注意，虽然图 14 将反相器电路展示作为一个示例，但是本实施例中所解释的电路元 14 也可以包括用作基本电路的各种电路元，例如，NAND 电路元。

反相器电路（Qp1、Qn1）连接在连接线 L141 和 L143 之间，并且从这些连接线供电。相应地，当稍后将解释的电源开关元 24 处于关断状态时，对反相器电路的供电被切断。注意，在图 14 的示例中，p 型 MOS 晶体管 Qp1 的衬底连接到连接线 L143，n 型 MOS 晶体管 Qn1 的衬底连接到连接线 L142。如稍后将要解释的，连接线 L142 和 L143 被恒定连接到电源线 VSS 和 VDD，因此，不管是否断电，这些 MOS 晶体管的衬底电势都能保持稳定。
连接线 L141 连接到向电路元 14 提供电源电势 VSS 的支线 VSSB5。当稍后将解释的电源开关元 24 处于导通状态时，连接线 L141 具有与电源线 VSS 相同的电势。

连接线 L142 连接到在支线 VSSB5 下面的层中的支线 VSSB6。支线 VSSB6 是从电源线 VSS 分支出的连接线。连接线 L142 具有与电源线 VSS 相同的电势。

连接线 L143 连接到从电源线 VDD 分支出的支线 VDDB。连接线 L143 具有与电源线 VDD 相同的电势。

连接线 L142 和 L143 形成在矩形电路元 12 相对的侧边部分。连接线 L141 形成在连接线 L142 上面的层中，从而与连接线 L142 相对。反相器电路被布置在连接线 L143 和连接线 L142 之间的区域中。

图 15 是根据本实施例的电路元 15 的配置示例的示图。图 15 所示的电路元 15 具有被构成为 p 型 MOS 晶体管 Qp1 和 n 型 MOS 晶体管 Qn1 的串联电路的反相器电路，并且具有向该反相器电路供电的连接线 L151 至 L153。

电路元 15 中的连接线 L151、L152 和 L153 对应于上述电路元 14 中的连接线 L141、L142 和 L143。这两者的结构以及它们所连接的支线是相同的。

电路元 14 与电路元 15 的差别在于向反相器电路（Qp1、Qn1）供电的连接线。即，电路元 14 从连接线 L141 和 L143 供电，因此当电源开关元 24 关断时供电被切断，而电路元 15 从连接线 L152 和 L153 供电，因此不管电源开关元 24 的状态如何，总是供电。

图 16 是根据本实施例的电源开关元 24 的配置示例的示图。电源开关元 24 具有 n 型 MOS 晶体管 Qn5 和连接线 L241 至 L243。n 型 MOS 晶体管 Qn5 是本发明开关电路的一个实施例，连接线 L241 是本发明第五连接线的一个实施例，连接线 L242 是本发明第六连接线的一个实施例。

连接线 L241 连接到向电路元 14 提供电势 VSS 的支线 VSSB5。当 n 型 MOS 晶体管 Qn5 导通时，连接线 L241 具有与电源线 VSS 相同的电势。
连接线 L242 连接到从电源线 VSS 分支出的支线 VSSB6。连接线 L242 具有与电源线 VSS 相同的电势。

连接线 L243 连接到从电源线 VDD 分支出的支线 VDDB。连接线 L243 具有与电源线 VDD 相同的电势。

n 型 MOS 晶体管 Qn5 的漏极连接到连接线 L241，源极和衬底连接到连接线 L242，栅极接收控制信号 Sc 作为输入。n 型 MOS 晶体管 Qn5 根据控制信号 Sc 导通或关断。当 n 型 MOS 晶体管 Qn5 导通时，连接线 L241 和连接线 L242 连接，连接到支线 VSSB5 的电路元 14 被供电。当 n 型 MOS 晶体管 Qn5 关断时，连接线 L241 和连接线 L242 断开，对电路元 14 的供电被切断。

连接线 L242 和 L243 形成在矩形电源开关元 24 相对的侧边部分。连接线 L241 形成在连接线 L242 上面的连接线层中，从而与连接线 L242 相对。注意，在该边的中间部分，连接线 L242 向电源开关元 24 内侧凹入为 U 形。在该凹进中，布置有将连接线 L242 与电源线 VSS 相连接的过孔连接线 CT8（参考图 17）。n 型 MOS 晶体管 Qn5 布置在连接线 L241 和连接线 L243 之间的区域中。

图 17 是根据本实施例的半导体集成电路的布图示例的示图。在图 17 的示例中，从电源线组 PL1 分支出支线组 BL5-1 至 BL5-4。各个支线组 BL5-1 至 BL5-4 具有支线 VDDB、VSSB5 和 VSSB6。注意，支线 VSSB5 不直接连接到电源线 VSS，而是在电源开关元 24 导通时通过支线 VSSB6 连接到电源线 VSS。另外，这些支线在垂直于电源线组 PL1 的方向上延伸。

支线组 BL5-1 和 BL5-2 彼此相邻，并且共享支线 VSSB5 和 VSSB6。支线组 BL5-3 和 BL5-4 彼此相邻，并且共享支线 VSSB5 和 VSSB6。

支线组 BL5-1 和 BL5-3 从电源线组 PL1 的公共分支点分出，并且在彼此相反的方向上在公共电源开关元 24 两边延伸。支线组 BL5-2 和 BL5-4 从电源线组 PL1 的公共分支点分出，并且在彼此相反的方向上在公共电源开关元 24 两边延伸。

另外，连接到支线组 BL5-1 和 BL5-3 的电源开关元 24 以及连接到支
线组 BL5-2 和 BL5-4 的电源开关元 24 的至少一部分被包含在电源线组 PL1 下面的区域中。

从电源线 VSS 分支到连接线 L242 的连接线包括过孔连接线 CT8，其从电源线 VSS 分出，并且延伸到下层。过孔连接线 CT8 在下层中连接电源线 VSS 与连接线 L242。从电源线 VDD 分支到连接线 L243 的连接线包括过孔连接线 CT7，其从电源线 VDD 分出，并且延伸到下层。过孔连接线 CT7 在下层中连接电源线 VDD 与连接线 L243。

另外，这两个电源开关元 24 彼此相邻，并且电连接到连接线 L241，所以用作两个并联连接的开关。相应地，这两个电源开关元 24 的 n 型 MOS 晶体管 Qn5 被相同的控制信号 Sc 控制，从而一起导通或关断。

如上面解释的那样，根据本实施例，支线 VSSB5 和 VSSB6 彼此面对地形成，具有层之间的间隔，因此与将它们形成在相同连接线层中的情形相比，可以减小电路面积。

另外，电源开关元 24 被布置使得其至少一部分被包含在电源线组 PL1 下面的区域中，所以可以增加电路元 14 和 15 的布置密度。

另外，在图 17 的示例中，展示了两个电源开关元 24 并联连接的结构，因此即使减少到一个电源开关元 24，也能工作。即，可以通过一个电源开关元 24 控制四个支线组的供电。

除此之外，通过与根据第四实施例的半导体集成电路相同的配置，可以展现相同的效果。

【第六实施例】

接下来，将解释本发明的第六实施例。

用在电源开关元中的开关晶体管理想地具有尽可能大的驱动能力，以便减少电源电压的下降，但是当驱动能力太大时，会导致电路面积增加以及漏电流增加的缺点。

因此，在根据本实施例的半导体集成电路中，按照根据开关晶体管而被导通/关断供电的电流元的功耗，设置该开关晶体管的驱动能力。例如，电流元的功耗越大，则控制向电路元供电的开关晶体管的驱动能力越大。

即，在根据第二实施例的半导体集成电路中，根据通过电源开关元 21
的连接线 L211 和支线 VSSB 连接到 n 型 MOS 晶体管 Qn2 的漏极的电路元 11 的功耗，设置 n 型 MOS 晶体管 Qn2 的驱动能力。

在根据第三实施例的半导体集成电路中，根据通过电源开关元 22 的 连接线 L221 和支线 VSSB1 连接到 n 型 MOS 晶体管 Qn3 的漏极的电路元 11 的功耗，设置 n 型 MOS 晶体管 Qn3 的驱动能力。

在根据第四实施例的半导体集成电路中，根据通过电源开关元 23 的 连接线 L231 和支线 VSSB3 连接到 n 型 MOS 晶体管 Qn4 的漏极的电路元 12 的功耗，设置 n 型 MOS 晶体管 Qn4 的驱动能力。

在根据第五实施例的半导体集成电路中，根据通过电源开关元 24 的 连接线 L241 和支线 VSSB5 连接到 n 型 MOS 晶体管 Qn5 的漏极的电路元 14 的功耗，设置 n 型 MOS 晶体管 Qn5 的驱动能力。

图 18 是根据本发明第六实施例的电源开关元 20A 至 20C 的示例的示图。在图 18 的示例中，根据供电时电路元的功耗大小，选择性地使用具有不同的开关晶体管驱动能力的三种类型电源开关元（20A 至 20C）。即，具有最大驱动能力的电源开关元 20A 被用于具有最大功耗的电路，具有中驱动能力的电源开关元 20B 被用于具有中功耗的电路，具有最小驱动能力的电源开关元 20C 被用于具有最小功耗的电路。

通过以这种方式根据经由开关晶体管供电的电路元的功耗将开关晶体 管的驱动能力设置在合适大小，与统一地设置开关晶体管驱动能力的情形相比，可以减小电路面积和漏电流，同时抑制电源电压的下降。

虽然上面解释了本发明的几个优选实施例，但是本发明并不仅限于这些实施例。

例如，还可以在单个半导体集成电路中结合地使用第二和第三实施例 中的双连接线型电源结构与第四和第五实施例中的三连接线型结构。图 19 和图 20 是双连接线型结构与三连接线型结构的组合的示例的示图。如上所述，通过组合多种连接线结构，增加了设计的自由度，因此可以根据要设计的电路选择更合适的连接线结构。

另外，在上述实施例中，电源线组中所包括的电源线数目是 2，但是 本发明并不局限于此，而是可以包括三条或更多条电源线。
另外，在上述实施例中，示出了这样的示例：由电源开关元在低电压侧断开连接到电源线 VSS 的支线，但是本发明并不局限于此。也可以由电源开关元在高电压侧断开连接到电源线 VDD 的支线，或者由电源开关元断开两者。

另外，在上述实施例中，在格带状电源线图案中，只是从垂直的带状电源线中分支出支线，但是本发明并不局限于此，也可以包括从水平的带状电源线中分支出支线的区域。

本领域的技术人员应该理解，可以基于设计需求和其他因素而作出在所附权利要求或其等同物范围内的各种修改、组合、子组合以及替换。

本发明包括涉及于 2004 年 3 月 10 日向日本专利局提交的日本专利申请 JP 2004-067489 的主题，其全部内容通过引用结合于此。
图11
图14

图15