

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 23/50

(45) 공고일자 1992년01월06일
(11) 공고번호 특 1992-0000076

(21) 출원번호	특 1988-0010081	(65) 공개번호	특 1989-0004431
(22) 출원일자	1988년08월08일	(43) 공개일자	1989년04월22일
(30) 우선권 주장	62-198443 1987년08월08일 일본(JP)		
(71) 출원인	가부시키가이샤 도시바 아오이 조이치		
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지 이와테도시바 일렉트로닉스 가부시키가이샤 하라다 시게히로		
	일본국 이와테현 기타가미시 기타고교단지 6-6		

(72) 발명자 후지츠 다카오
일본국 이와테현 기타가미시 기타고교단지 6-6 이와테도시바 일렉트로닉스 가부시키가이샤내
(74) 대리인 김윤배

심사관 : 유환열 (특허공보 제2603호)

(54) 반도체장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 일 실시예에 따른 반도체장치가 프린트 기판에 접속된 상태를 나타내는 종단면도.

제2도는 본 발명의 일 실시예에 따른 프레임을 나타내는 표면도.

제3도는 본 발명의 일 실시예에 따른 프레임을 나타내는 이면도.

제4a도 및 제4b도는 각각 기재의 가장자리와 프린트기판의 서로 다른 접속상태를 나타내는 요부단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------|-----------|
| 1 : 반도체소자 | 2 : 접착제 |
| 3 : 프레임 | 4 : 기재 |
| 5 : 수지층 | 6 : 리드 |
| 6a : 내부리드 | 6b : 외부리드 |
| 7 : 본딩와이어 | 8 : 밀봉수지 |
| 9 : 프린트기판 | |

[발명의 상세한 설명]

본 발명은 반도체장치에 관한 것으로, 특히 입출력단자로서 다수의 리드가 구비된 반도체장치에 관한 것이다.

종래의 경우 반도체장치의 패키지구조로는 DIP, FP, PLCC 및 세라믹패키지등과 같은 것이 널리 알려

져 있다.

그런데, 이러한 패키지의 입출력단자로 사용되는 리드는, 리드레스칩캐리어를 제외하고는 어느것이 나 전기적특성을 얻는데 있어 각기 상호 독립되게 절연시켜진 상태로 병렬로 패터닝됨으로써, 그 내부리드가 패키지안쪽에, 외부리드는 패키지 바깥쪽으로 돌출시켜져 배치되도록 되어 있다.

그 때문에 각 외부리드가 각각 구부러질 수 있는 상태가 되어 구부러지기가 쉽고, 게다가 각 리드간의 상대위치정밀도도 $\pm 0.1\text{mm}$ 정도밖에 확보될 수가 없었다.

또, 가공이나 설치면에 있어 각 리드가 개별적으로 변형되어지지 않도록 하기 위해서는 리드의 재질과 두께, 리드폭 및 리드간피치등이 제한을 받게 된다.

예컨대, FP(flat package)에 있어서는, 리드두께가 0.15mm로, 리드폭은 외부리드에서 0.35mm, 내부리드기초부위에서 0.15mm, 리드간피치는 외부리드에서 0.65 mm, 내부리드기초부위에서 0.3mm정도가 최소치로 되고 있는 것이 현재상황이어서, 그 때문에 핀수가 증가함에 따라 패키지의 외부리드끝부위의 전체외형이 커지게 되고, 패키지의 크기는 이보다 더 커지게 되고 있다.

상기와 같은 제한은 반도체장치를 프린트기판등에다 설치할 때의 납땜공정에서, 리드위치정밀도를 $\pm 0.1\text{mm}$ 정도까지 밖에 확보할 수 없음이 현상이기 때문에, 특히 리드피치간의 간격을 축소시키는데 일반적으로 곤란을 겪고 있다.

또 리드의 재질선정에 있어서도, 이와같은 미세한 리드자체의 기계적 강도를 확보하기 위해, 니켈을 함유한 철합금(42 얼로이)등과 같이 고강도 특성을 갖는 재질이 요구되고 있기도 하다.

이에 본 발명은 상기 내용을 감안하여 발명된 것으로, 특히 다수의 입출력단자를 갖는 반도체장치에 있어서, 프린트기판에서의 설치특성, 즉 리드위치정밀도를 향상 시키고 리드피치를 축소시켜 패키지 크기를 축소시켜 줌으로써 설치밀도가 높고 다수핀반도체장치의 패키지기능이 향상시켜진 반도체장치를 제공함에 그 목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명 반도체장치는, 예컨대 AI 기판, 동기판 또는 철합금기판 등과 같은 금속판형상으로 된 기재의 한쪽면에 절연층을 적층시켜 이 절연층표면에 상호 전기적으로 절연되어 대략 중앙부로 부터 가장자리로 연장된 복수개의 리드를 패터닝해서 프레임을 형성하고, 이 프레임의 절연층쪽 중앙부에 반도체소자를 정착시킴과 더불어, 이 반도체소자의 전극과 상기 각 리드의 중앙쪽 기초부위의 내부리드를 각각 전기적으로 접속시켜 준 구조 및, 가장자리를 아랫쪽으로 굴곡시켜 종단면이 접시형상으로 형성된 기재의 내주측 뒷면에 서로 전기적으로 절연되면서 대략 중앙부에 반도체소자를 장착시킴과 더불어, 이 반도체소자의 전극과 상기 각 리드의 중앙기초부위의 내부리드를 각각 전기적으로 접속시켜 놓은 구조로 되어 있다.

상기와 같이 구성된 본 발명은, 전기적으로 절연된 리드가 공통의 기재로 보유지지시켜지기 때문에, 각 리드의 기계적 강도가 높아지게 됨과 더불어 리드의 미세가공이 가능해지게 됨으로써, 위치정밀도가 향상되게 될 뿐만 아니라 프린트기판등에 설치할 때 그 패키지기능이 향상시켜 질 수가 있게 된다.

이하 도면을 참조하여 본 발명의 실시예에 따른 구성 및 작용효과를 설명한다.

제1도는 본 발명의 일실시예를 도시해 놓은 것으로, 반도체소자(1)가 접착제(2)를 매개로 그 가장자리가 아래로 구부러져 종단면이 접시형상으로 된 4각형상의 프레임(3)의 내주측뒷면중앙부에 접착되어 있다.

이 프레임(3)은 예컨대 두께 1mm 이하인 AI 기판등과 같은 금속판형상의 기재(4)의 한쪽면에 수십 μm 정도의 에폭시수지로 된 수지층(5)이 적층되고, 이 수지층(5)의 표면에 상호 전기적으로 절연되면서

대략 중앙부에서 가장자리로 연장된 예컨대 $\frac{1}{2}$ 온스(두께 17 μm) 또는 1온스(두께 35 μm)의 동박(銅箔)으로 된 다수의 리드(6)가 패터닝된 다음 수지층(5)을 아랫쪽으로 해서 아래로 굴곡시켜 놓은 것이 다.

이 프레임(3)을 제조함에는 예컨대 일반적인 리드프레임과 같이 상기 기재(4)의 구성부분이 연속되게 설치된 1mm이하의 AI재로 된 판의 한쪽면에다 수십 μm 정도의 에폭시수지로 된 수지층(5)을 적층

하고, 이 수지층(5)표면전체에다 $\frac{1}{2}$ 온스(두께 17 μm) 또는 1온스(두께 35 μm)의 동박을 라미네이트한 다음 표리양면에 에칭을 실시해서 리드(6)를 패터닝함과, 더불어 기재(4)의 주위를 그 모서리부를 남기고 에칭한다. 이어 프레스가공을 실시해서 굴곡시킨 다음 각 프레임(3)을 각각 분리해주게 되면 프레임(3)이 만들어지게 된다.

여기서 상기 기재(4)로서 본 실시예에서는 기계적으로 성형시킬 수 있는 AI기판을 사용하였으나, 다른 금속판으로서 예컨대 동기판이라던가 42얼로이등과 같은 철합금기판을 사용할 수도 있는 바, 이와 같이 금속제로 된 기재(4)를 사용하게 되면 반도체소자(1)의 방열성을 향상시킬 수가 있게 된다.

또, 이 기재(4)로서, 예컨대 금속와이어로 된 성형가능한 망상금속을 심재로 한 에폭시수지 또는 폴리이미드 수지등과 같은 플라스틱 기재를 사용하여도 좋는데, 이 경우 수지층을 적층시키지 않고 플라스틱기재에다 직접 리드를 패터닝해 줌으로써 프레임을 구성시켜 줄 수가 있으며, 또 미리 굴곡성형시킨 플라스틱 기재를 사용해서 프레임을 구성시켜줄 수도 있다.

또 리드(6)는 내부리드(6a)와 외부리드(6b)로 이루어져 상기와 같이 동박을 에칭해 줌으로써 형성시킨 것이었으나, 이 경우 각 리드(6)의 위치정밀도는 동박의 에칭정밀도에 의해 결정되게 된다.

여기서는 이 리드(6)가 내부리드(6a)의 기초부위에서의 선평이 0.05mm($T_1=0.05\text{mm}$)이고, 선평이 0.05mm($T_2=0.05\text{mm}$)이며, 피치는 0.1mm($P_1=0.1\text{mm}$)이고, 외부리드(6b)앞 끝에서의 선평이

0.1mm($t_1=0.1\text{mm}$), 선간격이 0.1mm($t_2=0.1\text{mm}$), 피치가 0.2mm($P_2=0.2\text{mm}$)로 형성되어져 있다.

이와 같이 해서 각 리드(6)가 기재(4)에 보유지지시켜진 프레임(3)을 형성해 줌으로써, 이 각 리드(6)의 기계적 강도가 확보되고 각 리드(6)의 위치정밀도향상 및 리드피치축소화가 도모될 수 있게 된다.

그리고 이 내부리드(6a)의 중앙기초부위와 반도체소자(1)의 전극은 본딩와이어로 본딩되고, 또 반도체소자(1)는 보호용 코팅수지등과 같은 밀봉수지(8)로 수지밀봉되어 반도체장치가 완성되게 된다.

한편, 상기 와이어본딩에 한정되지 않고, 125 μm 정도의 폴리이미드필름에 35 μm 정도의 동박을 라미네이트 해 준 다음, 에칭으로 패터닝시켜 준 캐리어테이프를 사용해서 본딩을 행하는, 이른바 TAB 방식으로 반도체장치를 구성하는 것도 가능한데, 이와 같은 반도체장치는 IC 카드등에도 이용할 수가 있다. 또 본딩에 의해 프레임(3)의 오목부내에 수지를 주입해서 반도체소자(1)를 코팅해 주는 외에도, 몰드수지로 반도체 소자(1)를 수지밀봉시켜 신뢰성의 향상을 도모할 수도 있다.

또한, 상기 기재(4)의 가장자리 끝부위(4a)가 종단면이 원형이 되도록 굴곡성형되어져 있는데, 이 가장자리 끝부위(4a)는 제 1 도에 도시된 바와 같이 외부리드(6b)와 프린트기판(9)을 납땜(10)으로 전기적으로 접속시켜 주기 위한 것인데, 이를 제 4 도의 (a)에 도시된 바와 같이 V자형으로 형성시킨다던가 제 4 도 (b)에 도시된 세워지도록 형성시켜도 좋은 바, 이 형상은 프린트기판(9)과 패키지의 형상에 따라 임의로 선택할 수가 있다.

본 발명은 상기와 같이 구성되어져 있기 때문에, 다수의 입출력단자를 갖는 반도체장치에 있어서 리드피치가 축소되고, 패키지의 크기가 줄어들며, 더구나 리드위치정밀도가 향상시켜지고, 프린트기판 등에 설치할 때 접속이 쉬워지게 된다.

또, 제조공정이 간소화시켜서 비용이 절감될 수 있을 뿐만 아니라, 특히 리드의 변형으로 말미암은 제조불량이 줄어들게 되고, 또 반도체장치전체를 기재로 덮어주게 되므로 장치의 신뢰성을 향상시켜 줄 수가 있으며, 리드패턴의 미세가공이 가능해져 반도체소자의 전극간피치 및 내부리드간피치가 거의 인접되어 전기 접속이 쉽게 이루어질 수 있게 된다. 또한 기재로서 금속판을 사용하게 됨으로서 반도체소자의 방열성이 향상시켜 질 수 있게 된다고 하는 효과도있게 된다.

(57) 청구의 범위

청구항 1

다수의 리드가 구비된 반도체장치에 있어서, 금속판형상으로 된 기재(4)의 한쪽면에 절연층이 적층되어, 이절연층표면에 상호 전기적으로 절연되면서 대략 중앙부로 부터 가장자리부로 연장된 다수의 리드(6)가 패터닝되어 프레임(3)을 형성하고, 이 프레임(3)의 절연층쪽 중앙부에 반도체소자(1)가 장착됨과 더불어 반도체소자(1)의 전극과 상기 각 리드(6)의 중앙쪽기초부위의 내부리드(6a)가 각각 전기적으로 접속시켜진 것을 특징으로 하는 반도체장치.

청구항 2

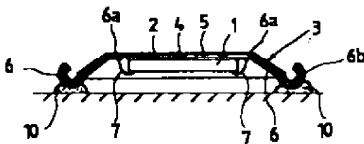
제1항에 있어서, 상기 기재가 Si기판, 동기판 또는 철합금기판으로 된 것을 특징으로 하는 반도체장치.

청구항 3

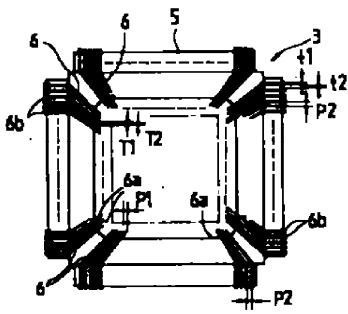
다수의 리드가 구비된 반도체장치에 있어서, 가장자리가 아랫쪽으로 구부러져 그 종단면이 접시형으로 된 기재(4)의 내주연쪽 뒷면에 상호 전기적으로 절연되면서 대략 중앙부에서 가장자리로 연장된 복수개의 리드(6)가 패터닝되어 프레임(3)을 형성하고, 이 프레임(3)의 내주연중앙부에 반도체소자(1)가 장착됨과 더불어 이 반도체소자(1)의 전극과 상기 각 리드(6)의 중앙측 기초부위 내부리드(6a)가 각각 전기적으로 접속시켜진 것을 특징으로 하는 반도체장치.

도면

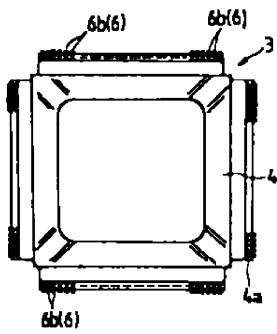
도면1



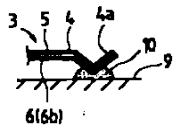
도면2



도면3



도면4-a



도면4-b

