公告本

405093

申請日期	86 年 10 月 14 日
案號	86115051
類別	Int. Cl. G06F 3/8

（以上各欄由本局填註）

A4
C4

405093

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	資料處理器及資料處理系統
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 荒川文男 (2) 中川典夫 (3) 山田哲也
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都小平市津田町一一一四一一九 (2) 日本國東京都練馬區関町南二一二〇一一〇一四〇三 (3) 日本國東京都国分寺市西恋ヶ窪四一一四一六B三〇五號
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1996 年 10 月 16 日	8-273432	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係有關於一種應用在內積演算以及行列演算之資料處理器。特別是有關於一種最適合於3次元圖形控制的資料處理系統，例如有關於一種執行4元以下之浮動小數點向量或行列之應用之資料處理器的有效的技術。

在3次元圖形中有關圖形的旋轉、放大、縮小、透視投影以及平行移動大多是利用一使用4×4之轉換行列的行列演算，又在決定受光面的亮度時則可以利用內積演算。而在如此之行列演算或是內積演算時必須要反覆地實施積和演算。又對於在3次圖形中所處理的資料，在高階(high end)的系統中以往則利用浮動小數點數。即使是如遊戲機或攜帶情報終端般之對於成本限制嚴格的領域，所處理的資料也逐漸自整數移至浮動小數點數。而此是因爲利用浮動小數點數時程式設計較容易，且適合於高度的處理。

積和演算係一進行單一功能操作(A+B)+C之演算者，例如在Microprocessor Report,Vol.8,No.15,November 14,1944,pp.6-9,PA-80000 Combines Complexity and Speed中已揭露一備有積和演算單元的處理器，而積和演算單元的並列度爲2。

又在日經電子(日經PB社)1996.1.15(No.653).pp16-17中則有關於將3次元描畫功能放入一個晶片內的半導體積體電路的記載。將在1個週期內執行8個固定小數點資料之演算的積和演算器組入到此，而可以在2個週期內執行利用4×4之行列的座標轉換

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(2)

。

又在特開昭64-37544中則記載有由4個乘法器以及可將該4個乘法器的輸出相加之加法器所構成的乘法電路。該乘法電路由於是一用於處理基本語長以及其2倍語長的乘法運算者，因此其位數對合功能則是一針對該處理將化而成的單純設計，而無法進行浮動小數點數的內積演算。

又在特開平5-150944中則記載有一具有多個積和演算器與用於連接該些之手段的數位信號處理器。該數位信號處理器則是以整數爲對象。

又在特開平5-216657中則記載有用於數位信號處理的高速處理器，而記載了利用該高速處理器的浮動小數點積和演算來執行幾何(geometry)處理。

又在特開平5-233228中則記載之浮動小數點演算裝置以及其演算方法，而且記載有縮小浮動小數點單元之尺寸的方法。由於係一將乘法陣列設成一半而使用2次的方式，除了性能會成爲一半外，乘法陣列以外並不會被縮小，因此會導致浮動小數點單元的面積對性能化降低。

以上所述之所有的習知技術對於使利用浮動小數點數之4×4的行列演算或是內積演算高速化則完全未加以考慮。

本發明人等則針對使利用浮動小數點的行列演算或是內積演算高速化加以檢討。根據此，由於浮動小數點數之積和演算之電路規模大，因此在單純地予以並列時，則其

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

電路規模會顯著地增加，如在上述第1文獻中所記載般其並列度爲2左右，而顯然在高速化有其極限。又在上述第2文獻中所記載的內容，雖然可以在2個週期內實施利用4×4之行列的座標轉換，而可以實現某個程度的高速化，但是很明顯地由於利用位元數少的整數積和演算器之緣故，不得不犧牲掉演算精度。

本發明之其他目的即在於提供一種可以儘量抑制電路的增大情形，而能夠高精度且高速地處理行列演算或是內積演算的資料處理器。

本發明之目的在於提供一種能夠使利用浮動小數點數的行列演算或是內積演算高速化的資料處理器。

在本發明中所揭露之發明中之代表者若是簡單地說明其概要內容則如下。

亦即，資料處理器，其中

浮動小數點單元具備演算部，而該演算部包含有分別自不同的資料輸入信號群供給浮動小數點數的虛數部，且將所供給之虛數部相互間予以相乘時多個乘法器、接受各乘法器的輸出而進行對位位移的分析器，根據上述浮動小數點數的指數部而產生上述分析器之對位位移數以及規格化前之指數的指數處理部，將上述分析器之輸出相加的輸入加法器，以及將上述多輸入加法器之輸出與上述規格化前之指數予以規格化的規格化器。

藉由將多個乘法器的乘法運算以及各乘法器之乘法結果的加法運算同時執行，資料處理器能夠使根據浮動小數

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明(4)

點的內積演算或是向量轉換演算得以高速化。又由於可以藉由，以同時的乘法以及加法運算來求取內積，而不需要在針對2個輸入每次進行積和演算時要進行捨入(round)處理，因此，內積演算的等待時間(latency)短，演算精度變高，而如對2個輸入每次反覆進行積和演算時，不會因爲演算順序不同即導致不同的演算結果。又由於資料處理器只需具備1個用於規格化的電路即可，因此可以儘量地抑制電路規模的增大情形，而能夠高速且高精度地根據浮動小數點進行內積演算或是向量轉換演算。

爲了要能夠有效率地對於在浮動小數點數之同時的乘法以及加法運算中之負數進行處理，上述演算部更包含可因應在各乘法器中被相乘之浮動小數點數的符號而產生與各乘法器之乘法結果呈對應之符號的符號處理部，上述分析器具有可將對位移位結果選擇性地以反轉或是非反轉之形態輸出的選擇器，當對於所對應之上述乘法結果的符號爲負時則選擇反轉輸出，而上述多輸入加法器則進行在對應於對上述乘法結果的符號爲負的分析器的輸出加1而產生進位，且針對負的乘法結果進行2的補數處理。

根據演算部而來之演算對象資料以及演算結果資料則暫時地儲存在暫存器檔案(register file)。此時，對於乘法器之並列運算爲必要的全部資料則必須自暫存器檔案並列地供給到多個乘法器，此時，爲了要在不增加暫存器的埠(port)數以及暫存器之指定段(field)之位元數的情況下能執行該處理，乃將暫存器檔案設成暫存器群組(register bank)構

(請先閱讀背面之注意事項再填寫本頁)
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

造，而將多個暫存器群組或是單數的群組的暫存器呈並列地連接到上述乘法器之各輸入端子。

當著眼於內積演算時，則直接求取4元以下之內積的內積演算命令可以包含在資料處理器的命令組(set)中，上述浮動小數點單元更具有可對用於規定分別由多個成分所示表示之資料間之內積演算的浮動小數點命令進行解碼的控制部，該控制部則對上述浮動小數點命令進行解碼，將暫存器檔案所保有之資料的成分經由上述信號線群供給到上述演算部，在上述演算部中對所給予的資料作內積演算，且將內積的演算結果寫入到上述暫存器檔案內。

當著眼於行列轉換演算時，則用於求取轉換行列與向量之積的向量轉換演算命令可以包含在資料處理器的命令組中。上述浮動小數點單位更具有可對用於規定分別由多個成分所表示的資料與轉換行列之行列演算的浮動小數點命令進行解碼的控制部，該控制部則對上述浮動小數點命令進行解碼，而讀取暫存器檔案所保有之資料的成分與上述轉換行列的成分，且將該些經由上述信號線群供給到上述演算部，在上述演算部中對所給予的資料進行內積演算，且將內積演算的結果寫入到上述暫存器檔案，將如此一連串演算循環連續地反覆執行多次，控制上述各演算循環的等待時間以使在連續多次被執行之最後的演算循環中的上述暫存器檔案的讀取動作較將在最初之演算循環中的內積演算結果寫入到上述暫存器檔案的時間爲早。又，此時，若在上述各演算週期中針對雙方之群組呈並列地進行自

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(6)

上述暫存器檔案的讀取動作或是只針對其中一個群組進行對上述暫存器群組的寫入動作，則可以彌補浮動小數點暫存器之數量的不足。亦即可以將多個操作數operand(轉換行列、向量資料)個別地分別配到多個群組而利用暫存器檔案。

在利用該暫存器群組時，如16位元固定長度浮動小數點命令般，暫存器指定區(field)乃被限制，因此對於暫存器的數目被限制之體系結構(avchitecture)有用,且對於資源被限制之體系構造(avchitecture)的資料處理器而言，可以根據浮動小數點來進行內積演算以及向量轉換演算。

又藉由在上述演算部追加係數表以及乘法器的回饋電路，可以根據區間分割與高次的多項式展開來求取三角函數的近似值。根據此，可以在不必大幅增加晶片面積的情況下即能夠得到在轉換行列等中所利用的正弦以及餘弦。

資料處理器更包含被連接到位址匯流排以及資料匯流排的CPU，而上述浮動小數點單元被連接到上述資料匯流排，且上述浮動小數點單元則利用16位元固定長度浮動小數點命令組來執行浮動小數點處理。上述CPU則進行對於上述浮動小數點單元要得到執行浮動小數點處理的命令與資料時爲必要的定址(addressing)處理。藉此,浮動小數點單元不需要支援與CPU相同之高性能的定址模式，而就該點而言，浮動小數點命令可以得到16位元固定長度。

本發明之上述以及其他的目的與新穎的特徵可以由本

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(6)

說明書的記載以及所附的圖面而明白。

資料處理器之構成

第1圖係表本發明之一例之資料處理器的方塊圖。在同圖所示之資料處理器1具有32位元RISC(Reduced Instruction Set Computer)的體系結構，而執行16位元固定長度浮動小數點命令。該實施態樣對於應用到必須要充分地支援3次元圖面之機器組入控制(例如視頻遊戲)極爲有效。

該資料處理器1具有浮動小數點單元2。而浮動小數點單元2進行演算之浮動小數點數則被設爲單精度。更者，資料處理器1具有中央處理裝置(CPU)3，該CPU3則被設成具有可以處理整數之能力的整數單元。上述CPU3則經由32位元資料匯流排4而被結合到上述浮動小數點單元2。CPU3以及浮動小數點單元2則經由命令匯流排5自命令快取單元6讀入命令。命令位址則自CPU3被供給到命令快取單元6。資料快取單元7則被連接到上述資料匯流排4，且經由資料位址匯流排8自CPU3被供給資料位址。上述資料快取單元7以及命令快取單元6則分別備有未圖示的快取控制器以及快取記憶體。上述命令快取單元6以及資料快取單元7則經由包含資料信號以及控制信號的快取匯流排13被連接到匯流排控制器9。在命令快取單元6中之因爲快取失誤(cache miss)等所引起之用於外部存取的命令位址則被供給到上述

(請先閱讀背面之注意事項再填寫本頁)
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(8)

匯流排控制器9。又在資料快取單元7中之因爲快取失誤等所引起之用於外部存取的資料位址則被供給到上述匯流排控制器9。匯流排控制器9則根據該些命令位址或是資料位址，而爲了要對被連接到代表性被圖示之位址端子以及資料端子等的外部記憶體等進行存取，則起動外部匯流排週期。又，計時器或串列通訊介面控制器等的周邊電路10則經由周邊匯流排11被連接到匯流排控制器9。第1圖所示之資料處理器則被形成在如單晶矽般的1個半導體基板上。上述浮動小數點單元(以下只稱爲FPU)2則爲了要實施浮動小數點處理乃自記憶體要求資料或命令。在本實施形態中，上述FPU2並未具備將資料儲存在資料快取單元7之快取記憶體或是自該快取記憶體獲得資料之記憶體定址(memory addressing)能力。而此是因爲藉由去除FPU2之記憶體定址電路的必要性可以節約晶片面積之故。取代此，CPU3則具有代替FPU2對快取記憶體等實施定址的功能。因此，FPU2或浮動小數點命令並不需要支援與CPU3同樣之強力的定址模式，該功能全部由CPU3來負擔。CPU3不只爲了FPU2要自記憶體取出(fetch)資料，CPU3也爲了FPU2要自記憶體取出(fetch)包含浮動小數點命令在內的所有的命令。命令則爲CPU3與FPU2兩方所讀取且被解碼。

CPU3，當經解碼的命令爲CPU命令時，則執行由其所指示的整數處理。又，CPU3，當經解碼的命令爲FPU命令時，則取代FPU2而進行定址處理。FPU

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(9)

2，當經解碼的命令爲ＦＰＵ命令時，則執行由其所指示的浮動小數點處理。又，ＦＰＵ２，當經解碼的命令爲ＣＰＵ命令時，則忽視該命令。

第２圖係表上述資料處理器之主要的暫存器構成。

ＣＰＵ暫存器具有１６個通用暫存器ｒ０～ｒ１５以及與此對應之卡聶爾群暫存器(Kernel bank register)k0～k7。例如卡聶爾群組暫存器ｋ０～ｋ７，在例外發生時，會取代通用暫存器ｒ０～ｒ７的保存動作(save)藉由群組切換控制而被利用。

ＦＰＵ暫存器係設成具有前群組 (front bank在此bank是指在主記憶體中，讀取以及寫入可獨立構成的部分)與後群組(back bank)的群組暫存器(bank register)。群組暫存器則具有與此對應的16個暫存器ｂ０～ｂ１５。要利用那一個群組的暫存器則是由例如控制暫存器之控制位元的值來決定，當爲ＦＰＵ暫存器時，在執行特定之浮動小數點命令時，可將兩方之群組的暫存器當作來源暫存器(source register)以及目的暫存器來使用。至於其詳細內容請容後述。前群組的暫存器ｆ０～ｆ１５則相對於單精度格式的浮動小數點數設成１６個暫存器，而相對於倍精度格式的浮動小數點數設成８個暫存器(ｄ０，ｄ２，ｄ４，ｄ８，ｄ１０，ｄ１２，ｄ１４)，且相對於各成分具有由單精度格式所給予之４個成分的向量資料設成４個向量暫存器(ｖ０，ｖ４，ｖ８，ｖ１２)。

又具有由ＦＰＵ２與ＣＰＵ３所共有之通訊暫存器

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

ＦＰＵＣ。該暫存器ＦＰＵＣ係爲了使在ＣＰＵ３與ＦＰＵ２之間之資料的授受得以高速化而設的。此外，上述各暫存器係３２位元的構造。

ＦＰＵ的構造

第３圖係表上述ＦＰＵ２的方塊圖。ＦＰＵ２係由轉送方塊２０，暫存器檔案(register file)21，演算方塊２２以及控制部２３所構成。演算方塊２２的詳細內容如後所述具有用於實現行列演算或向量演算之高速化的積和演算電路的構造。暫存器檔案２１包含第２圖中所述之ＦＰＵ２暫存器，針對演算方塊２２具有８個讀取埠Ａ[０]，Ｂ[０]，Ａ[１]，Ｂ[１]，Ａ[２]，Ｂ[２]，Ａ[３]，Ｂ[３]，具有可自演算方塊２２接受資料的寫入埠Ｘ。轉送方塊２０具有可將自暫存器檔案２１的寫入埠Ｃ所輸出的資料供給到資料匯流排４的匯流排驅動器２００，以及選擇來自資料匯流排４的輸入或是來自暫存器檔案２１之輸出而供給到暫存器檔案２１之寫入埠Ｙ的選擇器２０１。控制部２３則對自命令匯流排５所供給的命令進行解碼，且根據該解碼結果來控制傳送方塊２０，暫存器檔案２１以及演算方塊２２。匯流排驅動器２００以及選擇器２０１的控制信號BusDrv以及LoadCntl也是由控制部２３所形成。

第４圖係演算方塊２２的一例。演算方塊２２具有分別地結合到暫存器檔案之寫入埠Ａ[０]，Ｂ[０]，Ａ[１]，Ｂ[１]，Ａ[２]，Ｂ[２]，Ａ[３]，Ｂ[３](將該些寫入埠簡

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

稱爲A[n]，B[n]的信號線La0，Lb0，La1，Lb1，La2，Lb2，La3，Lb3(將該些信號線群簡稱爲Lai，Lbi)。經由各信號線群Lai，Lbi將浮動小數點數的虛數當作乘數以及被乘數供給到4個乘法器220a～220d。乘法器220a～220d則將分別所供給的乘數以及被乘數相乘，且輸出其積M[0]，M[1]，M[2]，M[3](以下簡稱爲M[n])。積M[0]，M[1]，M[2]，M[3]則分別被供給到對應的對位器221a～221d。

被供給到各信號線群Lai，Lbi之浮動小數點數的指數部則分別被供給到加法器222a～222d。又被供給到各信號線群Lai，Lbi之浮動小數點數的符號部則分別被供給到排他性邏輯和閘EOR1～EOR4。

上述加法器222a～222d、最大指數選擇部223以及減法器224a～224d則構成指數處理部228。加法器222a～222d則將與乘數和被乘數對應之浮動小數點數的指數部相加，且輸出其和E[0]，E[1]，E[2]，E[3]。最大指數選擇部223則自上述指數的和E[0]，E[1]，E[2]，E[3]中選出最大者作爲Emax。減法器224a～224d則自Emax減去E[0]，E[1]，E[2]，E[3],而得到差分Ediff[0]，Ediff[1]，Ediff[2]，Ediff[3](以下簡稱爲Ediff[n]。上述差分Ediff[0]，Ediff[1]，Ediff[2]，Ediff[3]則藉由上述

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

對位器221a～221d而控制對位位移數。因此，各對位器221a～221d的輸出Maln[0]，Maln[1]，Maln[2]，Maln[3]以下簡稱爲Maln[n]則具有與最大指數Emax呈對應的位數位置。如此般，指數部228除了根據上述差分Ediff[0]，Ediff[1]，Ediff[2]，Ediff[3]而決定上述對位器221a～221d的對位位移數外，也根據浮動小數點數的指數部而產生在規格化前的指數Emax。

上述排他性邏輯和閘EOR1～EOR4、排他性邏輯和閘EOR5～EOR8以及符號選擇部225則構成符號處理部229，上述排他性邏輯和閘EOR1～EOR4則輸入與乘數和被乘數對應之浮動小數點數的符號而判斷乘數與被乘數之積的符號。經判定的符號S[0]，S[1]，S[2]，S[3]則在符號選擇器225中將與上述與上述Emax對應的其中一者選作Smax。上述符號S[0]，S[1]，S[2]，S[3]與代表符號Smax是否一致則是由排他性邏輯和閘EOR5～EOR8來決定。該判定結果Inv[0]，Inv[1]，Inv[2]，Inv[3](以下簡稱爲Inv[n]))則被供給到所對應對位器221a～221d，例如當判定結果Inv[0]，Inv[1]，Inv[2]，Inv[3]爲邏輯值〝1〞時，則對位器221a～221d會使所對應的積M[n]反轉而形成輸出Maln[n]。而此則設成將積M[n]轉換成2的補數的前置處理。如此般，符號處理部229則會針對在

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（13）

各乘法器220a～220d中被乘之浮動小數點數的符號而產生在規格化前的符號Smax以及與針對該符號Smax之各乘法器的乘法結果對應的符號Inv[n]。

4輸入加法器226則並列地輸入上述對位器221a～221d的輸出Maln[n]而予以相加。在進行4輸入的並列加法處理時則供給上述符號Inv[n]。至於詳細內容請容後述。4輸入加法器226則根據上述符號Inv[n]針對進行上述2之補數化之前置處理的輸出Maln[n]實施在其最下位加1的處理。

4輸入加法器226的輸出Macm則被供給到規格化,正數化以及捨入處理電路227。該電路227則根據規格化前的指數Emax，加法輸出Macm與符號Smax實施規格化以及正數化，且實施適合於單精度浮動小數點格式的捨入處理而得到浮動小數點數。由此所得到之浮動小數點數則設成A[0]·B[0]+A[1]·B[1]+A[2]·B[2]+A[3]·B[3]的積和演算結果。

第5圖係表最大指數選擇部223的一例，藉由大小比較器2230來比較上述E[1]與E[0]，而由選擇器2231選擇較大者。同樣地藉由大小比較器2232來比較E[3]與E[2]，而由選擇器2233選擇較大者。而由2個選擇器所選出者會進一步在大小比較器2234中被比較，而由選擇器2235選擇較大者。選擇器2235的輸出則被設成上述規格化前的指數Emax。

第6圖係表符號選擇部225的一例。選擇器

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(14)

２２５０則選擇上述S[1]或S[0]，選擇器２２５１則選擇上述S[3]或S[2]，選擇器２２５２則選擇選擇器２２５０的輸出或是選擇器２２５１的輸出。選擇器２２５０～２２５２的選擇控制信號則設成上述大小比較器２２３０，２２３２，２２３４的比較判定結果信號MaxCntl，藉此，與當作Ｅｍａｘ被選擇之指數有關之浮動小數點數的符號部則被選擇作爲上述規則化前的符號Ｓｍａｘ。

第７圖係表對位器２２１ａ(２２１ｂ～２２１ｄ)的一例。移位器２２１０輸入M[n]，而根據Ｅｄｉｆｆ[n]來控制對位位移數(位移位元數)。移位器２２１０的輸出則在反相器２２１１中被反轉，而選擇器２２１２會根據Ｉｎｖ[n]而選擇反相器２２１１的輸出或是位移器２２１０的輸出，所選出的值則設成Ｍａｌｎ[n]。

第８圖係表４輸入加法器２２６的一例。該４輸入加法器２２６則具有在進位儲存加法器陣列２２６０中個別地求取進位清除clear carry的和(和輸出)與進行carry(進位輸出)，而在到達於進位傳播加法器２２６１中得到最終的和的時刻以前讓進位之傳播延遲的電路形式。由該４輸入加法器２２６所得到的和Ｍａｃｍ由於有相對於所輸入的位元數最大增加２位元的情形，因此，被輸入到４輸入加法器２２６的積Ｍａｌｎ[n]則事先被實施２位元碼擴張而被供給到進位儲存加法器陣列２２６０。

在第８圖中，用於上述２之補數化的後續處理(＋１)則

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

是由3位元的進位信號Ｃｉｎ[0]，Ｃｉｎ[1]，Ｃｉｎ[2]，所進行。由上述的說明可知，由於符號選擇部２２５會選擇Ｓ[ｎ]中的其中一者，因此，在ｖｎ[ｎ]中的至少一者必然會被設成邏輯值〝０〞。因此，成爲2的補數化的對象只能在Ｍａｉｎ[ｎ]中的３個以下。而由ＯＲ閘２２６２、ＯＲ閘２２６３、ＡＮＤ・ＯＲ閘２２６４來檢測該情形。第９圖係表針對Ｉｎｖ[ｎ]的值之Ｃｉｎ[0]，Ｃｉｎ[1]，Ｃｉｎ[２]所能採得的值，由此可知，Ｃｉｎ[２]當Ｉｎｖ[２]與Ｉｎｖ[３]之至少其中一者爲邏輯值〝１〞時會被設成邏輯值〝１〞，而Ｃｉｎ[１]，當Ｉｎｖ[１]與Ｉｎｖ[０]的至少其中一者爲邏輯值〝１〞時會被設成邏輯值〝１〞，Ｃｉｎ[０]，當Ｉｎｖ[１]與Ｉｎｖ[０]或是Ｉｎｖ[２]與Ｉｎｖ[３]均爲邏輯值〝１〞時會被設成邏輯值〝１〞。

第１０圖係表上述進位儲存加法器陣列２２６０與進位傳播加法器２２６１之詳細的邏輯構成的一例。上述進位儲存加法器陣列２２６０雖然未特別加以限制，但是是由多個４－２壓縮器(４－２ＣＯＭＰ)２２６５所構成。各４－２壓縮器２２６５，如第１１圖的(Ａ)所示具有５輸入[Ｉ１～Ｉ４，Ｃｉ]與３輸入(Ｓ，Ｃ，Ｃｏ)。進位輸出Ｃｏ，由於連接到鄰接之上位位元的進位輸入Ｃｉ，因此，４－２壓縮器２２６５會將４個位元Ｉ１～Ｉ４相加。Ｓ爲其加法輸出，Ｃ爲由該相加所產生之進位輸出。在４－２壓縮器２２６５中，由於Ｃｏ與Ｃｉ無關，因此進位

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

不會傳播。例如，1個4－2壓縮器2265，如第11圖的(B)所示，可以藉由2個全加法器所構成。全加法器，雖然未特別加以限制，但是可以利用3個來構成(C)所示的多工器MUX。此外，對於4－2壓縮器所記載的文獻則有信學技報(電子情報通信學會) TECHNICAL REPORT OF IEICE ICD94-135 DSP 94-91(1994-10)的「應用路徑電晶體多工器(path transistor multiplexer)之校則54×54位元乘法器」(第73頁～79頁)。

在第10圖中，在上述對位器輸出Maln[0]～Maln[3]中之同一位數位置的位元則自下位側開始依序以4位元爲單位被供給到各4－2壓縮器2265。

Maln[0]0～Maln[3]0。則意味著在Maln[0]～Maln[3]中之最下位的4個位元。上述進位信號Cin[3]則被供給到最下位的4－2壓縮器2265的進位輸入端子Ci。上述進位傳播加法器2261係由多個全加法器2261所構成，而進位輸出則被設成上位全加法器的進位輸入。全加法器之其中一個加法輸入則被設成4－2壓縮器2265的和輸出S，又另一個加法輸入則被設成配置在其中一個上位之4－2壓縮器2265的進位輸出C。上述進位信號Cin[2]則當作最下位之全加法器其中一個加法輸入信號被供給，而上述進位信號

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

Ｃｉｎ[１]則當作最下位的全加法器的進位輸入信號被供給。

第１２圖係表暫存器檔案之一例的方塊圖，第１３圖係表構成暫存器檔案之各暫存器群的構成，第１４圖係表暫存器群之各暫存電路的構成。

暫存器檔案，雖然未特別加以限制，但是如第１２圖所示具有４個暫存器群ＦＲ－Ｇｒ[０]～ＦＲ－Ｇｒ[３]，各暫存器群Ｒ－Ｇｒ[ｍ]，如第１３圖所示具有４個暫存電路ＦＲ[ｍ]，ＦＲ[ｍ＋４]，ＦＲ[ｍ＋８]，ＦＲ[ｍ＋２]。在第１３圖中，ｍ爲０～３的整數。各暫存電路則如第１４圖所示具有構成前群組與後群組的一對的暫存器

ＦＲＪ[ｎ]，ＦＲＫ[ｎ]。在第１４圖中，ｎ爲０～１５的整數。針對暫存器ＦＲＪ[ｎ]，ＦＲＫ[ｎ]之寫入動作的指示則是由信號Write[n]所提供。設成寫入對象的暫存器則是根據信號Ｂａｎｋ選擇其中一者。暫存器ＦＲＪ[ｎ]，

ＦＲＫ[ｎ]的輸出與端子Ｐ[ｎ]，Ｑ[ｎ]的對應則根據信號Ｂａｎｋ而以選擇器ＳＬ１，ＳＬ２交互地切換。如第

１３圖所示，在１個暫存器群中，４個暫存電路之端子

Ｐ[ｍ]，Ｐ[ｍ＋４]，Ｐ[ｍ＋８]，Ｐ[ｍ＋１２]則可藉由根據２位元的信號Ｒｅａｄ　Ａ由選擇器ＳＬ３選擇其中者連接到端子Ｒ[ｍ]，同樣地則藉由根據２位元的信號

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

Ｒｅａｄ　Ｂ由選擇器ＳＬ４選擇其中的一者連接到端子Ｂ[ｍ]。暫存器群的端子Ｑ[ｍ]，Ｑ[ｍ＋４]，Ｑ[ｍ＋８]，Ｑ[ｍ＋１２]則是由爲信號Ｒｅａｄ　Ａ所控制之選擇器ＳＬ５－ＳＬ８依暫存器群群爲單位被選擇。上述選擇器ＳＬ５，ＳＬ６，ＳＬ７，ＳＬ８的輸出與各暫存器群的輸出Ｒ[３]，Ｒ[２]，Ｒ[１]，Ｒ[０]則是由爲信號

Ｒｅａｄ　Ｔｙｐｅ所控制之選擇器ＳＬ９，ＳＬ１０，

ＳＬ１１，ＳＬ１２所選擇，而所選出者則當作讀取埠

Ａ[３]，Ａ[２]，Ａ[１]，Ａ[０]的輸出。因此，自讀取埠Ａ[３]，Ａ[２]，Ａ[１]，Ａ[０]，如第１５圖所示，依暫存器群爲單位自４個浮動小數點暫存器並列地讀取資料，或是自各暫存器群一個一個地讀取資料。又，各暫存器群的輸出Ｂ[３]，Ｂ[２]，Ｂ[１]，Ｂ[０]則直接設成讀取埠Ｂ[３]，Ｂ[２]，Ｂ[１]，Ｂ[０]的輸出。因此，自讀取埠Ｂ[３]，Ｂ[２]，Ｂ[１]，Ｂ[０]，如第１６圖所示，自各暫存器群一個一個地並列地讀取資料。各暫存器群之輸出Ｂ[３]，Ｂ[２]，Ｂ[１]，Ｂ[０]根據信號Ｒｅａｄ　Ｃ而由選擇器ＳＬ３所選擇者則被連接到上述讀取埠Ｃ。因此，如第１７圖所示，根據信號Ｒｅａｄ　Ｂ與Ｒｅａｄ　Ｃ的狀態任意地選擇暫存器而可以自埠Ｃ讀取。來自上述寫入埠Ｘ，Ｙ的輸入則爲由信號Ｗｒｉｔｅ　Ｔｙｐｅ所控制的選擇器ＳＬ所選擇。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（19）

內積演算

針對利用上述ＦＰＵ２的內積演算加以說明。例如內積，如第１８圖所示，在３次空間可以利用在當光到達某個特定面時的亮度。ＦＰＵ２可根據１個浮動小數點內積演算命令(簡稱爲內積演算命令)Ｆｔｐｒ　Ｖｎ，Ｖｍ來求向量Ｖ１(＝[Ｘ１，Ｙ１，Ｚ１，Ｗ１)]與Ｖ２(＝[Ｘ２，Ｙ２，Ｚ２，Ｗ２)]的內積ｉ。

上述內積演算命令之處理的概略內容則如第１９圖所示。例如將[Ｘ１，Ｙ１，Ｚ１，Ｗ１]載入到暫存器檔案２１之向量暫存器ｖ０，而將[Ｘ２，Ｙ２，Ｚ２，Ｗ２]載入到Ｖ４。當上述內積演算命令爲控制部２３所解碼時，則控制暫存器檔案２１的讀取動作，而分剮別將Ｘ１與Ｘ２，Ｙ１與Ｙ２，Ｚ１與Ｚ２，以及Ｗ１與Ｗ２呈並列地供給到乘法器２２０ａ，乘法器２２０ｄ，乘法器２２０ｃ，乘法器２２０ｄ。在第１９圖中，雖然是省略了上述指數處理部以及符號處理部等的圖示，但是並列的乘法結果則會經由上述對位器的位移以及反轉而在４輸入加法器２２６中相加，針對該加法結果實施規格化而得到內積。所得到的內積則會經由埠ｘ被覆寫在向量暫存器Ｖ０中保有Ｗ１的値的暫存器。如此般，由於並列地進行浮動小數點的積和演算，因此能夠使內積演算變得高速。

第２０圖係表與上述內積演算命令中之暫存器檔案之利用有關之規格的一例。亦即，將向量Ｖ[ｍ]與Ｖ[ｎ]的內

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(20)

積演算結果儲存於浮動小數點暫存器ＦＲ[ｎ＋３]。向量Ｖ[ｎ]的成分則被載入到浮動小數點暫存器ＦＲ[ｎ]，ＦＲ[ｎ＋１]，ＦＲ[ｎ＋２]，ＦＲ[ｎ＋３]。在此ｎ可爲０，４，８，１２中之任一者，又，ＦＲ[ｎ]可以理解成與上述前群組之暫存器ｆｎ對應者，暫存器檔案２１在構成上，暫存器ＦＲ[ｎ]，當控制信號Ｂａｎｋ＝０時則被分配到暫存器ＦＲＪ[ｎ]，而當控制信號Ｂａｎｋ＝１時則被分配到暫存器ＦＲＫ[ｎ]。在此規格，若當在第１５圖之Ｂａｎｋ＝０，Ｒｅａｄ＝Ａ之情況下，將向量資料Ｖ[ｎ]放入由來自埠Ａ的輸出所指定之暫存器ＦＲＪ[０]，ＦＲＪ[１]，ＦＲＪ[２]，ＦＲＪ[３]，而當在第１６圖之Ｂａｎｋ＝０，Ｒｅａｄ＝１之情形下將向量資料Ｖ[ｍ]放入由來自埠Ｂ的輸出所指定之暫存器ＦＲＪ[４]，ＦＲＪ[５]，ＦＲＪ[６]，ＦＲＪ[７]時，則可以將對於Ｖ[ｎ]與Ｖ{ｍ}之內積演算爲必要之８個成分資料並列地供給到演算方塊而能夠進行上述的內積演算。在演算時實際上則根據內積演算命令的暫存器指定段(field)來指定要對那一個暫存器進行存取。在根據該暫存器指定段來指定暫存器時，則在指定來源暫存器與目的暫存器則利用４位元。

向量轉換演算

其次則針對利用上述ＦＰＵ２的向量轉換演算來加以說明。習知之４行４列的轉換行列可以表示並進、回轉、伸長以及透視等的轉換。根據該轉換行列與向量的積可以

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

得到表示該轉換行列的向量轉換。向量轉換演算一般而言可如第２１圖所示。Ａ爲轉換行列、Ｐ爲被成轉換對象的資料，Ｐ´爲轉換後的資料。該向量轉換可以根據１個浮動小數點向量轉換演算命令(簡稱爲向量轉換演算命令)ｆｔｒｖ　ｂａｃｋ，Ｖｎ而求得。

根據上述向量轉換演算命令之處理的概略內容則表示在第２２圖。例如，轉換行列被配置在後群組的１６個暫存器。此外，向量資料[Ｘｉ，Ｙｉ，Ｚｉ，Ｗｉ]則被儲存在構成前群組的暫存器內。

根據該向量轉換演算命令的處理實質上則與反覆４次的內積演算相等。亦即，演算[Ｘｉ，Ｙｉ，Ｚｉ，Ｗｉ]×[ａ１１，ａ１２，ａ１３，ａ１４],且將其結果寫入Ｘｉ的領域，之後演算[Ｘｉ，Ｙｉ，Ｚｉ，Ｗｉ]×[ａ２１，ａ２２，ａ２３，ａ２４]，且將其結果寫入到Ｙｉ的領域，之後則演算[Ｘｉ，Ｙｉ，Ｚｉ，Ｗｉ]×(ａ３１，ａ３２，ａ３３，ａ３４]，且將其結果寫入到Ｅｉ的領域，之後則演算[Ｘｉ，Ｙｉ，Ｚｉ，Ｗｉ]×[ａ４１，ａ４２，ａ４３，ａ４４]，且將其結果寫入到Ｗｉ的領域。各處理實質上則與內積演算處理相同。

當上述向量轉換演算命令在控制部２３中被解碼時，則用於進行上述最初之內積演算處理的資料會自暫存器檔案２１分別呈並列地被供給到乘法器２２０ａ～２２０ｄ等。在第２３圖中同樣地省略上述指數處理部以及符號處理部等的圖示，而並列的乘法結果會經由上述對位器的位

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

移以及反轉等而在4輸入加法器226中被相加，針對該加法結果進行規格化而得到內積。所得到的內積則被寫入到保有Xi的暫存器內。該處理則依序變更暫存器檔案之讀取對象暫存器與寫入對象暫存器而反覆地執行。如此般，藉由連續4次反覆地執行浮動小數點的內積處理，可以高速地得到向量轉換的結果。

第23圖係表與在上述向量轉換演算命令中之暫存器檔案之利用有關的規格的一例。亦即，將向量V[n]與轉換行列Matrix的積覆寫到暫存器V[n]。向量V[n]的成分則被載入(load)到浮動小數點暫存器FR[n]，FR[n+1]，FR[n+2]，FR[n+3]。在此，n爲0，4，8，12中之任一者，又，FR[n]可以被理解成與上述前群組的暫存器fn對應者。轉換行列則被儲存在構成後群組之位址FB[0～FB[15](與第2圖之b0～b15對應的位址)內。至於暫存器檔案21的構成，暫存器FB[n]，當控制信號Bank=0時則被分配到暫存器FRK[n]，而當控制信號Bank=1時則被分配到暫存器FRJ[n]。

在該規格中，轉換行列Matrix，在第15圖中，在Read Type=1的狀態下會自埠A被並列地輸出，而向量V[n]則自埠B被並列地輸出。例如在最初的內積演算中，若參照第15圖，根據Read Type=1，Bank=1，Read A=0，可自FRJ[0]，FRJ[4]，FRJ[8]，FRJ[12]，自埠A輸出轉換

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

行列Matrix的第1行，且與此並行地，根據Bank＝1，Read B＝0，自FRK[0]，FRK[1]，FRK[2]，FRK[3]，自埠B輸出轉換對象向量[Xi，Yi，Zi，，Wi]。接下來的3次的內積演算，可以讓根據Read A的選擇依1，2，3般地變化。來自埠B的讀取對象暫存器，在4次的內積演算處理中皆設成相同。

根據1個向量轉換命令的上述多次的內積演算處理，如第24圖所示係依據並列處理(pipeline)處理方式來進行。亦即，以1個命令可以執行4個並列處理處理。內積演算處理的1個並列處理係設成暫存器讀取階段RR、第1演算階段F1、第2演算階段F2、第3演算階段F3、暫存器寫入階段RW、以及省略圖示之命令取得階段。命令取得階段當然被配置在暫存器讀取階段RR之前，又，暫存器讀取階段RR也包含命令的解碼處理。在該例中，自來法運算到規格化爲止的演算則經過3個演算階段。在第24圖之(1)之並列處理上所執行的處理，則是進行(FB[0]，FB[4]，FB[8]，FB[12]×V[n]的內積演算，且將其結果寫入到暫存器FR[n]，而在(2)之並列處理上所執行的演算處理，則是進行)(FB[1]，FB[5]，FB[9]，FB[13])×V[n]的內積演算，且將其結果寫入到FR[n＋1]，而在(3)之並列處理上所執行的演算處理，則是進行(FB[2]，FB[6]，FB[10]，FB[14])×V[n]的內積處理，且將其結果寫入到FR[n＋2]，而在(4)之並列處理上所執行的演算處理，則是進行(F

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

B[3]，FB[7]，FB[11]，FB[15])×V[n]的內積處理，且將其結果寫入到FR[n+3]。目的暫存器FR[n]，FR[n+1]，FR[n+2]，FR[n+3]則爲V[n]的來源暫存器。

此時，一連串4次的內積演算處理，位在先頭之並列處理(1)中的暫存器寫入階段RW則是設在最後之並列處理(4)中的暫存器讀取階段RR之後。換言之，自暫存器檔案21讀取V[n]的成分與上述轉換行列的成分且進行內積演算，而將該內積演算的結果寫入到暫存器檔案之一連串的演算循環，當連續地反覆執行多次時，則控制各演算循環的延遲時間以使在連續被執行之最後的演算循環中之上述暫存器檔案的讀取動作能較將在最初之演算循環中的內積演算結果寫入到上述暫存器檔案的時間爲早。因此，即使來源暫存器與目的暫存器爲同一個暫存器，在自來源暫存器全部的資料未被讀取之前不會進行寫入動作，因此不會意外失去資料V[n]。

又即使是將向量轉換演算中之向量資料的來源暫存器與目的暫存器設爲同一個，也不會對動作造成阻礙。

由於可以將轉換前後的向量資料配置在同一個暫存器因此容易製作出大量利用向量轉換處理的程式。又，3次元圖形等中的向量轉換演算則針對多數的向量或是點來進行。此時，若是將轉換前後的資料配置於同一個暫存器，當將4個向量資料載入到構成16個前群組的浮動小數點暫存器時，則可以連續4次地執行向量轉換命令。亦即，

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

演算對象資料對於16個浮動小數點暫存器的載入或是演算結果資料對記憶體的儲存動作只需要很少即可。相對於此，若是將轉換前後的資料儲存到另一個暫存器時，則在執行1個向量轉換命令時需要8個浮動小數點暫存器，結果全導致演算對象的載入動作或是演算結果資料的儲存動作的頻率變多。而其意味著將在向量轉換演算中之向量資料的來源暫存器與目的暫存器設成相同，由於暫存器的數目被限制，因此對於使向量轉換演算變得高速化極爲有用。

正弦餘弦演算

在上述演算方塊22中，藉由在上述內積演算用的硬體追加係數表或是乘法器的回饋電路，可以根據區間分割與高次的多項式展開來求取三角函數或是平方根的近似值。如當上述轉換行列爲回轉轉換時則包含正弦以及餘弦。當針對所有必要的角度具有正弦以及餘弦的表時，則不能夠忽視因此所造成之晶片面積增大的情形。

在此則針對利用上述演算區塊22來求取正弦與餘弦的近似值來加以說明。附加了以下所述之構成的FPU則執行以1個命令並行地演算正弦與餘弦的正弦餘弦命令。該正弦餘弦命令的規格則如第25圖所示，將針對與被載入到浮動小數點暫存器FR[0]之角度資料對應的正弦的值演算的結果寫入到暫存器FR[n]，同樣地將針對與被載入到暫存器FR[0]之角度資料的餘弦的值演算的結果寫入到

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (26)

暫存器ＦＲ[ｎ＋１]。

第２６圖係表上述角度資料的格式。上述角度資料則根據以１個浮動小數點暫存器的上位１６位元與下位１６位元的邊界作爲固定小數點位置的３２位元固定小數點數來表示回轉數。以小數點位置爲邊界的上位１６位元則給予回轉數(整數)，而以小數點位置爲邊界的下位１６位元則定義將１次的回轉以２的１６次方來分割。特別是在下位１６位元中的上位２個位元則意味著由小數點以下１６位元的資料所特定的角度所屬的象限。該角度格式，例如３６０°表１．０，１６進位的位元型式爲〝０００１００００〞。

正弦餘弦命令則可針對上述角度格式的角度資料，根據資料展開的多項近似而取得其正弦以及餘弦。第２８圖係表其演算手法。

上述多項近似係一將上述角度資料之小數點以下１６位元分成中心值Ｘ與相對於該中心值的差分值ｄｘ，而演算與上述角度資料對應的正弦與餘弦的值者。只有對於上述多項近似爲必要之針對上述中心值Ｘ的正弦或餘弦的值保有作表。上述中心值Ｘ則將暫存器ＦＲ[０]之小數點以下之７位元的最下位設成經０捨１入的值。而中心值與角度(徑度)的關係則表示在第２７圖。差分ｄｘ則將自暫存器ＦＲ[０]的最下位開始１０位元設作經編碼擴張的值。由於在多項近似中利用泰勒展開，因此在以徑度來表現角度時則給予各項的係數。第２８圖所示的Ｓ１～Ｓ２則是以公式

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

來表示乘法器２２０a（ＦＭ０）、乘法器２２０b（ＦＭ１）、乘法器２２０c（ＦＭ２）、乘法器２２０d（ＦＭ３）以及利用４輸入加法器２２６的演算處理的內容。在Ｓ９中則是根據多項近似式來求取正弦的近似值(在第２８圖中表示該多項近似式)，在Ｓ１２中則是根據多項近似式來求取餘弦的近似值(在第２８圖中表示該多項近似式)。

上述Ｓ１～Ｓ１２的演算則是在(１)～(４)所示之並列處理(pipeline)中被處理。如上所述，角度資料之下位１６位元中的上位２，位元則意味著由小數點以下１６位元的資料所特定的角度所屬的象限。因此，控制部會根據上述上位２位元的解碼結果(根據由該角度資料所特定的角度所屬的象限)來控制選擇對根據上述多項近似之Ｓ１０，Ｓ１２的演算結果實施符號反轉或是將其演算結果儲存在暫存器

ＦＲ[ｎ]或是ＦＲ[ｎ＋１]之其中那一個，而將與上述象限對應之正弦以及餘弦的值儲存到分別所分配到的暫存器ＦＲ[ｎ]或是ＦＲ[ｎ＋１]。各象限之上述反轉動作與暫存器選擇動作則如第２８圖所示。

第２９圖係表用於執行上述正弦餘弦命令的係數表與附加乘法器之回饋系統的上述乘法器附近的方塊圖。第２９圖之電路的基本要素爲第４圖的演算方塊，而不同點只有針對第４圖的演算方塊２２追加８位元以及６位元編碼擴張器３００，係數表３０１，以及選擇器３０２～３１２。暫存器ＦＲ[０]的角度資料則是由埠Ｂ[０]來提供

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

。8位元以及6位元編碼擴張器300係一根據暫存器FR[0]的最下位10位元產生差分dx的電路。係數表301則保有與第27圖所示之中心值對應之正弦或是餘弦之其中任何一者的資料，而輸出由角度資料之下位16位元中的下位5位元所指定之角度的正弦以及餘弦的資料。而角度資料之下位16位元的上位2位元則被供給到控制部。控制部則根據該2位元的值來控制選擇對上述4輸入加法器的加法輸出進行選擇性的反轉或是儲存加法結果之暫存器FR[n]或FR[n+1]之選擇。此外，當係數表301具有正弦資料時，則可以參照表以自中心值x的角度減去π／2所得的角度當作餘弦。係數表也可以同時具備正弦以及餘弦兩方的資料。

第30圖係表以粗的實線來表示在第28之(1)所示之第1步驟中之資料的流向。第31圖係表以粗的實線來表示在第28圖之(2)所示之第2步驟中之資料的流向。在該圖中乘法器(FM0)220a的減法結果則被回饋到選擇器308，311，而回饋(feed back)則只設在小數點以下(上位設爲0)而得到+1的效果。第32圖係表以粗的實線來表示在第28圖之(3)所示之第2步驟中的資料的流向，第33圖係以粗的實線來表示在第2步驟中的資料的流向。在第32圖以及第33圖中，當二度利用演算結果時，則抑制乘法器之輸入鎖存(latch)的更新且保持其值。第30圖至第32圖所示的演算控制則是由對正弦餘弦命令進行解碼的控制　部來進行。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（29）

資料處理器1之優先性

上述FPU2的演算方塊22，如上所述，當執行內積演算命令或向量轉換演算命令等1個命令時，則將8個浮動小數點數供給到4個乘法器220a～220d而進行並列動作，而將由此所到的乘法結果在1個4輸入加法器226中相加而得到演算結果。針對4輸入加法器226之輸出的實施之規格化，正數化以及捨入處理則是由1個電路來進行。第34圖中爲了要易於了解在該演算處理中之資料流向乃表示演算方塊22的概略內容。

第35圖係表針對上述演算方塊22的比較例。而此係由設置2組針對一對的浮動小數點數的積和演算器與針對其結果實施規格化、正數化以及捨入處理的電路而構成。第36圖係針對上述演算方塊22的其他的比較例，係表由4組上述積和演算器與用於實施規格化、正數化以及捨入處理的電路所構成。不管是那個比較器，只不過是將多組積和演算器與用於實施規格化、正數化以及捨入處理的電路予以並列而已。因此當演算4×4的1個內積時，則不能只靠讓積和演算、用於規格化、正數化以及捨入處理的多個電路並列地動作即能夠達成，而必須另外考慮到針對各演算結果之相關性的控制。一般而言，則藉由讓一組的積和演算器與實施規格化、正數化以及捨入處理的電路反覆動作4次而求得內積。當爲向量轉換演算時，則需要更多的演算循環。積和演算、用於實施規格化、正數化

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（30）

以及捨入處理的多組的電路，則根據如並列處理（pipeline）般的命令執行手法而讓不同對象的內積演算與其他的浮動小數點命令並列地動作。在意義中，其特徵在於第35圖以及第36圖所示之電路構成可以平均地提高各種之浮動小數點命令的演算處理能力。

當利用上述演算方塊22時，則可以減少用於內積演算以及向量轉換演算的實質的演算循環數。亦即，可以實現內積演算以及向量轉換演算的高速化。如此般，演算方塊22的構成可以達成內積演算以及向量轉換演算的高速化。又由於根據1次並列的乘法以及加法運算可以求得內積，因此針對2輸入每次進行積和演算時不需要進行捨入處理。藉此，內積演算的等待時間會變短，且演算精度也會提高，又當反覆地針對2輸入每次進行積和演算時不會產生當演算順序不同時，演算結果也會不同的情形。

又，由於用於實施規格化、正數化以及捨入處理的電路具有與積和演算同等的電路規模，因此對於如第35圖以及第36圖所示般將多組用於積和演算、規格化、正數化以及捨入處理的電路予以並例配置的構成而言，與藉由並列所欲達成平均的演算能力的提升效果相比較，因爲並列化所導致晶片面積的增加情形會大幅地增加。其意義即在於用於積和演算、規格化、正數化以及捨入處理之電路的並列數目最適當爲2。若只是整數演算，如第37圖所示，現實上雖然是可以將4個積和演算器並列，但是當爲整數演算時，由於資料的位數被限制，因此與浮動小數點

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(31)

演算相比較，其演算精度會變化。第３４圖的演算方塊２２也可以只具備１個用於實施規格化、正數化以及捨入處理之電路２２７。因此，資料處理器會極力抑制電路規模增加，而藉由浮動小數點可以實現內積演算以及向量轉換演算的高速化。

資料處理器１的浮動小數點命令具有１６位元固定長度，因此，在浮動小數點命令中的位址指定段(field)也會被限制，而將浮動小數點暫存器設或１６個。在此一限制之下，浮動小數點數暫存器係由具有後群組與前群組之暫存器群組(bank)構成的暫存器檔案２１所構成。此時，由於儲存上述整個轉換行列需要１６個暫存器，因此，向量轉換演算命令則被設成爲可利用前群組與後群組兩者的命令規格。如上所述，將轉換行列配置在後群組，而將向量資料配置在前群組。藉此，即使是在浮動小數點命令的位元數與暫存器數目之的限制下，也可以保證向量轉換演算命令的高速執行。

又，在執行向量轉換演算命令時，如上所述，一連串的４次的內積演算處理則如使在先頭之並列處理(１)中的暫存器寫入動作ＲＷ設成位在最後的並列處理(４)中之暫存器讀取動作ＲＲ之後而被並列處理(PIPELINE)化。因此，即使來源暫存器與目的暫存器是同一個暫存器，成爲演算對象的向量資料也不會意外地失去。藉此，當針對多數的向量或是點依序進行向量轉換時，若將轉換前後的資料配置在同一個暫存器時，若將４個向量資料載入到構成１６個前

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(32)

群組的浮動小數點暫存器，則可以連續４次執行向量轉換命令，而可以減少演算對象資料對於１６個浮動小數點暫存器的載入次數或是演算結果資料對於記憶體之儲存動作的次數，其意義在於可以將在向量轉換演算中之向量資料的來源暫存器與目的暫存器設成同一個暫存器，由於暫存器數目被限制，因此對於使向量轉換演算高速化極爲有用。

又，上述轉換行列，當爲回轉轉換時，則包含正弦以及餘弦。當針對所有必要的角度具有正弦以及餘弦的資料表３０１時，則無法忽視由此所造成之晶片面積的增加問題。此時，由於上述演算方塊２２具有４個乘法器，因此藉由在此追加係數表３０１以及乘法器的回饋電路，可以根據區間分割與高次的多項或展開而求得三角函數以及平方根的近似值。藉此，可以在不增加晶片面積的情況下得到正弦與餘弦。特別是，由於正弦與餘弦之多項式的展開式具有近似性，而利用以一特性同時(並列地)演算正弦以及餘弦的值，因此與個別求取的情形相比較，可以高速地獲得正弦以及餘弦的值。

第３８圖係表應用該資料處理器之資料處理系統的方塊圖。

在同一圖中，１爲上述資料處理器，４０１爲動態隨機存記憶體(DRAM)、４０２爲針對ＤＲＡＭ４０１進行位址多工控制以及更新控制的ＤＲＡＭ控制部、４０３爲ＳＲＡＭ。ＳＲＡＭ４０３則被應用在資料處理器１的作

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(33)

業領域或是資料的暫時記憶領域等。４０４爲保有資料處理器１之ＯＳ(Operating System)的ＲＯＭ，４０５爲周邊裝置控制部，而被連接郅代表性所表示之外部記憶裝置４０６以及鍵盤４０７。４０８爲圖框緩衝器４０９或是備有未圖示之描畫以及顯示控制邏輯電路的顯示控制器，而針對顯示器４１０進行描畫控制與顯示控制。４１１爲電源電路，４１２爲代表性所表示之匯流排。資料處理器１則根據浮動小數點高速地執行大多在３次元圖形處理中被應用之內積演算以及向量轉換演算。又，由於在浮動小數點命令的位元數以及暫存器數目被限制的情形下可以得到上述效果，因此可以降低資料處理器１的成本。因此，第３８圖的資料處理系統可以抑制系統的成本，而能夠高精度且高速地執行３次元圖形處理。因此，可以實現能夠應用在雖然成本的限制很嚴格，但是欲無法忽視高以及高速化之要求之遊戲機以及攜帶情報終端等上之優越之資料處理系統。

第３９圖係表在第３８圖之資料處理系統上追加描畫處理器(rendering co-processor)４１３的３次元圖形處理系統。３次元圖形處理係由幾何(geometry)處理與描畫處理(rendering processing)所構成。資料處理器１由於可以高速地處理大多應用在幾何處理的內積演算以及向量轉換演算等，因此藉由在第３８圖之資料處理系統追加描畫處理器４１３，可以進行高精度且高速地３次元圖形處理。此外，取代第３９圖的３次元圖形處理中追加描畫處理器

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

413，即使藉由資料處理器1中的CPU來進行描畫處理，當然也可以構成3次元圖形處理。

以上雖是根據實施形態具體地說明本發明人所提出之發明，但是本發明並不限於此，當然在不脫離其要旨的範圍內可進行各種的變更。

例如，雖然在第1圖中未曾說明，但是資料處理器也可以包含記憶管理單元等之其他的功能方塊。又資料處理器可以採用超級體系結構(super scalar avchitecture)。例如,當具有2條並列處理時，則其中一條並列處理執行向量轉換演算命令而另一條並列處理則自記憶體從暫存器檔案載入用於向量轉換演算命令的向量資料，且自暫存器檔案將向量轉換演算的結果儲存到記憶體內。

又，乘法器之並列配置個數也可以在4個以上。又指數處理部以及符號處理部的構成，4輸入加法器的構成並不限於上述實施例而可以適當地加以變更。

又本發明之資料處理器並不限於用在遊戲機或是攜帶情報終端的控制上，也能夠廣泛地利用在各種機器之組入控制上。

在本發明中所揭露之發明中，若簡單地說明代表者所得到的效果則如下。

亦即，資料處理器能夠根據浮動小數點高速地實現內積演算以及向量轉換演算。

資料處理器，由於只需要1個用於規格化的電路即可，因此可以儘量地抑制電路規模的增大情形，而能夠根據

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (35)

浮動小數點高速地實現內積演算以及向量轉換演算。

向量轉換演算命令則被設成利用前群組(front bank)與後群組(back bank)等兩者的規格,藉由將轉換行列配置後群組，將向量資料配置在前群組，即使在浮動小數點之位元數與暫存器數目等之資源的限制下，也能夠保證向量轉換演算命令的高速執行。

又在執行向量轉換演算命令時，一連串4次的內積演算，由於控制各內積處理的等待時間之使在先頭之內積演算處理中的暫存器寫入動作位於在最後之內積處理中之暫存器讀取動作之後，因此即使來源暫存器與目的暫存器是同一個暫存器，成爲演算對象的向量資料也不會意外地失去。

藉此，演算對象資料對於浮動小數點暫存器的載入或是將演算結果資料儲存到記憶體內之儲存動作的次數可以減少，在暫存器數目被限制之情況下，可以有效地使向量轉換演算高速化。

又藉由在上述演算部追加係數表以及乘法器的回饋電路，可以根據區間分割與高次的多項式展開而求得三角函數的近似值，在不大幅增加晶片面積的情況下可以得到在轉換行列等中所利用的正弦以及餘弦。

由於資料處理器在浮動小數點命令的位元數以及暫存器數目等之資源被限制的情形下，可以根據浮動小數點高速地執行在3次元圖形處理中大多被採用的內積演算以及向量轉換演算，因此應用上述資料處理器的資料處理系統

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

可以抑制系統的成本，而高精度且高速地進行3次元圖形處理。因此對於雖然成本的限制嚴格，但是也不能夠忽視高功能以及高速化之要求的遊戲機以及攜帶情報終端機器等而言可以實現優越之資料處理系統，3次元圖形處理系統。

圖面之簡單說明

第1圖係表本發明之一例之資料處理器的方塊圖。

第2圖係表第1圖之資料處理器之主要之暫存器構造的說明圖。

第3圖係表上述ＦＰＵ之一例的方塊圖。

第4圖係表演算方塊之一例的方塊圖。

第5圖係表最大指數選擇部之一例的方塊圖。

第6圖係表符號選擇器之一例的方塊圖。

第7圖係表對位器(aligner)之一例的方塊圖。

第8圖係表4輸入加法器之一例的方塊圖。

第9圖係表在4輸入加法器中，針對Ｉｎｖ[ｎ]的值之Ｃｉｎ[0]，Ｃｉｎ[1]，Ｃｉ[2]之採得值的說明圖。

第１０圖係表進位儲存加法器陣列與進位傳達加法器陣列之詳細的一例的方塊圖。

第１１圖係表4－2壓縮器之一例的說明圖。

第１２圖係表暫存器檔案之一例的方塊圖。

第１３圖係表構成暫存器檔案之各暫存器群的構成說明圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（37）

第１４圖係表暫存器之各暫存，電路的一例的構成例。

第１５圖係表暫存器檔案之讀取埠Ａ的動作態樣說明圖。

第１６圖係表暫存器檔案之讀取埠Ｂ的動作態樣說明圖。

第１７圖係表暫存器檔案之讀取埠Ｃ的動作態樣說明圖。

第１８圖係表內積之應用例的說明圖。

第１９圖係表根據內積演算命令之處理之概略內容的方塊圖。

第２０圖係表與在內積演算中之暫存器檔案之利用有關之規格的一例的說明圖。

第２１圖係表向量轉換演算之一般的說明圖。

第２２圖係表根據向量轉換演算命令之處理之概要內容的方塊圖。

第２３圖係表與右向量轉換演算命令中之暫存器檔案之利用相關的規格的一例的說明圖。

第２４圖係表根據１個向量轉換命令之多次內積演算處厘之並列處理(pipeline)的說明圖。

第２５圖係表正弦餘弦命令之規格說明圖。

第２６圖係表在正弦餘弦命令中所利用之角度資料的格式(format)說明圖。

第２７圖係表用於多項近似之中心值與角度之關係的

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

說明圖。

第２８圖係表藉由根據多項近似之正弦餘弦命令之演算處理的流程圖。

第２９圖係表執行正弦餘弦命令的係數表與附加乘法器之回饋系統之上述乘法器附近的方塊圖。

第３０圖係表以粗的實線來表示在第２８圖之(１)中所示之第１步驟中之資料流向的說明圖。

第３１圖係表以粗的實線來表示在第２８圖之(２)中所示之第１步驟中之資料流向的說明圖。

第３２圖係表以粗的實線來表示在第２８圖之(３)中所示之第2步驟中之資料流向的說明圖。

第３３圖係表以粗的實線來表示在第２８圖之(４)中所示之第2步驟中之資料流向的說明圖。

第３４圖係表爲了要易於了解在執行內積演算以及向量轉換演算命令時之在演算處理中之資料流向而概略地表示演算方塊２２的方塊圖。

第３５圖係表將２組積和演算與用於規格化、正數化以及捨入處理的電路單純地並列配置的比較說明圖。

第３６圖係表將４組積和演算與用於規格化、正數化以及圓角化的電路單純地並列配置的比較說明圖。

第３７圖係表爲了要整數演算將４個積和演算器並列之比較說明圖。

第３８圖係表應用資料處理器之資料處理系統之一例的說明圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（39）

第39圖係表應用資料處理器之3次元圖形處理系統之一例的方塊圖。

主要元件對照表

1 資料處理器

2 浮動小數點數

3 中央處理裝置

4 32位元資料匯流排

5 命令匯流排

6 命令快取單元

7 資料快取單元

8 資料位址匯流排

9 匯流排控制器

10 周邊電路

11 周邊匯流排

20 轉送方塊

21 暫存器檔案

22 演算方塊

23 控制部

200 匯流排驅動器

201、2231、2233、2235、2250、2251、2252 選擇器

220a 乘法器

220b 乘法器

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（40）

220c 乘法器

220d 乘法器

221a 對位器

221b 對位器

221c 對位器

221d 對位器

223 最大指數選擇部

224a 減法器

224b 減法器

224c 減法器

224d 減法器

228 指數處理部

225 符號選擇部

226 4輸入加法器

227 規格化、正數化以及捨入處理

2230、2234 大小比較器

2211 反相器

2210 移位器

2260 進行儲存加法器

2261、2263 或閘

2264 及或閘

2265 4－2壓縮器

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　資料處理器及資料處理系統　）

當進行內積演算或向量轉換演算時，將8個浮動小數點數供給到4個乘法器並讓其同時動作，由此所得之乘法演算結果會在1個4輸入加法器226呈並列地相加而得到演算結果。針對4輸入加法器226的輸出所實施的規格化以及捨入處理則是在1個電路中進行，可以根據1次並列的乘法運算以及加法運算來求內積。由於不需要針對2輸入在每次積和演算時進行捨入處理，因此，內積演算的用於遲量可以變短，且演算精度變高，由於只需具備1個規格化的電路，因此可以儘量地抑制電路規模增加，使得根據浮動小數點的內積演算等可以高速且高精度地執行。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

公告本 405093 A8 B8 C8 D8

88.9.-9 年 月 日 修正 補充

六、申請專利範圍

第 86115051 號專利申請案

中文申請專利範圍修正本

民國88年9月修正

1．一種資料處理器，其主要特徵在於：

浮動小數點單元具備演算部，而該演算部包含有分別自不同的資料輸入信號群供給浮動小數點數的虛數部，且將所供給之虛數部相互間予以相乘時多個乘法器、接受各乘法器的輸出而進行對位位移的分析器，根據上述浮動小數點數的指數部而產生上述分析器之對位位移數以及規格化前之指數的指數處理部，將上述分析器之輸出相加的輸入加法器，以及將上述多輸入加法器之輸出與上述規格化前之指數予以規格化的規格化器。

2．如申請專利範圍第1項之資料處理器，上述浮動小數點單元則執行成分分別以浮動小數點數所給予之4×4的內積演算。

3．如申請專利範圍第1項之資料處理器，上述演算部更包含可因應在各乘法器中被相乘之浮動小數點數的符號而產生與各乘法器之乘法結果呈對應之符號的符號處理部，上述分析器具有可將對位移位結果選擇性地以反轉或是非反轉之形態輸出的選擇器，當對於所對應之上述乘法結果的符號爲負時則選擇反轉輸出，而上述多輸入加法器則進行在對應於對上述乘法結果的符號爲負的分析器的輸出加1而產生進位，且針對負的乘法結果進行2的補數處理。

（請先閱讀背面之注意事項再填寫本頁）

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

4．如申請專利範圍第1項之資料處理器，上述浮動小數點單元更具有暫存器檔案，其具有連接到上述各乘法器之資料輸入信號群的讀取埠與連接到上述演算部之輸出的寫入埠，該暫存器檔案由具有呈並列地連接到上述讀取埠的多個群組(bank)所構成。

5．如申請專利範圍第4項之資料處理器，上述浮動小數點單元更具有可對用於規定分別由多個成分所示表示之資料間之內積演算的浮動小數點數進行解碼的控制部，該控制部則對上述浮動小數點命令進行解碼，將暫存器檔案所保有之資料的成分經由上述信號線群供給到上述演算部，在上述演算部中對所給予的資料作內積演算，且將內積的演算結果寫入到上述暫存器檔案內。

6．如申請專利範圍第4項之資料處理器，上述浮動小數點單位更具有可對用於規定分別由多個成分所表示的資料與轉換行列之行列演算的浮動小數點命令進行解碼的控制部，該控制部則對上述浮動小數點命令進行解碼，而讀取暫存器檔案所保有之資料的成分與上述轉換行列的成分，且將該些經由上述信號線群供給到上述演算部，在上述演算部中對所給予的資料進行內積演算，且將內積演算的結果寫入到上述暫存器檔案，將如此一連串演算循環連續地反覆執行多次，控制上述各演算循環的延遲量以使在連續多次被執行之最後的演算循環中的上述暫存器檔案的讀取動作較將在最初之演算循環中的內積演算結果寫入到上述暫存器檔案的時間爲早。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

7．如申請專利範圍第6項之資料處理器，上述控制部，在上述各演算循環中進行暫存器選擇控制，針對雙方之群組呈並列地自上述暫存器檔案讀取，而針對其中一個群組寫入到上述暫存器檔案內。

8．如申請專利範圍第7項之資料處理器，上述暫存器檔案，各群組具有16個暫存器，而設有4個上述乘法器，上述浮動小數點命令爲16位元固定長度命令。

9．如申請專利範圍第4項之資料處理器，上述浮動小數點單元更具有用於對根據泰勒展開的多項近似而取得與角度資料呈對應的正弦以及餘弦之浮動小數點命令進行解碼的控制部，該控制部會根據對暫存器檔案進行讀取將角度資料供給到演算方塊，而根據上述多項近似在演算方塊中演算與角度資料呈對應的正弦以及餘弦，而將演算結果寫入到暫存器檔案，上述角度資料具有根據固定小數點數之小數點以下n個位元將1次回轉分割成2的n次方的格式，上述多項近似則是將上述角度資料之小數點以下的n個位元分成中心值與相對於該中心值的差分值，而演算與上述角度資料對應之正弦和餘弦的值，更備有保有對上述多項近似爲必要之與上述中心值對應之正弦或餘弦之值的表。

10．如申請專利範圍第9項之資料處理器，在上述小數點以下之n個位元中的上位2位元係指角度的象限，上述控制部會根據上述上位2位元的解碼結果來控制根據上述多項近似之演算結果的符號反轉與用於儲存該演算結

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

果之暫存器檔案之暫存器的選擇，而將與上述象限呈對應的正弦以及餘弦的值儲存到分別被分配到的暫存器內。

11．一種資料處理器，其特徵在於：

包含成分分別由浮動小數點數所供給的4×4的內積演算可根據1個浮動小數點命令來執行的浮動小數點單元，

該浮動小數點單元包含演算方塊，以及將演算對象資料供給到該演算方塊，且被供給有在演算方塊中經演算的演算結果資料的暫存器檔案，

上述演算方塊則包含用於對浮動小數點數之虛部進行乘法運算的4個乘法器，接受各乘法器的輸出而進行對位位移的對位器，根據上述浮動小數點數的指數部而產生上述對位器的對位位移數與規格化前之指數處理部，將上述對位器的輸出相加的4輸入加法器，以及使上述4輸入加法器的輸出與上述規格化前的指數規格化的規格化器。

12．一種資料處理器，其特徵在於：

包含針對成分分別由浮動小數點數所供給的4×4的轉換行列與具有分別由浮動小數點數所供給之4元的成分之向量的積的演算連續執行4次4×4的內積演算的演算可以根據1個浮動小數點命令來執行的浮動小數點單元，

該浮動小數點數單元包含演算方塊以及將演算對象資料供給到該演算方塊，且被供給有在演算方塊中經演算之演算結果資料的暫存器檔案，

上述演算方塊包含用於對浮動小數點數之虛數部進行

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

乘法運算的4個乘法器，接受各乘法器的輸出而進行對位位移的對位器，根據上述浮動小數點數的指數部產生上述對位器之對位位移數與規格化前之指數的指數處理部，將上述對位器的輸出相加的4輸入加法器，以及使上述4輸入加法器的輸出與上述規格化前之指數規格化的規格化器，

上述暫存器檔案分別具有包含16個暫存器的2個暫存器群組，上述轉換行列被分配到其中一個群組，而另一個向量則被分配到另一個群組。

13．如申請專利範圍第1項之資料處理器，更包含被連接到位址匯流排與資料匯流排的CPU，上述浮動小數點單元被連接到上述資料匯流排，上述浮動小數點單元則利用16位元固定長度浮動小數點命令組(set)來執行浮動小數點處理，上述CPU係一進行對於上述浮動小數點單元要得到執行浮動小數點處理的命令與資料時爲必要之定址(addressing)處理者，而被形成在1個半導體基板上。

14．一種資料處理系統，其主要特徵在於包含：

在浮動小數點單元備有演算部，而上述演算部包含分別自不同的資料輸入信號群被供給浮動小數點數之虛數部，且對所供給的虛數部之間進行乘法運算的多個乘法器，接受各乘法器的輸出而進行對位位移的對位器，根據上述浮動小數點數的指數部而產生上述對位器之對位位移數與規格化前的指數的指數處理部，將上述對位器之輸出相加的多輸入加法器，以及使上述多輸入加法器的輸出與上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

規格化前的指數規格化的規格化器而構成的資料處理器；

被連接到該資料處理器，而爲上述ＣＰＵ所存取的資料ＲＡＭ及；

被連接到上述資料ＲＡＭ與資料處理器的輸出入電路。

１５．一種３次元電腦圖形處理系統，其特徵在於：

在浮動小數點單元備有演算部，而上述演算部包含分別自不同的資料輸入信號群被供給浮動小數點數之虛數部，且對所供給的虛數部之間進行乘法運算的多個乘法器，接受各乘法器的輸出而進行對位位移的對位器，根據上述浮動小數點數的指數部而產生上述對位器之對位位移數與規格化前的指數的指數處理部，將上述對位器之輸出相加的多輸入加法器，以及使上述多輸入加法器的輸出與上述規格化前的指數規格化的規格化器而構成的資料處理部；

被連接到該資料處理器描畫處理器，

上述描畫處理器則進行３次元電腦圖形處理的描畫處理，上述資料處理器則進行用於３次元電腦圖形處理之幾何處理的內積演算以及向量轉換演算的至少其中一者。

１６．一種資料處理器，屬於具有中央處理裝置和浮點單元，執行命令組內之命令的資料處理器中，其特徵係於前述命令組內，在於前述浮點單元包含爲執行向量之內積演算的命令者。

１７．如申請專利範圍第１６項之資料處理器，其中，前述浮點單元係具有進行浮點數之虛數部乘算的複數乘

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

法器，和接受前述乘法器之輸出，進行校正偏移的校準器，和根據前述浮點數之指數部，生成正規化前之指數的指數處理部，和加算前述校準器之輸出的多輸入加法器，和正規化前述多輸入加法器之輸出和前述正規化前之指數的正規化器者。

１８．一種資料處理系統，其特徵係使用如申請專利範圍第１６項或第１７項所述之資料處理器，進行３次元圖形處理者。

１９．一種資料處理器，屬於具有中央處理裝置和浮點單元，執行命令組內之命令的資料處理器中，其特徵係於前述命令組內，在於前述浮點單元包含爲執行４元向量和４元向量之內積演算的命令者。

２０．如申請專利範圍第１９項之資料處理器，其中，爲執行前述內積演算的命令係一個命令者。

２１．一種資料處理系統，其特徵係使用如申請專利範圍第第１９項或第２０項所述之資料處理器，進行３次元圖形處理者。

２２．一種資料處理器，屬於具有中央處理裝置和浮點單元，執行命令組內之命令的資料處理器中，其特徵係於前述命令組內，在於前述浮點單元包含爲執行向量之內積演算的一個命令者。

２３．如申請專利範圍第２２項之資料處理器，其中，前述浮點單元係具有進行浮點數之虛數部乘算的複數乘法器，和接受前述乘法器之輸出，進行校正偏移的校準器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

，和根據前述浮點數之指數部，生成正規化前之指數的指數處理部，和加算前述校準器之輸出的多輸入加法器，和正規化前述多輸入加法器之輸出和前述正規化前之指數的正規化器者。

２４．一種資料處理系統，其特徵係使用如申請專利範圍第第２２項或第２３項所述之資料處理器，進行３次元圖形處理者。

２５．一種資料處理器，屬於具有中央處理裝置和浮點單元，執行命令組內之命令的資料處理器中，其特徵係於前述命令組內，在於前述浮點單元包含爲執行進行行列和向量之積算的向量變換演算的命令者。

２６．如申請專利範圍第２５項之資料處理器，其中，前述浮點單元係具有進行浮點數之虛數部乘算的複數乘法器，和接受前述乘法器之輸出，進行校正偏移的校準器，和根據前述浮點數之指數部，生成正規化前之指數的指數處理部，和加算前述校準器之輸出的多輸入加法器，和正規化前述多輸入加法器之輸出和前述正規化前之指數的正規化器者。

２７．一種資料處理系統，其特徵係使用如申請專利範圍第２５項或第２６項所述之資料處理器，進行３次元圖形處理者。

２８．一種資料處理器，屬於具有中央處理裝置和浮點單元，執行命令組內之命令的資料處理器中，其特徵係於前述命令組內，在於前述浮點單元包含爲執行ｍ行ｎ列

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之行列和n元向量之向量變換演算的命令者。

29．如申請專利範圍第28項之資料處理器，其中，爲執行前述向量變換演算的命令係一個命令者。

30．一種資料處理系統，其特徵係使用如申請專利範圍第27項或第29項所述之資料處理器，進行3次元圖形處理者。

31．一種資料處理器，屬於具有中央處理裝置和浮點單元，執行命令組內之命令的資料處理器中，其特徵係於前述命令組內，在於前述浮點單元包含爲執行m行n列之行列和n元向量之向量變換演算的命令者。

32．如申請專利範圍第31項之資料處理器，其中，前述浮點單元係具有進行浮點數之虛數部乘算的複數乘法器，和接受前述乘法器之輸出，進行校正偏移的校準器，和根據前述浮點數之指數部，生成正規化前之指數的指數處理部，和加算前述校準器之輸出的多輸入加法器，和正規化前述多輸入加法器之輸出和前述正規化前之指數的正規化器者。

33．一種資料處理系統，其特徵係使用如申請專利範圍第31項或第32項所述之資料處理器，進行3次元圖形處理者。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

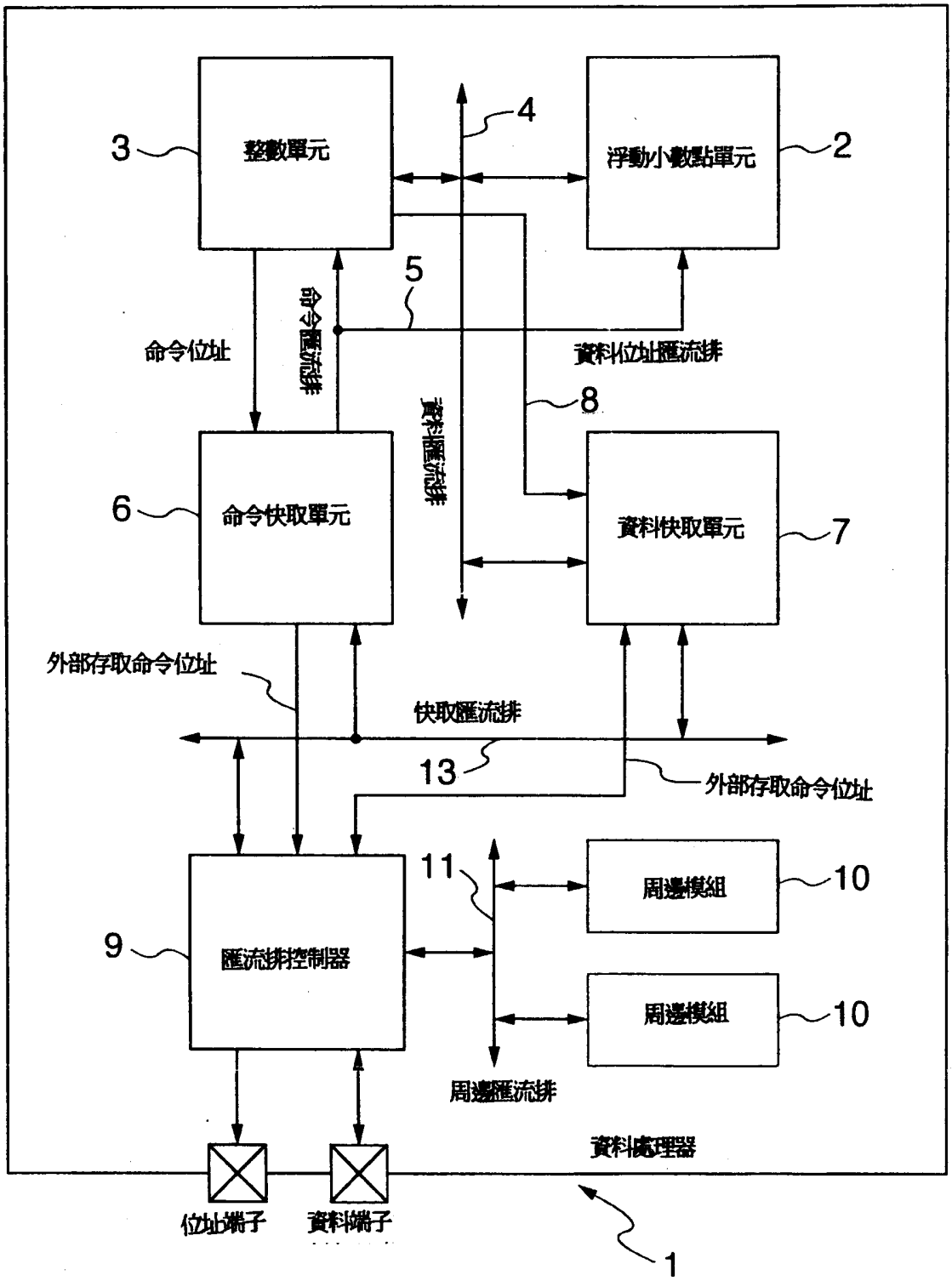
公告本

405093

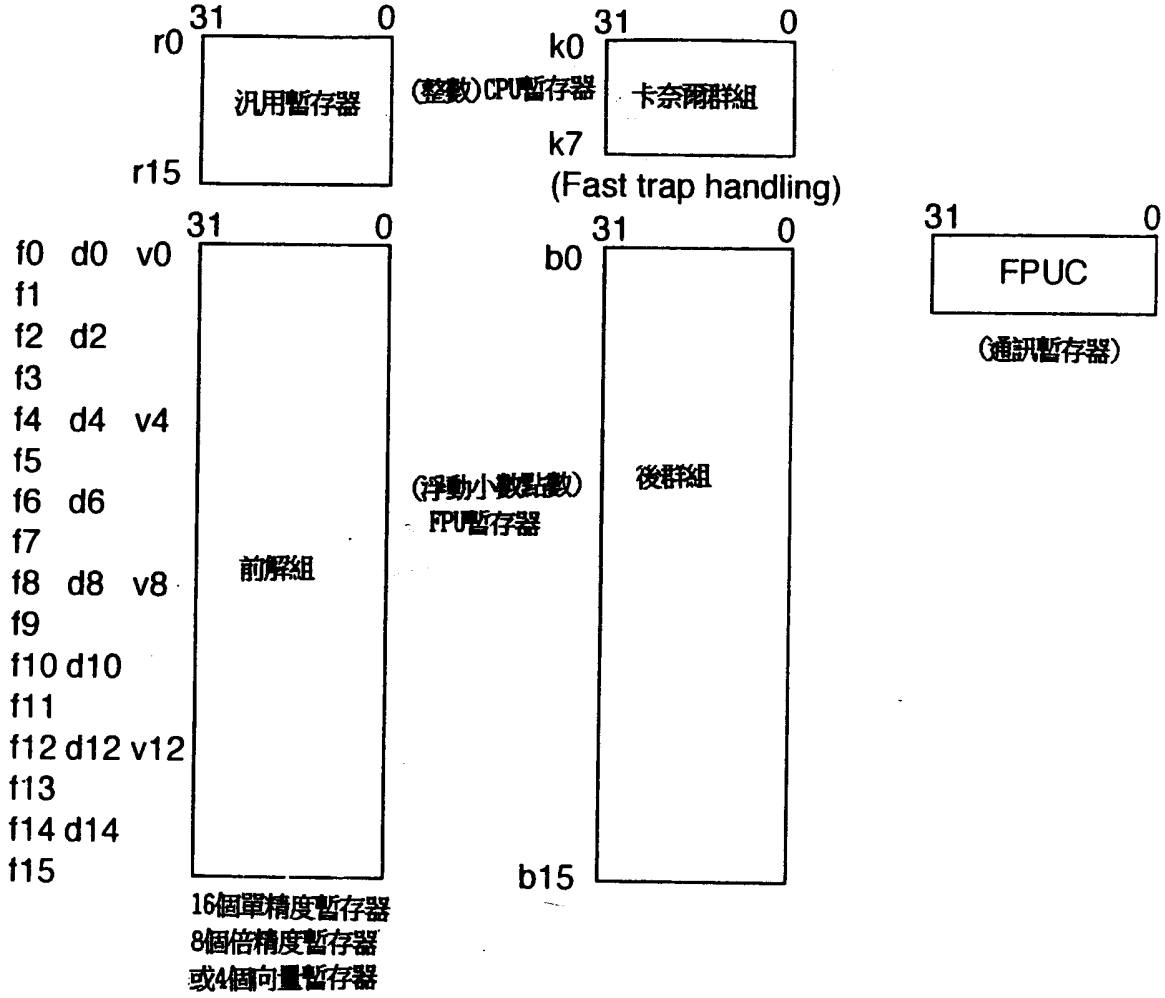
86115051

729665

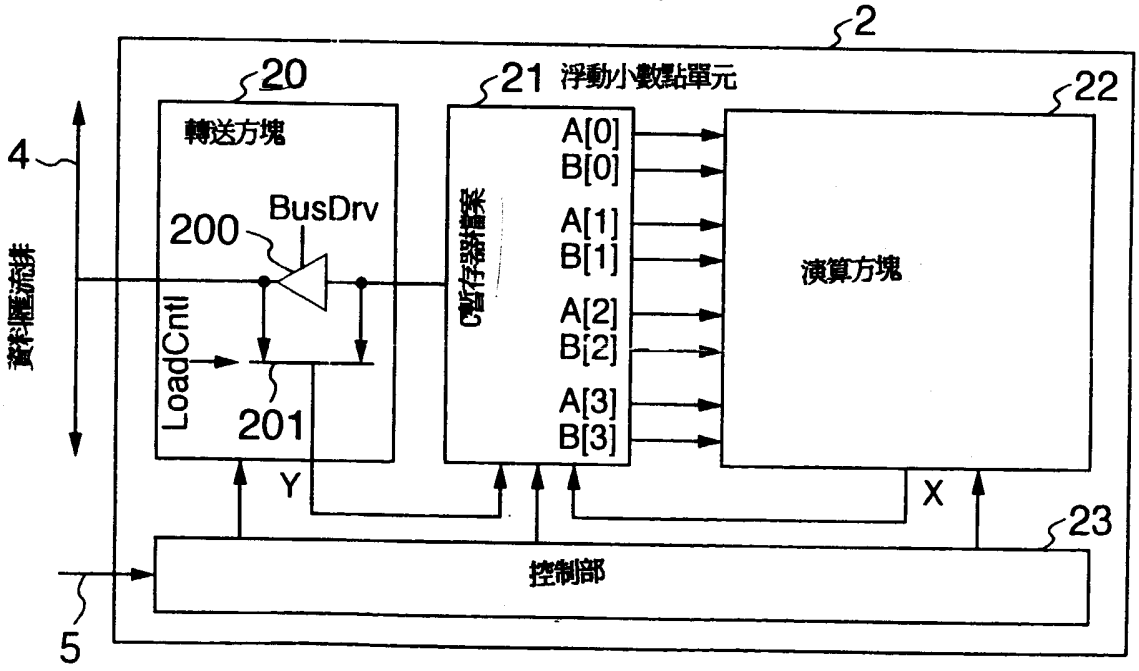
第1圖



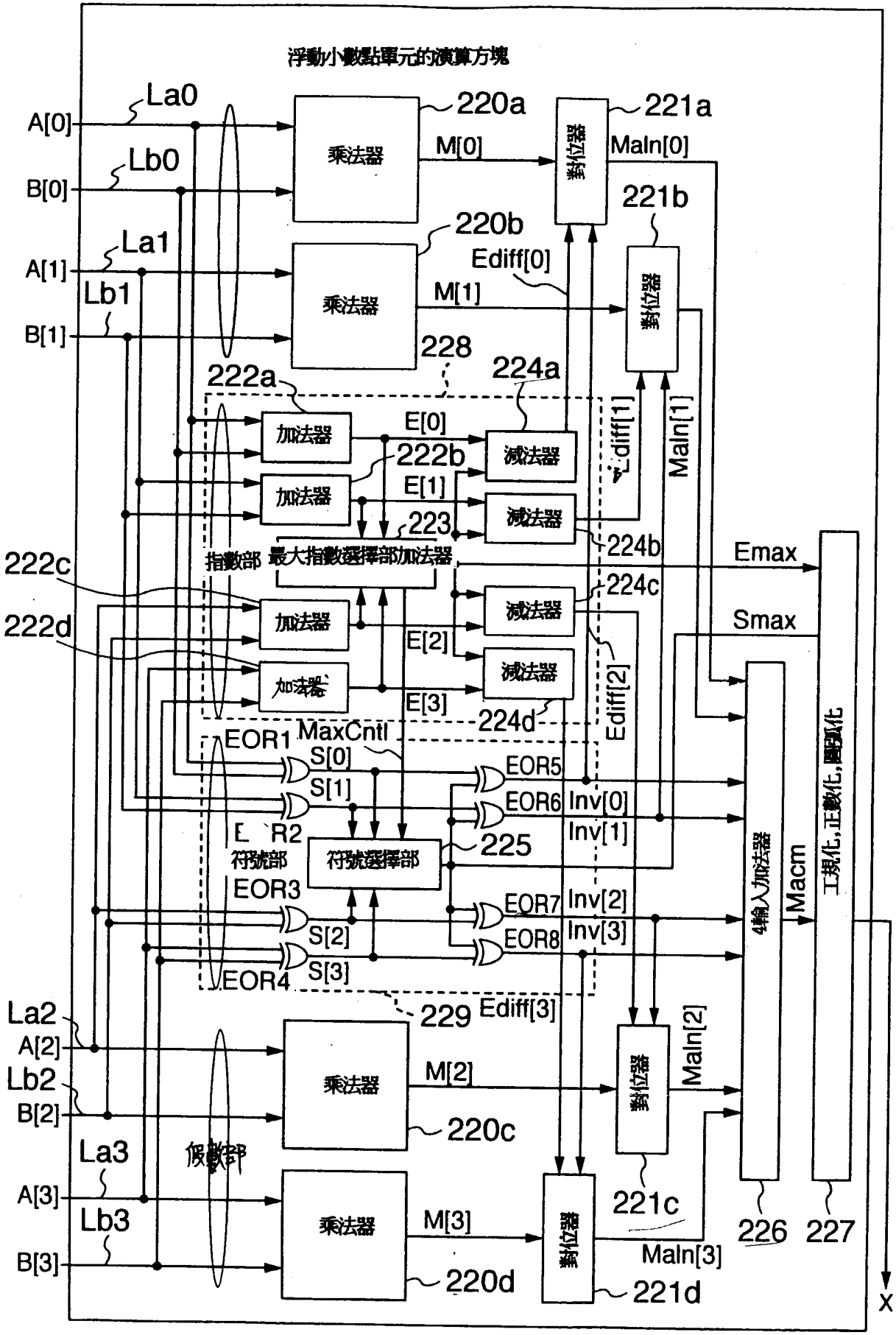
第 2 圖


r0
31
0
汎用暫存器
r15
k0
31
0
(整數)CPU暫存器
卡奈爾群組
k7
(Fast trap handling)
31
0
FPUC
(通訊暫存器)
f0 d0 v0
f1
f2 d2
f3
f4 d4 v4
f5
f6 d6
f7
f8 d8 v8
f9
f10 d10
f11
f12 d12 v12
f13
f14 d14
f15
31
0
前解組
(浮動小數點數)
FPU暫存器
b0
31
0
後群組
b15
16個單精度暫存器
8個倍精度暫存器
或4個向量暫存器

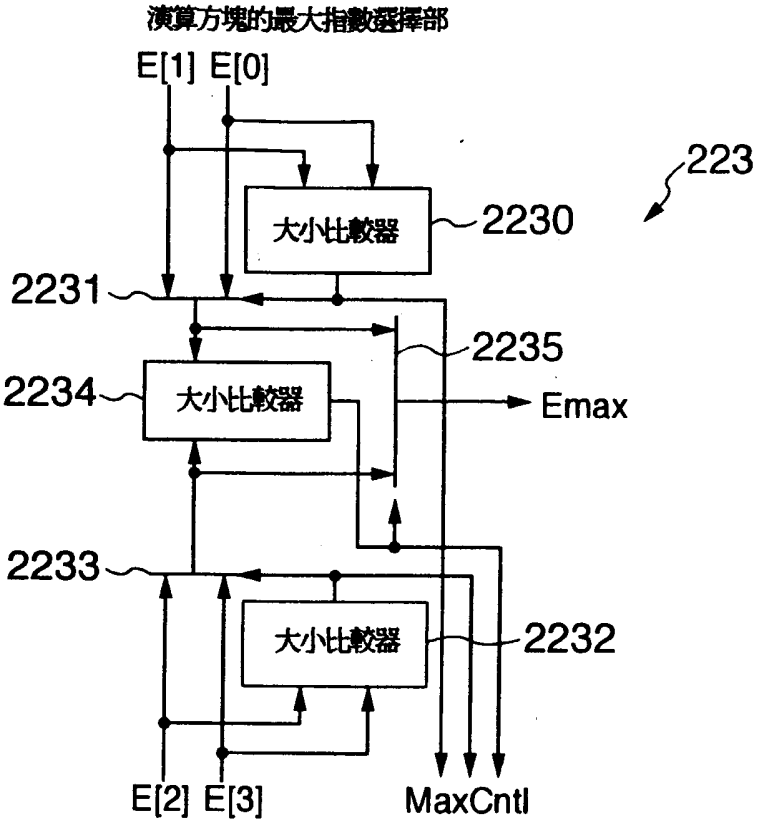
第 3 圖


2
20
21
浮動小數點單元
22
4
轉送方塊
BusDrv
200
A[0]
B[0]
A[1]
B[1]
A[2]
B[2]
A[3]
B[3]
演算方塊
資料匯流排
LoadCntl
201
Y
X
23
控制部
5

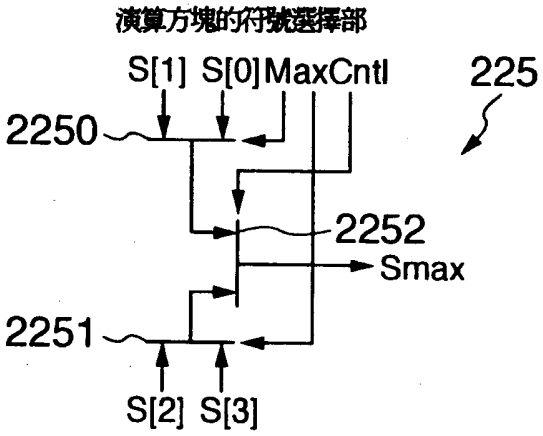
第 4 圖


浮動小數點單元的演算方塊
La0
A[0]
Lb0
B[0]
La1
A[1]
Lb1
B[1]
乘法器
220a
M[0]
對位器
221a
Maln[0]
221b
220b
Ediff[0]
乘法器
M[1]
對位器
228
222a
224a
加法器
E[0]
減法器
222b
加法器
E[1]
減法器
223
Ediff[1]
Maln[1]
224b
Emax
222c
指數部
最大指數選擇部加法器
224c
222d
加法器
減法器
Smax
加法器
E[2]
減法器
E[3]
224d
Ediff[2]
EOR1
MaxCntl
S[0]
EOR5
S[1]
EOR6
Inv[0]
Inv[1]
R2
符號部
符號選擇部
225
EOR3
EOR7
Inv[2]
S[2]
EOR8
Inv[3]
S[3]
EOR4
229
Ediff[3]
4輸入加法器
Macm
正規化,正數化,圓整化
La2
A[2]
Lb2
B[2]
乘法器
M[2]
對位器
Maln[2]
220c
La3
假數部
A[3]
Lb3
B[3]
乘法器
M[3]
對位器
221c
226
227
Maln[3]
220d
221d
X

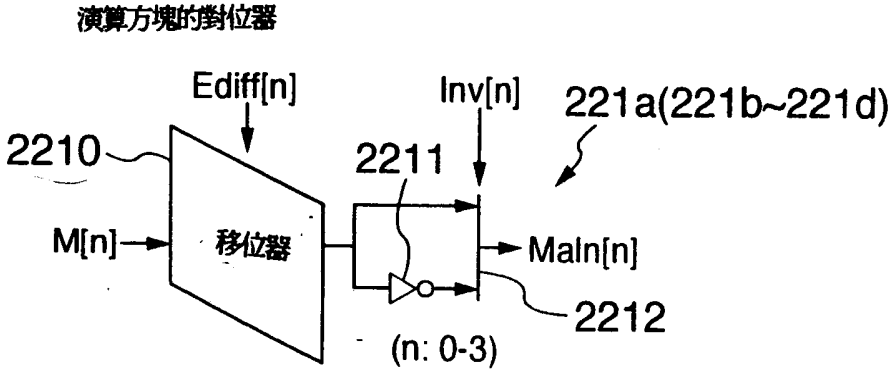
第 5 圖


演算方塊的最大指數選擇部
E[1] E[0]
223
大小比較器
2230
2231
2235
2234
大小比較器
Emax
2233
大小比較器
2232
E[2] E[3]
MaxCntl

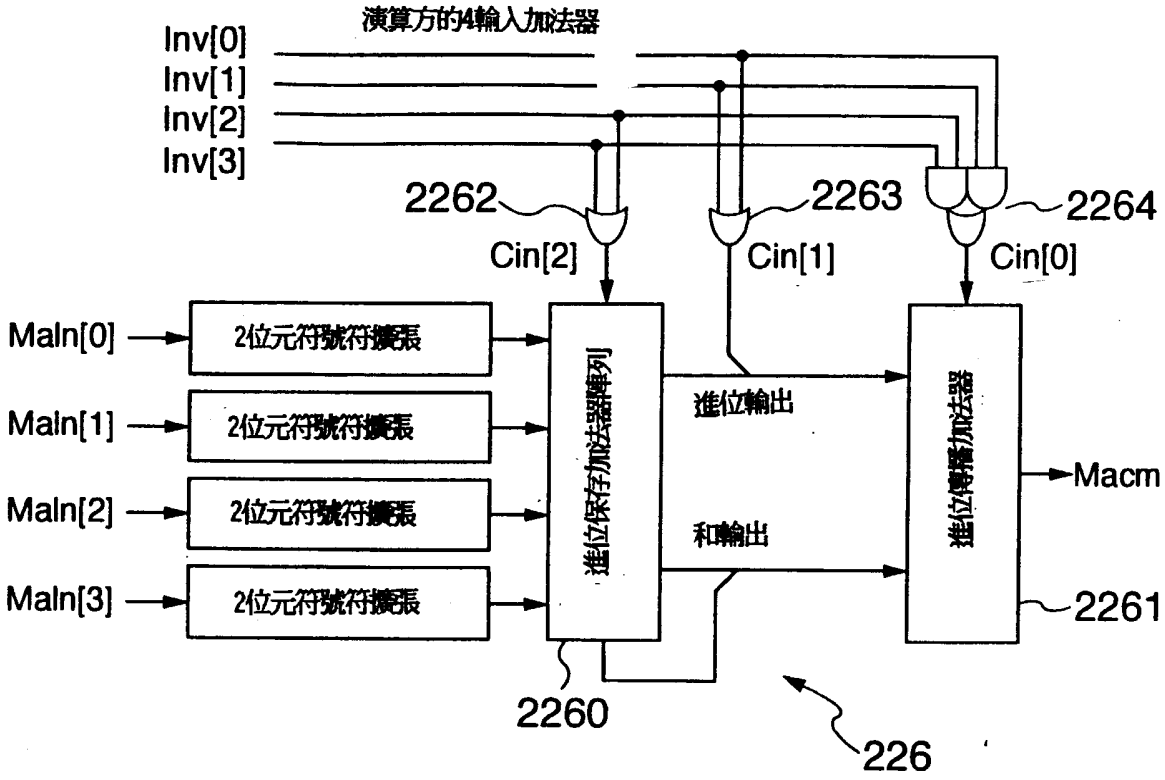
第 6 圖


演算方塊的符號選擇部
S[1] S[0] MaxCntl
225
2250
2252
Smax
2251
S[2] S[3]

第 7 圖


演算方塊的對位器
Ediff[n]
Inv[n]
221a(221b~221d)
2210
2211
M[n]
移位器
Maln[n]
2212
(n: 0-3)

第 8 圖

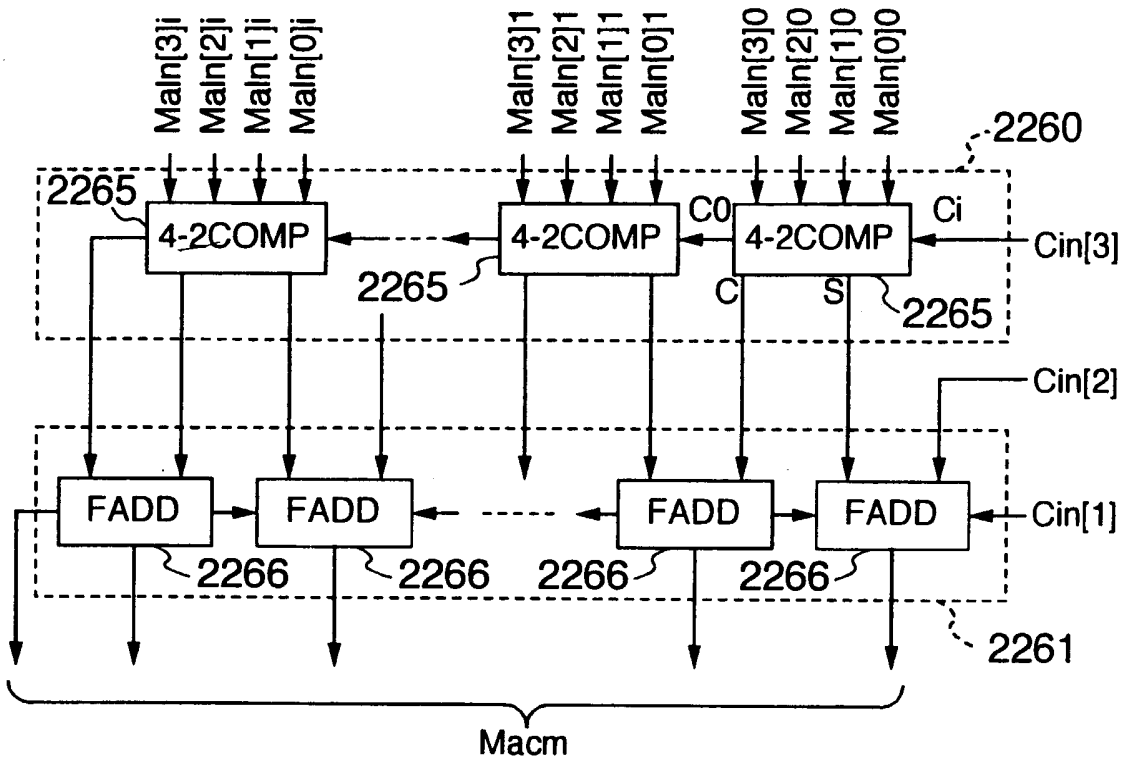


第 9 圖

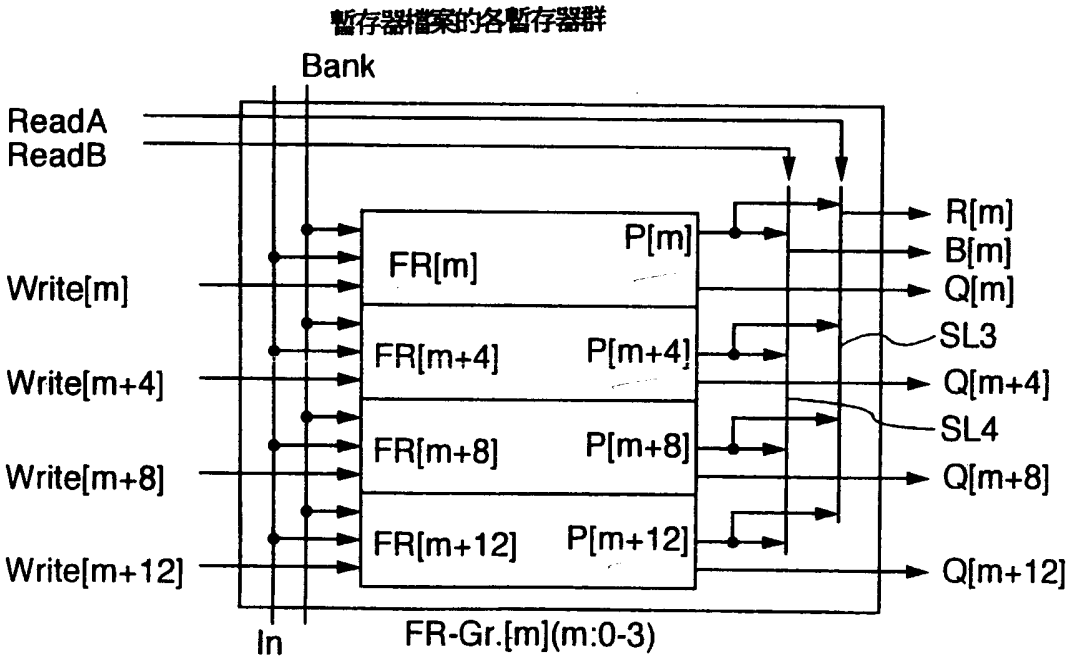
進位輸入轉換邏輯

Inv				Cin		
[0]	[1]	[2]	[3]	[0]	[1]	[2]
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	1	0	0	0	1	0
1	0	0	0	0	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	0	1	0	0	1	1
1	1	0	0	1	1	0
0	1	1	1	1	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	不發生		

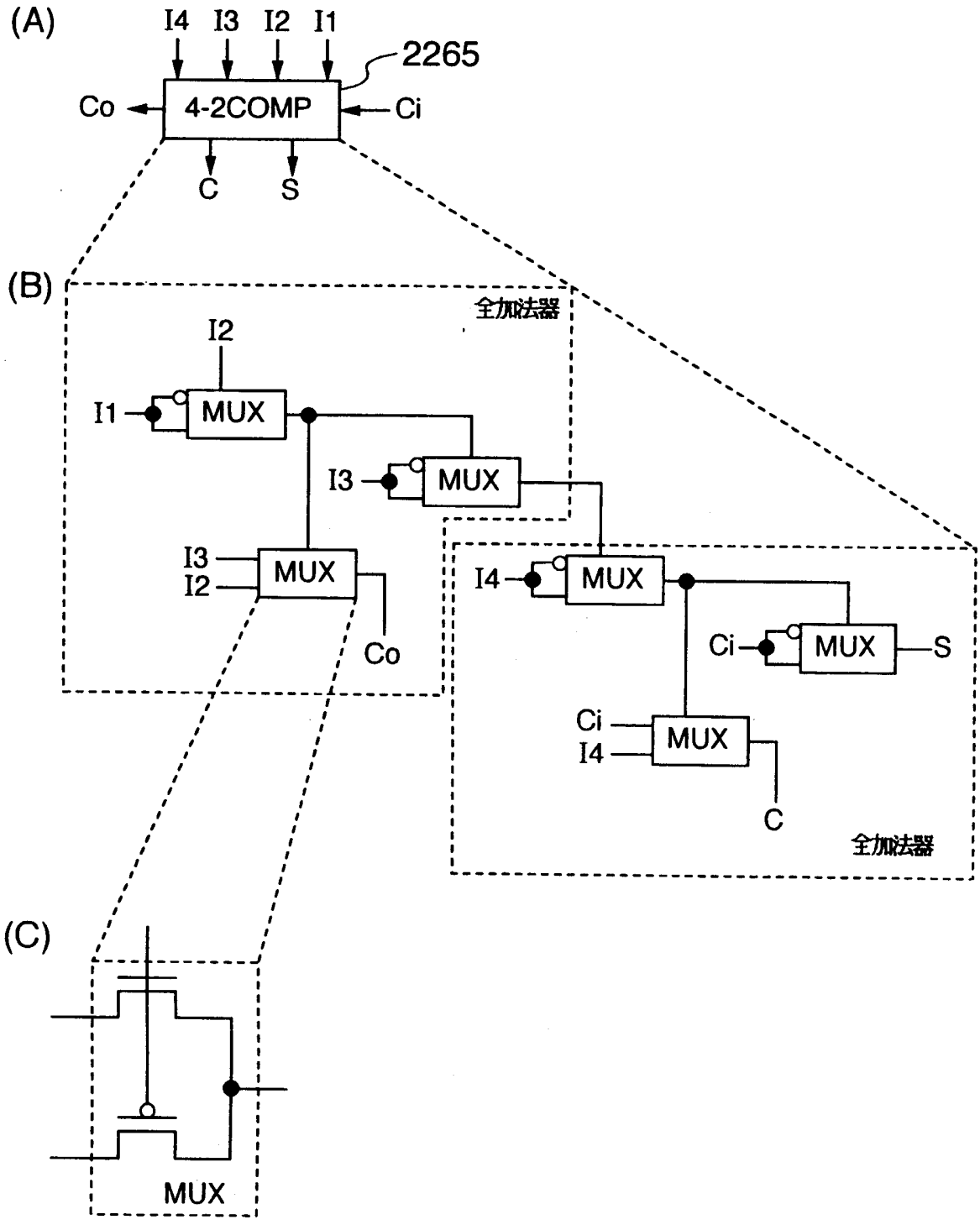
第10圖


Maln[3]i
Maln[2]i
Maln[1]i
Maln[0]i
Maln[3]1
Maln[2]1
Maln[1]1
Maln[0]1
Maln[3]0
Maln[2]0
Maln[1]0
Maln[0]0
2260
2265
4-2COMP
4-2COMP
4-2COMP
C0
Ci
Cin[3]
2265
C
S
2265
Cin[2]
FADD
FADD
FADD
FADD
Cin[1]
2266
2266
2266
2266
2261
Macm

第13圖

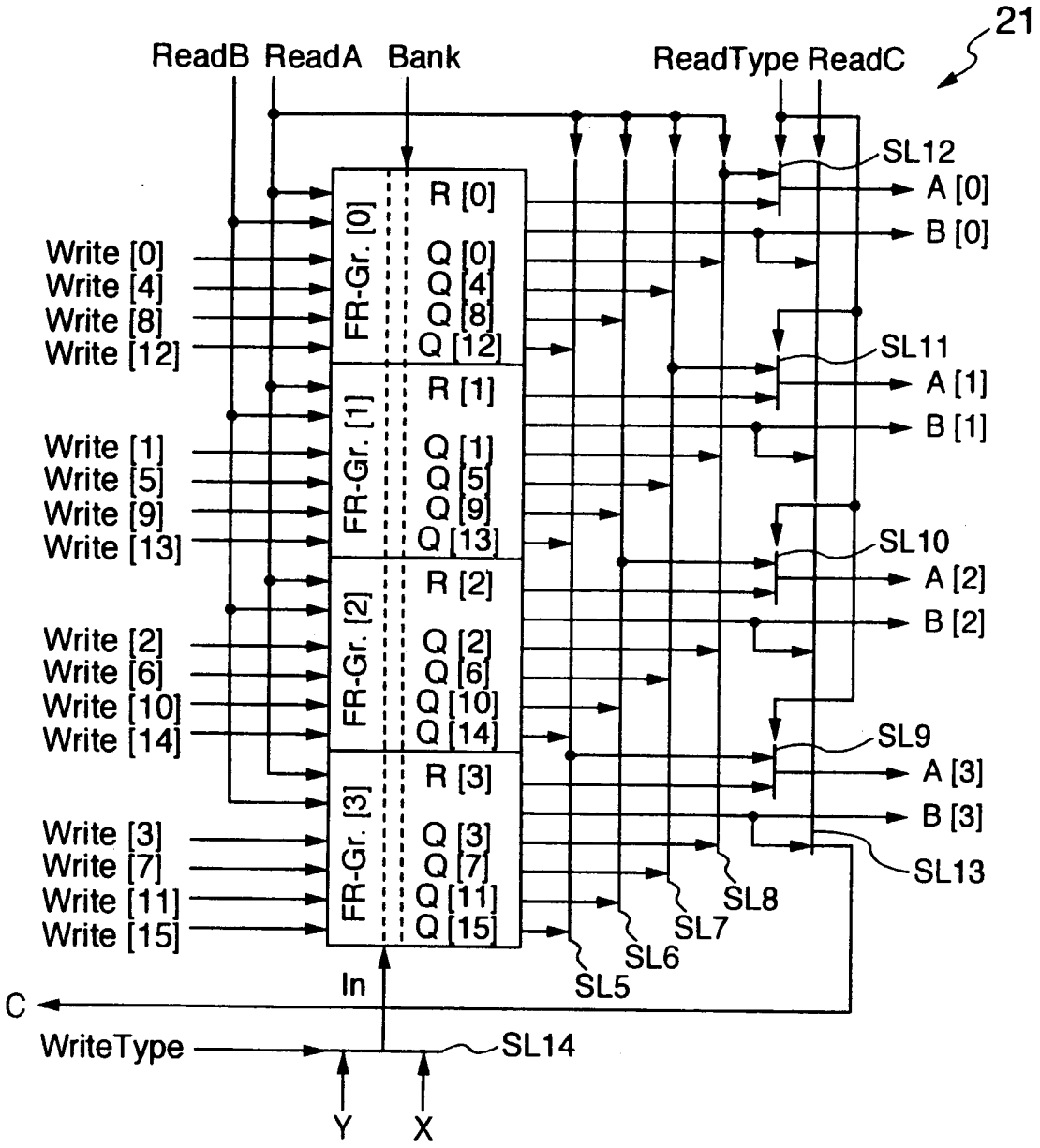

暫存器檔案的各暫存器群
Bank
ReadA
ReadB
Write[m]
Write[m+4]
Write[m+8]
Write[m+12]
FR[m]
P[m]
FR[m+4]
P[m+4]
FR[m+8]
P[m+8]
FR[m+12]
P[m+12]
R[m]
B[m]
Q[m]
SL3
Q[m+4]
SL4
Q[m+8]
Q[m+12]
In
FR-Gr.[m](m:0-3)

第11圖


(A)
I4 I3 I2 I1
2265
Co
4-2COMP
Ci
C
S
(B)
全加法器
I2
I1
MUX
I3
MUX
I3
I2
MUX
Co
I4
MUX
Ci
MUX
S
Ci
I4
MUX
C
全加法器
(C)
MUX

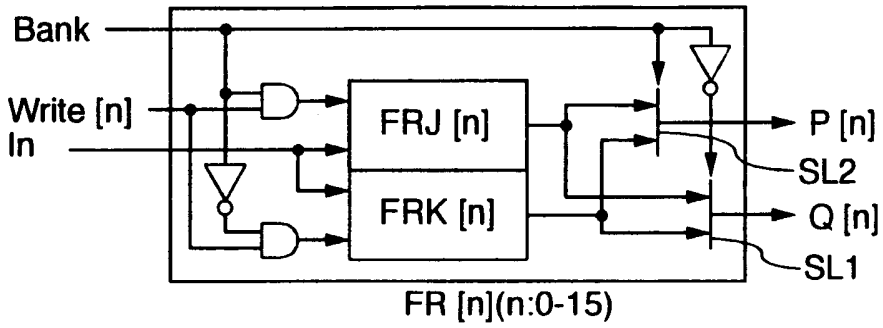
第12圖

浮動小數點單元的8個讀取1個寫入暫存器檔案



第14圖

暫存器群的各暫存電路



第15圖

暫存器檔案的讀取動作A

ReadType	Bank	ReadA	A [0]	A [1]	A [2]	A [3]
0	0	0	FRJ [0]	FRJ [1]	FRJ [2]	FRJ [3]
		1	FRJ [4]	FRJ [5]	FRJ [6]	FRJ [7]
		2	FRJ [8]	FRJ [9]	FRJ [10]	FRJ [11]
		3	FRJ [12]	FRJ [13]	FRJ [14]	FRJ [15]
	1	0	FRK [0]	FRK [1]	FRK [2]	FRK [3]
		1	FRK [4]	FRK [5]	FRK [6]	FRK [7]
		2	FRK [8]	FRK [9]	FRK [10]	FRK [11]
		3	FRK [12]	FRK [13]	FRK [14]	FRK [15]
1	0	0	FRK [0]	FRK [4]	FRK [8]	FRK [12]
		1	FRK [1]	FRK [5]	FRK [9]	FRK [13]
		2	FRK [2]	FRK [6]	FRK [10]	FRK [14]
		3	FRK [3]	FRK [7]	FRK [11]	FRK [15]
	1	0	FRJ [0]	FRJ [4]	FRJ [8]	FRJ [12]
		1	FRJ [1]	FRJ [5]	FRJ [9]	FRJ [13]
		2	FRJ [2]	FRJ [6]	FRJ [10]	FRJ [14]
		3	FRJ [3]	FRJ [7]	FRJ [11]	FRJ [15]

第16圖

暫存器檔案的讀取動作B

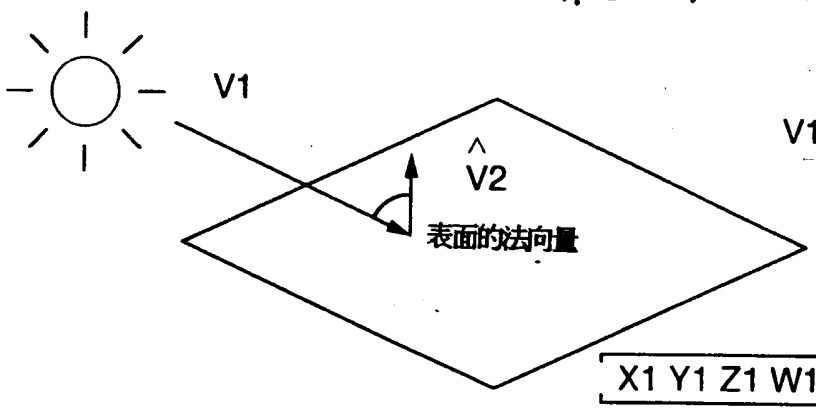
Bank	ReadB	B [0]	B [1]	B [2]	B [3]
0	0	FRJ [0]	FRJ [1]	FRJ [2]	FRJ [3]
	1	FRJ [4]	FRJ [5]	FRJ [6]	FRJ [7]
	2	FRJ [8]	FRJ [9]	FRJ [10]	FRJ [11]
	3	FRJ [12]	FRJ [13]	FRJ [14]	FRJ [15]
1	0	FRK [0]	FRK [1]	FRK [2]	FRK [3]
	1	FRK [4]	FRK [5]	FRK [6]	FRK [7]
	2	FRK [8]	FRK [9]	FRK [10]	FRK [11]
	3	FRK [12]	FRK [13]	FRK [14]	FRK [15]

第17圖

暫存器檔案之讀取動作C

Bank	ReadB \ ReadC	0	1	2	3
0	0	FRJ [0]	FRJ [1]	FRJ [2]	FRJ [3]
	1	FRJ [4]	FRJ [5]	FRJ [6]	FRJ [7]
	2	FRJ [8]	FRJ [9]	FRJ [10]	FRJ [11]
	3	FRJ [12]	FRJ [13]	FRJ [14]	FRJ [15]
1	0	FRK [0]	FRK [1]	FRK [2]	FRK [3]
	1	FRK [4]	FRK [5]	FRK [6]	FRK [7]
	2	FRK [8]	FRK [9]	FRK [10]	FRK [11]
	3	FRK [12]	FRK [13]	FRK [14]	FRK [15]

第18圖



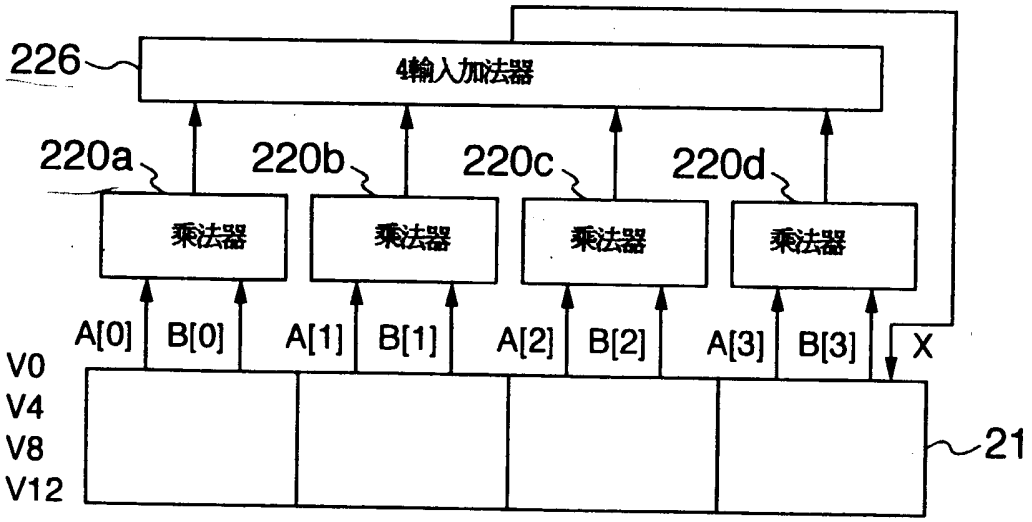
內積

$\hat{V1} \cdot \hat{V2}$ = 當光照到面上時的亮度

$$[X1\ Y1\ Z1\ W1] \times \begin{bmatrix} X2 \\ Y2 \\ Z2 \\ W2 \end{bmatrix} \rightarrow i$$

在單一的命令,ftpr,Vn,Vm下處理

第19圖



第20圖

內積命令規格

$$FR[n+3] = (v[m], V[n]) \quad \text{但是} \quad V[n] = \begin{pmatrix} FR[n] \\ FR[n+1] \\ FR[n+2] \\ FR[n+3] \end{pmatrix} (n : 0,4,8,12)$$

$$FR[n] = \begin{pmatrix} FRJ[n]\ Bank = 0\text{的場合} \\ FRK[n]\ Bank = 1\text{的場合} \end{pmatrix}$$

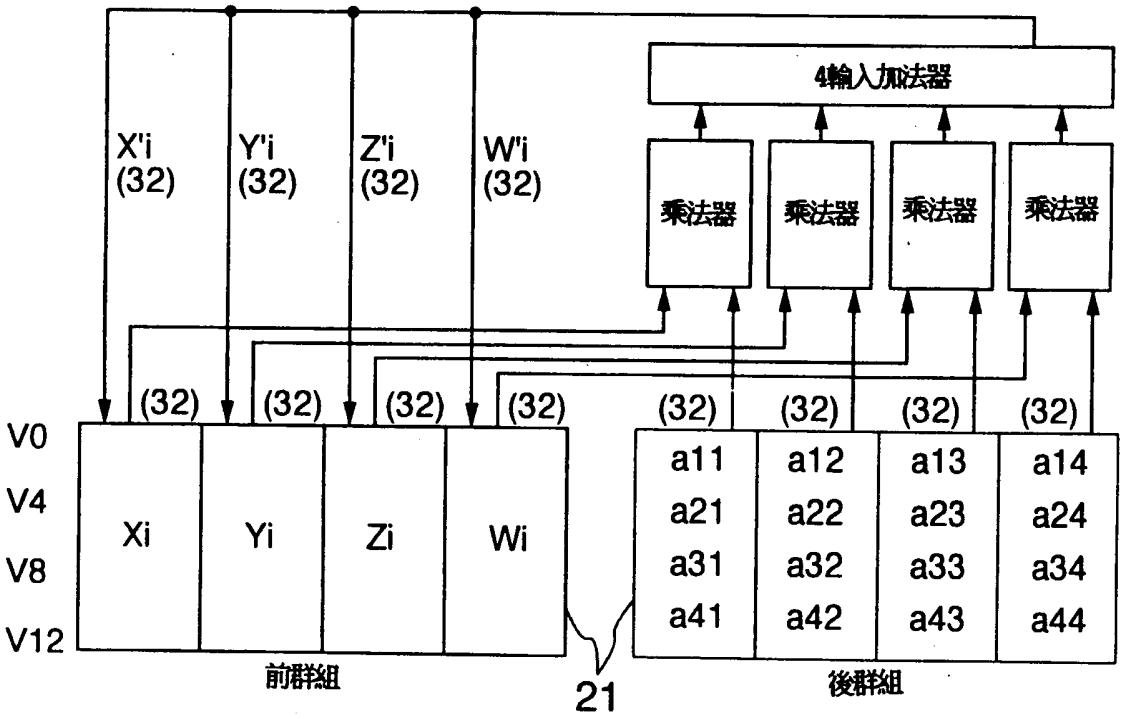
第21圖

$$A \times pi \rightarrow p'i$$

$$\begin{bmatrix} a11 & a12 & a13 & a14 \\ a21 & a22 & a23 & a24 \\ a31 & a32 & a33 & a34 \\ a41 & a42 & a43 & a44 \end{bmatrix} \times \begin{bmatrix} Xi \\ Yi \\ Zi \\ Wi \end{bmatrix} \longrightarrow \begin{bmatrix} X'i \\ Y'i \\ Z'i \\ W'i \end{bmatrix} \quad ,\text{for } I = 1 \ ,n$$

藉由單一命令ftrv back,Vn,根據單精度浮動小數點來處理

第22圖



第23圖

向量轉換命令規格

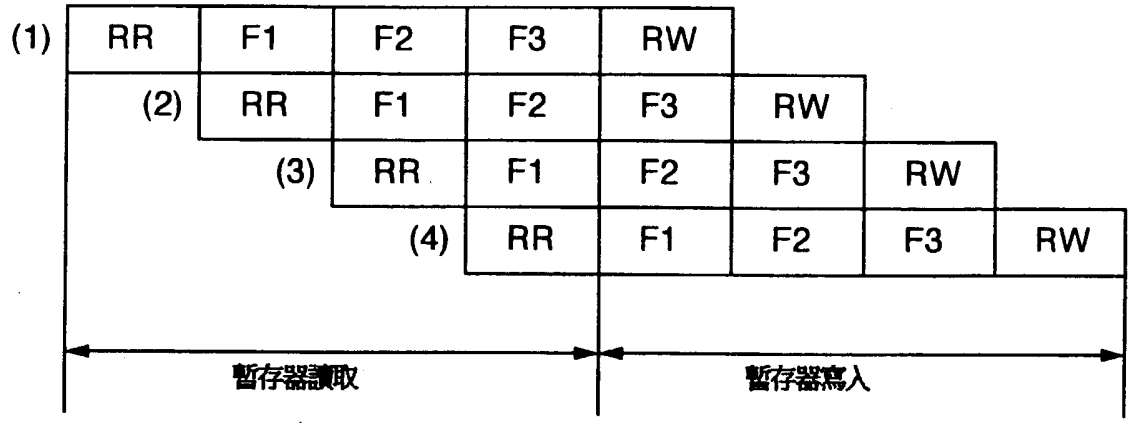
$$V[n] = Matrix \times V[n]$$

但是 $$Matrix = \begin{pmatrix} FB[0] & FB[4] & FB[8] & FB[12] \\ FB[1] & FB[5] & FB[9] & FB[13] \\ FB[2] & FB[6] & FB[10] & FB[14] \\ FB[3] & FB[7] & FB[11] & FB[15] \end{pmatrix}$$

$$FB[n] = \begin{cases} FRK[n] & Bank = 0\text{的場合} \\ FRJ[n] & Bank = 1\text{的場合} \end{cases}$$

第24圖

向量轉換命令處理連線(pipeline)



(1) FR [n] = (FB [0] FB [4] FB [8] FB [12]) V [n]
(2) FR [n+1] = (FB [1] FB [5] FB [9] FB [13]) V [n]
(3) FR [n+2] = (FB [2] FB [6] FB [10] FB [14]) V [n]
(4) FR [n+3] = (FB [3] FB [7] FB [11] FB [15]) V [n]

RR:暫存器讀取階段
F1:第一演算階段
F2:第二演算階段
F3:第三演算階段
RW:暫存器寫入階段

第25圖

正弦餘弦命令規格

FR [n] = sin FR [0]
FR [n+1] = cos FR [0]

第26圖

正弦餘弦命令的角度格式



根據小數點以下16位元的32位元固定小數點數來表示回轉數

第27圖

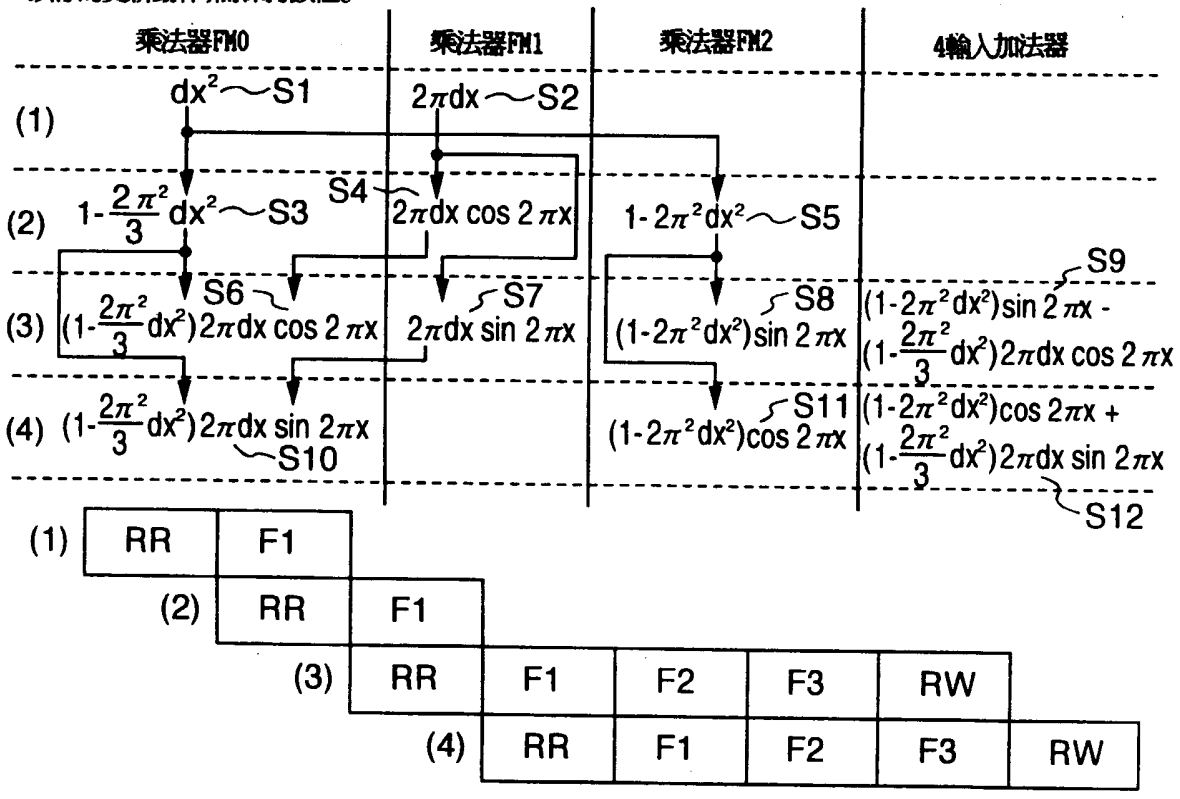
與在角度輸入之下位14位元內的上位5位元的值呈對應的級數展開的中心值

角度輸入	級數展開的中心值		角度輸入	級數展開的中心值	
	內部表現	徑度		內部表現	徑度
1 1 1 1 1 0 0 0 0 0	0.000000	0	1 1 1 1 1 1 0 0 0 0	0.001000	$\pi/4$
0 0 0 0 1 0 0 0 1 0	0.000001	$\pi/32$	1 0 0 0 1 1 0 0 1 0	0.001001	$9\pi/32$
0 0 0 1 1 0 0 1 0 0	0.000010	$\pi/16$	1 0 0 1 1 1 0 1 0 0	0.001010	$5\pi/16$
0 0 1 0 1 0 0 1 1 0	0.000011	$3\pi/32$	1 0 1 0 1 1 0 1 1 0	0.001011	$11\pi/32$
0 0 1 1 1 0 1 0 0 0	0.000100	$\pi/8$	1 0 1 1 1 1 1 0 0 0	0.001100	$3\pi/8$
0 1 0 0 1 0 1 0 1 0	0.000101	$5\pi/32$	1 1 0 0 1 1 1 0 1 0	0.001101	$13\pi/32$
0 1 0 1 1 0 1 1 0 0	0.000110	$3\pi/16$	1 1 0 1 1 1 1 1 0 0	0.001110	$7\pi/16$
0 1 1 0 1 0 1 1 1 0	0.000111	$7\pi/32$	1 1 1 0 1 1 1 1 1 0	0.001111	$15\pi/32$

第28圖

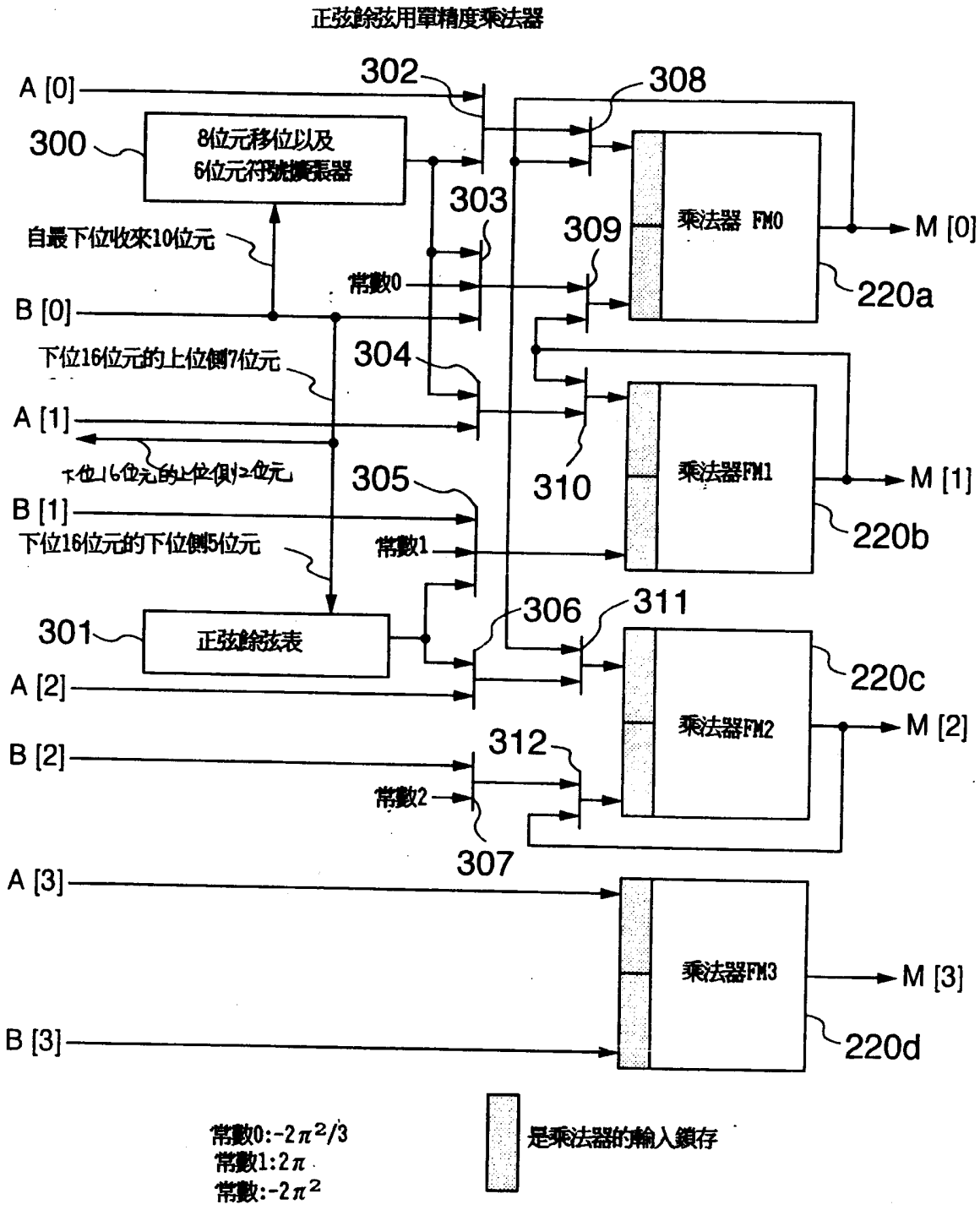
正弦餘弦命令的處理流程

x為將FR[0]之小數點以下7位元的最下位經0捨1入所得到的值。
dx為將FR[0]的最下位10位元予以符號擴充所得到的值
在乘法器FM0,FM2中只將小數點以下回饋而將上位設為0,當2度使用可以得到與+1相同效果的演算結果時,會抑制乘法器之輸入鎖存的更新動作,而保持該值。



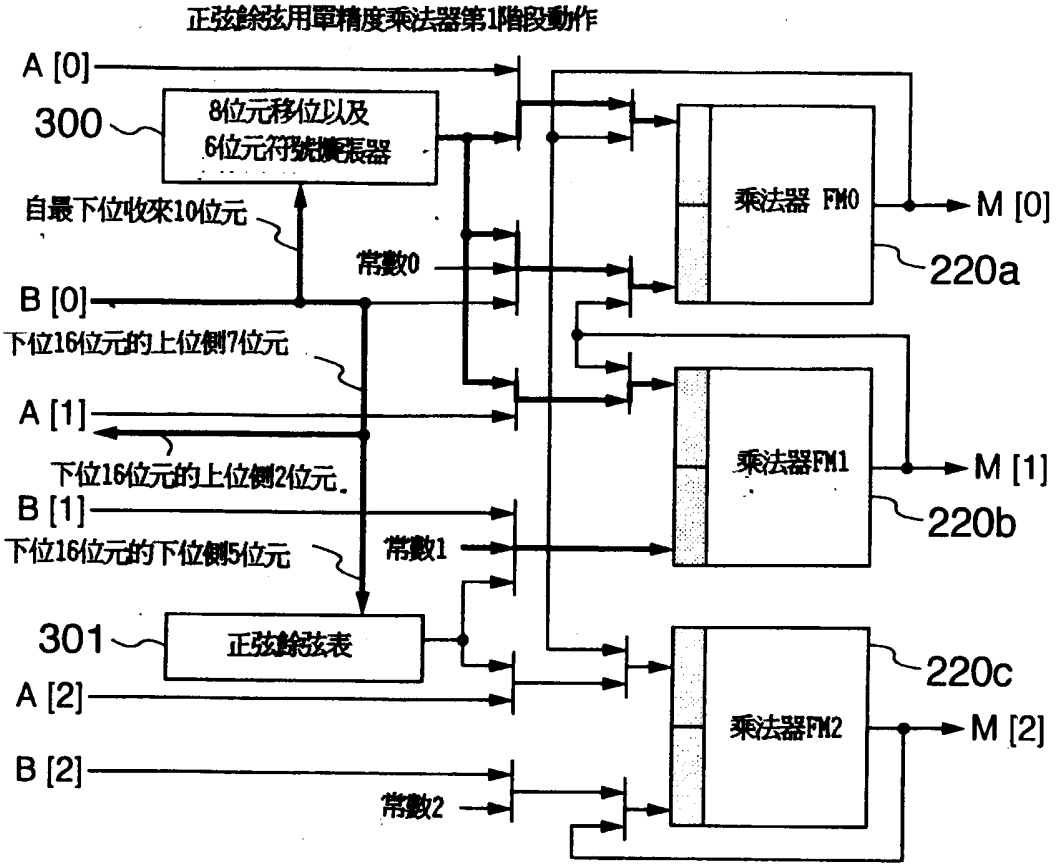
x+dx在第1象限:
在步驟(3)中對4輸入加法器輸出實施後續處理(規格化、正數化
圓弧化)且將其輸入到FR[n]
在步驟(4)中對4輸入加法器輸出實施後續處理,且將其輸入到FR[n]
x+dx在第II象限:
在步驟(3)中對4輸入加法器輸出實施符號反轉以及後續處理,且將其輸出到FR[n+1]。
在步驟(4)中對4輸入加法器實施後續處理,且將其輸出到FR[n]
x+dx在第IV象限:
在步驟(3)中對4輸入加法器輸出實施後續處理,且將其輸出到FR[n+1]。
在步驟(4)中對4輸入加法器輸出實施符號反轉以及後續處理,且將其輸出到FR[n]

第29圖

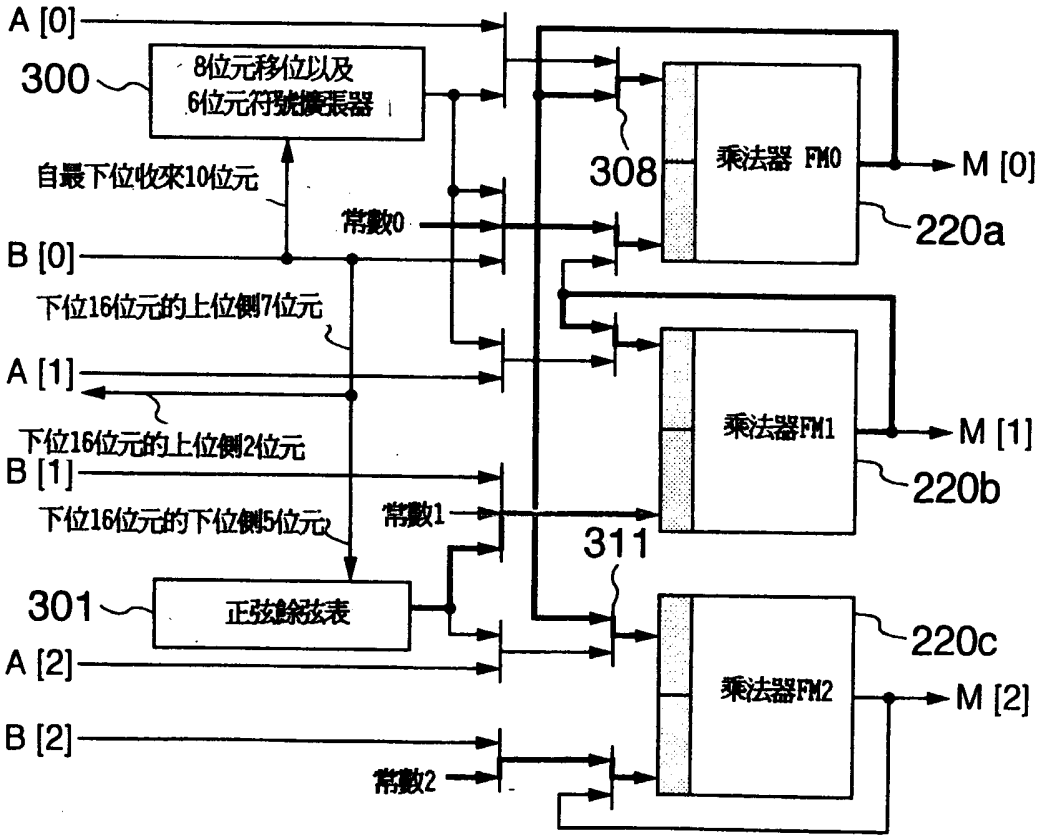

正弦餘弦用單精度乘法器
A [0]
302
308
300
8位元移位以及
6位元符號擴張器
303
309
乘法器 FM0
M [0]
自最下位收來10位元
常數0
B [0]
220a
下位16位元的上位側7位元
304
A [1]
乘法器FM1
M [1]
下位16位元的上位側2位元
310
305
B [1]
220b
下位16位元的下位側5位元
常數1
306
311
301
正弦餘弦表
220c
A [2]
乘法器FM2
M [2]
B [2]
312
常數2
307
A [3]
乘法器FM3
M [3]
B [3]
220d
常數0:-2π²/3
常數1:2π
常數:-2π²
是乘法器的輸入鎖存

405093

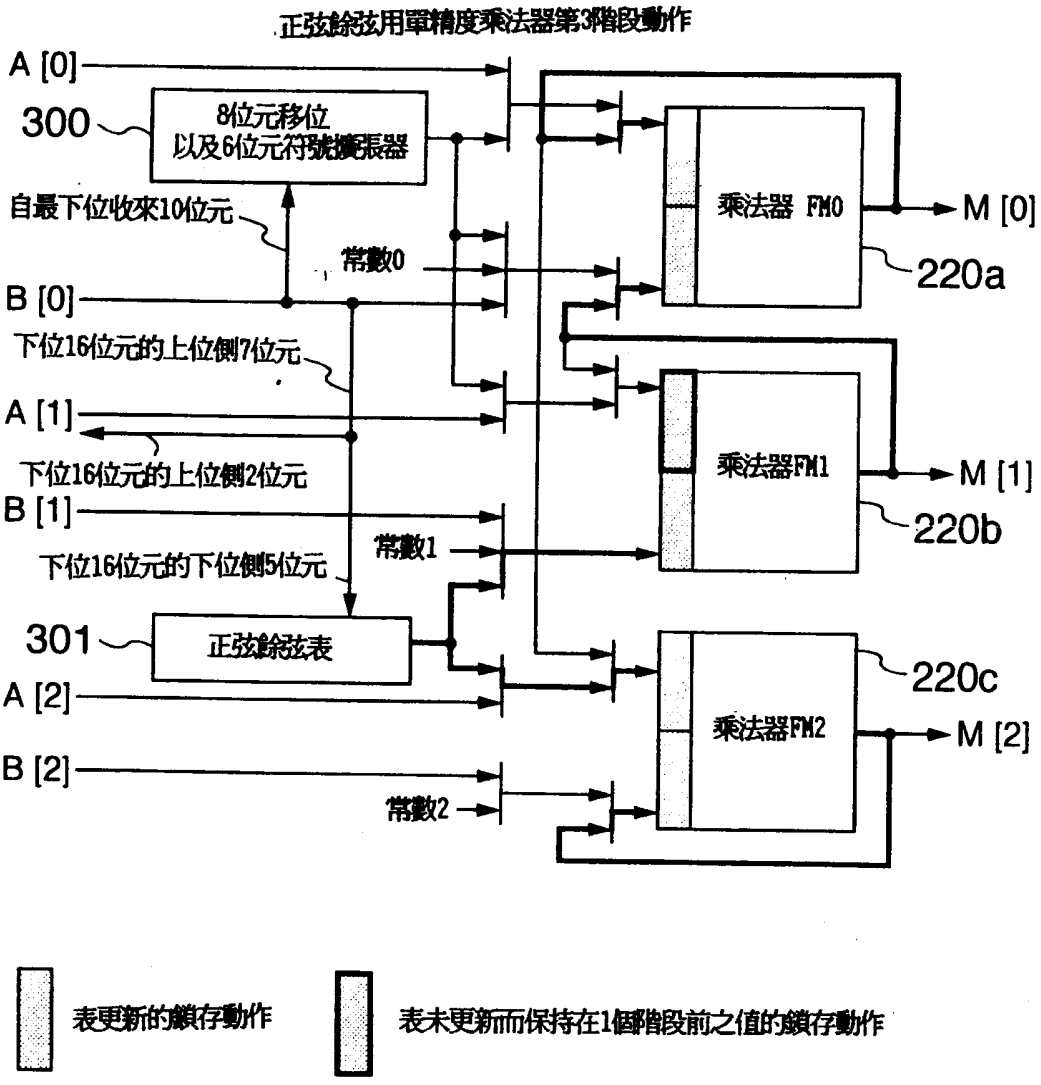
第30圖



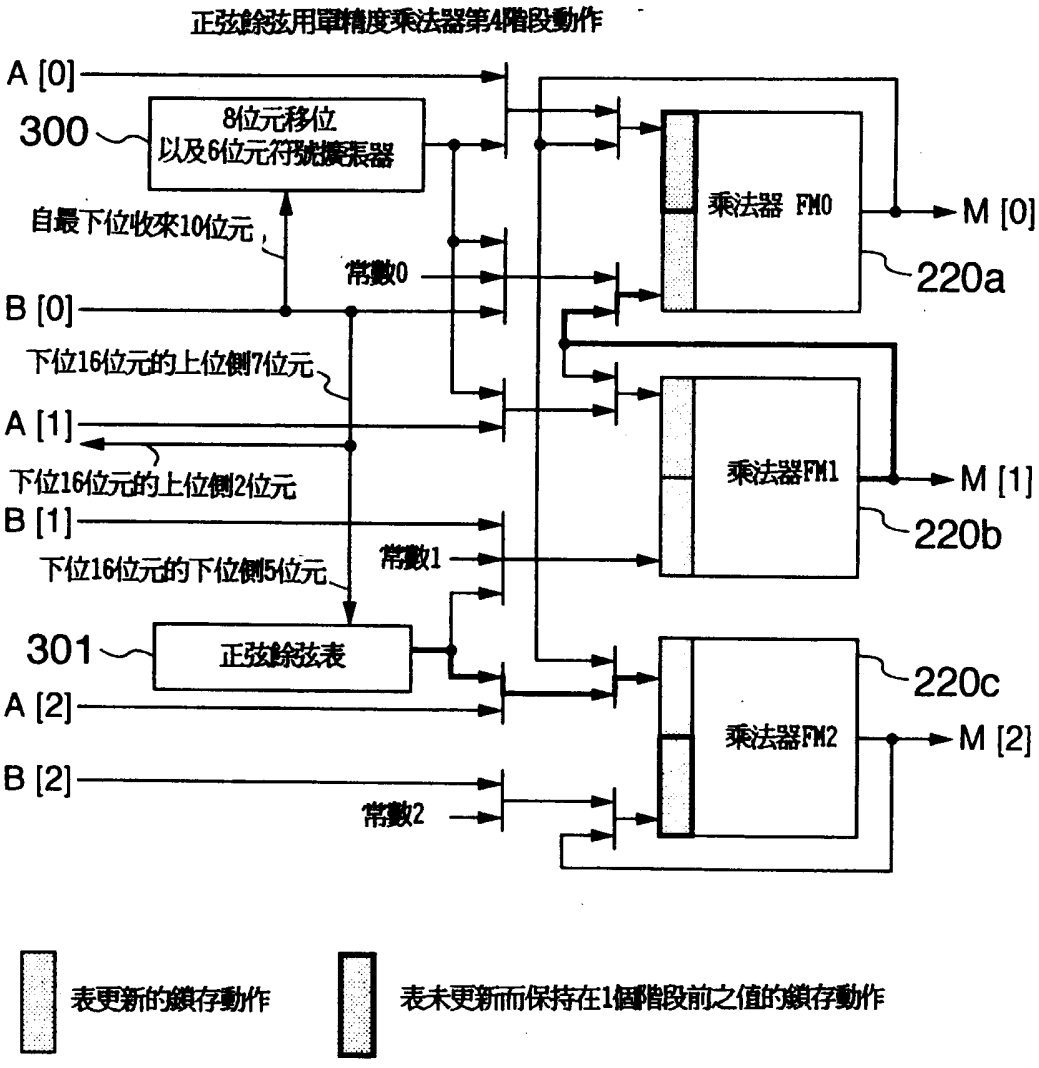
第31圖



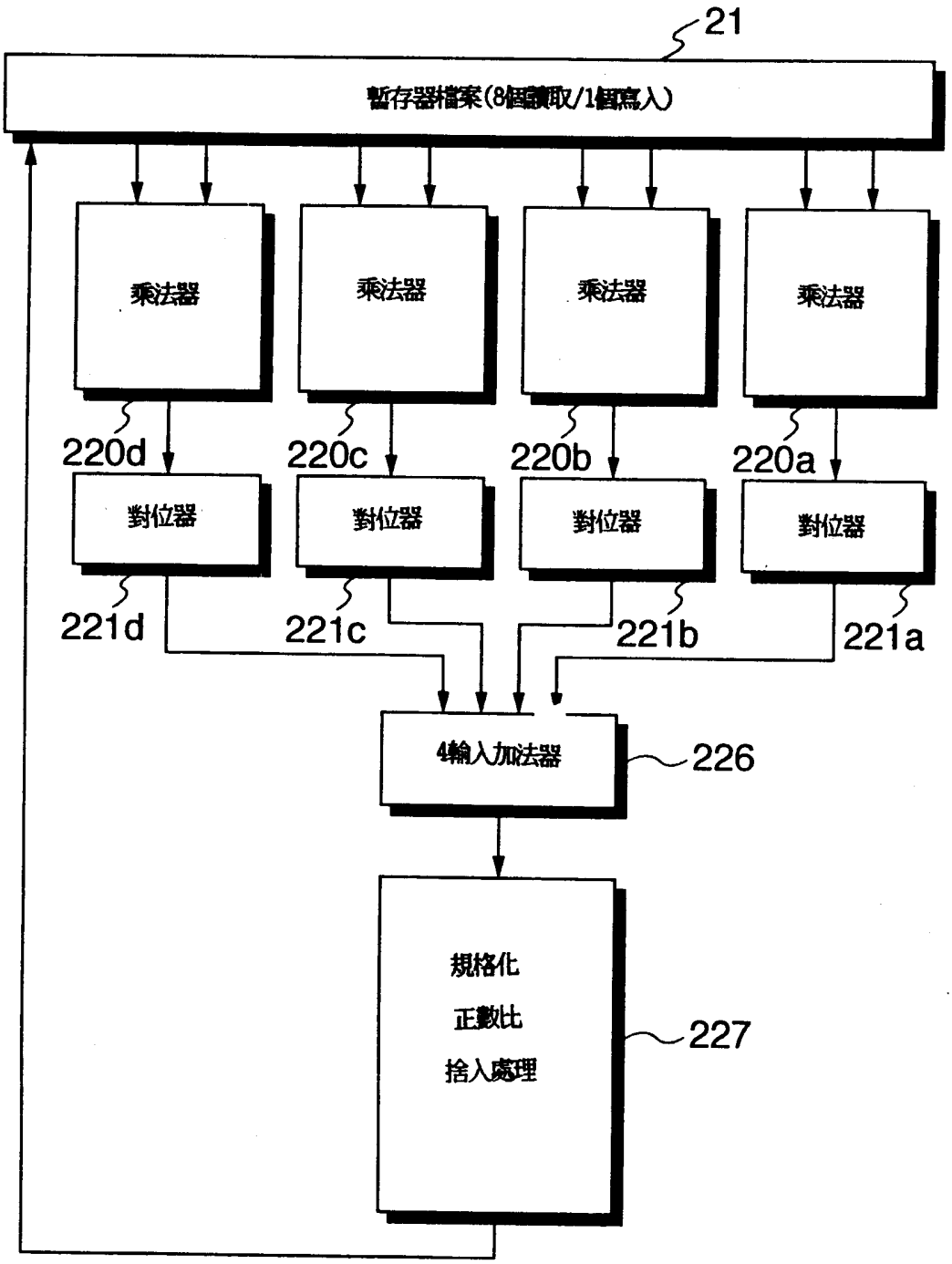
第32圖


正弦餘弦用單精度乘法器第3階段動作
A [0]
300
8位元移位
以及6位元符號擴張器
自最下位收來10位元
常數0
B [0]
下位16位元的上位側7位元
A [1]
下位16位元的上位側2位元
B [1]
常數1
下位16位元的下位側5位元
301
正弦餘弦表
A [2]
B [2]
常數2
乘法器 FM0
乘法器FM1
乘法器FM2
M [0]
M [1]
M [2]
220a
220b
220c
表更新的鎖存動作
表未更新而保持在1個階段前之值的鎖存動作

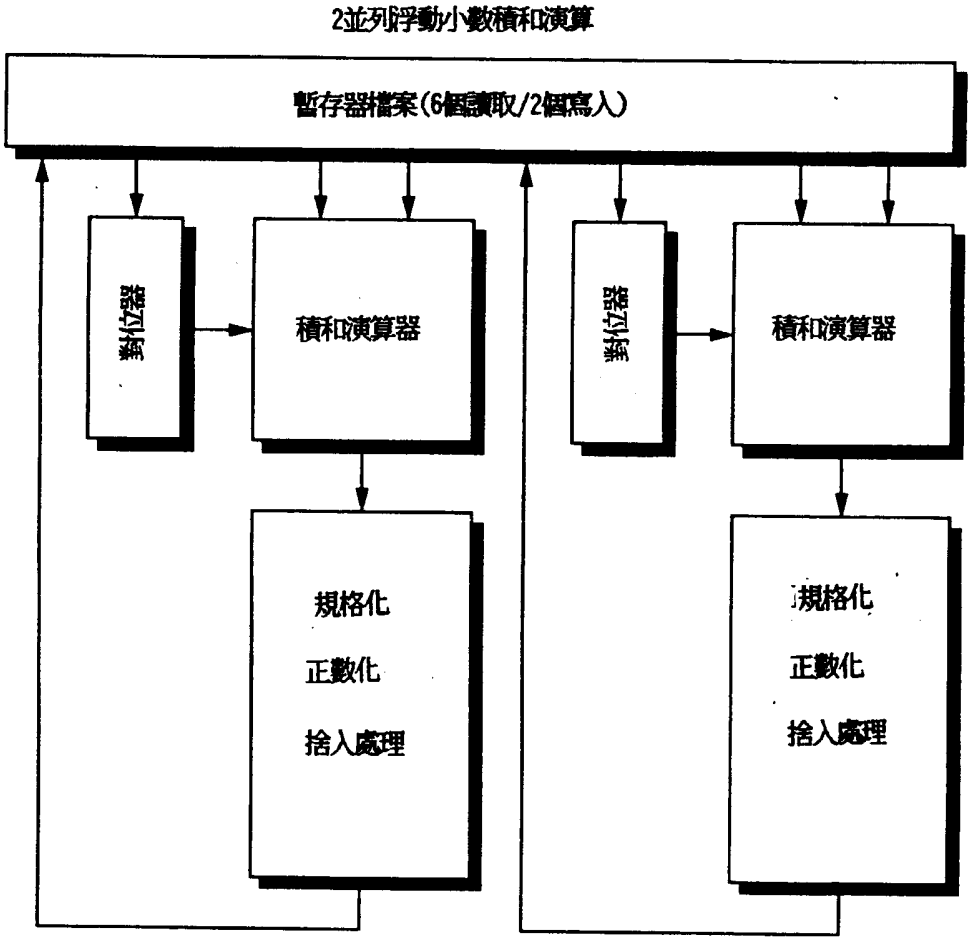
第33圖


正弦餘弦用單精度乘法器第4階段動作
A [0]
300
8位元移位
以及6位元符號擴張器
自最下位收來10位元
常數0
B [0]
下位16位元的上位側7位元
A [1]
下位16位元的上位側2位元
B [1]
常數1
下位16位元的下位側5位元
301
正弦餘弦表
A [2]
B [2]
常數2
乘法器 FM0
M [0]
220a
乘法器FM1
M [1]
220b
220c
乘法器FM2
M [2]
表更新的鎖存動作
表未更新而保持在1個階段前之值的鎖存動作

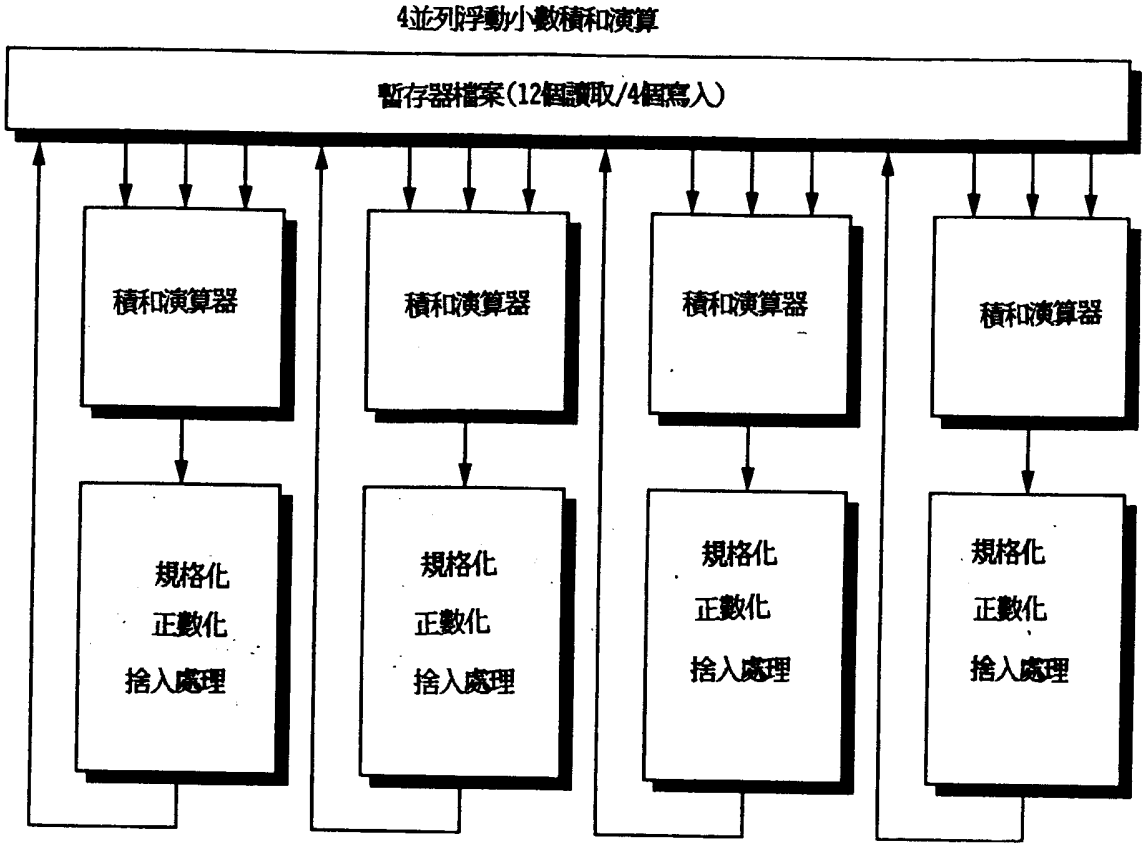
第34圖


21
暫存器檔案(8個讀取/1個寫入)
乘法器
乘法器
乘法器
乘法器
220d
220c
220b
220a
對位器
對位器
對位器
對位器
221d
221c
221b
221a
4輸入加法器
226
規格化
正數比
捨入處理
227

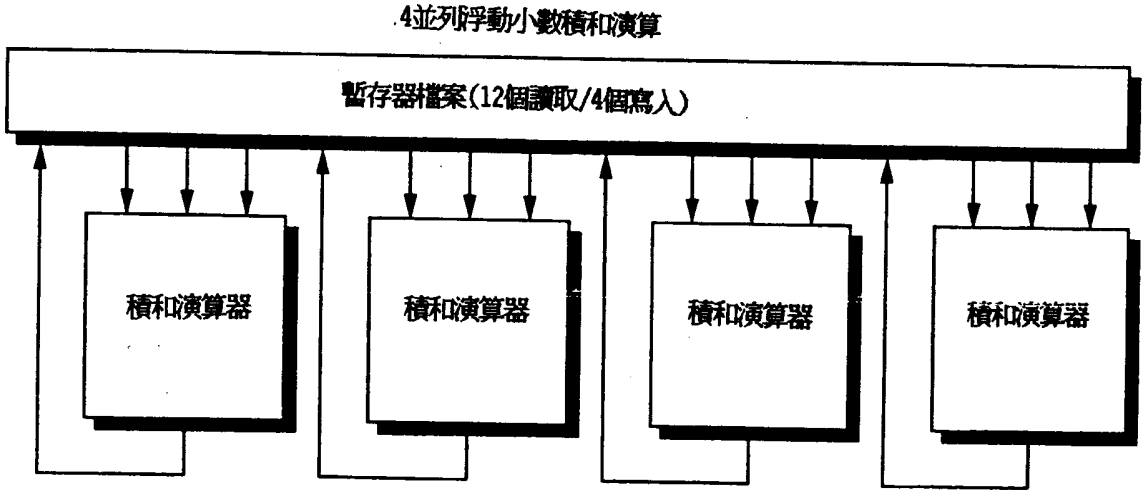
第35圖


2並列浮動小數積和演算
暫存器檔案(6個讀取/2個寫入)
對位器
積和演算器
對位器
積和演算器
規格化
正數化
捨入處理
規格化
正數化
捨入處理

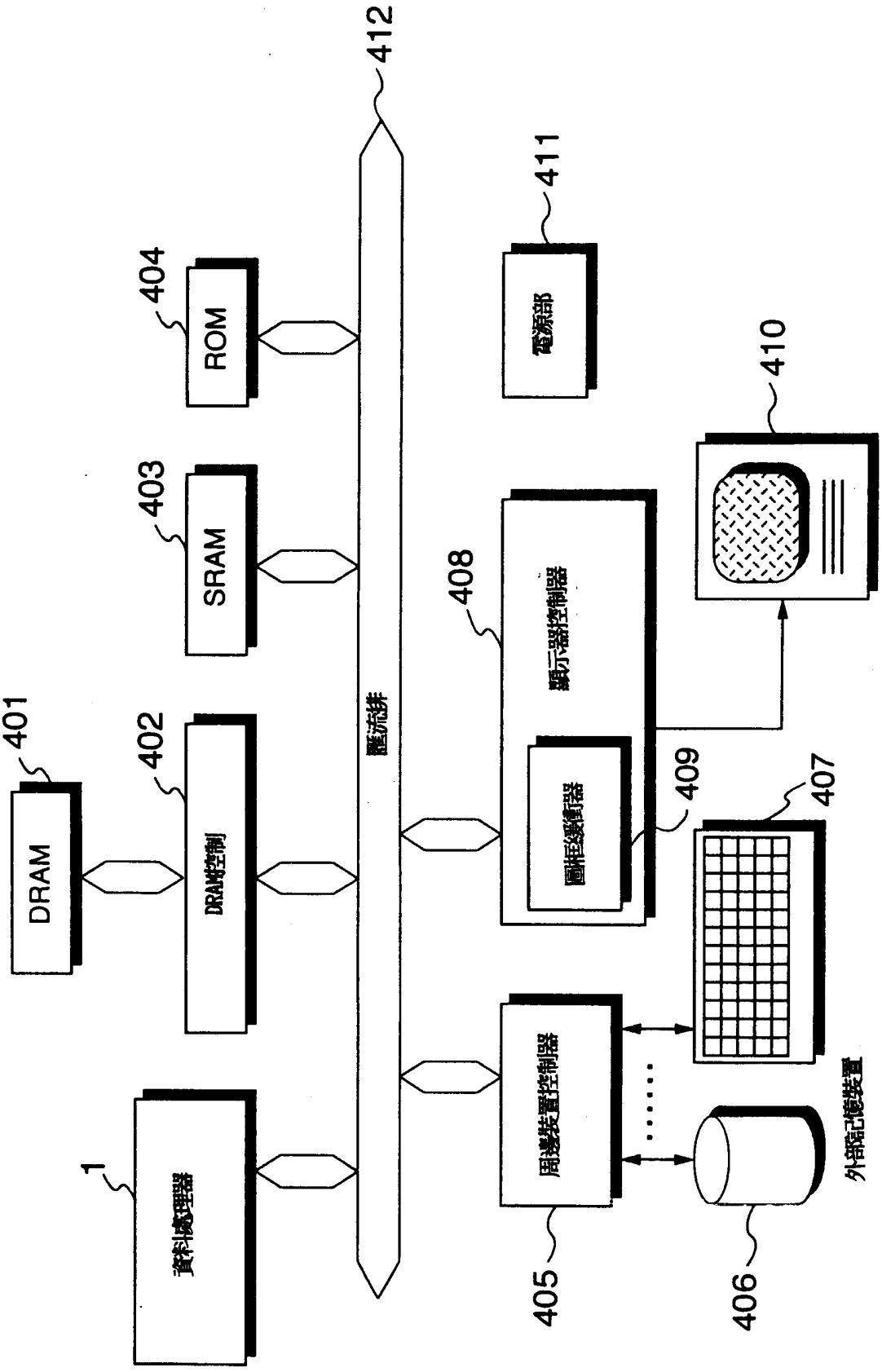
第36圖


4並列浮動小數積和演算
暫存器檔案(12個讀取/4個寫入)
積和演算器
積和演算器
積和演算器
積和演算器
規格化
正數化
捨入處理
規格化
正數化
捨入處理
規格化
正數化
捨入處理
規格化
正數化
捨入處理

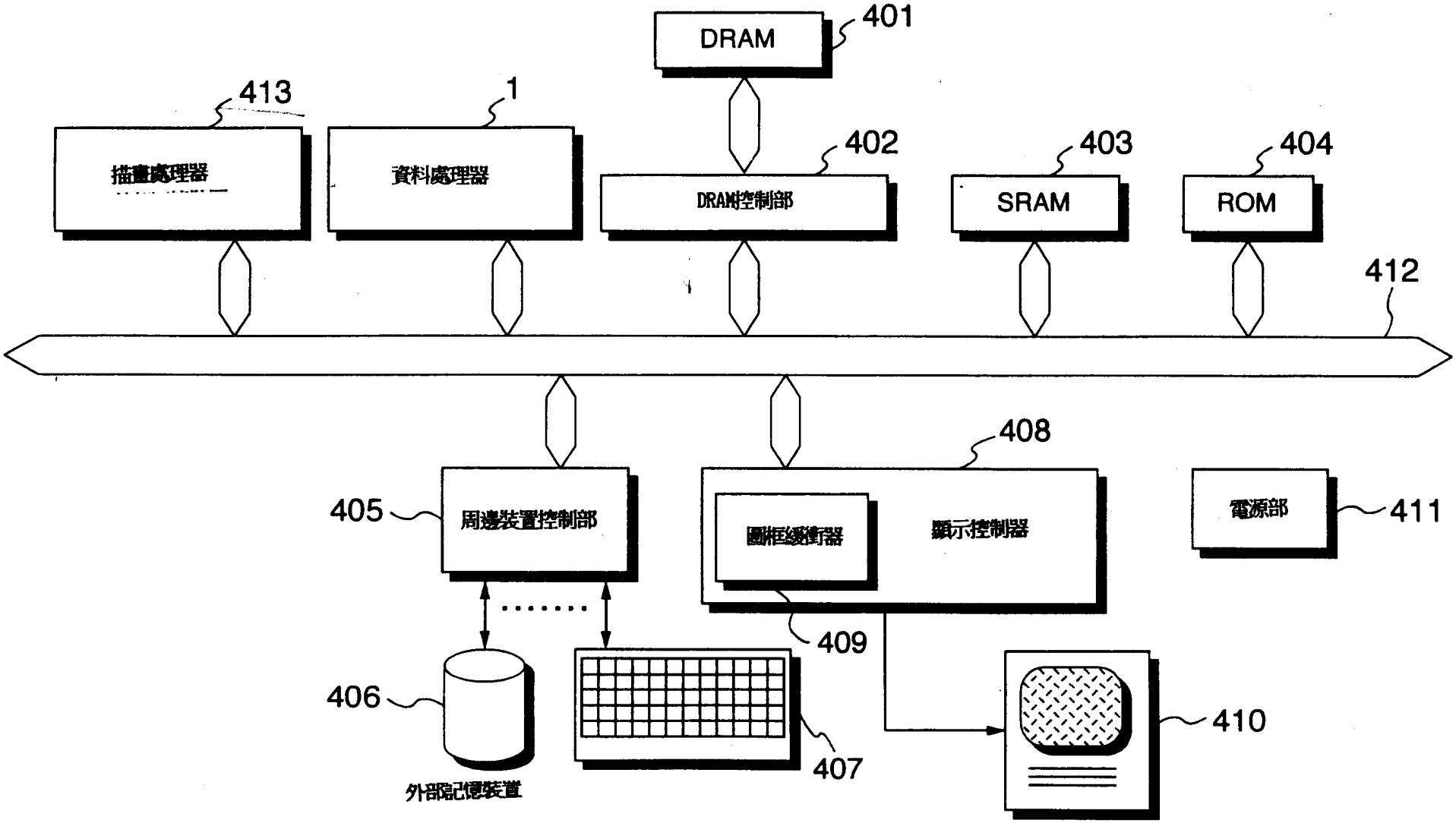
第37圖


4並列浮動小數積和演算
暫存器檔案(12個讀取/4個寫入)
積和演算器
積和演算器
積和演算器
積和演算器

第38圖


412
404
ROM
411
電源部
410
403
SRAM
408
顯示器控制器
圖形緩衝器
409
401
DRAM
402
DRAM控制
匯流排
407
1
資料處理器
周邊裝置控制器
405
406
外部記憶裝置

第39圖


DRAM
401
413
1
描畫處理器
資料處理器
402
DRAM控制部
403
SRAM
404
ROM
412
408
405
周邊裝置控制部
圖框緩衝器
顯示控制器
電源部
411
409
406
407
410
外部記憶裝置

公告本 405093 A8 B8 C8 D8

88.9.-9 年 月 日 修正 補充

六、申請專利範圍

第 86115051 號專利申請案

中文申請專利範圍修正本

民國88年9月修正

1．一種資料處理器，其主要特徵在於：

浮動小數點單元具備演算部，而該演算部包含有分別自不同的資料輸入信號群供給浮動小數點數的虛數部，且將所供給之虛數部相互間予以相乘時多個乘法器、接受各乘法器的輸出而進行對位位移的分析器，根據上述浮動小數點數的指數部而產生上述分析器之對位位移數以及規格化前之指數的指數處理部，將上述分析器之輸出相加的輸入加法器，以及將上述多輸入加法器之輸出與上述規格化前之指數予以規格化的規格化器。

2．如申請專利範圍第1項之資料處理器，上述浮動小數點單元則執行成分分別以浮動小數點數所給予之4×4的內積演算。

3．如申請專利範圍第1項之資料處理器，上述演算部更包含可因應在各乘法器中被相乘之浮動小數點數的符號而產生與各乘法器之乘法結果呈對應之符號的符號處理部，上述分析器具有可將對位移位結果選擇性地以反轉或是非反轉之形態輸出的選擇器，當對於所對應之上述乘法結果的符號爲負時則選擇反轉輸出，而上述多輸入加法器則進行在對應於對上述乘法結果的符號爲負的分析器的輸出加1而產生進位，且針對負的乘法結果進行2的補數處理。

（請先閱讀背面之注意事項再填寫本頁）

經濟部中央標準局員工消費合作社印製