

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-168530

(P2017-168530A)

(43) 公開日 平成29年9月21日(2017.9.21)

(51) Int.Cl. F I テーマコード(参考)  
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H 5 F 1 O 2  
 HO 1 L 29/812 (2006.01)  
 HO 1 L 29/778 (2006.01)

審査請求 未請求 請求項の数 8 O L (全 29 頁)

(21) 出願番号 特願2016-50147(P2016-50147)  
 (22) 出願日 平成28年3月14日(2016.3.14)

(71) 出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (74) 代理人 100090273  
 弁理士 園分 孝悦  
 (72) 発明者 遠藤 聡  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 Fターム(参考) 5F102 FA03 GB01 GC01 GD01 GJ06  
 GK08 GL03 GL04 GL05 GM08  
 GN02 GN04 GN05 GQ01 GR03  
 GR04 GR07 GS04 GV07 HC17

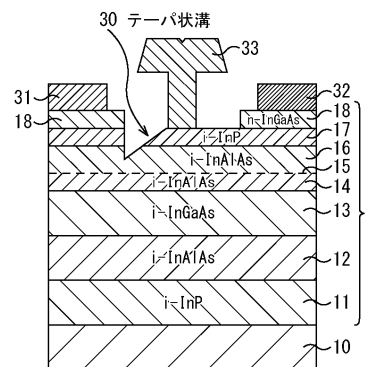
(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【要約】

【課題】ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い化合物半導体装置を実現する。

【解決手段】化合物半導体層1の上方に設けられたゲート電極33と、化合物半導体層1の上方において、ゲート電極33を挟んで設けられたソース電極31及びドレイン電極32とを含み、化合物半導体層1は、ソース電極31とドレイン電極32との間において、少なくともソース電極31とゲート電極33との間に、ソース電極31に近づくにつれて徐々に深くなる溝30が表面に形成されている。

【選択図】 図1 2



**【特許請求の範囲】****【請求項 1】**

化合物半導体層と、  
前記化合物半導体層の上方に設けられたゲート電極と、  
前記化合物半導体層の上方において、前記ゲート電極を挟んで設けられたソース電極及びドレイン電極と

を含み、

前記化合物半導体層は、前記ソース電極と前記ドレイン電極との間の領域のうち、少なくとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて徐々に深くなる溝が表面に形成されていることを特徴とする化合物半導体装置。

10

**【請求項 2】**

前記化合物半導体層は、前記溝が前記ソース電極と前記ドレイン電極との間に亘って形成されていることを特徴とする請求項 1 に記載の化合物半導体装置。

**【請求項 3】**

前記化合物半導体層は、前記溝が、前記ソース電極に近づくにつれて逐次深くなる階段状に形成されていることを特徴とする請求項 1 又は 2 に記載の化合物半導体装置。

**【請求項 4】**

前記化合物半導体層は、少なくとも、電子走行層及び当該電子走行層の上方の電子供給層が積層されており、

前記化合物半導体層は、前記溝が前記電子走行層の途中の深さまで形成されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の化合物半導体装置。

20

**【請求項 5】**

化合物半導体層を形成する工程と、

前記化合物半導体層の上方にソース電極及びドレイン電極を形成する工程と、

前記化合物半導体層の上方において、前記ソース電極と前記ドレイン電極との間に前記ゲート電極を形成する工程と

を含み、

前記化合物半導体層の表面に、前記ソース電極と前記ドレイン電極との間の領域のうち、少なくとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて徐々に深くなる溝を形成することを特徴とする化合物半導体装置の製造方法。

30

**【請求項 6】**

前記化合物半導体層の表面に、前記溝を前記ソース電極と前記ドレイン電極との間に亘って形成することを特徴とする請求項 5 に記載の化合物半導体装置の製造方法。

**【請求項 7】**

前記化合物半導体層の表面に、前記溝を、前記ソース電極に近づくにつれて逐次深くなる階段状に形成することを特徴とする請求項 5 又は 6 に記載の化合物半導体装置の製造方法。

**【請求項 8】**

前記化合物半導体層は、少なくとも、電子走行層及び当該電子走行層の上方の電子供給層が積層されており、

前記化合物半導体層の表面に、前記溝を前記電子走行層の途中の深さまで形成することを特徴とする請求項 5 ~ 7 のいずれか 1 項に記載の化合物半導体装置の製造方法。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、化合物半導体装置及びその製造方法に関するものである。

**【背景技術】****【0002】**

近時では、通信用超高速トランジスタとして、高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) が注目されている。HEMT は、ミリ波帯 (30

50

～ 300 GHz)、サブミリ波帯(300 GHz～3 THz)、テラヘルツ帯(0.1～10 THz)領域で動作可能なトランジスタである。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-6380号公報

【特許文献2】特開2009-60043号公報

【特許文献3】特開2005-252276号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

HEMTの動作速度に対応する全遅延時間  $t_{total}$  は遮断周波数  $f_T$  の逆数であり、

$$t_{total} = 1 / (2 f_T) = t_{int} + t_{ext}$$

と、真性遅延時間  $t_{int}$  と外因性(寄生)遅延時間  $t_{ext}$  との和で表される。このうち、真性遅延時間  $t_{int}$  は、ゲート長  $L_g$  とゲート電極下の平均チャネル電子速度  $v$  とを用いて、

$$t_{int} = L_g / v$$

と表される。

【0005】

従って、真性遅延時間  $t_{int}$  の短縮によるHEMTの高速化は、ゲート長  $L_g$  の微細化とチャネル電子速度  $v$  の増大とにより達成される。このうち、チャネル電子の速度を増大させるには、電子の有効質量の軽い半導体をチャネルに用いれば良い。有効質量の軽い半導体としては、InAs(0.022  $m_0$ )、InSb(0.014  $m_0$ )、これらの混晶であるInAsSbがある( $m_0$ :電子の静止質量)。

【0006】

一方、外因性(寄生)遅延時間  $t_{ext}$  は、

$$t_{ext} = L / v + C_{gd} (R_s + R_d) + t_{cc}$$

と表される。ここで、 $L$  は空乏層の伸びに起因する実効的なゲート長の伸び、 $C_{gd}$  はゲート・ドレイン容量、 $R_s$  ( $R_d$ ) はソース(ドレイン)抵抗、 $t_{cc}$  はチャネル充電時間である。外因性(寄生)遅延時間  $t_{ext}$  を短縮するには、ソース(ドレイン)抵抗  $R_s$  ( $R_d$ ) を低減するのが有効な手段の一つである。

【0007】

$R_s$  ( $R_d$ ) を低減させる典型的な方法として、ソース・ゲート間距離  $L_{sg}$  やゲート・ドレイン間距離  $L_{gd}$  を短縮する方法がある。このうち、ゲート・ドレイン間距離  $L_{gd}$  を短縮するとゲート・ドレイン間の電界強度やゲート・ドレイン容量  $C_{gd}$  にも影響がある。一方、ソース・ゲート間距離  $L_{sg}$  は、短縮にほぼ比例して抵抗を下げられる。しかしながら、近年では、ソース・ゲート間距離  $L_{sg}$  もかなり短くなっており、ソース・ゲート間距離  $L_{sg}$  の短縮以上に効果的な方法が要求され始めている。

【0008】

また、 $R_s$  ( $R_d$ ) を低減させる典型的な他の方法として、ソース・ドレイン間距離  $L_{sd}$  を短縮する方法がある。近年、ゲート長  $L_g$  の微細化やチャネル電子に有効質量の軽い半導体を用いられる等の技術改良が進んだため、真性遅延時間  $t_{int}$  が短縮され、全遅延時間  $t_{total}$  に外因性(寄生)遅延時間  $t_{ext}$  の占める割合が大きくなっている。従って、HEMTの高速化には、真性遅延時間  $t_{int}$  と外因性(寄生)遅延時間  $t_{ext}$  の両方を低減する必要性が生じている。しかしながら、近年では、ソース・ドレイン間距離  $L_{sd}$  もかなり短くなっており、ソース・ドレイン間距離  $L_{sd}$  の短縮以上に効果的な方法が要求され始めている。

【0009】

ゲートの微細化に伴い、遅延時間に対する寄生遅延時間の影響が相対的に大きくなっている。そのため今後は、真性遅延時間  $t_{int}$  の低減に加えて、外因性(寄生)遅延時間  $t_{ext}$  をどの程度低減できるかが、高速化に際して重要なポイントである。特に前述したよう

10

20

30

40

50

に、外因性（寄生）遅延時間  $t_{ext}$  の低減には、ソース抵抗  $R_s$  を低減させることが効果的である。

【0010】

本発明は、上記の課題に鑑みてなされたものであり、ソース抵抗を低減し、動作速度を向上させることができる化合物半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

化合物半導体装置の一態様は、化合物半導体層と、前記化合物半導体層の上方に設けられたゲート電極と、前記化合物半導体層の上方において、前記ゲート電極を挟んで設けられたソース電極及びドレイン電極とを含み、前記化合物半導体層は、前記ソース電極と前記ドレイン電極との間の領域のうち、少なくとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて徐々に深くなる溝が表面に形成されている。

10

【0012】

化合物半導体装置の製造方法の一態様は、化合物半導体層を形成する工程と、前記化合物半導体層の上方にソース電極及びドレイン電極を形成する工程と、前記化合物半導体層の上方において、前記ソース電極と前記ドレイン電極との間に前記ゲート電極を形成する工程とを含み、前記化合物半導体層の表面に、前記ソース電極と前記ドレイン電極との間の領域のうち、少なくとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて徐々に深くなる溝を形成する。

20

【発明の効果】

【0013】

本発明によれば、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い化合物半導体装置が実現する。

【図面の簡単な説明】

【0014】

【図1】第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図2】図1に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

30

【図3】図2に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図4】図3に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図5】図4に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図6】図5に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図7】図6に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

40

【図8】図7に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図9】図8に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図10】図9に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図11】図10に引き続き、第1の実施形態による  $InAlAs / InGaAs$  系 HEMT の製造方法を工程順に示す概略断面図である。

【図12】第1の実施形態による、テーパ状溝が形成された  $InAlAs / InGaAs$  系 HEMT を模式的に示す概略断面図である。

50

【図13】第1の実施形態において、ソース電極に近い領域とゲート電極に近い領域における垂直方向の伝導帯のバンド構造を示す模式図である。

【図14】第1の実施形態のInAlAs/InGaAs系HEMTにおいて、ポテンシャルの変化を説明するための模式図である。

【図15】シミュレーションの対象とした第1の実施形態のInAlAs/InGaAs系HEMTを示す概略断面図である。

【図16】第1の実施形態のInAlAs/InGaAs系HEMTのドレイン電流 $I_{ds}$ -ゲート電圧 $V_{gs}$ 特性について、比較例との比較に基づいて調べたシミュレーション結果を示す特性図である。

【図17】第1の実施形態のInAlAs/InGaAs系HEMTの相互コンダクタンス $g_m$ のゲート電圧 $V_{gs}$ 依存性について、比較例との比較に基づいて調べたシミュレーション結果を示す特性図である。

【図18】第1の実施形態の変形例1によるAlGaAs/GaAs系HEMTを示す概略断面図である。

【図19】第1の実施形態の変形例2によるAlGaAs/InGaAs系HEMTを示す概略断面図である。

【図20】第1の実施形態の変形例3によるAlSb/InAs系HEMTを示す概略断面図である。

【図21】第1の実施形態の変形例4によるInAlSb/InSb系HEMTを示す概略断面図である。

【図22】第1の実施形態の変形例5によるAlGaN/GaN系HEMTを示す概略断面図である。

【図23】第1の実施形態の変形例6によるInAlN/GaN系HEMTを示す概略断面図である。

【図24】第1の実施形態の変形例7によるSiGe/Si系HEMTを示す概略断面図である。

【図25】第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図26】図25に引き続き、第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図27】図26に引き続き、第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図28】図27に引き続き、第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図29】図28に引き続き、第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図30】図29に引き続き、第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図31】図30に引き続き、第2の実施形態によるInAlAs/InGaAs系HEMTの製造方法の主要工程を示す概略断面図である。

【図32】第2の実施形態による、テーパ状溝が形成されたInAlAs/InGaAs系HEMTを模式的に示す概略断面図である。

【図33】第2の実施形態において、ソース寄りのテーパ状溝の端部、テーパ状溝の中央(ゲート電極形成部分、電極形成前)、ドレイン寄りのテーパ状溝の端部における縦方向の伝導帯のバンド構造を示す模式図である。

【図34】第2の実施形態によるInAlAs/InGaAs系HEMTの技術的特徴を説明するための概略断面図である。

【図35】第2の実施形態の変形例1によるAlGaAs/GaAs系HEMTを示す概略断面図である。

【図36】第2の実施形態の変形例2によるAlGaAs/InGaAs系HEMTを示

10

20

30

40

50

す概略断面図である。

【図37】第2の実施形態の変形例3によるAlSb/InAs系HEMTを示す概略断面図である。

【図38】第2の実施形態の変形例4によるInAlSb/InSb系HEMTを示す概略断面図である。

【図39】第2の実施形態の変形例5によるAlGaN/GaN系HEMTを示す概略断面図である。

【図40】第2の実施形態の変形例6によるInAlN/GaN系HEMTを示す概略断面図である。

【図41】第2の実施形態の変形例7によるSiGe/Si系HEMTを示す概略断面図である。

10

【図42】第3の実施形態による高周波増幅器の概略構成を示す結線図である。

【発明を実施するための形態】

【0015】

(第1の実施形態)

本実施形態では、化合物半導体装置として、InAlAs/InGaAs系HEMTを開示する。InAlAs/InGaAs系HEMTの構成について、その製造方法と共に説明する。

図1～図11は、第1の実施形態によるInAlAs/InGaAs系HEMTの製造方法を工程順に示す概略断面図である。

20

【0016】

先ず、図1(a)に示すように、バッファ層11、ボトムバリア層12、電子走行層であるチャンネル層13、スペーサ層14、Si-ドーピング層15、電子供給層であるバリア層16、i-InP層17、及びキャップ層18を順次形成する。

詳細には、例えば有機金属化学気相成長(MOCVD: Metal Organic Chemical Vapor Deposition)法により、以下の各化合物半導体を成長する。MOVPE法の代わりに、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法等を用いても良い。

【0017】

InP基板10上に、適当なバッファ層を形成し、その上に、i-In<sub>0.52</sub>Al<sub>0.48</sub>Asを200nm程度の厚みに成長させる。その上に、i-In<sub>0.53</sub>Ga<sub>0.47</sub>Asを10nm程度の厚みに成長させる。その上に、i-In<sub>0.52</sub>Al<sub>0.48</sub>Asを3nm程度の厚みに成長させる。次に、極薄に例えば $1 \times 10^{13} / \text{cm}^3$ 程度の濃度にSiをドーピングする。その上に、i-In<sub>0.52</sub>Al<sub>0.48</sub>Asを6nm程度の厚みに成長させる。その上に、i-InPを3nm程度の厚みに成長させる。その上に、n型不純物、例えばSiを $1 \times 10^{19} / \text{cm}^3$ 程度の濃度にドーピングしたn-In<sub>0.53</sub>Ga<sub>0.47</sub>Asを20nm程度の厚みに成長させる。

30

【0018】

以上により、InP基板10上に、バッファ層11、ボトムバリア層12、チャンネル層13、スペーサ層14、Si-ドーピング層15、バリア層16、i-InP層17、及びキャップ層18が積層され、化合物半導体積層構造1が形成される。

40

【0019】

続いて、素子分離を行った後、図1(b)に示すように、ソース電極31及びドレイン電極32を形成する。

詳細には、先ず、ソース電極及びドレイン電極を形成するためのレジストマスクを形成する。レジストを化合物半導体積層構造1上に塗布し、フォトリソグラフィにより、化合物半導体積層構造1上の電極形成予定箇所を露出させる開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

【0020】

このレジストマスクを用いて、電極材料として、例えばTi/Pt/Auを、例えば蒸着法により、化合物半導体積層構造1上の電極形成予定箇所を露出させる開口内を含むレ

50

ジストマスク上に堆積する。Tiの厚みは10nm程度、Ptの厚みは10nm程度、Auの厚みは200nm程度とする。リフトオフ法により、レジストマスク及びその上に堆積したTi/Pt/Auを除去する。Ti/Pt/Auの場合は、熱処理することなくキャップ層18とのオーミックコンタクトが得られる。以上により、ソース電極31及びドレイン電極32が形成される。

**【0021】**

続いて、図2(a)に示すように、SiO<sub>2</sub>膜21を形成する。

詳細には、化合物半導体積層構造1上のソース電極31とドレイン電極32との間に、絶縁物、ここではSiO<sub>2</sub>をプラズマCVD法等により20nm程度の厚みに堆積する。以上により、SiO<sub>2</sub>膜21が形成される。

10

**【0022】**

続いて、図2(b)に示すように、レジスト膜22を形成する。

詳細には、SiO<sub>2</sub>膜21上に、例えば日本ゼオン株式会社製のZEPレジストを塗布する。以上により、レジスト膜22が形成される。

**【0023】**

続いて、図3(a)に示すように、SiO<sub>2</sub>膜21に開口21aを形成する。

詳細には、先ず、電子ビーム露光法等によりレジスト膜22に開口22aを形成する。

次に、レジスト膜22をマスクとして、反応性イオンエッチング法によりSiO<sub>2</sub>膜21に開口21aを形成する。エッチングガスには例えばCF<sub>4</sub>を用いる。

その後、レジスト膜22は、薬液処理又はアッシング処理により除去される。

20

**【0024】**

続いて、図3(b)に示すように、キャップ層18をエッチングする。

詳細には、キャップ層18を電氣的に分離するため、キャップ層18をウェットエッチングする。エッチング液には、例えばクエン酸(C<sub>6</sub>H<sub>8</sub>O<sub>7</sub>)と過酸化水素水(H<sub>2</sub>O<sub>2</sub>)の混合溶液を用いる。

**【0025】**

続いて、図4(a)に示すように、ウェットエッチングにより、残存したSiO<sub>2</sub>膜21を除去する。

**【0026】**

続いて、図4(b)に示すように、SiO<sub>2</sub>膜23を形成する。

30

詳細には、化合物半導体積層構造1上のソース電極31とドレイン電極32との間に、絶縁物、ここではSiO<sub>2</sub>をプラズマCVD法等により堆積する。以上により、SiO<sub>2</sub>膜23が形成される。

**【0027】**

続いて、図5(a)に示すように、SiO<sub>2</sub>膜23に開口23aを形成する。

詳細には、先ず、SiO<sub>2</sub>膜23上にレジストを塗布し、電子ビーム露光法等によりレジストに開口を形成する。

次に、上記のレジストをマスクとして、反応性イオンエッチング法によりSiO<sub>2</sub>膜23に開口23aを形成する。エッチングガスには例えばCF<sub>4</sub>を用いる。開口23aは、ソース電極31寄りに、例えば150nm程度の長さ形成される。

40

その後、レジストは、薬液処理又はアッシング処理により除去される。

**【0028】**

続いて、図5(b)に示すように、i-InP層17に溝17aを形成する。

詳細には、i-InP層17をウェットエッチングし、深さ1nm~2nm程度の溝17aを形成する。エッチング液には、例えばクエン酸(C<sub>6</sub>H<sub>8</sub>O<sub>7</sub>)と過酸化水素水(H<sub>2</sub>O<sub>2</sub>)の混合溶液を用いる。

**【0029】**

続いて、図6(a)に示すように、溝17aを埋め込むSiO<sub>2</sub>膜24を形成する。

詳細には、溝17aを埋め込むように、絶縁物、ここではSiO<sub>2</sub>をプラズマCVD法等により堆積する。以上により、SiO<sub>2</sub>膜24が形成される。

50

## 【0030】

続いて、図6(b)に示すように、 $\text{SiO}_2$ 膜24に開口24aを形成する。

詳細には、先ず、 $\text{SiO}_2$ 膜24上にレジストを塗布し、電子ビーム露光法等によりレジストに開口を形成する。

次に、上記のレジストをマスクとして、反応性イオンエッチング法により $\text{SiO}_2$ 膜24に開口24aを形成する。エッチングガスには例えば $\text{CF}_4$ を用いる。開口24aは、ソース電極31寄りの端部が開口23aのソース電極31寄りの端部と一致するように、開口23aよりも短く、例えば130nm程度の長さに形成される。

その後、レジストは、薬液処理又はアッシング処理により除去される。

## 【0031】

続いて、図7(a)に示すように、i-InP層17に溝17bを形成する。

詳細には、i-InP層17をウェットエッチングし、深さ1nm~2nm程度の溝17bを形成する。溝17bは、一部残存した溝17aよりも1nm~2nm程度深く形成され、溝17a, 17b間で段差が形成される。エッチング液には、例えばクエン酸( $\text{C}_6\text{H}_8\text{O}_7$ )と過酸化水素水( $\text{H}_2\text{O}_2$ )の混合溶液を用いる。

## 【0032】

続いて、図7(b)に示すように、階段状溝20を形成する。

詳細には、図6(a)~図7(a)の各工程を繰り返し、溝を形成してゆく。以上により、化合物半導体積層構造1には、ソース電極31の近傍からゲート電極の形成予定箇所のソース電極側の端部までの領域に、階段状溝20が形成される。階段状溝20は、ソース電極とゲート電極との間に、ソース電極に近づくにつれて逐次階段状に深くなるように、最も深い箇所ではバリア層16の途中の深さまで形成される。

## 【0033】

続いて、図8(a)に示すように、 $\text{SiO}_2$ 膜25を形成する。

詳細には、化合物半導体積層構造1上のソース電極31とドレイン電極32との間に、階段状溝20を覆うように絶縁物、ここでは $\text{SiO}_2$ をプラズマCVD法等により堆積する。以上により、 $\text{SiO}_2$ 膜25が形成される。

## 【0034】

続いて、図8(b)に示すように、3層のレジスト膜41~43を積層形成する。

詳細には、化合物半導体積層構造1上を覆うように、例えば日本ゼオン株式会社製のZEPレジスト、PMGI(Poly-dimethylglutarimide)レジスト、及びZEPレジストを塗布する。以上により、レジスト膜41~43が形成される。

## 【0035】

続いて、図9(a)に示すように、レジスト膜42に開口42aを、レジスト膜43に開口43aを形成する。

詳細には、電子ビーム露光法等により、レジスト膜42, 43のT型ゲートのヘッド部分が形成される箇所を露光し、レジスト膜42, 43に開口42a, 43aを形成する。

## 【0036】

続いて、図9(b)に示すように、レジスト膜41に開口41aを形成する。

詳細には、電子ビーム露光法等により、レジスト膜41のT型ゲートのフット部分が形成される箇所を目的とするゲート長に合わせて露光し、レジスト膜41に開口41aを形成する。

## 【0037】

続いて、図10(a)に示すように、 $\text{SiO}_2$ 膜25に開口25aを形成する。

詳細には、レジスト膜41をマスクとして、反応性イオンエッチング法により $\text{SiO}_2$ 膜25に開口25aを形成する。エッチングガスには例えば $\text{CF}_4$ を用いる。

## 【0038】

続いて、図10(b)及び図11に示すように、ゲート電極33を形成する。

詳細には、レジスト膜41~43をマスクとして用いて、電極材料として、例えばTi/Pt/Auを、例えば蒸着法により、開口41a~43a内を含むレジスト膜43上に

10

20

30

40

50

堆積する。Tiの厚みは10nm程度、Ptの厚みは5nm程度、Auの厚みは400nm程度とする。リフトオフ法により、レジスト膜41~43及びレジスト膜43上に堆積されたTi/Pt/Auを除去する。以上により、図11に示すように、i-InP17上にT型のゲート電極33が形成される。

以上により、本実施形態によるInAlAs/InGaAs系HEMTが形成される。

#### 【0039】

本実施形態では、ゲート電極33が化合物半導体積層構造1と直接的に接触する、ショットキー型のInAlAs/InGaAs系HEMTを作製する場合を例示した。ショットキー型の代わりに、ゲート電極33がゲート絶縁膜を介して化合物半導体積層構造1の上方に形成されるMIS型のInAlAs/InGaAs系HEMTを形成するようにしても良い。この場合、図9(b)の工程の後に、SiO<sub>2</sub>膜25に開口25aを形成する図10(a)の工程を行わず、図10(b)以降の工程を行うようにすれば良い。

10

#### 【0040】

本実施形態のInAlAs/InGaAs系HEMTでは、図11のようにソース電極31とゲート電極33との間に、ソース電極31に近づくにつれて逐次階段状に深くなる階段状溝20を形成する場合を例示した。階段状溝20の段差が小さくなるように、段差形成をすれば、階段状溝20は連続的な傾斜溝と見なせるようになる。現実的には、化合物半導体の1原子層分の高さが当該段差の限界となる。本実施形態のInAlAs/InGaAs系HEMTとして、連続的と見なせる傾斜溝、即ち、ソース電極31とゲート電極33との間に、ソース電極31に近づくにつれて徐々に深くなるテーパ状溝30が形成されたものを図12に示す。図12においては、SiO<sub>2</sub>膜25の記載を省略している。本実施形態では、以降、本実施形態のInAlAs/InGaAs系HEMTをテーパ状溝30が形成されたものとして、その作用効果等を説明する。

20

#### 【0041】

図13は、本実施形態のInAlAs/InGaAs系HEMTにおいて、ソース電極31に近い領域とゲート電極33に近い領域における垂直方向の伝導帯のバンド構造を示す模式図である。

ソース電極31寄りからゲート電極33寄りに近づくにつれて、チャンネル層13の伝導帯の底のエネルギーが下がり、ソース電極31-ゲート電極33間に内部電界が形成されていることが判る。これは、テーパ状溝30の形成により、ソース電極31に近づくほどバリア層16が薄くなるため、全体にポテンシャルが持ち上げられるためである。

30

#### 【0042】

図14は、本実施形態のInAlAs/InGaAs系HEMTにおいて、ポテンシャルの変化を説明するための模式図であり、(a)が概略断面図、(b)が比較例との比較に基づいて、チャンネル層内の伝導帯バンド構造を示す特性図である。比較例としては、化合物半導体積層構造にテーパ状溝30が形成されておらず表面平坦である従来のInAlAs/InGaAs系HEMTを例示する。

#### 【0043】

ドレイン電圧は印加状態とされており、チャンネル層13内の電子は、ソース電極31からドレイン電極32へ流れている。本実施形態では、図14(a)のように、化合物半導体積層構造1にテーパ状溝30を形成する(図14(a)の円内)。これにより、図14(b)のように、ソース電極31-ゲート電極33間の矢印Aに沿ったポテンシャルが減少し、内部電界が生成してソース抵抗が下がる。

40

#### 【0044】

以上のように、ソース電極31とゲート電極33との領域に、ソース電極31に近づくにつれて逐次階段状に深くなるテーパ状溝30を有することにより、当該領域において内部電界が生成される。これにより、ソース電極31-ゲート電極33間の電子が比較例の場合よりも加速し易くなる。ドレイン電流 $I_{ds}$ は、

$$I_{ds} = ne v \quad (n: \text{電子密度}, e: \text{単位電荷}, v: \text{電子速度})$$

で表される。電子密度 $n$ は、 $n$ 型オーミックコンタクト部分から電子が供給され、この部

50

分は本実施形態でも比較例でも同程度である。これに対して、電子速度 $v$ は内部電界により増大する。比較例よりもドレイン電流が流れ易くなり、ソース抵抗が低減される。

【0045】

図15は、シミュレーションの対象とした本実施形態のInAlAs/InGaAs系HEMTを示す概略断面図である。図16は、本実施形態のInAlAs/InGaAs系HEMTのドレイン電流 $I_{ds}$ -ゲート電圧 $V_{gs}$ 特性について、比較例との比較に基づいて調べたシミュレーション結果を示す特性図である。図17は、本実施形態のInAlAs/InGaAs系HEMTの相互コンダクタンス $g_m$ のゲート電圧 $V_{gs}$ 依存性について、比較例との比較に基づいて調べたシミュレーション結果を示す特性図である。

【0046】

化合物半導体積層構造のソース電極とゲート電極と間が平坦な比較例では、最大相互コンダクタンス $g_m$ は0.496(S/mm)である。化合物半導体積層構造1のソース電極31とゲート電極33と間にテーパ状溝30を形成した本実施形態では、最大相互コンダクタンス $g_m$ は0.533(S/mm)となり、比較例よりも増大している。以上のように、テーパ状溝30の存在により、最大ドレイン電流及び最大相互コンダクタンスが増大しており、本実施形態の有効性が確認された。

10

【0047】

以上説明したように、本実施形態によれば、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いInAlAs/InGaAs系HEMTが実現する。

【0048】

(第1の実施形態の変形例)

以下、本実施形態の変形例による様々なHEMTについて説明する。

20

【0049】

- 変形例1 -

変形例1では、AlGaAs/GaAs系HEMTを開示する。

図18は、変形例1によるAlGaAs/GaAs系HEMTを示す概略断面図である。

【0050】

このAlGaAs/GaAs系HEMTでは、基板100上に、バッファ層101、ボトムバリア層102、チャンネル層103、スペーサ層104、Si<sup>-</sup>-ドーピング層105、バリア層106、及びキャップ層107が順次積層されている。

30

ボトムバリア層102は、i-AlGaAs(例えば、i-Al<sub>0.3</sub>Ga<sub>0.7</sub>As)が成長されて形成される。チャンネル層103は、i-GaAsが成長されて形成される。スペーサ層104は、i-AlGaAs(例えば、i-Al<sub>0.3</sub>Ga<sub>0.7</sub>As)が成長されて形成される。Si<sup>-</sup>-ドーピング層105は、極薄のSi<sup>-</sup>ドーピングで形成される。バリア層106は、i-AlGaAs(例えば、i-Al<sub>0.3</sub>Ga<sub>0.7</sub>As)が成長されて形成される。キャップ層107は、n-GaAsが成長されて形成される。

【0051】

キャップ層107上にはソース電極31及びドレイン電極32が形成され、バリア層106上にはゲート電極33が形成される。ソース電極31とゲート電極33との間に、ソース電極31に近づくにつれて徐々に深くなるテーパ状溝30が形成される。テーパ状溝30は、最も深い箇所ではバリア層106の途中の深さまで形成される。

40

【0052】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いAlGaAs/GaAs系HEMTが実現する。

【0053】

- 変形例2 -

変形例2では、AlGaAs/InGaAs系HEMTを開示する。

図19は、変形例2によるAlGaAs/InGaAs系HEMTを示す概略断面図である。

50

## 【0054】

このAlGaAs/InGaAs系HEMTでは、基板110上に、バッファ層111、ボトムバリア層112、チャンネル層113、スペーサ層114、Si-ドーピング層115、バリア層116、及びキャップ層117が順次積層されている。

ボトムバリア層112は、i-AlGaAs（例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。チャンネル層113は、i-InGaAsが成長されて形成される。スペーサ層114は、i-AlGaAs（例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。Si-ドーピング層115は、極薄のSiドーピングで形成される。バリア層116は、i-AlGaAs（例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。キャップ層117は、n-GaAsが成長されて形成される。

10

## 【0055】

キャップ層117上にはソース電極31及びドレイン電極32が形成され、バリア層116上にはゲート電極33が形成される。ソース電極31とゲート電極33との間に、ソース電極31に近づくにつれて徐々に深くなるテーパ状溝30が形成される。テーパ状溝30は、最も深い箇所ではバリア層116の途中の深さまで形成される。

## 【0056】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いAlGaAs/InGaAs系HEMTが実現する。

## 【0057】

- 変形例3 -

変形例3では、AlSb/InAs系HEMTを開示する。

図20は、変形例3によるAlSb/InAs系HEMTを示す概略断面図である。

20

## 【0058】

このAlSb/InAs系HEMTでは、基板120上に、バッファ層121、ボトムバリア層122、チャンネル層123、スペーサ層124、Te-ドーピング層125、バリア層126、i-InAlAs層127、及びキャップ層128が順次積層されている。

ボトムバリア層122は、i-AlSbが成長されて形成される。チャンネル層123は、i-InAsが成長されて形成される。スペーサ層124は、i-AlSbが成長されて形成される。Te-ドーピング層125は、極薄のTeドーピングで形成される。バリア層126は、i-AlSbが成長されて形成される。i-InAlAs層127は、例えば $i\text{-In}_{0.5}\text{Al}_{0.5}\text{As}$ が成長されて形成される。キャップ層128は、n-InAsが成長されて形成される。

30

## 【0059】

キャップ層128上にはソース電極31及びドレイン電極32が形成され、i-InAlAs層127上にはゲート電極33が形成される。ソース電極31とゲート電極33との間に、ソース電極31に近づくにつれて徐々に深くなるテーパ状溝30が形成される。テーパ状溝30は、最も深い箇所ではバリア層126の途中の深さまで形成される。

## 【0060】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いAlSb/InAs系HEMTが実現する。

40

## 【0061】

- 変形例4 -

変形例4では、InAlSb/InSb系HEMTを開示する。

図21は、変形例4によるInAlSb/InSb系HEMTを示す概略断面図である。

## 【0062】

このInAlSb/InSb系HEMTでは、基板130上に、バッファ層131、ボトムバリア層132、チャンネル層133、スペーサ層134、Te-ドーピング層135、バリア層136、及びキャップ層137が順次積層されている。

50

ボトムバリア層 132 は、 $i$ -InAlSb が成長されて形成される。チャンネル層 133 は、 $i$ -InSb が成長されて形成される。スペーサ層 134 は、 $i$ -InAlSb (例えば、 $i$ -In<sub>0.75</sub>Al<sub>0.25</sub>Sb) が成長されて形成される。Te - ドーピング層 135 は、極薄の Te ドーピングで形成される。バリア層 136 は、 $i$ -InAlSb (例えば、 $i$ -In<sub>0.75</sub>Al<sub>0.25</sub>Sb) が成長されて形成される。キャップ層 137 は、 $n$ -InSb が成長されて形成される。

【0063】

キャップ層 137 上にはソース電極 31 及びドレイン電極 32 が形成され、バリア層 136 上にはゲート電極 33 が形成される。ソース電極 31 とゲート電極 33 との間に、ソース電極 31 に近づくにつれて徐々に深くなるテーパ状溝 30 が形成される。テーパ状溝 30 は、最も深い箇所ではバリア層 137 の途中の深さまで形成される。

10

【0064】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い InAlSb / InSb 系 HEMT が実現する。

【0065】

- 変形例 5 -

変形例 5 では、AlGaN / GaN 系 HEMT を開示する。

図 22 は、変形例 5 による AlGaN / GaN 系 HEMT を示す概略断面図である。

【0066】

この AlGaN / GaN 系 HEMT では、基板 140 上に、バッファ層 141、チャンネル層 142、スペーサ層 143、及びバリア層 144 が順次積層されている。

20

チャンネル層 142 は、 $i$ -GaN が成長されて形成される。スペーサ層 143 は、 $i$ -AlN が成長されて形成される。バリア層 144 は、 $i$ -AlGaN (例えば、 $i$ -Al<sub>0.3</sub>Ga<sub>0.7</sub>N) が成長されて形成される。

【0067】

バリア層 144 上には、ゲート電極 33 及びこれを挟むソース電極 31 及びドレイン電極 32 が形成される。ソース電極 31 とゲート電極 33 との間に、ソース電極 31 に近づくにつれて徐々に深くなるテーパ状溝 30 が形成される。テーパ状溝 30 は、最も深い箇所ではバリア層 144 の途中の深さまで形成される。

【0068】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い AlGaN / GaN 系 HEMT が実現する。

30

【0069】

- 変形例 6 -

変形例 6 では、InAlN / GaN 系 HEMT を開示する。

図 23 は、変形例 6 による InAlN / GaN 系 HEMT を示す概略断面図である。

【0070】

この InAlN / GaN 系 HEMT では、基板 150 上に、バッファ層 151、チャンネル層 152、スペーサ層 153、及びバリア層 154 が順次積層されている。

チャンネル層 152 は、 $i$ -GaN が成長されて形成される。スペーサ層 153 は、 $i$ -AlN が成長されて形成される。バリア層 154 は、 $i$ -InAlN が成長されて形成される。

40

【0071】

バリア層 154 上には、ゲート電極 33 及びこれを挟むソース電極 31 及びドレイン電極 32 が形成される。ソース電極 31 とゲート電極 33 との間に、ソース電極 31 に近づくにつれて徐々に深くなるテーパ状溝 30 が形成される。テーパ状溝 30 は、最も深い箇所ではバリア層 154 の途中の深さまで形成される。

【0072】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い InAlN / GaN 系 HEMT が実現する。

50

## 【0073】

- 変形例 7 -

変形例 7 では、SiGe/Si 系 HEMT を開示する。

図 24 は、変形例 7 による SiGe/Si 系 HEMT を示す概略断面図である。

## 【0074】

この SiGe/Si 系 HEMT では、基板 160 上に、バッファ層 161、ボトムバリア層 162、チャンネル層 163、スペーサ層 164、バリア層 165、i-Si 層 166、及びキャップ層 167 が順次積層されている。

ボトムバリア層 162 は、i-SiGe が形成される。チャンネル層 163 は、i-Si が形成される。スペーサ層 164 は、i-SiGe が形成される。バリア層 165 は、n-SiGe が形成される。キャップ層 167 は、n-Si が形成される。

10

## 【0075】

キャップ層 167 上にはソース電極 31 及びドレイン電極 32 が形成され、i-Si 層 166 上にはゲート電極 33 が形成される。ソース電極 31 とゲート電極 33 との間に、ソース電極 31 に近づくにつれて徐々に深くなるテーパ状溝 30 が形成される。テーパ状溝 30 は、最も深い箇所ではバリア層 165 の途中の深さまで形成される。

## 【0076】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い SiGe/Si 系 HEMT が実現する。

## 【0077】

(第 2 の実施形態)

本実施形態では、第 1 の実施形態と同様に、InAlAs/InGaAs 系 HEMT を開示するが、そのテーパ状溝 (階段状溝) の形成箇所が若干異なる点で第 1 の実施形態と相違する。

図 25 ~ 図 31 は、第 2 の実施形態による InAlAs/InGaAs 系 HEMT の製造方法の主要工程を示す概略断面図である。

20

## 【0078】

まず、第 1 の実施形態と同様に、図 1 (a) ~ 図 4 (b) の各工程を行う。

続いて、図 25 (a) に示すように、SiO<sub>2</sub> 膜 23 に開口 23A を形成する。

詳細には、まず、SiO<sub>2</sub> 膜 23 上にレジストを塗布し、電子ビーム露光法等によりレジストに開口を形成する。

30

次に、上記のレジストをマスクとして、反応性イオンエッチング法により SiO<sub>2</sub> 膜 23 に開口 23A を形成する。エッチングガスには例えば CF<sub>4</sub> を用いる。開口 23A は、ソース電極 31 とドレイン電極 32 との間に亘る領域に、例えば 180 nm 程度の長さで形成される。

その後、レジストは、薬液処理又はアッシング処理により除去される。

## 【0079】

続いて、図 25 (b) に示すように、i-InP 層 17 に溝 17A を形成する。

詳細には、i-InP 層 17 をウェットエッチングし、深さ 1 nm ~ 2 nm 程度の溝 17A を形成する。エッチング液には、例えばクエン酸 (C<sub>6</sub>H<sub>8</sub>O<sub>7</sub>) と過酸化水素水 (H<sub>2</sub>O<sub>2</sub>) の混合溶液を用いる。

40

## 【0080】

続いて、図 26 (a) に示すように、溝 17A を埋め込む SiO<sub>2</sub> 膜 24 を形成する。

詳細には、溝 17A を埋め込むように、絶縁物、ここでは SiO<sub>2</sub> をプラズマ CVD 法等により堆積する。以上により、SiO<sub>2</sub> 膜 24 が形成される。

## 【0081】

続いて、図 26 (b) に示すように、SiO<sub>2</sub> 膜 24 に開口 24A を形成する。

詳細には、まず、SiO<sub>2</sub> 膜 24 上にレジストを塗布し、電子ビーム露光法等によりレジストに開口を形成する。

次に、上記のレジストをマスクとして、反応性イオンエッチング法により SiO<sub>2</sub> 膜 2

50

4に開口24Aを形成する。エッチングガスには例えば $CF_4$ を用いる。開口24Aは、ソース電極31寄りの端部が開口23Aのソース電極31寄りの端部と一致するように、開口23Aよりも短く、例えば170nm程度の長さに形成される。

その後、レジストは、薬液処理又はアッシング処理により除去される。

#### 【0082】

続いて、図27(a)に示すように、i-InP層17に溝17Bを形成する。

詳細には、i-InP層17をウェットエッチングし、深さ1nm~2nm程度の溝17Bを形成する。溝17bは、一部残存した溝17Aよりも1nm~2nm程度深く形成され、溝17A, 17B間で段差が形成される。エッチング液には、例えばクエン酸( $C_6H_8O_7$ )と過酸化水素水( $H_2O_2$ )の混合溶液を用いる。

10

#### 【0083】

続いて、図27(b)に示すように、階段状溝40を形成する。

詳細には、図26(a)~図27(a)の各工程を繰り返し、溝を形成してゆく。以上により、化合物半導体積層構造1には、ソース電極31の近傍からドレイン電極32の近傍までの領域に、階段状溝40が形成される。階段状溝40は、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて逐次階段状に深くなるように、最も深い箇所でバリア層16の途中の深さまで形成される。

#### 【0084】

続いて、図28(a)に示すように、 $SiO_2$ 膜25を形成する。

詳細には、化合物半導体積層構造1上のソース電極31とドレイン電極32との間に、階段状溝40を覆うように絶縁物、ここでは $SiO_2$ をプラズマCVD法等により堆積する。以上により、 $SiO_2$ 膜25が形成される。

20

#### 【0085】

続いて、図28(b)に示すように、3層のレジスト膜41~43を積層形成する。

詳細には、化合物半導体積層構造1上を覆うように、例えば日本ゼオン株式会社製のZEPレジスト、PMGI(poly-dimethylglutarimide)レジスト、及びZEPレジストを塗布する。以上により、レジスト膜41~43が形成される。

#### 【0086】

続いて、図29(a)に示すように、レジスト膜42に開口42aを、レジスト膜43に開口43aを形成する。

30

詳細には、電子ビーム露光法等により、レジスト膜42, 43のT型ゲートのヘッド部分が形成される箇所を露光し、レジスト膜42, 43に開口42a, 43aを形成する。

#### 【0087】

続いて、図29(b)に示すように、レジスト膜41に開口41aを形成する。

詳細には、電子ビーム露光法等により、レジスト膜41のT型ゲートのフット部分が形成される箇所を目的とするゲート長に合わせて露光し、レジスト膜41に開口41aを形成する。

#### 【0088】

続いて、図30(a)に示すように、 $SiO_2$ 膜25に開口25aを形成する。

詳細には、レジスト膜41をマスクとして、反応性イオンエッチング法により $SiO_2$ 膜25に開口25aを形成する。エッチングガスには例えば $CF_4$ を用いる。

40

#### 【0089】

続いて、図30(b)及び図31に示すように、ゲート電極33を形成する。

詳細には、レジスト膜41~43をマスクとして用いて、電極材料として、例えばTi/Pt/Auを、例えば蒸着法により、開口41a~43a内を含むレジスト膜43上に堆積する。Tiの厚みは10nm程度、Ptの厚みは5nm程度、Auの厚みは400nm程度とする。リフトオフ法により、レジスト膜41~43及びレジスト膜43上に堆積されたTi/Pt/Auを除去する。以上により、図11に示すように、階段状溝40の底面上にT型のゲート電極33が形成される。

以上により、本実施形態によるInAlAs/InGaAs系HEMTが形成される。

50

## 【0090】

本実施形態では、ゲート電極33が化合物半導体積層構造1の階段状溝40の底面と直接的に接触する、ショットキー型のInAlAs/InGaAs系HEMTを作製する場合を例示した。ショットキー型の代わりに、ゲート電極33がゲート絶縁膜を介して化合物半導体積層構造1の上方に形成されるMIS型のInAlAs/InGaAs系HEMTを形成するようにしても良い。この場合、図29(b)の工程の後に、SiO<sub>2</sub>膜25に開口25aを形成する図30(a)の工程を行わず、図30(b)以降の工程を行うようにすれば良い。

## 【0091】

本実施形態のInAlAs/InGaAs系HEMTでは、図31のようにソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて逐次階段状に深くなる階段状溝40を形成する場合を例示した。階段状溝40の段差が小さくなるように、段差形成をすれば、階段状溝40は連続的な傾斜溝と見なせるようになる。現実的には、化合物半導体の1原子層分の高さが当該段差の限界となる。本実施形態のInAlAs/InGaAs系HEMTとして、連続的と見なせる傾斜溝、即ち、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて徐々に深くなるテーパ状溝50が形成されたものを図32に示す。図32においては、SiO<sub>2</sub>膜25の記載を省略している。本実施形態では、以降、本実施形態のInAlAs/InGaAs系HEMTをテーパ状溝50が形成されたものとして、その作用効果等を説明する。

## 【0092】

図33は、ソース電極31寄りのテーパ状溝50の端部、テーパ状溝50の中央(ゲート電極形成部分、電極形成前)、ドレイン電極32寄りのテーパ状溝50の端部における縦方向の伝導帯のバンド構造を示す模式図である。ソース電極31寄りからドレイン電極32寄りに近づくにつれて、チャンネル層13の伝導帯の底のエネルギーが下がり、ソース31-ゲート電極33間に内部電界が形成されていることが判る。これは、ソース電極31に近づくほどバリア層16が薄くなるため、全体にポテンシャルが持ち上げられるためである。このバンド構造図はゲート電極33を形成する前のものであるが、ゲート電極33の形成後もソース31-ゲート電極33間のテーパ状溝50とゲート電極33-ドレイン電極32間のテーパ状溝50とは、両方とも内部電界が形成されている。但し、ゲート電極33-ドレイン電極32間では横方向のリセス長による電界強度への影響が大きいので、ソース31-ゲート電極33間の方が効果は大きい。

## 【0093】

更に本実施形態では、図34に示すように、ゲート電極33がテーパ状溝50の底面上に形成される。そのため、ゲート電極33のフット先端部分(図34の円内)は、テーパ状溝50の形状に対応して、ソース電極31側がチャンネル層13に近い先端が尖った構造になる。本実施形態では、当該構造を有しない(ゲート電極が平坦面上に形成された場合)HEMTに比べて、先端が尖った部分に電界が集中し易くなる。結果として、実効的なゲート長が短くなり真性遅延時間  $t_{int}$  も短縮される。

## 【0094】

以上のように、ソース電極31とゲート電極33との領域に、ソース電極31に近づくにつれて逐次階段状に深くなるテーパ状溝50を有することにより、当該領域において内部電界が生成される。これにより、ソース電極31-ゲート電極33間の電子が比較例の場合よりも加速し易くなる。ドレイン電流  $I_{ds}$  は、

$$I_{ds} = nev \quad (n: \text{電子密度}, e: \text{単位電荷}, v: \text{電子速度})$$

で表される。電子密度  $n$  は、 $n$ 型オーミックコンタクト部分から電子が供給され、この部分は本実施形態でも比較例でも同程度である。これに対して、電子速度  $v$  は内部電界により増大する。比較例よりもドレイン電流が流れ易くなり、ソース抵抗が低減される。

更に本実施形態では、ゲート電極33の底面がテーパ状溝50の底面上に形成されるため、実効的なゲート長が短くなり真性遅延時間  $t_{int}$  も短縮される。

## 【0095】

10

20

30

40

50

本実施形態による  $\text{InAlAs}/\text{InGaAs}$  系 HEMT では、真性遅延時間  $t_{\text{int}}$  と外因性（寄生）遅延時間  $t_{\text{ext}}$  との両方を低減することが可能である。

以上説明したように、本実施形態によれば、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い  $\text{InAlAs}/\text{InGaAs}$  系 HEMT が実現する。

【0096】

（第2の実施形態の変形例）

以下、本実施形態の変形例による様々な HEMT について説明する。

【0097】

- 変形例1 -

変形例1では、 $\text{AlGaAs}/\text{GaAs}$  系 HEMT を開示する。

10

図35は、変形例1による  $\text{AlGaAs}/\text{GaAs}$  系 HEMT を示す概略断面図である。

【0098】

この  $\text{AlGaAs}/\text{GaAs}$  系 HEMT では、基板200上に、バッファ層201、ボトムバリア層202、チャンネル層203、スペーサ層204、 $\text{Si}$ -ドーピング層205、バリア層206、及びキャップ層207が順次積層されている。

ボトムバリア層202は、 $i\text{-AlGaAs}$ （例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。チャンネル層203は、 $i\text{-GaAs}$  が成長されて形成される。スペーサ層204は、 $i\text{-AlGaAs}$ （例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。 $\text{Si}$ -ドーピング層205は、極薄の  $\text{Si}$  ドーピングで形成される。バリア層206は、 $i\text{-AlGaAs}$ （例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。キャップ層207は、 $n\text{-GaAs}$  が成長されて形成される。

20

【0099】

キャップ層207上にはソース電極31及びドレイン電極32が形成され、テーパ状溝50の底面上にはゲート電極33が形成される。テーパ状溝50は、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて徐々に深くなるように形成される。テーパ状溝50は、最も深い箇所でバリア層206の途中の深さまで形成される。

【0100】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い  $\text{AlGaAs}/\text{GaAs}$  系 HEMT が実現する。

30

【0101】

- 変形例2 -

変形例2では、 $\text{AlGaAs}/\text{InGaAs}$  系 HEMT を開示する。

図36は、変形例2による  $\text{AlGaAs}/\text{InGaAs}$  系 HEMT を示す概略断面図である。

【0102】

この  $\text{AlGaAs}/\text{InGaAs}$  系 HEMT では、基板210上に、バッファ層211、ボトムバリア層212、チャンネル層213、スペーサ層214、 $\text{Si}$ -ドーピング層215、バリア層216、及びキャップ層217が順次積層されている。

ボトムバリア層212は、 $i\text{-AlGaAs}$ （例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。チャンネル層213は、 $i\text{-InGaAs}$  が成長されて形成される。スペーサ層214は、 $i\text{-AlGaAs}$ （例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。 $\text{Si}$ -ドーピング層215は、極薄の  $\text{Si}$  ドーピングで形成される。バリア層216は、 $i\text{-AlGaAs}$ （例えば、 $i\text{-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ ）が成長されて形成される。キャップ層217は、 $n\text{-GaAs}$  が成長されて形成される。

40

【0103】

キャップ層217上にはソース電極31及びドレイン電極32が形成され、テーパ状溝50の底面上にはゲート電極33が形成される。テーパ状溝50は、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて徐々に深くなるように形成される。テーパ状溝50は、最も深い箇所でバリア層216の途中の深さまで形成される。

50

## 【0104】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いAlGaAs/InGaAs系HEMTが実現する。

## 【0105】

- 変形例3 -

変形例3では、AlSb/InAs系HEMTを開示する。

図37は、変形例3によるAlSb/InAs系HEMTを示す概略断面図である。

## 【0106】

このAlSb/InAs系HEMTでは、基板220上に、バッファ層221、ボトムバリア層222、チャンネル層223、スペーサ層224、Te-ドーピング層225、バリア層226、i-InAlAs層227、及びキャップ層228が順次積層されている。

ボトムバリア層222は、i-AlSbが成長されて形成される。チャンネル層223は、i-InAsが成長されて形成される。スペーサ層224は、i-AlSbが成長されて形成される。Te-ドーピング層225は、極薄のTeドーピングで形成される。バリア層226は、i-AlSbが成長されて形成される。i-InAlAs層227は、例えばi-In<sub>0.5</sub>Al<sub>0.5</sub>Asが成長されて形成される。キャップ層228は、n-InAsが成長されて形成される。

## 【0107】

キャップ層228上にはソース電極31及びドレイン電極32が形成され、テーパ状溝50の底面上にはゲート電極33が形成される。テーパ状溝50は、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて徐々に深くなるように形成される。テーパ状溝50は、最も深い箇所ではバリア層226の途中の深さまで形成される。

## 【0108】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いAlSb/InAs系HEMTが実現する。

## 【0109】

- 変形例4 -

変形例4では、InAlSb/InSb系HEMTを開示する。

図38は、変形例4によるInAlSb/InSb系HEMTを示す概略断面図である。

## 【0110】

このInAlSb/InSb系HEMTでは、基板230上に、バッファ層231、ボトムバリア層232、チャンネル層233、スペーサ層234、Te-ドーピング層235、バリア層236、及びキャップ層237が順次積層されている。

ボトムバリア層232は、i-InAlSbが成長されて形成される。チャンネル層233は、i-InSbが成長されて形成される。スペーサ層234は、i-InAlSb(例えば、i-In<sub>0.75</sub>Al<sub>0.25</sub>Sb)が成長されて形成される。Te-ドーピング層235は、極薄のTeドーピングで形成される。バリア層236は、i-InAlSb(例えば、i-In<sub>0.75</sub>Al<sub>0.25</sub>Sb)が成長されて形成される。キャップ層237は、n-InSbが成長されて形成される。

## 【0111】

キャップ層237上にはソース電極31及びドレイン電極32が形成され、テーパ状溝50の底面上にはゲート電極33が形成される。テーパ状溝50は、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて徐々に深くなるように形成される。テーパ状溝50は、最も深い箇所ではバリア層236の途中の深さまで形成される。

## 【0112】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いInAlSb/InSb系HEMTが実現する。

## 【0113】

10

20

30

40

50

## - 変形例 5 -

変形例 5 では、AlGa<sub>0.3</sub>N / GaN 系 HEMT を開示する。

図 39 は、変形例 5 による AlGa<sub>0.3</sub>N / GaN 系 HEMT を示す概略断面図である。

## 【0114】

この AlGa<sub>0.3</sub>N / GaN 系 HEMT では、基板 240 上に、バッファ層 241、チャンネル層 242、スペーサ層 243、及びバリア層 244 が順次積層されている。

チャンネル層 242 は、i-GaN が成長されて形成される。スペーサ層 243 は、i-AlN が成長されて形成される。バリア層 244 は、i-AlGa<sub>0.3</sub>N (例えば、i-Al<sub>0.3</sub>Ga<sub>0.7</sub>N) が成長されて形成される。

## 【0115】

バリア層 244 上には、ゲート電極 33 及びこれを挟むソース電極 31 及びドレイン電極 32 が形成される。ゲート電極 33 は、バリア層 244 のテーパ状溝 50 の底面上に形成される。テーパ状溝 50 は、ソース電極 31 とドレイン電極 32 との間に、ソース電極 31 に近づくにつれて徐々に深くなるように形成される。テーパ状溝 50 は、最も深い箇所でバリア層 244 の途中の深さまで形成される。

## 【0116】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い AlGa<sub>0.3</sub>N / GaN 系 HEMT が実現する。

## 【0117】

## - 変形例 6 -

変形例 6 では、InAlN / GaN 系 HEMT を開示する。

図 40 は、変形例 6 による InAlN / GaN 系 HEMT を示す概略断面図である。

## 【0118】

この InAlN / GaN 系 HEMT では、基板 250 上に、バッファ層 251、チャンネル層 252、スペーサ層 253、及びバリア層 254 が順次積層されている。

チャンネル層 252 は、i-GaN が成長されて形成される。スペーサ層 253 は、i-AlN が成長されて形成される。バリア層 254 は、i-InAlN が成長されて形成される。

## 【0119】

バリア層 254 上には、ゲート電極 33 及びこれを挟むソース電極 31 及びドレイン電極 32 が形成される。ゲート電極 33 は、バリア層 254 のテーパ状溝 50 の底面上に形成される。テーパ状溝 50 は、ソース電極 31 とドレイン電極 32 との間に、ソース電極 31 に近づくにつれて徐々に深くなるように形成される。テーパ状溝 50 は、最も深い箇所でバリア層 254 の途中の深さまで形成される。

## 【0120】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高い InAlN / GaN 系 HEMT が実現する。

## 【0121】

## - 変形例 7 -

変形例 7 では、SiGe / Si 系 HEMT を開示する。

図 41 は、変形例 7 による SiGe / Si 系 HEMT を示す概略断面図である。

## 【0122】

この SiGe / Si 系 HEMT では、基板 260 上に、バッファ層 261、ボトムバリア層 262、チャンネル層 263、スペーサ層 264、バリア層 265、i-Si 層 266、及びキャップ層 267 が順次積層されている。

ボトムバリア層 262 は、i-SiGe が形成される。チャンネル層 263 は、i-Si が形成される。スペーサ層 264 は、i-SiGe が形成される。バリア層 265 は、n-SiGe が形成される。キャップ層 267 は、n-Si が形成される。

## 【0123】

キャップ層 267 上にはソース電極 31 及びドレイン電極 32 が形成され、テーパ状溝

10

20

30

40

50

50の底面上にはゲート電極33が形成される。テーパ状溝50は、ソース電極31とドレイン電極32との間に、ソース電極31に近づくにつれて徐々に深くなるように形成される。テーパ状溝50は、最も深い箇所ではバリア層265の途中の深さまで形成される。

【0124】

本例では、ソース抵抗を低減し、動作速度を向上させることができる信頼性の高いSiGe/Si系HEMTが実現する。

【0125】

(第3の実施形態)

本実施形態では、第1、第2の実施形態、及びこれらの諸変形例から選ばれた1種のHEMTを適用した高周波増幅器を開示する。

図42は、第3の実施形態による高周波増幅器の概略構成を示す結線図である。

【0126】

本実施形態による高周波増幅器は、デジタル・プレディストーション回路401と、ミキサ402a、402bと、パワーアンプ403とを備えて構成される。

デジタル・プレディストーション回路401は、入力信号の非線形歪みを補償するものである。ミキサ402aは、非線形歪みが補償された入力信号と交流信号をミキシングするものである。パワーアンプ403は、交流信号とミキシングされた入力信号を増幅するものであり、第1、第2の実施形態、及びこれらの諸変形例から選ばれた1種のHEMTを有している。なお図42では、例えばスイッチの切り替えにより、出力側の信号をミキサ402bで交流信号とミキシングしてデジタル・プレディストーション回路401に送出できる構成とされている。

【0127】

本実施形態では、ソース抵抗を低減し、動作速度を向上させることができるHEMTを、高周波増幅器に適用する。これにより、高速動作を可能とする信頼性の高い高周波増幅器が実現する。

【0128】

以下、化合物半導体装置及びその製造方法、並びに高周波増幅器の諸態様を、付記としてまとめて記載する。

【0129】

(付記1) 化合物半導体層と、

前記化合物半導体層の上方に設けられたゲート電極と、

前記化合物半導体層の上方において、前記ゲート電極を挟んで設けられたソース電極及びドレイン電極と

を含み、

前記化合物半導体層は、前記ソース電極と前記ドレイン電極との間の領域のうち、少なくとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて徐々に深くなる溝が表面に形成されていることを特徴とする化合物半導体装置。

【0130】

(付記2) 前記化合物半導体層は、前記溝が前記ソース電極と前記ドレイン電極との間に亘って形成されていることを特徴とする付記1に記載の化合物半導体装置。

【0131】

(付記3) 前記化合物半導体層は、前記溝が、前記ソース電極に近づくにつれて逐次深くなる階段状に形成されていることを特徴とする付記1又は2に記載の化合物半導体装置。

【0132】

(付記4) 前記化合物半導体層は、少なくとも、電子走行層及び当該電子走行層の上方の電子供給層が積層されており、

前記化合物半導体層は、前記溝が前記電子走行層の途中の深さまで形成されていることを特徴とする付記1～3のいずれか1項に記載の化合物半導体装置。

【0133】

10

20

30

40

50

(付記5) 化合物半導体層を形成する工程と、  
前記化合物半導体層の上方にソース電極及びドレイン電極を形成する工程と、  
前記化合物半導体層の上方において、前記ソース電極と前記ドレイン電極との間に前記  
ゲート電極を形成する工程と  
を含み、

前記化合物半導体層の表面に、前記ソース電極と前記ドレイン電極との間の領域のうち、  
少なくとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて  
徐々に深くなる溝を形成することを特徴とする化合物半導体装置の製造方法。

【0134】

(付記6) 前記化合物半導体層の表面に、前記溝を前記ソース電極と前記ドレイン電極  
との間に亘って形成することを特徴とする付記5に記載の化合物半導体装置の製造方法。

【0135】

(付記7) 前記化合物半導体層の表面に、前記溝を、前記ソース電極に近づくにつれて  
逐次深くなる階段状に形成することを特徴とする付記5又は6に記載の化合物半導体装置  
の製造方法。

【0136】

(付記8) 前記化合物半導体層は、少なくとも、電子走行層及び当該電子走行層の上方  
の電子供給層が積層されており、

前記化合物半導体層の表面に、前記溝を前記電子走行層の途中の深さまで形成すること  
を特徴とする付記5～7のいずれか1項に記載の化合物半導体装置の製造方法。

【0137】

(付記9) 入力した高周波電圧を増幅して出力する高周波増幅器であって、  
トランジスタを有しており、

前記トランジスタは、

化合物半導体層と、

前記化合物半導体層の上方に設けられたゲート電極と、

前記化合物半導体層の上方において、前記ゲート電極を挟んで設けられたソース電極及  
びドレイン電極と

を含み、

前記化合物半導体層は、前記ソース電極と前記ドレイン電極との間の領域のうち、少な  
くとも前記ソース電極と前記ゲート電極との間に、前記ソース電極に近づくにつれて徐々  
に深くなる溝が表面に形成されていることを特徴とする高周波増幅器。

【符号の説明】

【0138】

1 化合物半導体積層構造

11 バッファ層

12 ボトムバリア層

13 チャンネル層

14 スペーサ層

15 Si - - ドーピング層

16 バリア層16

17 i - InP層

18 及びキャップ層

20, 40 階段状溝

30, 50 テーパ状溝

31 ソース電極

32 ドレイン電極

33 ゲート電極

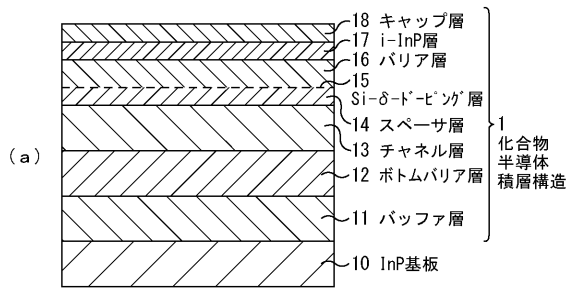
10

20

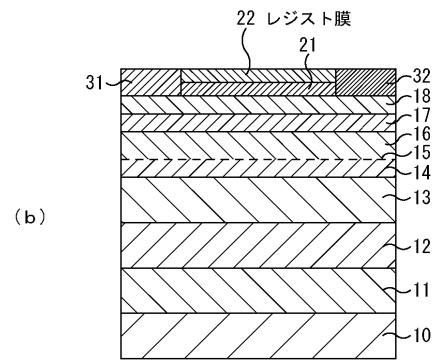
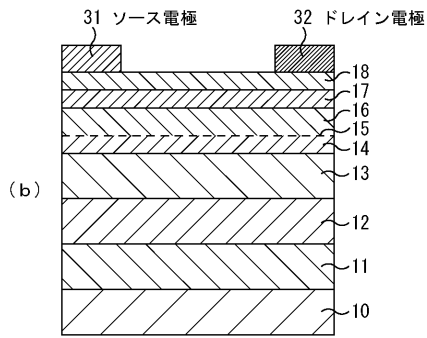
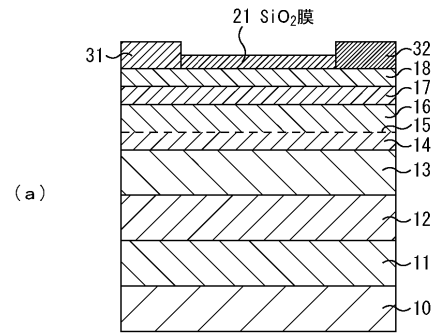
30

40

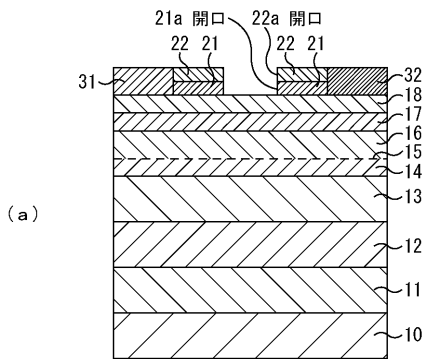
【 図 1 】



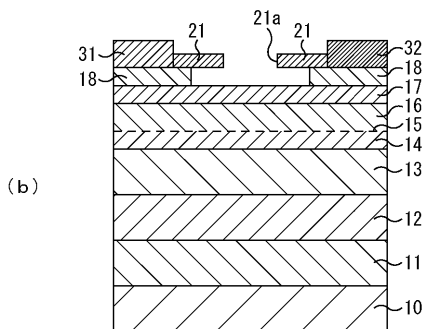
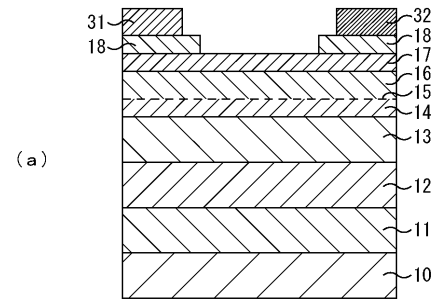
【 図 2 】



【 図 3 】



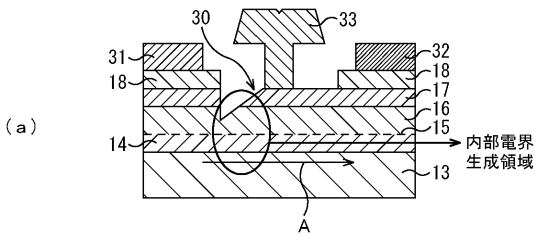
【 図 4 】



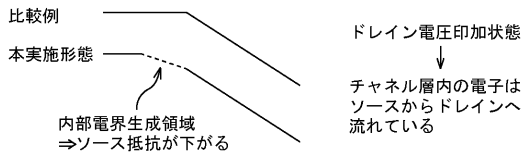




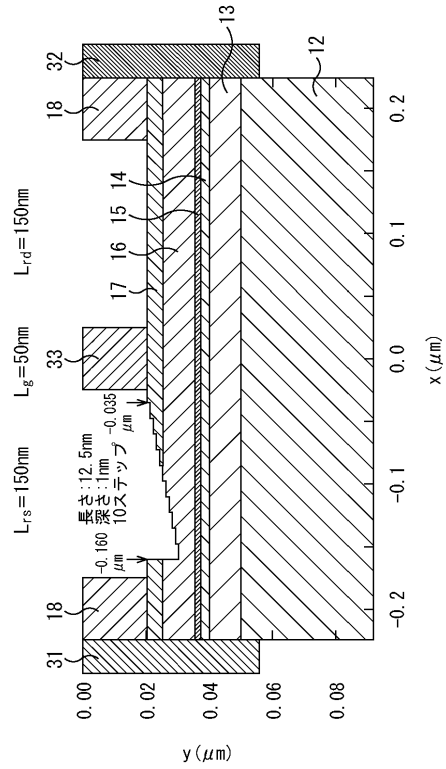
【 図 1 4 】



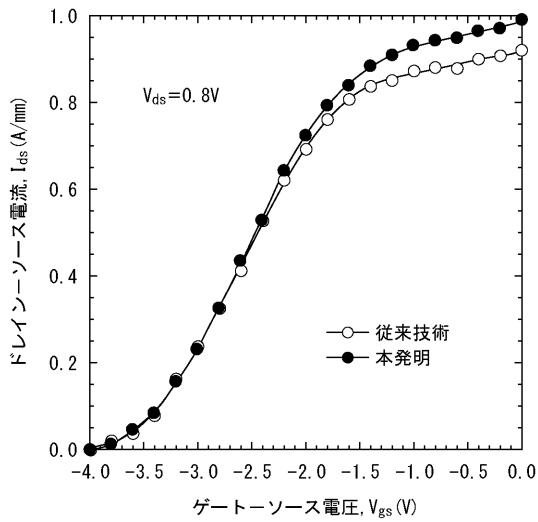
(b) 矢印Aに沿ったポテンシャルの変化



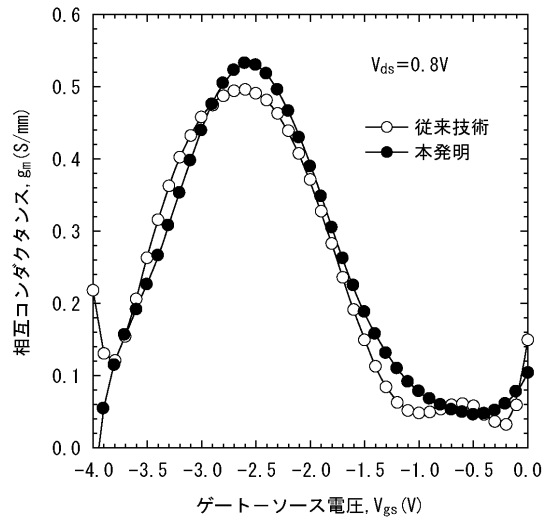
【 図 1 5 】



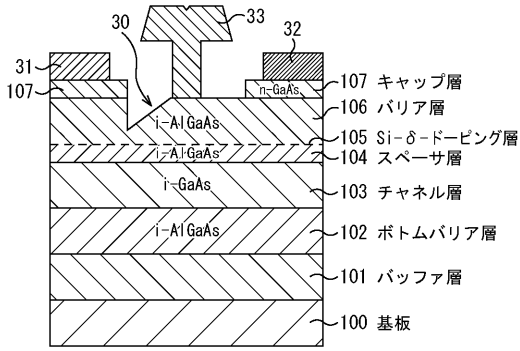
【 図 1 6 】



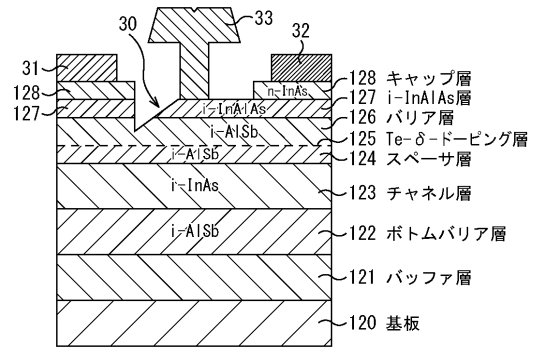
【 図 1 7 】



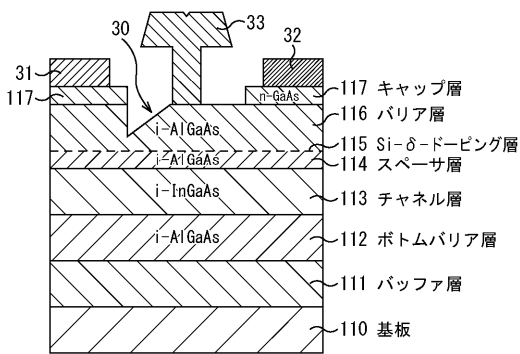
【図 18】



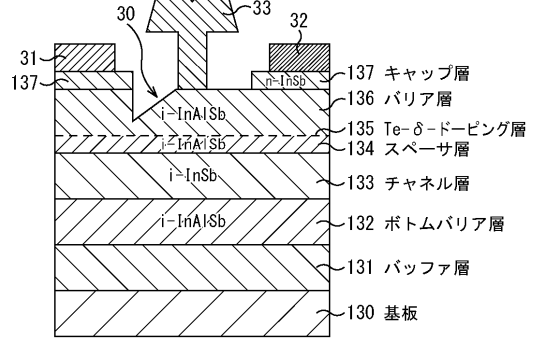
【図 20】



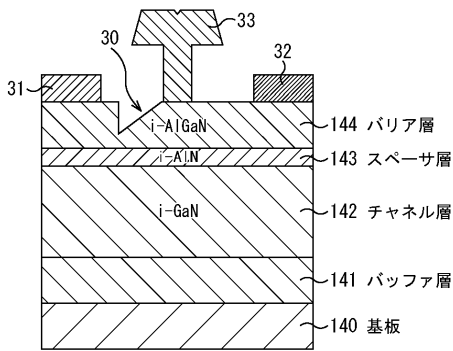
【図 19】



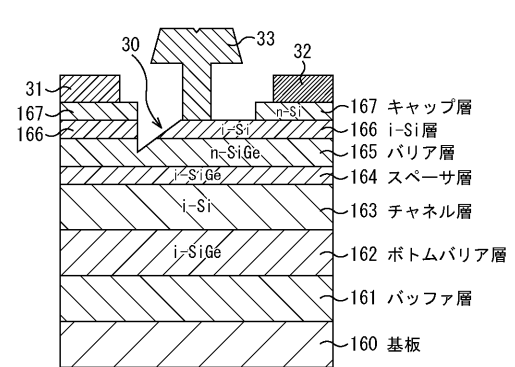
【図 21】



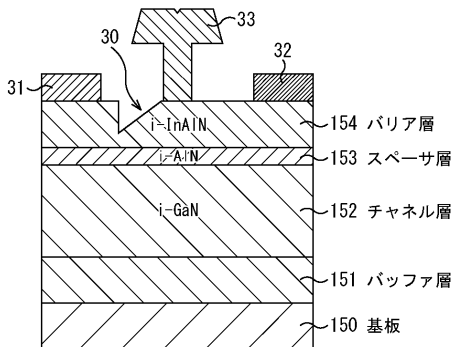
【図 22】



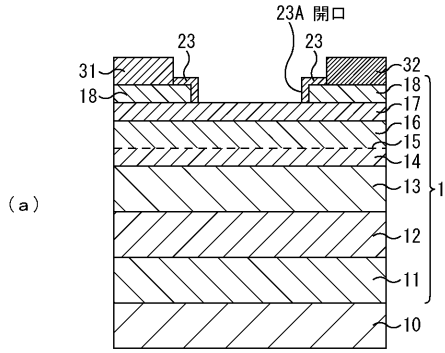
【図 24】



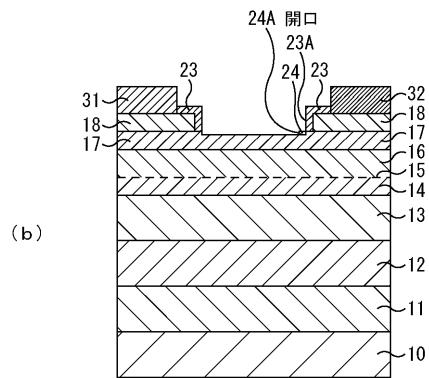
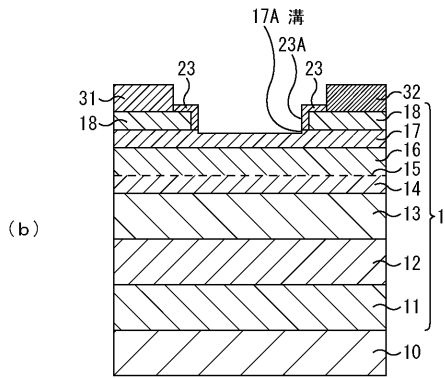
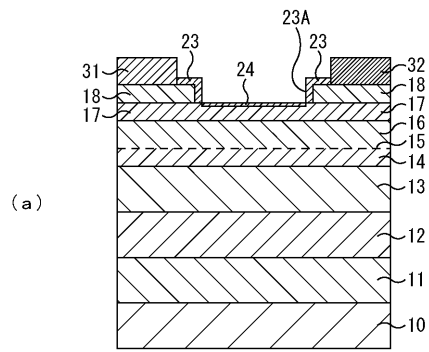
【図 23】



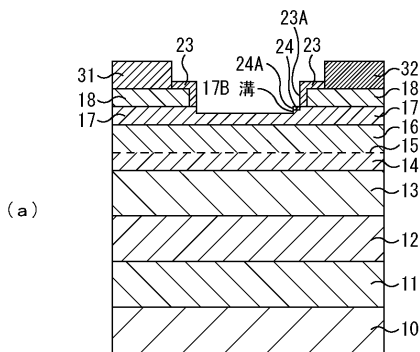
【 図 2 5 】



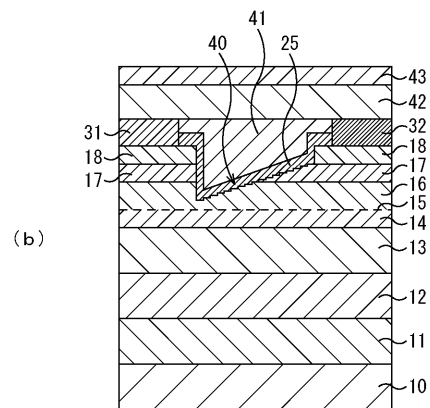
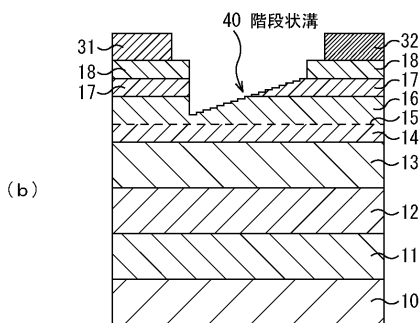
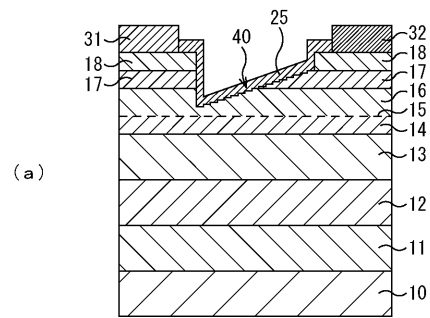
【 図 2 6 】



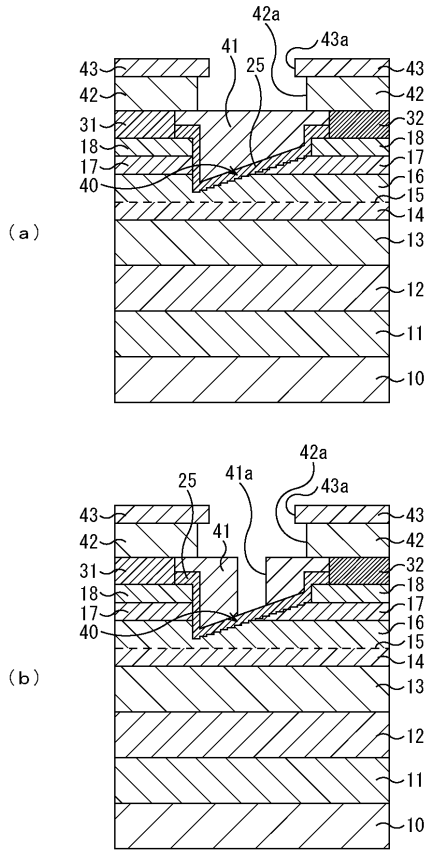
【 図 2 7 】



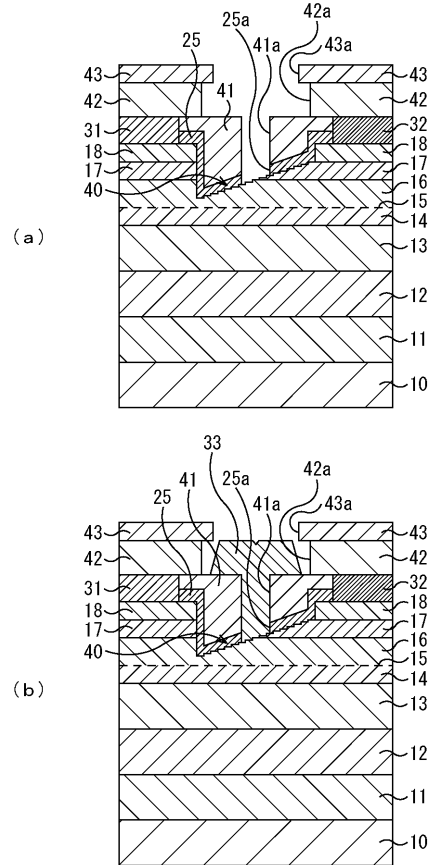
【 図 2 8 】



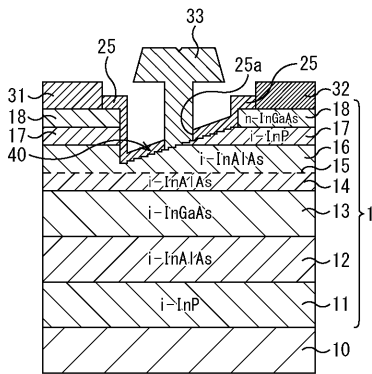
【図 29】



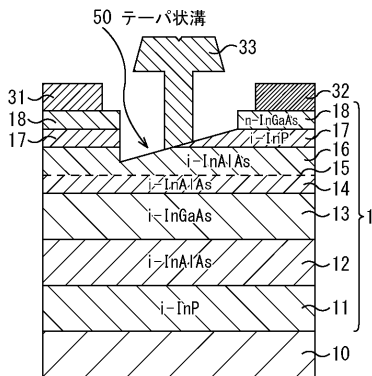
【図 30】



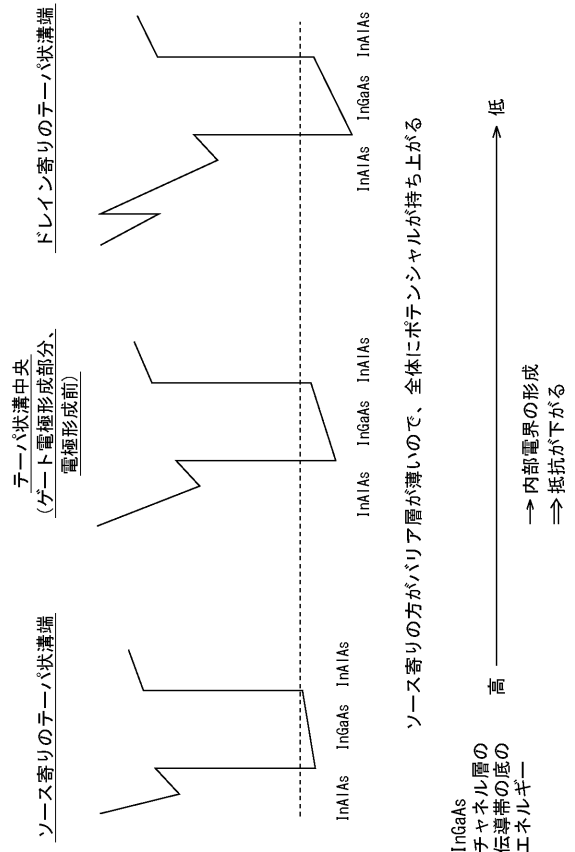
【図 31】



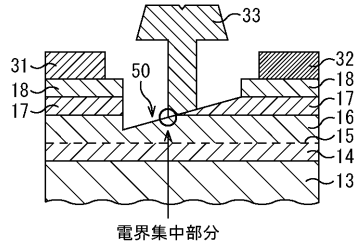
【図 32】



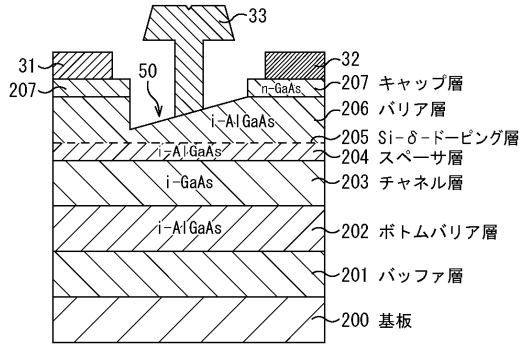
【図 33】



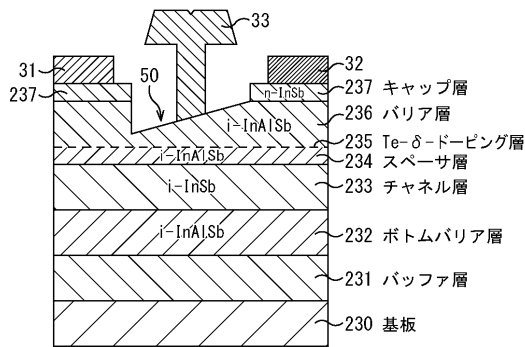
【図34】



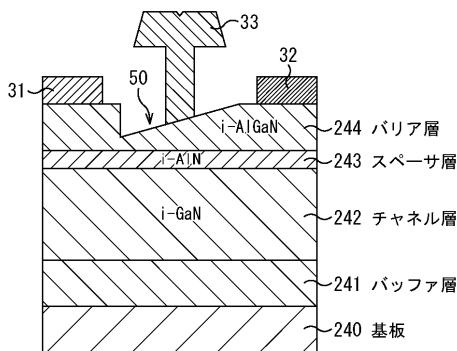
【図35】



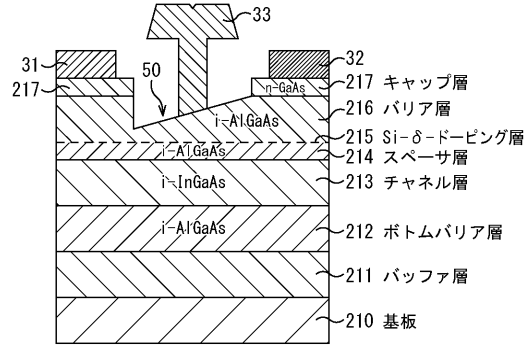
【図38】



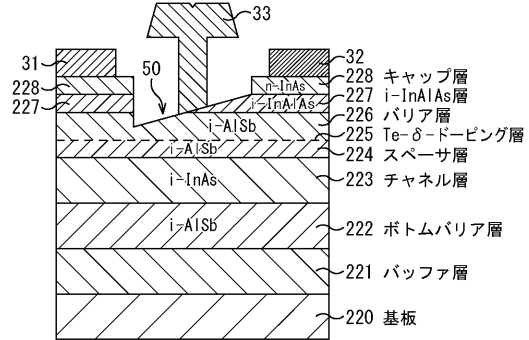
【図39】



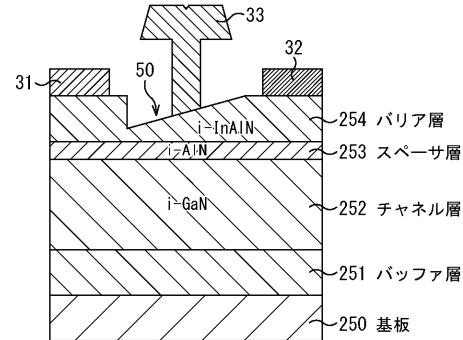
【図36】



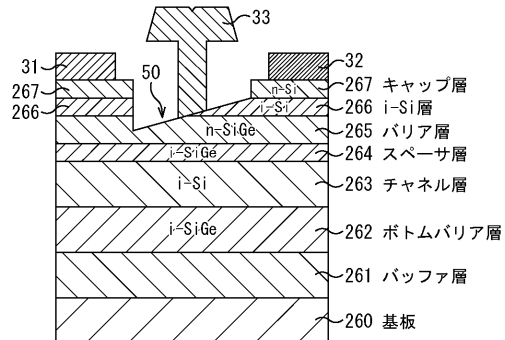
【図37】



【図40】



【図41】



【 図 4 2 】

