

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4010229号

(P4010229)

(45) 発行日 平成19年11月21日(2007.11.21)

(24) 登録日 平成19年9月14日(2007.9.14)

(51) Int. Cl.	F I
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 J
G 0 9 G 3/20 (2006.01)	G 1 1 C 19/00 C
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/20 6 1 1 C
	G 0 9 G 3/20 6 2 2 E
	G 0 9 G 3/20 6 2 3 H
	請求項の数 3 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2002-339951 (P2002-339951)	(73) 特許権者	000002185
(22) 出願日	平成14年11月22日(2002.11.22)		ソニー株式会社
(65) 公開番号	特開2004-178624 (P2004-178624A)		東京都港区港南1丁目7番1号
(43) 公開日	平成16年6月24日(2004.6.24)	(74) 代理人	100092336
審査請求日	平成16年4月27日(2004.4.27)		弁理士 鈴木 晴敏
		(72) 発明者	川瀬 公崇
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山本 哲郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
			最終頁に続く

(54) 【発明の名称】 双方向信号伝送回路

(57) 【特許請求の範囲】

【請求項1】

外部から入力された信号を一端から他端に順次伝送する動作を行なうとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有し、

外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり、

両端にそれぞれ設けた該信号の入力端子間に介在する配線及び両端にそれぞれ設けた該信号の出力端子間に介在する配線が互いに平行に配されており、

該出力端子間に介在する配線の少くとも片側終端に該配線のインピーダンスを下げる為のバッファ素子を設け、

両端に配された各出力端子に接続し伝送方向に対応して選択側となる片方の出力端子側から出力された信号を通過させるゲート素子と、

伝送方向に対応して非選択側となるもう片方の出力端子側の電位が浮遊状態とならない様に固定する電位固定手段とを備えたことを特徴とする双方向信号伝送回路。

【請求項2】

前記電位固定手段は、非選択側となった出力端子側に配されたバッファ素子の出力電位を切換信号に応じて電源電位にプルアップするか接地電位にプルダウンするプルアップ/プルダウン素子からなることを特徴とする請求項1記載の双方向信号伝送回路。

【請求項3】

外部から入力された信号を一端から他端に順次伝送する動作を行なうとともに、その動

作を外部で確認する為に該伝送された信号を出力する機能を有し、

外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり

両端にそれぞれ設けた該信号の入力端子間に介在する配線及び両端にそれぞれ設けた該信号の出力端子間に介在する配線が互いに平行に配されており、

該出力端子間に介在する配線の少くとも片側終端に該配線のインピーダンスを下げる為のバッファ素子を設け、

両側の出力端子から出ている配線が1つに繋がれており、前記バッファ素子が設けられている側に位置する出力端子が切換信号に応じて非選択となるとときに、該バッファ素子の出力を該切換信号に連動してハイインピーダンスにするハイインピーダンス状態形成手段を備えることを特徴とする双方向信号伝送回路。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像の反転表示機能を有するアクティブマトリクス型表示装置の駆動回路などに適用可能な、双方向信号伝送回路に関する。より詳しくは、双方向信号伝送回路内で生じる飛び込みノイズの低減化技術に関する。

【0002】

【従来の技術】

多結晶シリコン薄膜トランジスタなどを用いた走査駆動回路内蔵型のアクティブマトリクス表示装置は、液晶表示装置や有機EL表示装置などで代表される。液晶表示装置の場合、例えばカメラ一体型VTRや情報携帯端末などで使われているディスプレイに関しては、モニタ部を自在に回転して画像を表示するアプリケーションに対応する為、走査駆動回路に左右反転機能や上下反転機能を備えた、いわゆる双方向走査駆動回路内蔵の表示装置が使われている。又、近年表示装置の大型化に伴い、複数のパネルをつなぎ合わせて大画面を構築するアプローチが知られている。例えば四枚のパネルで一つの大画面を構成し、対角線上に位置するパネルに同一構成のものを用いる場合は、片方を180度回転させて配置することになり、表示される画像の走査方向を統一する為、一つ一つの表示装置が双方向走査駆動回路を内蔵する必要がある。この双方向走査駆動回路の主要部を構成するのが双方向信号伝送回路であって、例えば特許文献1～特許文献7に記載がある。

20

30

【0003】

【特許文献1】

特開平7-13513号公報

【特許文献2】

特開平7-146462号公報

【特許文献3】

特開平8-55493号公報

【特許文献4】

特開平8-79663号公報

【特許文献5】

特開平8-106795号公報

【特許文献6】

特開平11-176186号公報

【特許文献7】

特開平11-305742号公報

【0004】

【発明が解決しようとする課題】

従来の双方向信号伝送回路は、外部から入力された信号を一端から他端に順次伝送する動作を行うとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有する。双方向信号伝送回路は、外部から供給される切換信号に応じて信号の伝送方向を両

40

50

端の間で切り換え可能である。その際、双方向信号伝送回路の外部接続端子数を可能な限り少なくするレイアウトが採用されている。具体的には、双方向信号伝送回路の両端にそれぞれ設けた信号の入力端子間に介在する配線及び両端にそれぞれ設けた信号の出力端子間に介在する配線が、互いに平行にレイアウトされている。この様に端子数削減の為、双方向信号伝送回路の両端を結ぶ配線は、寸法が長く高抵抗である。従って、互いに平行な隣接する配線からの急激な電位変化による飛び込みノイズが生じる。このノイズにより、双方向信号伝送回路の誤動作が発生するという課題がある。

【0005】

【課題を解決するための手段】

上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明にかかる双方向信号伝送回路は、外部から入力された信号を一端から他端に順次伝送する動作を行なうとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有し、外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり、両端にそれぞれ設けた該信号の入力端子間に介在する配線及び両端にそれぞれ設けた該信号の出力端子間に介在する配線が互いに平行に配されており、該出力端子間に介在する配線の少くとも片側終端に該配線のインピーダンスを下げる為のバッファ素子を設け、両端に配された各出力端子に接続し伝送方向に対応して選択側となる片方の出力端子側から出力された信号を通過させるゲート素子と、伝送方向に対応して非選択側となるもう片方の出力端子側の電位が浮遊状態とならない様に固定する電位固定手段とを備えたことを特徴とする。例えば前記電位固定手段は、非選択側となった出力端子側に配されたバッファ素子の出力電位を切換信号に応じて電源電位にプルアップするか接地電位にプルダウンするプルアップ/プルダウン素子からなる。

【0006】

また本発明にかかる双方向信号伝送回路は、外部から入力された信号を一端から他端に順次伝送する動作を行なうとともに、その動作を外部で確認する為に該伝送された信号を出力する機能を有し、外部から供給される切換信号に応じて信号の伝送方向を両端の間で切り換え可能であり、両端にそれぞれ設けた該信号の入力端子間に介在する配線及び両端にそれぞれ設けた該信号の出力端子間に介在する配線が互いに平行に配されており、該出力端子間に介在する配線の少くとも片側終端に該配線のインピーダンスを下げる為のバッファ素子を設け、両側の出力端子から出ている配線が1つに繋がれており、前記バッファ素子が設けられている側に位置する出力端子が切換信号に応じて非選択となるときに、該バッファ素子の出力を該切換信号に連動してハイインピーダンスにするハイインピーダンス状態形成手段を備えていることを特徴とする。

【0007】

本発明によれば、双方向信号伝送回路において、動作確認用の信号を出力する比較的インピーダンスの高い配線に対してバッファを設け、これにより隣接する配線からの飛び込みノイズを低減している。更に、バッファの入力を電源ラインにプルアップ又は接地ラインにプルダウンすることで、配線のフローティング状態を論理的に無くし、双方向信号伝送回路の誤動作を回避している。

【0008】

【発明の実施の形態】

以下図面を参照して本発明に係る双方向信号伝送回路の実施の形態を詳細に説明する。まず最初に、本発明の背景を明らかにする為、図1を参照して双方向信号伝送回路を内蔵したアクティブマトリクス型表示装置の一般的な構成を簡潔に説明する。このアクティブマトリクス型表示装置は、マトリクス状に配置した画素2と、各画素2にデータ線8を介して必要な駆動電流を供給する為の水平駆動回路3と、垂直方向の書き込みタイミングを走査する為の垂直書込走査駆動回路4と、消去タイミングを走査する為の垂直消去走査駆動回路5とから構成されている。マトリクス状に配された画素2が表示部を構成し、周辺の駆動回路3, 4, 5が駆動部を構成している。表示装置1は、表示部と駆動部が同一の基板に一体的に集積形成されたパネル構造となっている。水平駆動回路3には水平方向のス

10

20

30

40

50

スタートパルスHSPとクロックパルスHCKが入力されている。垂直書込走査駆動回路4には書込走査用垂直方向のスタートパルスVSP1とクロックパルスVCKが入力されている。同じく消去走査駆動回路5には、消去走査用垂直方向のスタートパルスVSP2とクロックパルスVCKが入力される。

【0009】

図示する様に、書込走査線9が行状に配列され、データ線8が列状に配列されている。各書込走査線9とデータ線8の交差部に画素2が形成されている。又、書込走査線9と平行に、消去走査線10が形成されている。書込走査線9は垂直書込走査駆動回路4に接続されている。垂直書込走査駆動回路4はシフトレジスタからなる信号伝送回路を含んでおり、垂直クロックVCKに同期して垂直スタートパルスVSP1を順次転送することにより書込走査線9を一走査サイクル内で順次選択する。

10

【0010】

一方、消去走査線10は垂直消去走査駆動回路5に接続されている。この駆動回路5もシフトレジスタからなる信号伝送回路を含んでおり、VCKに同期して垂直スタートパルスVSP2を順次転送することにより、消去走査線10に制御信号を出力する。データ線8は水平駆動回路3に接続されており、書込走査線9の線順次走査に同期して、各データ線8は輝度情報に対応した電気信号を出力する。例えば、水平駆動回路3はいわゆる線順次駆動を行ない、選択された画素2の行に対して一斉に電気信号を供給する。これにより、画素2の行に輝度情報が書き込まれる。各画素2は書き込まれた輝度情報に応じた強度で発光を開始する。垂直消去走査駆動回路5はVSP2を受けた後、垂直クロックVCKに同期して消去走査線10を順次選択し、画素2の発光が走査線単位で停止していく。

20

【0011】

図2は画素2の具体的な構成例を示す回路図である。画素2は、有機EL素子6、電流供給線7、データ線8、書込走査線9、消去走査線10、書込トランジスタ11、駆動トランジスタ12、書込走査トランジスタ13、消去走査トランジスタ14、保持容量15などから構成される。書込走査トランジスタ13のゲートには、図1に示した垂直書込走査駆動回路によりタイミングが形成される書込走査線9が接続されている。又、消去走査トランジスタ14のゲートには、図1に示した垂直消去走査駆動回路5によりタイミングが形成される消去走査線10が接続されている。

【0012】

前述した様に、本表示装置は、書込走査線9を順次選択する書込走査線駆動回路4と、消去走査線10を順次選択する消去走査駆動回路5と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線8に供給する水平駆動回路3と、各走査線9, 10及び各データ線8の交差部に配されているとともに、駆動電流の供給を受けて発光する電流駆動型のEL素子6を含む複数の画素2とで構成されている。ここで図2に示した画素2は、書込走査線9が選択された時データ線8から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流をEL素子6に流す駆動部とからなる。具体的には、受入部は書込走査トランジスタ13からなる。変換部は、ゲート、ソース、ドレイン及びチャンネルを備えた書込トランジスタ11と、そのゲートに接続した保持容量15とを含んでいる。書込トランジスタ11は、受入部によって取り込まれた信号電流をチャンネルに流して変換された電圧レベルをゲートに発生させ、保持容量15はゲートに生じた電圧レベルを保持する。更に変換部は、書込トランジスタ11のゲートと保持容量15との間に挿入された消去走査トランジスタ14を含んでいる。このトランジスタ14は、信号電流の電流レベルを電圧レベルに変換する時には導通し、ソースを基準とする電圧レベルをトランジスタ11のゲートに生ぜしめる。更にこのトランジスタ14は、電圧レベルを保持容量15に保持する時に遮断され、書込トランジスタ11のゲートと保持容量15を切り離す。加えて、この消去走査トランジスタ14は、消去走査時に導通して、保持容量15に保持された電圧レベルを消去し、EL素子6を消灯する。更に前記駆動部は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動トランジスタ12を含んでいる。駆動

30

40

50

トランジスタ12は、保持容量15に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介してEL素子6に流す。書込トランジスタ11のゲートと駆動トランジスタ12のゲートはスイッチング用のトランジスタ14を介して互いに接続されており、カレントミラー回路を構成する。これにより、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。駆動トランジスタ12は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子6に流す。

【0013】

図3は、図1及び図2に示した表示装置の動作説明に供するタイミングチャートである。垂直走査駆動回路に入力されるVSP1とVSP2はVCKにより順次シフトされ、ある画素に繋がる書込走査線SC1Zと消去走査線SC2Zが図のようなタイミングで示される。SC1ZとSC2Zが同時にH(ハイレベル)になると画素回路の書込走査トランジスタと消去走査トランジスタが同時にオンし、この書込み期間16内で書込トランジスタと駆動トランジスタの2つのカレントミラー比で決まるEL駆動電流量が書き込み電流量により制御される。EL駆動電流量は駆動トランジスタのゲートとソースの電位差により決定される。書込み期間16内で書込み電流が落ち着いたところで所望の輝度でEL素子の発光が開始される。書込みが完了するとSC1ZとSC2Zはほぼ同時にL(ローレベル)になり、書込走査トランジスタと消去走査トランジスタがオフすることにより、駆動トランジスタのゲート・ソース間電位が保持容量により保持され、所望の輝度でEL素子の発光が維持される。図3のタイミングAでSC2Zが再びH(ハイレベル)となり、再び消去走査トランジスタがオンすることにより保持容量により保持されていた電位が消去走査トランジスタと書込トランジスタを介して電流供給線の電位付近まで上昇し、駆動トランジスタのゲート・ソース間電位が閾値電圧Vth以下となり、EL素子の発光は停止する。EL素子の発光期間は図3の点灯時間17となり、タイミングAを調整することにより、ELのデューティ駆動が可能となり、R、G、BバランスやEL素子の電気的特性の設計自由度を増すことができる。

【0014】

CRTにおいては、表示画像はμsecオーダで輝度が減衰するのに対し、アクティブマトリクス型の表示装置では一フレームの間画像を表示し続ける保持型の表示原理となっている。この為、動画表示を行なう場合、動画の輪郭に沿った画素はフレームの切り換わる直前まで画像を表示しており、これが人間の目の残像効果と相まって、次のフレームでもそこに像が表示されているかの如く感知する。これが、アクティブマトリクス型表示装置における動画表示の画質がCRTに比較し低くなる根本原因である。この対策として、上述したデューティ駆動方法が効果的であり、画素を強制的に消灯して人間の目で感ずる残像を断ち切る技術を導入することで、動画質の改善を図ることができる。具体的には、アクティブマトリクス型の表示装置において、一フレームの前半で画像を表示する一方、一フレームの後半はあたかもCRT輝度が減衰するかの如くに、画像を消灯する方法を採用できる。動画質改善の為には、フレーム当り、点灯と消灯のデューティを例えば50%程度に設定する。更に高い動画質改善の為には、フレーム当り、点灯と消灯のデューティを25%以下に設定するとよい。

【0015】

次に、図1～図3を用いて説明したアクティブマトリクス型の表示装置で、画像の反転表示を行なう為には、双方向信号伝送回路が必要であり、その一般的な構成を図4に示す。例えば、左右反転表示を行なう場合には、図1に示した水平駆動回路3に双方向信号伝送回路を使う。又上下反転表示を行なう場合には、図1に示した垂直走査駆動回路4,5にそれぞれ双方向信号伝送回路を使えばよい。

【0016】

図4に示した双方向信号伝送回路19は、複数のシフトレジスタ(SR)と複数の正転路ゲート素子Lと複数の反転路ゲート素子Rとからなる。双方向信号伝送回路19には、例えば垂直方向のスタートパルスVSPが両側から入力される。又、走査回路の動作確認を

10

20

30

40

50

行なう為の検出信号OUTが両端から出力されている。一般にパネルへの入出力端子は極力少なくする為、VSPの信号配線とOUTの信号配線はそれぞれ双方向信号伝送回路19の片側に接続されている。

【0017】

双方向信号伝送回路19は、一对の入力端子IN及び出力端子OTを各々備えた複数のシフトレジスタSRから構成されており、入出力端子間を順次接続した多段構造を有する。尚、本例では理解を容易にする為シフトレジスタSRは第1段から第5段まで5個の多段接続となっている。実際の応用を図る場合にはこの段数に特に制限はない。互いに隣り合う前後シフトレジスタSRの前段側出力端子と後段側入力端子間の接続路には逆路ゲート素子Rが介在しており、後段側出力端子と前段側入力端子間の接続路には順路ゲート素子Lが介在している。例えば、図示の多段接続において、前段側を第1SRとし後段側を第2SRとすると、第1SRの出力端子OTと第2SRの入力端子INの接続路には逆路ゲート素子Rが介在している。又第2SRの出力端子OTと第1SRの入力端子IN間の接続路には順路ゲート素子Lが介在している。これら逆路ゲート素子R及び順路ゲート素子Lを択一的に開閉制御することにより、前段側から後段側への逆方向信号転送（図では左側から右側への信号転送）と後段側から前段側への順方向信号転送（図では右側から左側への信号転送）を切換選択可能とする。

【0018】

図5は、図4に示した双方向信号伝送回路の具体的な構成例を示す回路図である。図示を簡略化する為第1SR及び第2SRとそれに付属する逆路ゲート素子R及び順路ゲート素子Lのみを示している。第1SR、第2SR共にD型フリップフロップから構成されており、クロック制御型の信号伝送ブロックである。D型フリップフロップは第1及び第2のクロックインバータと第3のインバータからなり、互いに逆相のクロック信号CK1, CK2に応じて動作し、入力端子INから入力された信号をクロック信号の半周期分だけ遅延して出力端子OTに出力する。逆路ゲート素子RはCMOSタイプのトランスマッションゲート素子からなり、順路ゲート素子Lも同じくトランスマッションゲート素子である。これらの逆路ゲート素子R及び順路ゲート素子Lは方向制御回路20から供給される互いに逆相の制御信号CTR, CTLにより制御されている。一方の制御信号CTRがハイレベルで他方の制御信号CTLがローレベルの時、逆路ゲート素子Rが開かれ、順路ゲート素子Lが閉じられる。従って、この時にはスタート信号VSPは最初の逆路ゲート素子Rを通過した後第1SRの入力端子INに供給される。ここで、クロック信号の半周期分だけ遅延処理を施された後出力端子OTから次の逆路ゲート素子Rを介して第2SRの入力端子INに転送される。この様にして、スタートパルスVSPは順次逆方向に向かって転送されていく。一方、制御信号CTRがローレベルで制御信号CTLがハイレベルに切り換わった時、逆路ゲート素子Rが閉じ順路ゲート素子Lが開く。この場合には順方向から転送されてきた信号が第2SRの入力端子INに供給され所定の遅延処理を施された後、出力端子OTから順路ゲート素子Lを介して第1SRの入力端子INに転送される。再び所定の遅延処理を施された後出力端子OTから出力された転送信号は次の順路ゲート素子Lに至る。

【0019】

図6は、図1に示した表示装置において垂直書込走査駆動回路4として第一の双方向信号伝送回路21を用い、垂直消去走査駆動回路5として第二の双方向信号伝送回路22を用いた構成を表わしている。第1から第5のSRはシフトレジスタを示し、具体的にはD型フリップフロップで構成される。破線で示す書込用双方向信号伝送回路21の両側にスタートパルスVSP1が入力され、検出信号OUT1が両側から出力される。また破線に示す消去用双方向信号伝送回路22の両側にスタートパルスVSP2が入力され、検出信号OUT2が両側から出力される。VSP1、OUT1、VSP2、OUT2等双方向信号伝送回路の両端を結ぶ信号線をそれぞれvsp1、out1、vsp2、out2で示すと、これらの信号線はできるだけ配線のクロスを避けるようにすると図に示すような配置になり、vsp1にはout1とout2が隣接し、out2にはvsp1とvsp2が

10

20

30

40

50

隣接する。

【0020】

図7は図6に示されるV双方向走査駆動回路の動作を示すタイミングチャート図である。書込用双方向信号伝送回路に入力される v_{sp1} と消去用双方向信号伝送回路に入力される v_{sp2} はVCKにより順次シフトされ、それぞれVCKの立ち上がりまたは立ち下りのタイミングで $out1$ 、 $out2$ として出力される。 v_{sp1} 、 v_{sp2} 、 $out1$ 、 $out2$ は信号伝送回路の両端を結ぶため、配線が長く高抵抗であり、隣接する配線からの急激な電圧変化による飛び込みが生じる。そのため図に示すようにそれぞれ隣接する配線の電圧変化が起きるタイミングでひげが発生する。図のBのタイミングでは v_{sp1} と v_{sp2} が同時に立ち下がり、 v_{sp1} と v_{sp2} の両方に隣接する $out2$ は飛び込みが2倍になりBのタイミングで大きなひげが発生する。同様にCのタイミングでは $out1$ と $out2$ が同時に立ち下がり、 $out1$ と $out2$ の両方に隣接する v_{sp1} は飛び込みが2倍になりCのタイミングで大きなひげが発生する。これらのひげが信号線の次段のゲートの閾値を越えて反転しひげが大きくなり、双方向信号伝送回路の誤動作を起したり、表示画素の書込走査トランジスタや消去走査トランジスタのゲート線に悪影響を与え、横筋を発生させる。

10

【0021】

以上のような課題を解決するために本発明の双方向信号伝送回路は、方向切換信号により方向を切り換える。前記伝送回路の両側終端から回路の動作確認を行うための動作確認用端子を持つ。前記伝送回路の少なくとも一つの終端直後に配線のインピーダンスを下げるためのバッファ素子が設けられている。以下、本発明に係る伝送回路の実施形態を、図面に基づいて詳細に説明する。

20

【0022】

図8は、本発明に係る双方向信号伝送回路の構成を示すブロック図である。第1から第5のSRはシフトレジスタを示し、具体的には図5に示すようなD型フリップフロップで構成される。破線に示す双方向信号伝送回路23に対して、片側からスタートパルスVSPが入力され、2つのインバータを介して v_{sp} として双方向信号伝送回路23の両側から入力される。また、確認用信号が双方向信号伝送回路の終端から出力され片側からOUT信号として出力される。ここで双方向信号伝送回路のOUT出力に遠い側の終端に、図に示すようにバッファ素子24が設けられている。双方向信号伝送回路の終端から出力される確認用信号は、OUT出力に近い側を $outl$ とし、OUT出力に遠い側をバッファ素子24を介して $outr$ とする。これらの $outl$ と $outr$ は図に示すゲート素子25に入力され、ゲート素子25の出力がOUT信号として出力される。バッファ素子24を設けることにより $outr$ はローインピーダンスとなり、隣接する v_{sp} 信号からの飛び込みの影響を受けにくい。

30

【0023】

図9は、本発明に係る双方向信号伝送回路の第1の実施例を示す回路図であって、図8のブロック図の破線部分Aの具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力される dwn と x_{dwn} 信号により反転素子のオンとオフが制御される。反転素子26dの出力と $outr$ の間に図に示すようにバッファ素子28が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOSトランジスタとNMOSトランジスタで構成されるインバータを2つ直列に接続して構成される。バッファ素子28の出力を $outr$ とし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力を $outl$ とする。 $outr$ と $outl$ は図に示すゲート素子30に入力される。ゲート素子30は、具体的には図に示すように2入力のNAND回路30aとインバータ30bで構成される。ゲート素子30の出力はOUT信号として出力される。反転素子26dの出力とバッファ素子28の入力の間に図に示すようにプルアップ素子29aを設ける。プルアップ素子29aは具体的にはPMOSトランジスタで構成し、PMOSトランジスタのソースを v_{dd} に接続し、ドレインをバッファ素子

40

50

28の入力に接続し、ゲートを方向制御回路27から出力されるx d w n信号に接続する。一方反転素子26cから出力されるo u t 1とゲート素子30の間に図に示すようにプルアップ素子29bを設ける。プルアップ素子29bは具体的にはP M O Sトランジスタで構成し、P M O Sトランジスタのソースをv d dに接続し、ドレインをo u t 1に接続し、ゲートを方向制御回路27から出力されるd w n信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向ではd w n信号がハイレベル、x d w n信号がローレベルとなり、反転素子26b、26cがオン状態となり、26a、26dがオフ状態となる。双方向信号伝送回路のスタートパルスV S Pは2つのインバータを介してバッファリングされ反転素子26aがオフ状態であるから、反転素子26bを通過し、複数段のシフトレジスタを通過して反転素子26cを通過し動作確認用信号o u t 1としてゲート素子30に入力される。o u t 1に接続されているプルアップ素子29bはゲートに繋がっているd w n信号がハイレベルであるため、オフ状態となる。また、反転素子26dはオフ状態でプルアップ素子29aのゲートに繋がるx d w n信号がローレベルであることからプルアップ素子29aはオン状態となり、バッファ素子28の入力はハイレベルに固定される。したがってバッファ素子28の出力o u t rがハイレベルとなり、o u t rが入力されるゲート素子30はo u t 1信号の情報が出力O U Tに反映される。一方反転方向ではd w n信号がローレベル、x d w n信号がハイレベルとなり、反転素子26a、26dがオン状態となり、26b、26cがオフ状態となる。双方向信号伝送回路のスタートパルスV S Pは2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過し動作確認用信号o u t rとしてゲート素子30に入力される。バッファ素子28の入力信号に接続されているプルアップ素子29aはゲートに繋がっているx d w n信号がハイレベルであるため、オフ状態となる。また、反転素子26cはオフ状態でプルアップ素子29bのゲートに繋がるd w n信号がローレベルであることからプルアップ素子29bはオン状態となり、o u t 1がハイレベルとなり、ゲート素子30はo u t r信号の情報が出力O U Tに反映される。反転方向では、バッファ素子28を設けることによりo u t rはローインピーダンスとなり、隣接するv s p信号からの飛び込みの影響を受けにくい。

【0024】

図10は、本発明に係る双方向信号伝送回路の第2の実施例を示す回路図であって、図8のブロック図の破線部分Aの具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力されるd w nとx d w n信号により反転素子のオンとオフが制御される。反転素子26dの出力とo u t rの間に図に示すようにバッファ素子28が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、P M O SトランジスタとN M O Sトランジスタで構成されるインバータを2つ直列に接続して構成される。バッファ素子28の出力をo u t rとし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力をo u t 1とする。o u t rとo u t 1は図に示すゲート素子32に入力される。ゲート素子32は、具体的には図に示すように2入力のN O R回路32aとインバータ32bで構成される。ゲート素子32の出力はO U T信号として出力される。反転素子26dの出力とバッファ素子28の入力の間に図に示すようにプルダウン素子31aを設ける。プルダウン素子31aは具体的にはN M O Sトランジスタで構成し、N M O Sトランジスタのソースをv s sに接続し、ドレインをバッファ素子28の入力に接続し、ゲートを方向制御回路27から出力されるd w n信号に接続する。一方反転素子26cから出力されるo u t 1とゲート素子32の間に図に示すようにプルダウン素子31bを設ける。プルダウン素子31bは具体的にはN M O Sトランジスタで構成し、N M O Sトランジスタのソースをv s sに接続し、ドレインをo u t 1に接続し、ゲートを方向制御回路27から出力されるx d w n信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向ではd w n信号がハイレベル、x d w n信号がローレベルとなり、反転素子26b、26cがオン状態となり、26a、26dがオフ

10

20

30

40

50

状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26aがオフ状態であるから、反転素子26bを通過し、複数段のシフトレジスタを通過して反転素子26cを通過し動作確認用信号out1としてゲート素子32に入力される。out1に接続されているプルダウン素子31bはゲートに繋がっているxdwn信号がローレベルであるため、オフ状態となる。また、反転素子26dはオフ状態でプルダウン素子31aのゲートに繋がるdwn信号がハイレベルであることからプルダウン素子31aはオン状態となり、バッファ素子28の入力はローレベルに固定される。したがってバッファ素子28の出力outrがローレベルとなり、outrが入力されるゲート素子32はout1信号の情報が出力OUTに反映される。一方反転方向ではdwn信号がローレベル、xdwn信号がハイレベルとなり、反転素子26a、26dがオン状態となり、26b、26cがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過し動作確認用信号outrとしてゲート素子32に入力される。バッファ素子28の入力信号に接続されているプルダウン素子31aはゲートに繋がっているdwn信号がローレベルであるため、オフ状態となる。また、反転素子26cはオフ状態でプルダウン素子31bのゲートに繋がるxdwn信号がハイレベルであることからプルダウン素子31bはオン状態となり、out1がローレベルとなり、ゲート素子32はoutr信号の情報が出力OUTに反映される。反転方向では、バッファ素子28を設けることによりoutrはローインピーダンスとなり、隣接するvsp信号からの飛び込みの影響を受けにくい。

【0025】

図11は、本発明に係る双方向信号伝送回路の第3の実施例を示す回路図であって、図8のブロック図の破線部分Aの具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力されるdwnとxdwn信号により反転素子のオンとオフが制御される。反転素子26dの出力とoutrの間に図に示すようにバッファ素子28が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOSTランジスタとNMOSTランジスタで構成されるインバータを2つ直列に接続して構成される。バッファ素子28の出力をoutrとし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力をout1とする。outrとout1は図に示すゲート素子34に入力される。ゲート素子34は、具体的には図に示すように2入力のNAND回路34aとインバータ34bで構成される。ゲート素子34の出力はOUT信号として出力される。バッファ素子28を構成するNMOSTランジスタのソースを方向制御回路から出力されるdwn信号に繋げる。一方反転素子26cから出力されるout1とゲート素子34の間に図に示すようにプルアップ素子33を設ける。プルアップ素子33は具体的にはPMOSTランジスタで構成し、PMOSTランジスタのソースをvddに接続し、ドレインをout1に接続し、ゲートを方向制御回路27から出力されるdwn信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向ではdwn信号がハイレベル、xdwn信号がローレベルとなり、反転素子26b、26cがオン状態となり、26a、26dがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26aがオフ状態であるから、反転素子26bを通過し、複数段のシフトレジスタを通過して反転素子26cを通過し動作確認用信号out1としてゲート素子34に入力される。out1に接続されているプルアップ素子33はゲートに繋がっているdwn信号がハイレベルであるため、オフ状態となる。また、反転素子26dはオフ状態でバッファ素子28を構成するNMOSTランジスタのソースに繋がるdwn信号がハイレベルとなるため、バッファ素子28の出力outrがハイレベルとなり、outrが入力されるゲート素子34はout1信号の情報が出力OUTに反映される。一方反転方向ではdwn信号がローレベル、xdwn信号がハイレベルとなり、反転素子26a、26dがオン状態となり、26b、26cが

オフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過し動作確認用信号out rとしてゲート素子34に入力される。反転素子26cはオフ状態でプルアップ素子33のゲートに繋がるdwn信号がローレベルであることからプルアップ素子33はオン状態となり、out lがハイレベルとなり、ゲート素子34はout r信号の情報が出力OUTに反映される。反転方向では、バッファ素子28を設けることによりout rはローインピーダンスとなり、隣接するv s p信号からの飛び込みの影響を受けにくい。

【0026】

図12は、本発明に係る双方向信号伝送回路の第4の実施例を示す回路図であって、図8のブロック図の破線部分Aの具体的な回路図を示したものである。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力されるdwnとxdwn信号により反転素子のオンとオフが制御される。反転素子26dの出力とout rの間に図に示すようにバッファ素子28が設けられ、これらのバッファ素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOSTランジスタとNMOSTランジスタで構成されるインバータを2つ直列に接続して構成される。バッファ素子28の出力をout rとし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力をout lとする。out rとout lは図に示すゲート素子36に入力される。ゲート素子36は、具体的には図に示すように2入力のNOR回路36aとインバータ36bで構成される。ゲート素子36の出力はOUT信号として出力される。バッファ素子28を構成するPMOSTランジスタのソースを方向制御回路から出力されるxdwn信号に繋げる。一方反転素子26cから出力されるout lとゲート素子36の間に図に示すようにプルダウン素子35を設ける。プルダウン素子35は具体的にはNMOSTランジスタで構成し、NMOSTランジスタのソースをvssに接続し、ドレインをout lに接続し、ゲートを方向制御回路27から出力されるxdwn信号に接続する。今、双方向の方向を矢印のように正転と反転とする。正転方向ではdwn信号がハイレベル、xdwn信号がローレベルとなり、反転素子26b、26cがオン状態となり、26a、26dがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26aがオフ状態であるから、反転素子26bを通過し、複数段のシフトレジスタを通過して反転素子26cを通過し動作確認用信号out lとしてゲート素子36に入力される。out lに接続されているプルダウン素子35はゲートに繋がっているxdwn信号がローレベルであるため、オフ状態となる。また、反転素子26dはオフ状態でバッファ素子28を構成するPMOSTランジスタのソースに繋がるxdwn信号がローレベルとなるため、バッファ素子28の出力out rがローレベルとなり、out rが入力されるゲート素子36はout l信号の情報が出力OUTに反映される。一方反転方向ではdwn信号がローレベル、xdwn信号がハイレベルとなり、反転素子26a、26dがオン状態となり、26b、26cがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過し動作確認用信号out rとしてゲート素子36に入力される。反転素子26cはオフ状態でプルダウン素子35のゲートに繋がるxdwn信号がハイレベルであることからプルダウン素子35はオン状態となり、out lがローレベルとなり、ゲート素子36はout r信号の情報が出力OUTに反映される。反転方向では、バッファ素子28を設けることによりout rはローインピーダンスとなり、隣接するv s p信号からの飛び込みの影響を受けにくい。

【0027】

この様に本発明では、両端に配された各出力端子に接続し伝送方向に対応して選択側となる片方の出力端子側から出力された信号を通過させるゲート素子と、伝送方向に対応して非選択側となるもう片方の出力端子側の電位が浮遊状態とならない様に固定する電位固定手段とを備えている。例えば前記電位固定手段は、非選択側となった出力端子側に配され

10

20

30

40

50

たバッファ素子の出力電位を切換信号に応じて電源電位にプルアップするか接地電位にプルダウンするプルアップ/プルダウン素子からなる。本発明によれば、双方向信号伝送回路において、動作確認用の信号を出力する比較的インピーダンスの高い配線に対してバッファを設け、これにより隣接する配線からの飛び込みノイズを低減している。更に、バッファの入力を電源ラインにプルアップ又は接地ラインにプルダウンすることで、配線のフローティング状態を論理的に無くし、双方向信号伝送回路の誤動作を回避している。

【0028】

図13は、本発明に係る双方向信号伝送回路の第5の実施例を示すブロック図である。第1から第5のSRはシフトレジスタを示し、具体的には図5に示すようなD型フリップフロップで構成される。破線に示す双方向信号伝送回路23に対して、片側からスタートパルスVSPが入力され、2つのインバータを介してvspとして双方向信号伝送回路23の両側から入力される。また、確認用信号が双方向信号伝送回路の終端から出力され片側からOUT信号として出力される。ここで双方向信号伝送回路のOUT出力に遠い側の終端に、図に示すようにバッファ素子24が設けられている。バッファ素子は具体的にPMOSトランジスタとNMOSトランジスタで構成されるインバータを2つ直列に接続して構成される。双方向信号伝送回路の終端から出力される確認用信号は、OUT出力に近い側をout1とし、OUT出力に遠い側をバッファ素子24を介してoutrとする。outrの方には図に示すようにOUT出力に近い側に反転路ゲート素子37を設ける。このoutrは反転路ゲート素子37を介してout1と繋がりOUT信号として出力される。双方向の方向を矢印のように正転と反転とすると、反転時にはバッファ素子24を設けることによりoutrはローインピーダンスとなり、隣接するvsp信号からの飛び込みの影響を受けにくい。また、正転時には反転路ゲート素子37によりoutrから反転路ゲート素子の出力はハイインピーダンスとなり、out1の信号がOUT出力として取り出される。この様に本例では、両側の出力端子から出ている配線が1つに繋がれており、バッファ素子が設けられている側に位置する出力端子が切換信号に応じて非選択となるときに、該バッファ素子の出力を該切換信号に連動してハイインピーダンスにするハイインピーダンス状態形成手段を備えている。

【0029】

図14は、本発明に係る双方向信号伝送回路の第6の実施例を示す回路図である。双方向信号伝送回路の終端に図に示すように反転素子26が設けられており、方向制御回路27から出力されるdwnとxdwn信号により反転素子のオンとオフが制御される。反転素子26dの出力とoutrの間に図に示すようにバッファ回路38が設けられ、これに含まれる各回路素子は絶縁ゲート型電界効果トランジスタより構成される。具体的には図に示すように、PMOSトランジスタとNMOSトランジスタで構成されるインバータと2つのトランジスタのそれぞれのゲートにこれらのトランジスタを駆動するためのインバータを設けて構成される。バッファ回路38の出力をoutrとし、一方双方向信号伝送回路の逆側の終端に設けられた反転素子26cの出力をout1とする。outrとout1は図に示すように直接繋がっており2つのインバータを介してOUT信号として出力される。バッファ回路38と反転素子26dから出力される信号の間にハイインピーダンス状態形成回路39を挿入する。この回路は具体的には図に示すように1つのNAND回路と1つのNOR回路と2つのインバータで構成される。またNAND回路とNOR回路の一方の入力はdwn信号と繋がっており、もう一方の入力は反転素子26dの出力信号が繋がっている。今、双方向の方向を矢印のように正転と反転とする。正転方向ではdwn信号がハイレベル、xdwn信号がローレベルとなり、反転素子26b、26cがオン状態となり、26a、26dがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26aがオフ状態であるから、反転素子26bを通過し、複数段のシフトレジスタを通過して反転素子26cを通過し動作確認用信号out1として2つのインバータに入力される。out1に接続されているバッファ回路38は前段のハイインピーダンス状態形成回路39のNAND回路とNOR回路に入力されるdwn信号により、バッファ回路38の後段インバータを形成する2

つのトランジスタが両方ともオフ状態となり出力がハイインピーダンスとなる。よって、`out r`信号がハイインピーダンスとなるため、`out 1`の信号がそのまま2つのインバータによりバッファリングされてOUT信号に反映される。一方反転方向では`d w n`信号がローレベル、`x d w n`信号がハイレベルとなり、反転素子26a、26dがオン状態となり、26b、26cがオフ状態となる。双方向信号伝送回路のスタートパルスVSPは2つのインバータを介してバッファリングされ反転素子26bがオフ状態であるから、反転素子26aを通過し、複数段のシフトレジスタを通過して反転素子26dを通過する。ハイインピーダンス状態形成回路39のNAND回路とNOR回路の入力である`d w n`信号がローレベルであるため反転素子26dの出力がそのままNAND回路とNOR回路に反映され、後段のバッファ回路38によりローインピーダンスとなり`out 1`と繋がる。また反転素子26cはオフであるため、`out 1`信号はハイインピーダンスとなり、ローインピーダンスである`out r`が2つのインバータを介してバッファリングされてOUT信号に反映される。反転方向では、バッファ回路38を設けることにより`out r`はローインピーダンスとなり、隣接する`v s p`信号からの飛び込みの影響を受けにくい。

10

【0030】

【発明の効果】

以上説明したように本発明の双方向信号伝送回路によれば、双方向信号伝送回路の終端から出力される動作確認用信号にバッファ素子を設けローインピーダンスにし、さらに非選択時のバッファ素子の出力をプルアップ用またはプルダウン用の素子によりハイレベルまたはローレベルに固定する等で電位を固定することにより、隣接信号からの同時立ち上がり或いは立ち下りによる飛び込みノイズを低減することができ、シフトレジスタの誤動作を回避することができる。また、飛び込みにより発生する表示部への走査線に発生するひげを除去することにより、表示装置の横筋を除去することができる。

20

【図面の簡単な説明】

【図1】従来のアクティブマトリクス型有機EL表示装置の一例を示すブロック図である。

【図2】従来のアクティブマトリクス型有機EL表示装置を構成する画素回路の一例である。

【図3】従来のアクティブマトリクス型有機EL表示装置の動作を説明するタイミングチャート図である。

30

【図4】従来の双方向信号伝送回路の一例を示すブロック図である。

【図5】図4に示した双方向信号伝送回路の構成例を示す回路図である。

【図6】図4に示した従来の双方向信号伝送回路をアクティブマトリクス型有機EL表示装置に適用した場合の構成図である。

【図7】図6に示した構成図による動作タイミングチャート図である。

【図8】本発明に係る双方向信号伝送回路の構成を示すブロック図である。

【図9】本発明に係る双方向信号伝送回路の第一実施形態を示す具体的な回路図の一例である。

【図10】本発明に係る双方向信号伝送回路の第二実施形態を示す具体的な回路図の一例である。

40

【図11】本発明に係る双方向信号伝送回路の第三実施形態を示す具体的な回路図の一例である。

【図12】本発明に係る双方向信号伝送回路の第四実施形態を示す具体的な回路図の一例である。

【図13】本発明に係る双方向信号伝送回路の第五実施形態を示すブロック図の一例である。

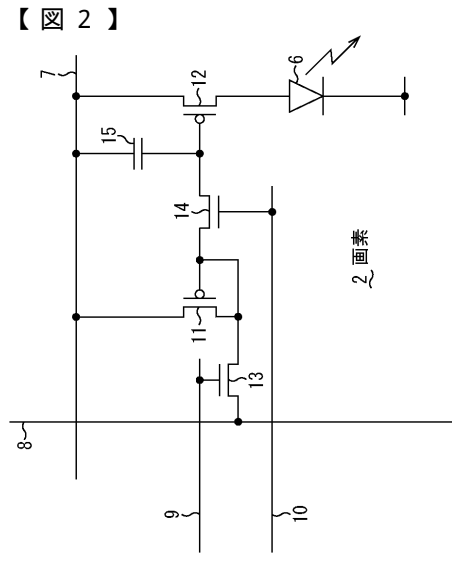
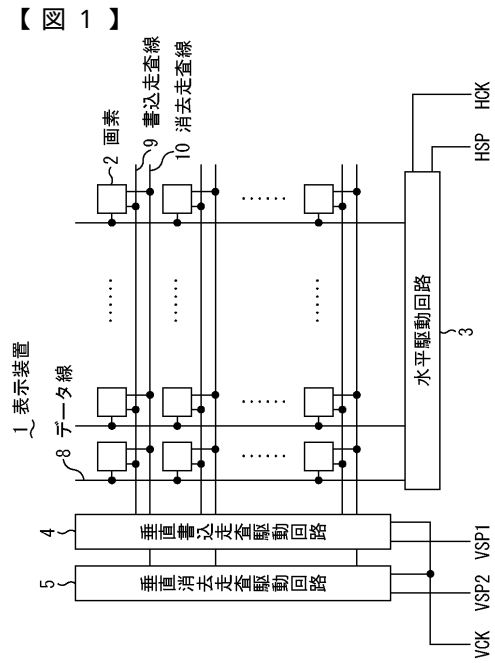
【図14】本発明に係る双方向信号伝送回路の第六実施形態を示す具体的な回路図の一例である。

【符号の説明】

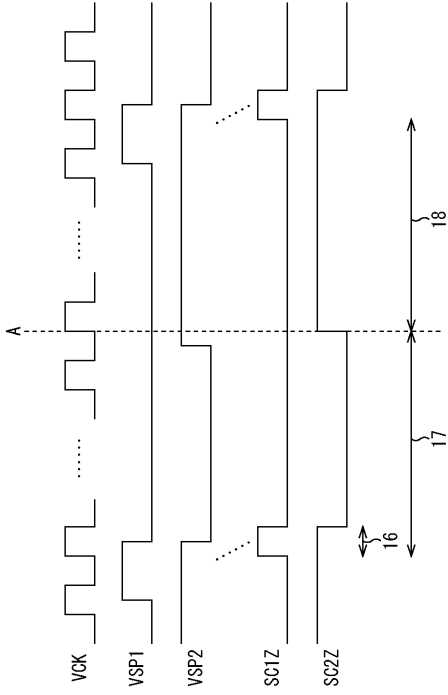
1・・・表示装置、2・・・画素、3・・・水平駆動回路、4・・・垂直書込走査駆動回

50

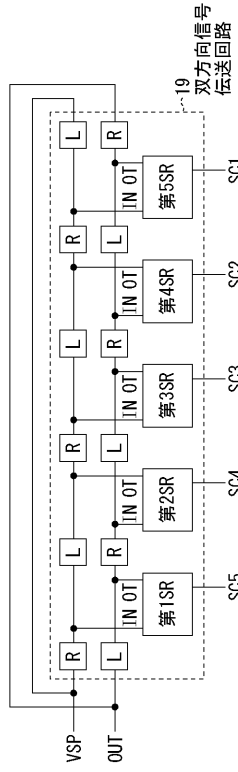
路、5・・・垂直消去走査駆動回路、8・・・データ線、9・・・書込走査線、10・・・消去走査線、19・・・双方向信号伝送回路、20・・・方向制御回路回路、21・・・双方向信号伝送回路、22・・・双方向信号伝送回路、23・・・双方向信号伝送回路、24・・・バッファ素子、25・・・ゲート素子、26・・・反転素子、27・・・方向制御回路回路、28・・・バッファ素子、29・・・プルアップ素子、30・・・ゲート素子、31・・・プルダウン素子、32・・・ゲート素子、33・・・プルアップ素子、34・・・ゲート素子、35・・・プルダウン素子、36・・・ゲート素子、39・・・ハイインピーダンス状態形成回路



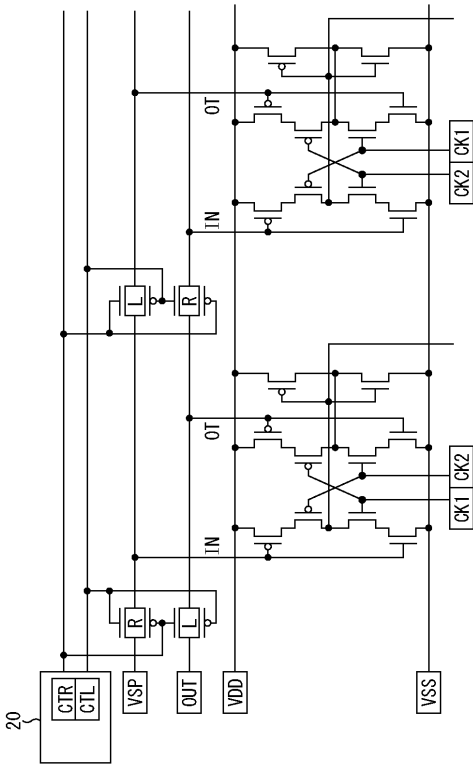
【 図 3 】



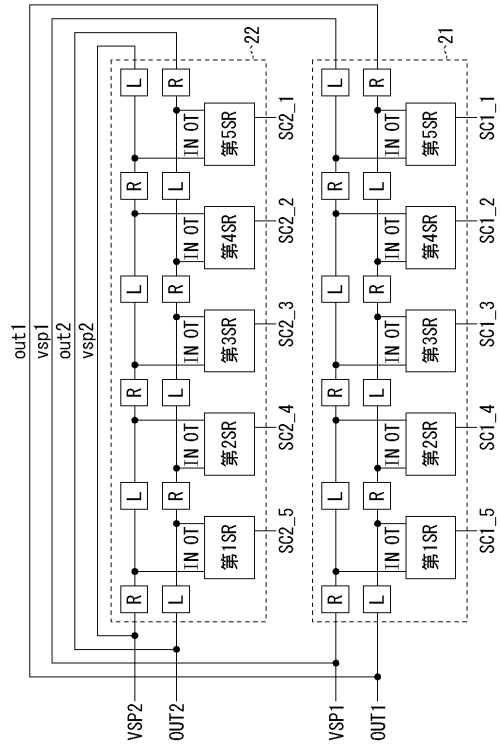
【 図 4 】



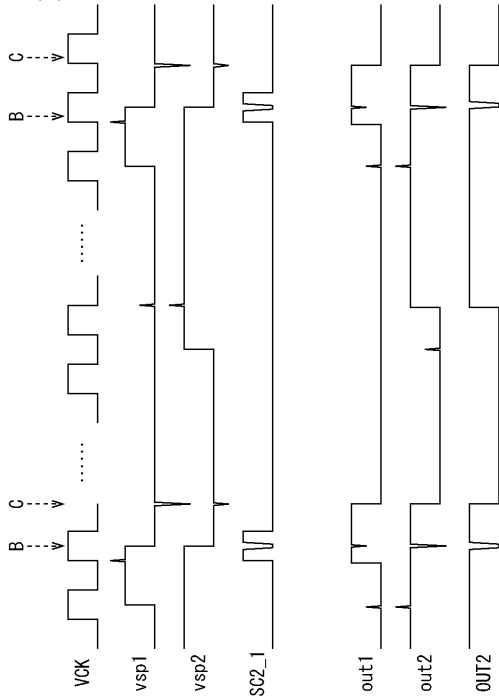
【 図 5 】



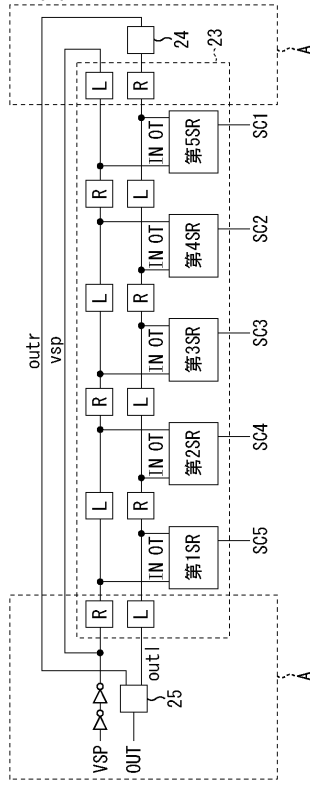
【 図 6 】



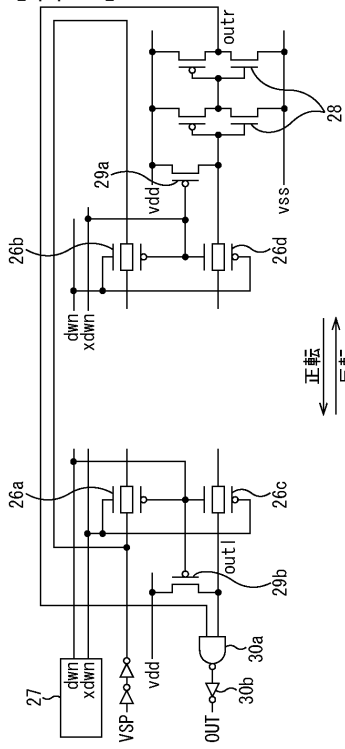
【 7 】



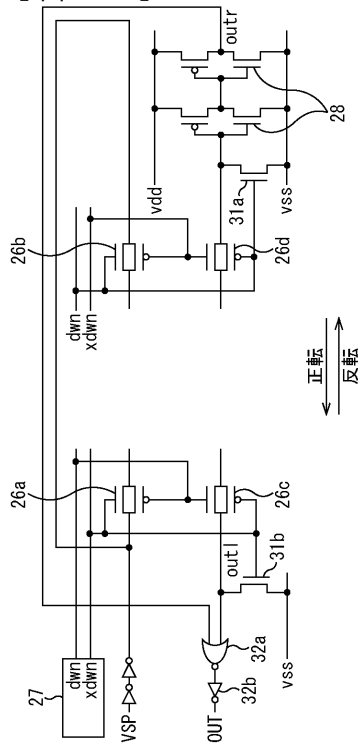
【 8 】

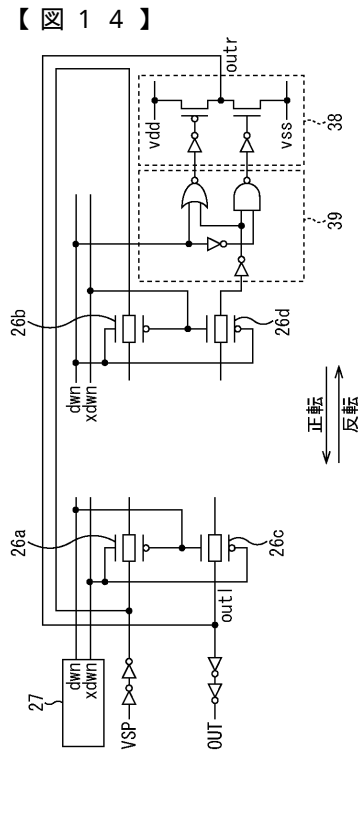
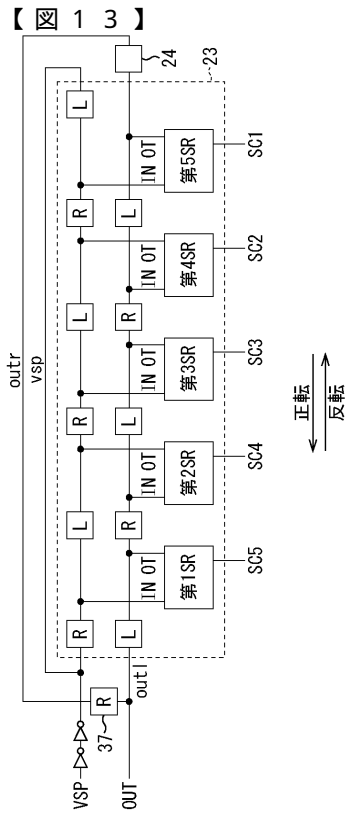
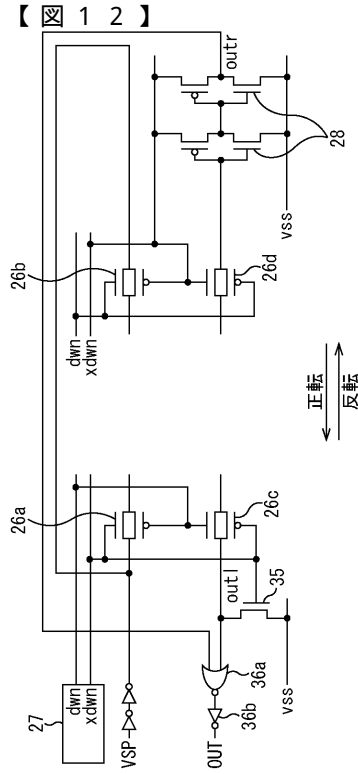
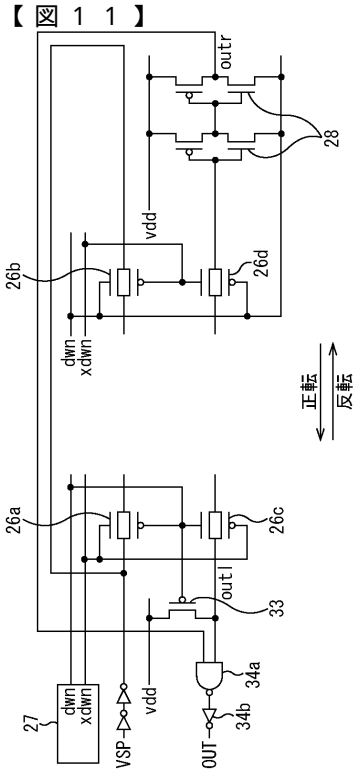


【 9 】



【 10 】





フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/36

審査官 堀江 義隆

(56) 参考文献 特開2003-271109(JP, A)

特開平07-298171(JP, A)

特開平11-202296(JP, A)

特開2001-134240(JP, A)

特開2004-157437(JP, A)

(58) 調査した分野(Int.Cl., DB名)

G11C 19/00

G09G 3/20

G09G 3/36