[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G06F 13/38 (2006.01)

[12] 发明专利说明书

专利号 ZL 200410000884.7

[45] 授权公告日 2006 年 4 月 19 日

[11] 授权公告号 CN 1252607C

[22] 申请日 2004.1.18
[21] 申请号 200410000884.7
[30] 优先权
[32] 2003.1.20 [33] JP [31] 2003-010632
[71] 专利权人 发那科株式会社
地址 日本山梨
[72] 发明人 神田邦男 熊仓达郎 广浜秀幸
审查员 陈汝岩

[74] 专利代理机构 北京银龙知识产权代理有限公司
代理人 郝庆芬

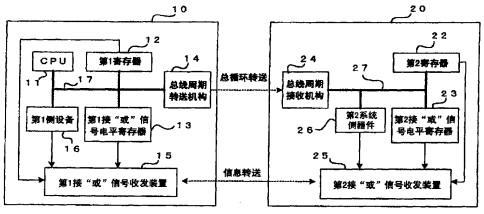
权利要求书 2 页 说明书 10 页 附图 4 页

[54] 发明名称

两个系统间的接“或”信号的传达装置及方法

[57] 摘要

本发明涉及两个系统间的接“或”信号的传达装置及方法。器件将第 1 接“或”信号线确定为低电平。经由第 1 屏蔽机构将该确定状态转送到第 2 系统。由第 2 确定机构对第 2 接“或”信号线进行确定。该确定状态同样被传送到第 1 确定机构，使信号线保持为确定状态。处理已确定的器件后，改变第 1 及第 2 寄存器的值，使第 1 及第 2 屏蔽机构的输出为“非”。确认第 1 及第 2 接“或”信号线呈“非”状态，恢复第 1 及第 2 寄存器的值，按照由第 1 及第 2 屏蔽机构输出接“或”信号线的状态那样进行转换，回到初始状态。



1. 两个系统间的接“或”信号的传达装置，其特征在于，上述装置各个系统具备：

输出装置，分别对输出接“或”信号线的信号状态的第 1 状态和输出”非”状态的第 2 状态进行转换并输出到另一方系统；

转换控制装置，转换上述输出装置的输出状态；和

确定机构，根据自另一方输出装置转送的确定状态将接“或”信号线保持为确定状态，

其中，上述转换控制装置由系统的信息处理机控制的寄存器构成；上述输出装置由以下机构构成：

屏蔽机构，寄存器在规定值时转变成上述第 1 状态，在其他值时转变成第 2 状态；和

传送机构，将上述屏蔽机构的输出转送到另一方系统。

2. 两个系统间的接“或”信号的传达装置，其特征在于，上述装置各系统具备：

输出装置，分别将接“或”信号线的信号状态输出到另一方系统；

转换输出装置，对输出由另一方的系统的输出装置转送的信号状态的第 1 状态和输出”非”状态的第 2 状态进行转换；

转换控制装置，转换该转换输出装置的输出；和

确定机构，根据上述转换输出装置的输出状态将接“或”信号线转换保持为确定状态或”非”状态，

其中，上述转换控制装置由系统的信息处理机控制的寄存器构成；上述转换输出装置由上述寄存器在规定值时转变成上述第 1 状态，在其他值时转变成第 2 状态的屏蔽机构构成。

3. 两个系统间的接“或”信号的传达方法，各系统具备对输出接“或”信号线的信号状态的第 1 状态和输出”非”状态的第 2 状态进行转换并输出到另一方系统的输出装置、和根据自另一方系统的输出装置的确定信号将本系统的接“或”信号线保持为确定状态的确定机构，其特征在于，

上述方法包括：

上述各输出装置处于第 1 状态时，若一方系统的接“或”信号线成为确定状态，则将另一方系统的接“或”信号线转换为确定状态；

其转换后，处理上述一方系统的接“或”信号线为确定状态的器件；

上述器件的处理结束后，将上述各输出装置转换为第 2 状态，确认两个系统的接“或”信号线的”非”状态，将上述各输出装置转换为第 1 状态。

4. 两个系统间的接“或”信号的传达方法，各系统均具备将接“或”信号线的信号状态输出到另一方系统的输出装置、对输出由另一方系统的输出装置转送的信号状态的第 1 状态和输出”非”状态的第 2 状态进行转换的转换输出装置、转换该输出装置的输出的转换控制装置、和根据上述转换输出装置的输出状态将接“或”信号线转换保持为确定状态或”非”状态的确定机构，其特征在于，

上述方法包括：

上述各转换输出装置在第 1 状态下，若一方系统的接“或”信号线成为确定状态，则将另一方系统的接“或”信号线转换为确定状态；

其转换之后，处理上述一方系统的接“或”信号线为确定状态的器件；以及

其器件的处理结束后，将上述各转换输出装置转换为第 2 状态，确认两个系统的接“或”信号线的”非”状态，将上述各转换输出装置转换为第 1 状态。

两个系统间的接“或”信号的传达装置及方法

技术领域

本发明涉及两个系统间的接“或”信号（wired OR signal）共用化。

背景技术

在两个系统物理地分离开、不能直接连接接“或”信号线的情况下，和两个系统的基准接地电位或基准电压不同、不能直接连接接“或”信号线的场合，为了使两个系统接“或”信号共用，需要一种在一方系统的接“或”信号被确定（assert）为低电平时将另一方系统的接“或”信号确定为低电平的代行电路。

图 4 是在这样的两个系统间谋求接“或”信号的共用化的电路装置的一例。

多个器件 103－1、103－2…与第 1 系统 100 中的第 1 接“或”信号线 101 连接。另外，图 4 仅表示连接了 2 个器件 103－1、103－2 的状态。另外，在该第 1 接“或”信号线 101 上，具有检测该第 1 接“或”信号线 101 被确定为低电平并输出的低电平检测电路 104，及通过由第 2 系统 200 的低电平检测电路 204 转送的信息使第 1 接“或”信号线 101 保持为低电平的低电平代行电路 105。另外，接“或”信号线 101 经由电阻 102 与电源连接。

第 2 系统 200 也形成同样的电路结构，在第 2 接“或”信号线 201 上，经由电阻 202 连接电源，另外，连接多个器件 203－1、203－2…、低电平检测电路 204、低电平代行电路 205。

与第 1 接“或”信号线 101 连接的器件 103－1、103－2…具有将其接“或”信号线 101 确定为低电平的驱动电路 Dr 和接收电路 Re。同样，与第 2 接“或”信号线 201 连接的器件 203－1、203－2…具有使其接“或”信号线 201 确定为低电平的驱动电路 Dr 和接收电路 Re。

例如，驱动第 1 系统 100 的器件 103－1 的驱动电路 Dr，使第 1 接“或”信号线 101 成为低电平时，低电平检测电路 104 检测出此信息，并将低

电平检测信息转送到第 2 系统 200。于是，第 2 系统 200 的低电平代行电路 205 被驱动，使第 2 接“或”信号线 201 被驱动为低电平。藉此，第 1 及第 2 系统 100、200 就可接“或”信号共用化。

可是，通过使第 2 接“或”信号线 201 成为低电平，低电平检测信息由低电平检测电路 204 向第 1 系统 100 输出，驱动第 1 系统 100 的低电平代行电路 105，第 1 接“或”信号线 101 就可以保持为低电平。其结果，器件 103－1 的驱动电路 Dr 成为断路，在通常情况下，第 1 接“或”信号线 101 就必须恢复为高电平，但借助低电平代行电路 105 就可以保持低电平。

藉此，第 1 系统 100 的接“或”信号线 101，通过第 2 系统 200 的接“或”信号线 201 的低电平、借助由低电平检测电路 204 转送的信息所驱动的低电平代行电路 105，就可以被保持为低电平。另外，第 2 系统 200 的接“或”信号线 201，通过第 1 系统 100 的接“或”信号线 101 的低电平、借助由低电平检测电路 104 转送的信息所驱动的低电平代行电路 205，就可以保持为低电平。

也就是说，任何一方的系统的接“或”信号线被驱动为低电平时，两系统 100、200 的接“或”信号线 101、201 保持为低电平的确定状态，以后，不能恢复为高电平的“非”状态，从而被锁定。

为了避免此问题，公知的是，设多个能存储相互系统的接“或”信号线的状态的寄存器，由该寄存器存储的状态，禁止将接“或”信号线的状态从一方向另一方系统的传送，以防止两个系统的接“或”信号线被锁定（例如，参照特开平 6－35825 号公报）。

在一般的计算机系统中，接“或”信号多使用于器件的中断请求和对系统整体的同时通报等，使用时仅能作 1 次确定，这使得在使用信号上受到很大限制。另外，在上述特开平 6－35825 号公报所述的方法中，防止锁定状态的方法存在控制电路复杂的缺点，另外，从在相互的系统中同时被驱动到低电平的情况看，可预见到成为锁定状态、使其防止电路不能正常动作的情况。

发明内容

本发明目的就在于提供一种可避免上述弊端的两系统间接“或”信号传达装置与方法。

根据本发明的两个系统间的接“或”信号的传达装置的第 1 种方式，其各个系统具备：输出装置，分别对输出接“或”信号线的信号状态的第 1 状态和输出“非”状态的第 2 状态进行转换并输出到另一方系统；转换控制装置，转换上述输出装置的输出状态；和确定机构，根据自另一方输出装置转送的确定状态将接“或”信号线保持为确定状态。

上述转换控制装置可由系统的信息处理机控制的寄存器构成；而且上述输出装置也可以由以下机构构成：屏蔽机构，寄存器在规定值时转变成上述第 1 状态，在其他值时转变成第 2 状态；和传送机构，将上述屏蔽机构的输出转送到另一方系统。

根据本发明的两个系统间的接“或”信号的传达装置的第 2 种方式，其各个系统具备：输出装置，分别将接“或”信号线的信号状态输出到另一方系统；转换输出装置，对输出由另一方的系统的输出装置转送的信号状态的第 1 状态和输出“非”状态的第 2 状态进行转换；转换控制装置，转换该转换输出装置的输出；和确定机构，根据上述转换输出装置的输出状态将接“或”信号线转换保持为确定状态或”非”状态。

上述转换控制装置可由系统的信息处理机控制的寄存器构成；另外，上述转换输出装置也可以由上述寄存器在规定值时转变成上述第 1 状态，在其他值时转变成第 2 状态的屏蔽机构构成。

根据本发明的两个系统间的接“或”信号的传达方法的第 1 种方式，其各个系统具备：对输出接“或”信号线的信号状态的第 1 状态和输出“非”状态的第 2 状态进行转换并输出到另一方系统的输出装置、和根据自另一方系统的输出装置的确定信号将本系统的接“或”信号线保持为确定状态的确定机构。而且上述方法包括：上述各输出装置处于第 1 状态时，若一方系统的接“或”信号线成为确定状态，则将另一方系统的接“或”信号线转换为确定状态；其转换后，处理上述一方系统的接“或”信号线为确定状态的器件；上述器件的处理结束后，将上述各输出装置转换为第 2 状态，确认两个系统的接“或”信号线的“非”状态，将上述各输

出装置转换为第 1 状态。

根据本发明的两个系统间的接“或”信号的传达方法的第 2 种方式，其各系统均具备将接“或”信号线的信号状态输出到另一方系统的输出装置、对输出由另一方系统的输出装置转送的信号状态的第 1 状态和输出“非”状态的第 2 状态进行转换的转换输出装置、转换该输出装置的输出的转换控制装置、和根据上述转换输出装置的输出状态将接“或”信号线转换保持为确定状态或”非”状态的确定机构。而且，上述方法包括：上述各转换输出装置在第 1 状态下，若一方系统的接“或”信号线成为确定状态，则将另一方系统的接“或”信号线转换为确定状态；其转换之后，处理上述一方系统的接“或”信号线为确定状态的器件；以及其器件的处理结束后，将上述各转换输出装置转换为第 2 状态，确认两个系统的接“或”信号线的“非”状态，将上述各转换输出装置转换为第 1 状态。

根据本发明，提供了一种能够以简单的结构解除锁定状态的两个系统间的接“或”信号的传达装置及传达方法。

本发明的上述的和其他的目的及特征可以参照附图、由以下实施例的说明来表明。

附图说明

图 1 是适用本发明的一种实施例的两个系统的概要的框图。

图 2 是图 1 所示的实施方式中的第 1、第 2 接“或”信号发收装置的第 1 方式的详细框图和图示相关要素的框图。

图 3 是图 1 所示的实施方式中的第 1、第 2 接“或”信号发收装置的第 2 方式的详细框图和图示相关要素的框图。

图 4 是谋求两个系统间接“或”信号的共用化的电路装置的例示图。

具体实施方式

图 1 是适用本发明的一种实施方式的两个系统的概要的框图。

第 1 系统 10 具有：信息处理机（CPU）11、第 1 寄存器 12、第 1 接“或”信号电平寄存器 13、总线周期转送机构 14 和第 1 系统侧器件 16，并分别用系统总线 17 连接。另外，多个器件与系统总线 17 连接，但在图 1

中仅表示 1 个器件 16。另外，第 1 系统 10 具有第 1 接“或”信号收发装置 15。

另外，第 2 系统 20 具有第 2 寄存器 22、第 2 接“或”信号电平寄存器 23、总线周期接收机构 24 和多个第 2 系统侧器件 26（在图 1 中仅图示 1 个器件），并分别用系统总线 27 连接。另外，第 2 系统 20 具有第 2 接“或”信号收发装置 25。

信息处理机 11 可以经由第 1 系统总线 17，读/写第 1 系统侧器件 16、写第 1 寄存器、读第 1 接“或”信号电平寄存器。另外，总线周期转送机构 14 可以将信息处理机 11 读/写特定器件的周期向第 2 系统 20 转送。

第 2 系统 20 的总线周期接收机构 24 使用第 2 系统总线 27 实行由第 1 系统 10 转送的读/写周期。藉此，第 1 系统 10 的信息处理机 11 可以读/写第 2 系统 20 的第 2 系统侧器件 26、写第 2 寄存器 22、以及读第 2 接“或”信号电平寄存器 23。

除了上述的靠系统总线 17、27 的两个系统 10、20 的连接以外，为了使第 1 及第 2 系统 10、20 中的接“或”信号共用化，在第 1 及第 2 系统 10、20 中设第 1 及第 2 接“或”信号收发装置 15、25。

图 2 是该第 1 及第 2 接“或”信号收发装置 15、25 的第 1 方式的详细框图和图示相关要素的框图。

第 1 接“或”信号收发装置 15 由第 1 接“或”信号线 15a、与该第 1 接“或”信号线 15a 连接的电阻 15b、第 1 屏蔽机构 15c 和第 1 确认机构 15e 以及与第 1 屏蔽机构 15c 连接的第 1 传送机构 15d 构成。另外，第 1 系统侧器件 16 及第 1 接“或”信号电平寄存器 13 与第 1 接“或”信号线 15a 连接。另外，第 1 系统侧器件 16 及第 1 接“或”信号电平寄存器 13 通过电阻 15b 分别与电源连接。另外，第 1 寄存器 12 与第 1 屏蔽机构 15c 连接。

同样，设在第 2 系统 20 侧的第 2 接“或”信号收发装置 25 由第 2 接“或”信号线 25a、与该第 2 接“或”信号线 25a 连接的电阻 25b、第 2 屏蔽机构 25c 和第 2 确认机构 25e 以及与第 2 屏蔽机构 25c 连接的第 2 传送机构 25d 构成。另外，第 2 系统侧器件 26 及第 2 接“或”信号电平

寄存器 23 与第 2 接“或”信号线 25a 连接。另外，第 2 系统侧器件 26 及第 2 接“或”信号电平寄存器 23 通过电阻 25b 分别与电源连接。另外，第 2 寄存器 22 与第 2 屏蔽机构 25c 连接。

在该实施方式中，将一方系统的接“或”信号状态转送到另一方系统的输出装置由屏蔽机构 15c、25c 和传送机构 15d、25d 构成，转换该输出装置的输出状态的转换控制装置由寄存器 12、22 构成。

多个器件分别与第 1 系统 10 的第 1 接“或”信号线 15a 及第 2 系统 20 的第 2 接“或”信号线 25a 连接，但图 2 与图 1 同样仅分别表示了 1 个器件 16、26。另外，各器件 16、26 具有使被连接的接“或”信号线确定为低电平的驱动电路 Dr 和接收电路 De。

在第 1 系统 10 中，第 1 系统侧器件 16 或第 1 确认机构 15e 将第 1 接“或”信号线 15a 驱动为低电平。另外，第 1 屏蔽机构 15c 和第 1 接“或”信号电平寄存器 13 检测第 1 接“或”信号线 15a 的信号电平。同样，在第 2 系统 20 中，第 2 系统侧器件 26 或第 2 确认机构 25e 由低电平驱动第 2 接“或”信号线 25a。另外，第 2 屏蔽机构 25c 和第 2 接“或”信号电平寄存器 23 检测第 2 接“或”信号线 25a 的信号电平。

在初始状态下，第 1 寄存器 12 及第 2 寄存器 22 分别被设置为不对第 1 屏蔽机构 15c、第 2 屏蔽机构 25c 的输出进行屏蔽的规定值。另外，第 1 及第 2 接“或”信号线 15a、25a 取为“非”状态，即，与第 1 及第 2 接“或”信号线 15a、25a 连接的哪个器件 16、26 也不被驱动，第 1 及第 2 接“或”信号线 15a、25a 取为高电平的“非”状态。

在该初始状态下，由第 1 屏蔽机构 15c 向第 1 传送机构 15d 输出“非”状态，第 1 传送机构 15d 将该“非”状态转送到第 2 系统 20。第 2 确定机构 25e 接收该“非”状态，不进行动作，使第 2 接“或”信号线 25a 不确定为低电平。

同样，第 2 屏蔽机构 25c 将“非”状态向第 2 传送机构 25d 输出，第 2 传送机构 25d 将“非”状态转送到第 1 系统 10。第 1 确定机构 15e 接收该”非”状态，不进行动作，使第 1 接“或”信号线 15a 不确定为低电平。

第 1 及第 2 系统 10、20 保持该状态。

但是，当驱动第 1 系统 10 的第 1 系统侧器件 16 的驱动电路 Dr，使第 1 接“或”信号线 15a 确定为低电平时，第 1 屏蔽机构 15c 及第 1 传送机构 15d 将该确定状态转送到第 2 系统 20。其结果，第 2 确定机构 25e 动作，使第 2 接“或”信号线 25a 确定为低电平。藉此，第 1 及第 2 系统 10、20 可以使接“或”信号共用化，第 1 系统侧器件 16 可以将确定状态传送给第 2 系统侧器件 26。

另外，第 2 屏蔽机构 25c 将第 2 接“或”信号线 25a 的确定状态输出，通过第 2 传送机构 25d 将确定状态转送到第 1 系统 10。藉此，驱动第 1 系统 10 的第 1 确定机构 15e，第 1 接“或”信号线 15a 保持为确定状态。其结果，第 1 及第 2 接“或”信号线 15a、25a 通过第 1 系统侧器件 16、第 1 确定机构 15e 及第 2 确定机构 25e 保持为确定状态。

通过转送确定状态，第 1 系统侧器件 16 结束其处理，第 1 系统侧器件 16 的驱动电路 Dr 成为断开，中止了第 1 接“或”信号线 15a 的确定。但是，由于第 1 确认机构 15e 使第 1 接“或”信号线 15a 保持为确定状态，所以第 1、第 2 接“或”信号线 15a、25a 保持确定状态。

另外，在总线周期中，信息处理机 11 确认第 2 器件 26 的变化状态，变更第 1 及第 2 寄存器 12、22 的值。由于第 1 寄存器 12 的值由规定值变更，所以第 1 屏蔽机构 15c 输出“非”状态，第 1 传送机构 15d 将该“非”状态转送到第 2 系统 20。其结果，第 2 确定机构 25e 中止第 2 接“或”信号线 25a 的确定。藉此，第 2 接“或”信号线 25a，只要第 2 系统 20 的器件不确定，就保持“非”状态。

另外，由于第 2 寄存器 22 的值由规定值变更，所以第 2 屏蔽机构 25c 输出“非”状态，第 2 传送机构 25d 将该“非”状态转送到第 1 系统 10。其结果，第 1 确定机构 15e 停止第 1 接“或”信号线 15a 的确定。藉此，第 1 接“或”信号线 15a 也成为“非”状态。因而，该第 1 接“或”信号线 15a，只要第 1 系统 10 的器件不确定，也不会成为确定状态。

信息处理机 11 读第 1 接“或”信号电平寄存器 13，还在总线周期中，读第 2 接“或”信号电平寄存器 23，确认第 1 及第 2 接“或”信号究竟那一方是“非”状态。此后，信息处理机 11 使第 1 及第 2 寄存器 12、22

的值恢复为不对第 1 及第 2 屏蔽机构 15c、25c 的输出进行屏蔽的值。藉此，回到初始状态，成为等待各器件的确定的状态。

在上述的动作例中，叙述了第 1 系统 10 的第 1 系统侧器件 16 以接“或”信号作为确定的例子，但即使在第 2 系统 20 的第 2 系统侧器件 26 以接“或”信号作为确定的场合，也是一样的。

另外，第 1 系统 10 或第 2 系统 20 的任一个器件对接“或”信号进行确定，如上述那样，将第 1、第 2 的接“或”信号线 15a、25a 确定为低电平后，在该最初进行确定的器件以外的器件以接“或”信号进行确定的场合，可以在最初进行确定的器件的处理结束，变更第 1、第 2 寄存器 12、13 的值，即使对第 1、第 2 屏蔽机构 15c、25c 的输出进行屏蔽而成为“非”状态，而后连接已确定的器件的第 1 或第 2 接“或”信号 15a、25a，也会由该器件保持确定状态。

为此，当信息处理机 11 读第 1 接“或”信号电平寄存器 13 及第 2 接“或”信号电平寄存器 23，同时确认了是不是“非”状态时，一方被检测出不呈“非”状态。这时，实行在后确定了的器件的处理。藉此，中止由该器件的确定，因此由该器件确定的接“或”信号线也成为否定。

信息处理机 11 借助第 1 接“或”信号电平寄存器 13 及第 2 接“或”信号电平寄存器 23，可以确认接“或”信号成为否定。若被确认时，将第 1 及第 2 寄存器 12、22 的值恢复成为不对第 1 及第 2 屏蔽机构 15c、25c 的输出进行屏蔽的规定值。藉此，第 1 及第 2 屏蔽机构 15c、25c 成为输出第 1、第 2 的接“或”信号线 15a、25a 状态的初始状态，成为等待来自各器件的接“或”信号的确定的状态。

图 3 是第 1、第 2 接“或”信号收发装置 15、25 的第 2 方式的详细框图和图示相关要素的框图。在图 3 中，用符号 15d′ 表示第 1 传送机构，用符号 25d′ 表示第 2 传送机构，用符号 15c′ 表示第 1 屏蔽机构，用符号 25c′ 表示第 2 屏蔽机构。其他构成要素赋予与图 2 所示的第 1 方式相同的符号。

该第 2 方式（图 3）与第 1 方式（图 2）不同的点在于采用将本系统的状态转送到其他系统后才进行状态选择的方式。与图 2 所示的第 1 方

式相比，该第 2 方式中不同点在于第 1、第 2 传送机构 15d′ 、25d′ 及第 1、第 2 屏蔽机构 15c′ 、25c′ 和其他要素的连接关系发生变化。

第 1 传送机构 15d′ 与第 1 接“或”信号线 15a 直接连接，将第 1 接“或”信号线 15a 的状态转送给第 2 系统 20。在第 2 系统 20 的第 2 接“或”信号收发装置 25 中，由第 2 屏蔽机构 25c′接收该转送信息。另外，该第 2 屏蔽机构 25c′与第 2 确定机构 25e 连接。

同样，第 2 传送机构 25d′ 与第 2 接“或”信号线 25a 直接连接，将第 2 接“或”信号线 25a 的状态转送给第 1 系统 10。在第 1 系统 10 的第 1 接“或”信号收发装置 15 中，由第 1 屏蔽机构 15c′接收该转送信息。另外，该第 1 屏蔽机构 15c′与第 1 确定机构 15e 连接。

另外，第 1、第 2 寄存器 12、22 分别与第 1、第 2 屏蔽机构 15c′、25c′连接。其他结构与图 2 所示的第 1 方式相同。在第 1、第 2 的接“或”信号收发装置 15、25 的该第 2 方式中，第 1、第 2 传送机构 15d′ 、25d′ 分别形成输出接“或”信号线 15a、25a 的状态的输出装置，第 1、第 2 屏蔽机构 15c′、25c′构成转换为输出接收的转送信号状态的状态和“非”状态并输出的转换输出装置。

该第 2 方式也进行与第 1 方式同样的动作，简单地说明该动作。与第 1 方式同样，在初始状态，第 1 寄存器 12、第 2 寄存器 22 被设置为不对第 1 屏蔽机构 15c′、第 2 屏蔽机构 25c′的输出进行屏蔽的规定值。

另外，第 1 及第 2 接“或”信号线 15a、25a 均设为“非”状态。第 1 传送机构 15d′ 将该“非”状态转送到第 2 系统 20，第 2 屏蔽机构 25c′将该“非”状态输出到第 2 确定机构 25e，但第 2 确定机构 25e 不进行动作，不将第 2 接“或”信号线 25a 确定为低电平。

同样，第 2 传送机构 25d′ 将该“非”状态输出到第 1 系统 10，第 1 屏蔽机构 15c′将该“非”状态输出到第 1 确定机构 15e，但第 1 确定机构 15e 不进行动作，不将第 1 接“或”信号线 15a 确定为低电平。

驱动第 1 系统 10 的第 1 系统侧器件 16 的驱动电路 Dr、第 1 接“或”信号线 15a 被确定为低电平时，第 1 传送机构 15d′ 将该确定状态传送到第 2 系统 20，第 2 屏蔽机构 25c′ 输出确定状态，使第 2 确定机构 25e

动作，将第 2 接“或”信号线 25a 确定为低电平。

第 2 传送机构 25d′ 将第 2 接“或”信号线 25a 的确定状态转送到第 1 系统 10，第 1 屏蔽机构 15c′ 输出该确定状态，驱动第 1 确定机构 15e，使第 1 接“或”信号线 15a 保持为确定状态。藉此，第 1 及第 2 接“或”信号线 15a、25a 通过第 1 系统侧器件 16、第 1 确定机构 15e、第 2 确定机构 25e 保持为确定状态。

即使第 1 系统侧器件 16 的驱动电路 Dr 成为断开，第 1 确定机构 15e 也能够使第 1 接“或”信号线 15a 保持为确定状态，因而，第 1 及第 2 接“或”信号线 15a、25a 保持确定状态。

这里，在总线周期中，信息处理机 11 确认第 2 系统侧器件 26 的变化状态，变更第 1、第 2 寄存器 12、22 的值。藉此，第 1 及第 2 屏蔽机构 15c′、25c′输出“非”状态，第 1、第 2 确定机构 15e、25e 中止第 1、第 2 接“或”信号线 15a、25a 的确定。此后，只要器件 16、26 不确定，就保持“非”状态。

信息处理机 11 读第 1、第 2 接“或”信号电平寄存器 13、23，确认第 1、第 2 接“或”信号哪一个是“非”状态后，使第 1、第 2 寄存器 12、22 的值恢复为不对第 1、第 2 屏蔽机构 15c′、25c′的输出进行屏蔽的值。藉此，回到初始状态，成为等待各器件的确定的状态。

另外，第 2 系统 20 的第 2 系统侧器件 26 对接“或”信号线 25a 进行确定的场合也进行与上述的动作大体相同的动作，因此将说明省略。

在上述的实施方式中，仅第 1 系统 10 具备信息处理机 11，但即使第 2 系统 20 也具备信息处理机，本发明也可以适用。另外，此时可以使总线周期转送机构 14、总线周期接收机构 24 作为总线周期转送接收机构，相互进行总线周期转送。

如以上说明那样，按照本发明，能以简单的结构对两个系统间接“或”信号锁定状态进行锁定解除。

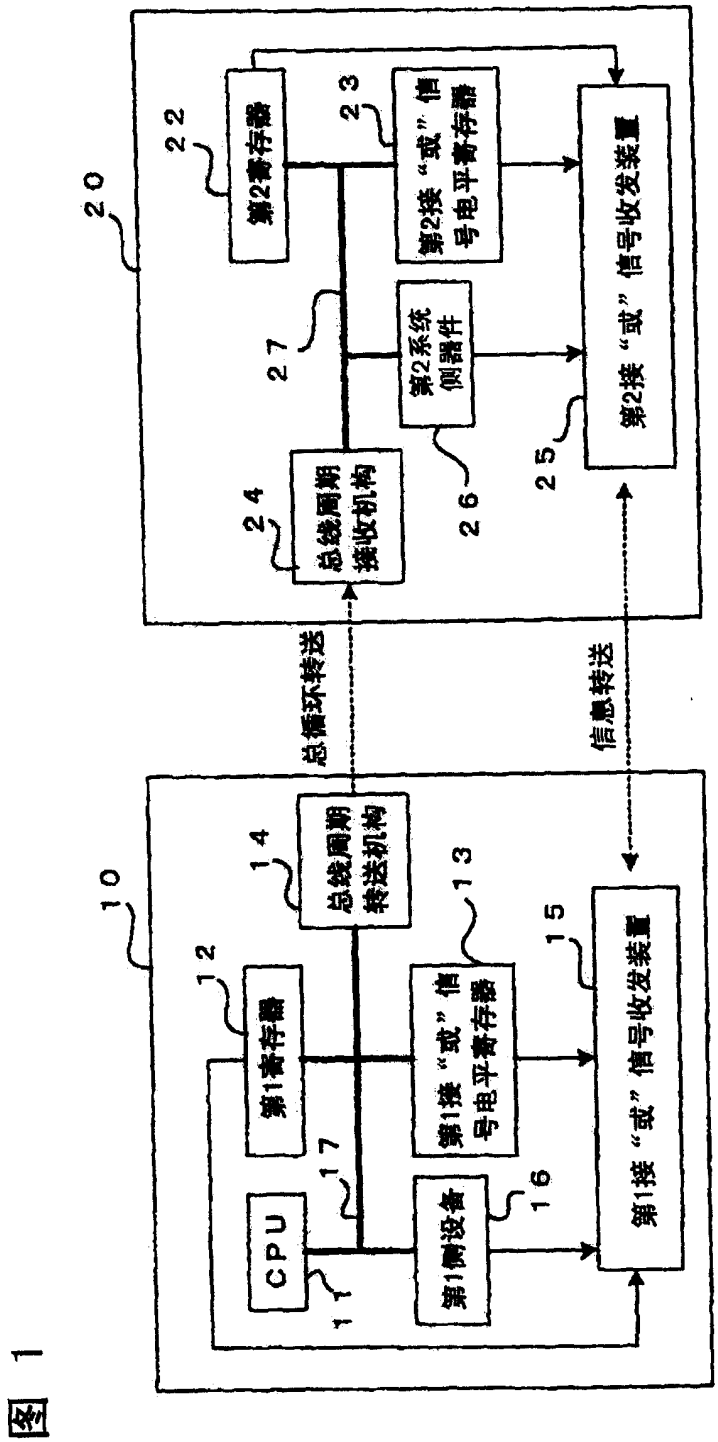

10
20
CPU
11
第1寄存器
12
第1侧设备
16
第1接“或”信号收发装置
15
第1接“或”信号电平寄存器
13
总线周期转送机构
14
第2寄存器
22
第2接“或”信号电平寄存器
23
第2接“或”信号收发装置
25
第2系统侧器件
26
总线周期接收机构
24
17
27
总循环转送
信息转送

图 1

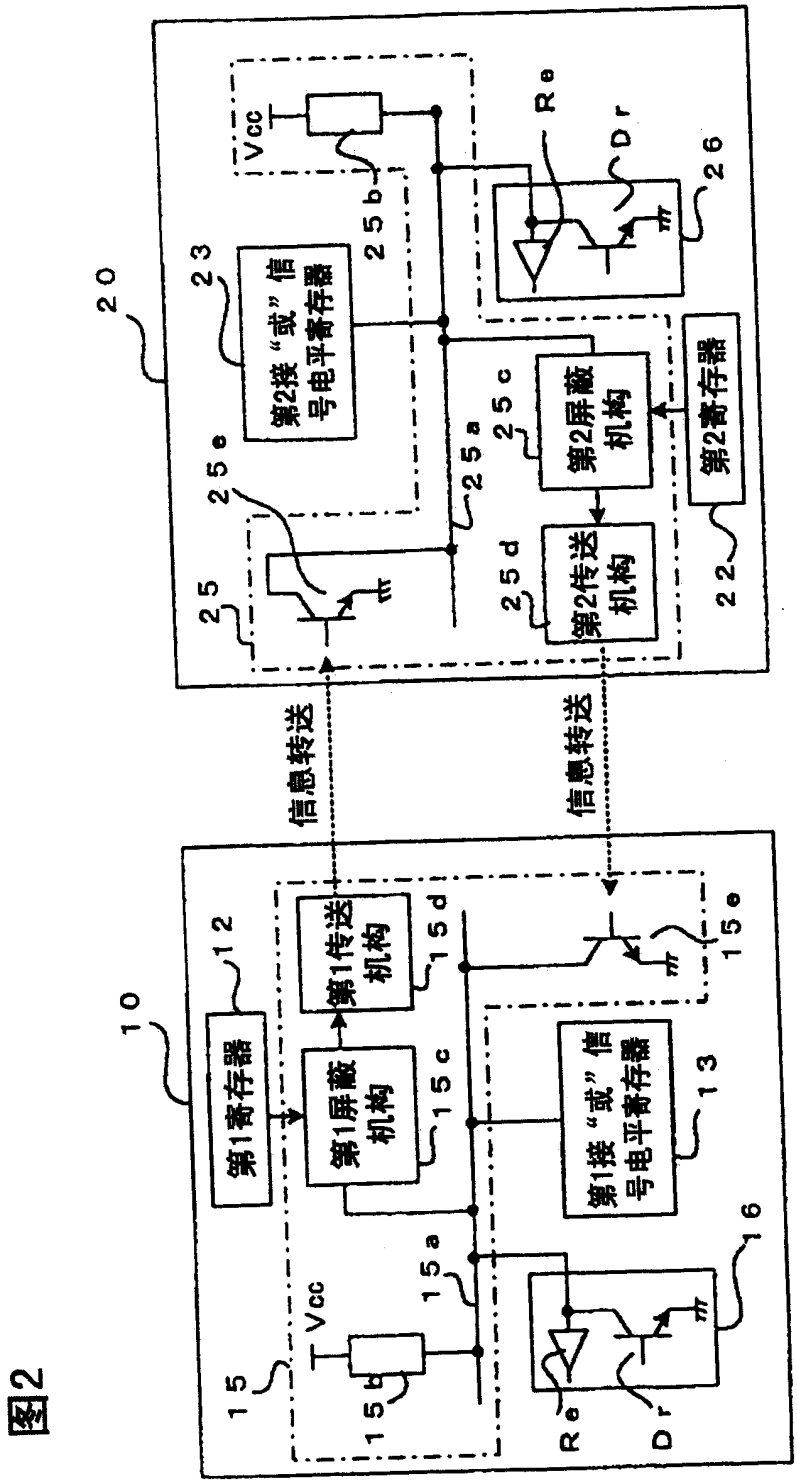

10
第1寄存器
12
第1屏蔽机构
第1传送机构
15c
15d
15e
第1接“或”信号电平寄存器
13
15
Vcc
15b
15a
16
Re
Dr
信息转送
信息转送
20
第2接“或”信号电平寄存器
23
25b
25e
25
25a
25c
第2屏蔽机构
25d
第2传送机构
第2寄存器
22
26

图2

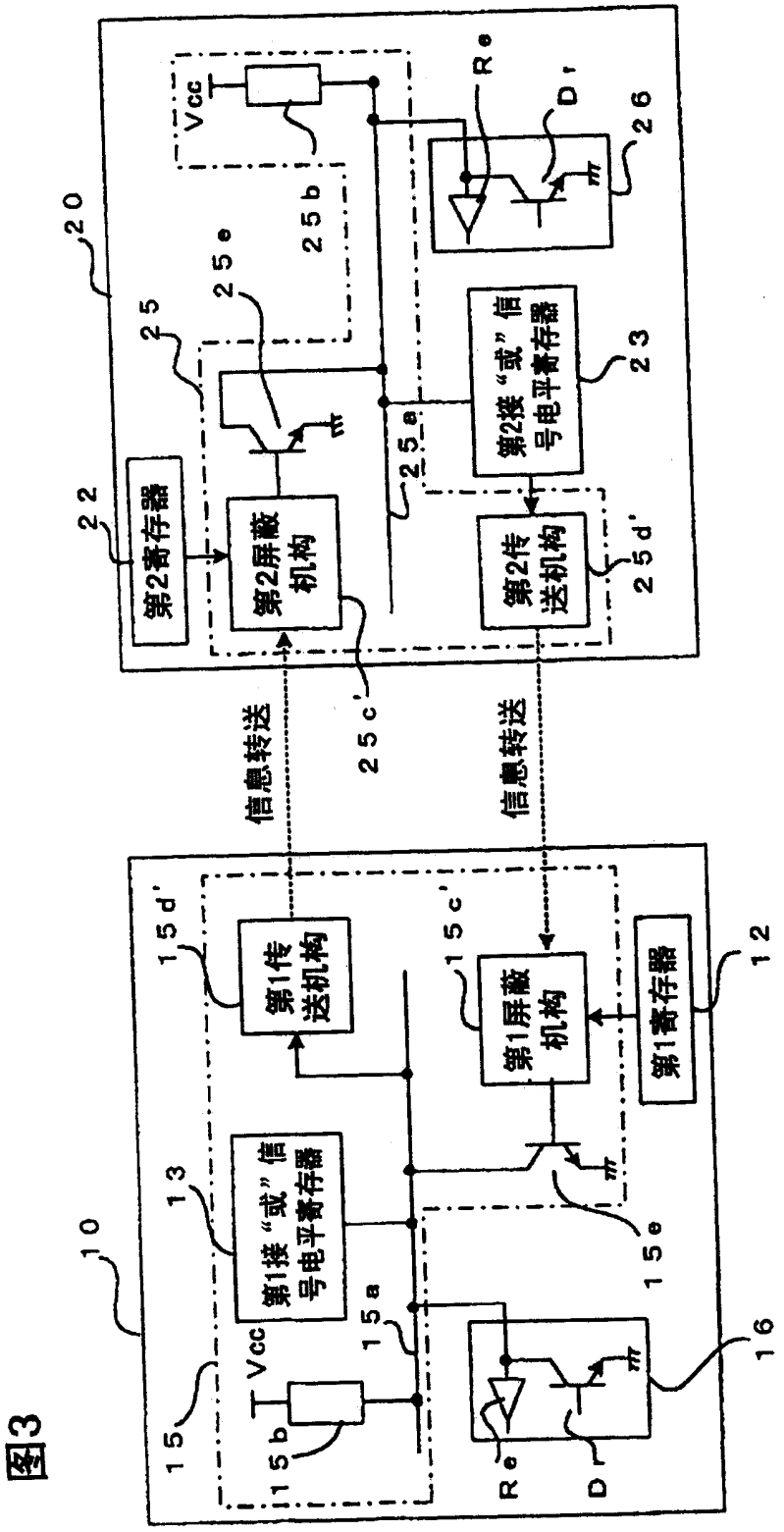

10
12
13
15
15a
15b
15c'
15d'
15e
16
20
22
23
25
25a
25b
25c'
25d'
25e
26
Vcc
Re
D
D'
第1传送机构
第1屏蔽机构
第1寄存器
第1接"或"信号电平寄存器
第2寄存器
第2屏蔽机构
第2传送机构
第2接"或"信号电平寄存器
信息转送
信息转送

图3

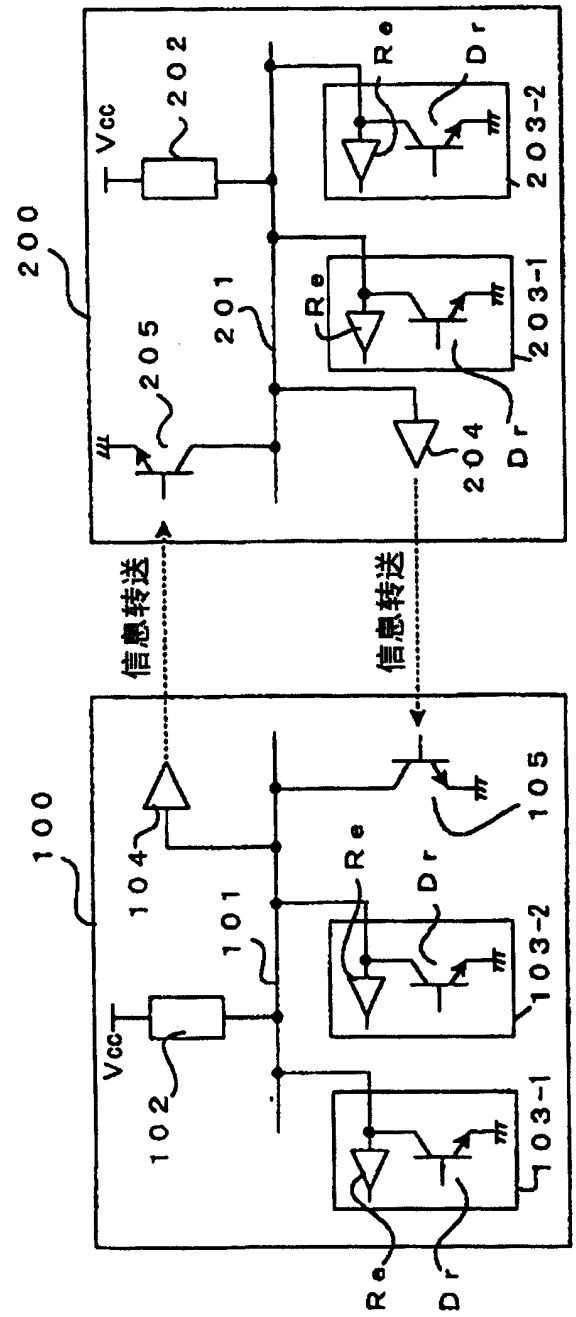

200
Vcc
202
Re
Dr
203-2
203-1
201
205
204
信息转送
信息转送
100
104
101
102
105
103-2
103-1

图4