



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월12일
(11) 등록번호 10-1232069
(24) 등록일자 2013년02월05일

(51) 국제특허분류(Int. Cl.)
H01L 33/50 (2010.01) H01L 33/46 (2010.01)
(21) 출원번호 10-2012-0028855
(22) 출원일자 2012년03월21일
심사청구일자 2012년03월21일
(56) 선행기술조사문헌
KR100993074 B1
KR1020090080217 A

(73) 특허권자
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김태근
경기도 성남시 분당구 이매동 청구아파트
601-1105
김수진
서울특별시 강동구 길1동 349-13
(74) 대리인
특허법인주원

전체 청구항 수 : 총 17 항

심사관 : 구영희

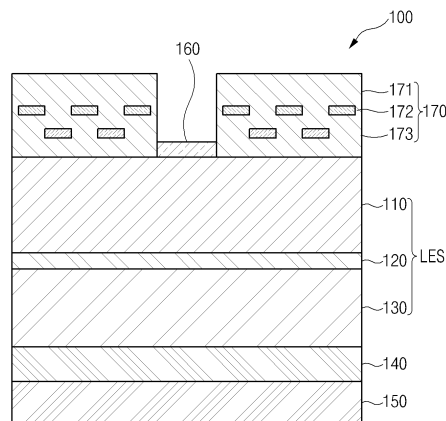
(54) 발명의 명칭 발광 소자 및 그 제조 방법

(57) 요약

본 발명은 별도의 외부 패키징 없이 내부에 형광체 패턴을 형성하여 고순도의 백색광을 방출하는 단일칩 발광 소자의 구현을 가능하게 하는 발광 소자 및 그 제조 방법에 관한 것이다.

일례로, 제 1 도전형 반도체층; 상기 제 1 도전형 반도체층에 접하는 활성층; 상기 활성층 중 상기 제 1 도전형 반도체층과 접하는 면의 반대 면에 형성된 제 2 도전형 반도체층; 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 형성된 반사층; 상기 반사층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 부착되는 지지 기판; 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 형성된 전극; 및 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 상기 전극의 측부 주변에 배치되며, 언도프드 반도체층에 형광체 패턴이 매립되어 형성된 형광체 박막층을 포함하는 것을 특징으로 하는 발광 소자가 개시된다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 도전형 반도체층;

상기 제 1 도전형 반도체층에 접하는 활성층;

상기 활성층 중 상기 제 1 도전형 반도체층과 접하는 면의 반대 면에 형성된 제 2 도전형 반도체층;

상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 형성된 반사층;

상기 반사층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 부착되는 지지 기판;

상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 형성된 전극; 및

상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 상기 전극의 측부 주변에 배치되며, 언도프드 반도체층에 형광체 패턴이 매립되어 형성된 형광체 박막층을 포함하는 것을 특징으로 하는 발광 소자.

청구항 2

제 1 항에 있어서,

상기 형광체 패턴은 서로 이격되게 배열되는 복수의 제 1 형광체를 포함하는 제 1 형광체 패턴과, 상기 제 1 형광체 패턴의 하부에 배치되며 서로 이격되게 배열되는 복수의 제 2 형광체를 포함하는 제 2 형광체 패턴을 포함하는 것을 특징으로 하는 발광 소자.

청구항 3

제 2 항에 있어서,

상기 제 1 형광체는 도트 형상으로 배열되며,

상기 제 2 형광체는 도트 형상으로 배열되고,

상기 제 1 형광체와 상기 제 2 형광체는 수평 방향에서 서로 교대로 위치하는 것을 특징으로 하는 발광 소자.

청구항 4

제 2 항에 있어서,

상기 제 1 형광체는 스트라이프 형상으로 배열되며,

상기 제 2 형광체는 스트라이프 형상으로 배열되고,

상기 제 1 형광체와 상기 제 2 형광체는 수평 방향에서 서로 교대로 위치하는 것을 특징으로 하는 발광 소자.

청구항 5

제 2 항에 있어서,

상기 제 1 형광체와 상기 제 2 형광체는 황색 형광체인 것을 특징으로 하는 발광 소자.

청구항 6

제 1 항에 있어서,

상기 형광 박막층은 상기 전극보다 두꺼운 것을 특징으로 하는 발광 소자.

청구항 7

제 1 항에 있어서,

상기 제 1 도전형은 n형이며, 상기 제 2 도전형은 p형인 것을 특징으로 하는 발광 소자.

청구항 8

제 1 항에 있어서,

상기 언도프드 반도체층은 언도프드 GaN으로 형성되는 것을 특징으로 하는 발광 소자.

청구항 9

기판을 준비하는 기판 준비 단계;

언도프드 반도체층에 형광체 패턴이 매립되어 형성된 형광체 박막층을 상기 기판 상에 형성하는 형광체 박막층 형성 단계;

상기 형광체 박막층 중 상기 기판과 접하는 면의 반대 면에 제 1 도전형 반도체층, 활성층 및 제 2 도전형 반도체층을 순차적으로 형성하는 발광 구조물 형성 단계;

상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 반사층을 형성하고, 상기 반사층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 지지 기판을 부착시키고, 상기 기판을 제거하는 반사층 형성 및 지지 기판 부착 단계; 및

상기 형광체 박막층의 선택적 식각에 의해 노출되는 상기 제 1 도전형 반도체층 상에 전극을 형성하는 전극 형성 단계를 포함하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 10

제 9 항에 있어서,

상기 기판 준비 단계는 상기 기판 상에 언도프드 반도체층을 형성하고 상기 언도프드 반도체층 상에 제 1 형광체를 증착시키는 과정을 포함하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 11

제 10 항에 있어서,

상기 형광체 박막층 형성 단계는 상기 제 1 형광체를 패터닝하여 형성되는 제 1 형광체 패턴을 성장 방법에 의해 상기 언도프드 반도체층에 매립시키고, 상기 언도프드 반도체층 상에 제 2 형광체를 증착하고 패터닝하여 형성되는 제 2 형광체 패턴을 성장 방법에 의해 상기 언도프드 반도체층에 매립시키는 과정을 포함하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 12

제 11 항에 있어서,

상기 제 1 형광체의 패터닝은 상기 제 1 형광체 상에 배치되는 제 1 산화막 패턴을 마스크로 사용하여 이루어지며,

상기 언도프드 반도체층의 성장 방법은 에피택셜 측면 과성장 방법인 것을 특징으로 하는 발광 소자 제조 방법.

청구항 13

제 11 항에 있어서,

상기 제 2 형광체의 패터닝은 상기 제 2 형광체 상에 배치되는 제 2 산화막 패턴을 마스크로 사용하여 이루어지며,

상기 언도프드 반도체층의 성장 방법은 에피택셜 측면 과성장 방법인 것을 특징으로 하는 발광 소자 제조 방법.

청구항 14

제 11 항에 있어서,

상기 형광체 박막층 형성 단계에서,

상기 제 1 형광체 패턴은 도트 형상을 가지는 복수의 제 1 형광체가 서로 이격되게 배열되어 이루어지며,

상기 제 2 형광체 패턴은 도트 형상을 가지는 복수의 제 2 형광체가 서로 이격되게 배열되어 이루어지며,

상기 1 형광체 패턴의 제 1 형광체와 상기 제 2 형광체 패턴의 제 2 형광체는 수평 방향에서 서로 교대로 위치하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 15

제 11 항에 있어서,

상기 형광체 박막층 형성 단계에서,

상기 제 1 형광체 패턴은 스트라이프 형상을 가지는 복수의 제 1 형광체가 서로 이격되게 배열되어 이루어지며,

상기 제 2 형광체 패턴은 스트라이프 형상을 가지는 복수의 제 2 형광체가 서로 이격되게 배열되어 이루어지며,

상기 1 형광체 패턴의 제 1 형광체와 상기 제 2 형광체 패턴의 제 2 형광체는 수평 방향에서 서로 교대로 위치하는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 16

제 11 항에 있어서,

상기 전극 형성 단계에서,

상기 형광체 박막층의 선택적 식각은 마스크 패턴을 이용하여 이루어지는 것을 특징으로 하는 발광 소자 제조 방법.

청구항 17

제 11 항에 있어서,

상기 전극 형성 단계에서,

상기 전극은 상기 형광체 박막층보다 작은 두께를 가지도록 형성되는 것을 특징으로 하는 발광 소자 제조 방법.

명세서

기술분야

[0001] 본 발명은 발광 소자 및 그 제조 방법에 관한 것으로, 특히 별도의 외부 패키징 없이 내부에 형광체 패턴을 형성하여 고순도의 백색광을 방출하는 단일칩 발광 소자의 구현을 가능하게 하는 발광 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 발광 소자는 전기 에너지를 빛 에너지로 변환하여 빛을 외부로 방출하는 소자이다. 이러한 발광 소자는 일 예로 발광 다이오드(light emitting diode; LED)를 포함한다.

[0003] 최근, 질화갈륨계(GaN) 발광 다이오드(light-emitting diodes; LEDs)는 질화갈륨(GaN)의 금속유기화학기상 증착법(metal-organic chemical vapor deposion; MOCVD) 및 분자선 성장법(molecular-beam epitaxial growth; MBE) 등의 성장법 및 새로운 공정 기술의 발달을 바탕으로 고휘도 및 백색광 구현이 가능한 적색(Red), 녹색(Green), 청색(Blue), 자외선 발광 다이오드로 구현되고 있다.

[0004] 현재 질화갈륨계 물질을 이용한 발광 다이오드를 포함하는 발광 소자에서 백색광을 구현하는 데는 크게 네 가지 방법이 있다. 첫번째 방법은 몰딩 수지에 분산된 파우더 형태의 YAG(Yttrium Aluminum Garnet)계 황색 형광체를 청색 발광 다이오드에 별도로 도포하는 방법이다. 두번째 방법은 몰딩 수지에 분산된 파우더 형태의 적, 녹, 청색의 형광체를 자외선 발광 다이오드에 별도로 도포하는 방법이다. 세번째 방법은 멀티 칩으로 적, 녹, 청색의 세가지 발광 다이오드 칩을 조합하여 제작되는 방법이다. 네번째 방법은 보색 관계를 갖는 주황색과 청록색을

갖는 두 개의 발광 다이오드를 조합하여 제작되는 방법이다.

[0005] 위 네 가지 방법 중, 가장 널리 사용되는 방법은 첫번째 방법이다. 이 첫번째 방법에 의해 제조된 발광 소자는 청색 발광 다이오드로부터 발생하는 청색광이 황색 형광체를 여기시켜 황색광을 방출되게 하고 청색광과 황색이 혼합된 백색광을 방출시킨다. 위와 같은 첫번째 방법에 의해 제조되어 백색광을 방출시키는 발광 소자에서, 황색 형광체의 발광 효율은 약 90%정도로 높으며, 청색 발광 다이오드의 발광 효율도 비교적 높다. 이에 따라, 첫번째 방법이 백색광을 구현하는 발광 소자를 제작하는 데 유리하며, 그 제조 공정도 용이하다. 그런데, 첫번째 방법에 의해 제조되어 백색광을 방출시키는 발광 소자에서 청색과 황색의 파장 간격이 넓어 색 분리가 발생된다. 그리고, 첫번째 방법에서 사용되는 파우더 형태의 형광체가 몰딩 수지에 균일하게 분산되는데 있어서 한계가 있다. 이로 인해, 색좌표가 동일한 발광 소자의 양산이 어려우며, 조명용 광원에서 중요 요소인 색온도와 연색 지수(Color Rendering Index: CRI)의 조절이 어려운 문제점이 있다. 이러한 문제점은 네번째 방법에서도 동일하게 나타난다.

[0006] 위와 같은 문제를 해결하기 위해 두번째 방법이 시도되었다. 이 두번째 방법은 발광 소자가 넓은 발광 스펙트럼을 갖게 하여 색 안정성을 확보하게 하고, 색온도 및 연색 지수의 조절을 용이하게 하였으나, 적색 형광체의 낮은 발광 효율(약 40%)로 인해 색 재현성을 떨어지게 하는 문제가 있다. 또한, 자외선 발광 다이오드의 발광 효율이 낮아 고휘도의 백색광을 방출하는 발광 소자의 제작에 한계가 있다.

[0007] 한편, 세번째 방법은 발광 다이오드 칩 각각의 불균일한 동작 전압과 주변 온도에 따라 불균일한 광 출력을 발생시켜 백색광을 방출하는 발광 소자의 색좌표가 달라지게 하는 문제가 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 별도의 외부 패키징 없이 내부에 형광체 패턴을 형성하여 고순도의 백색광을 방출하는 단일칩 발광 소자의 구현을 가능하게 하는 발광 소자 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0009] 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 발광 소자는 제 1 도전형 반도체층; 상기 제 1 도전형 반도체층에 접하는 활성층; 상기 활성층 중 상기 제 1 도전형 반도체층과 접하는 면의 반대 면에 형성된 제 2 도전형 반도체층; 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 형성된 반사층; 상기 반사층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 부착되는 지지 기관; 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 형성된 전극; 및 상기 제 1 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 상기 전극의 측부 주변에 배치되며, 언도프드 반도체층에 형광체 패턴이 매립되어 형성된 형광체 박막층을 포함하는 것을 특징으로 한다.

[0010] 상기 형광체 패턴은 서로 이격되게 배열되는 복수의 제 1 형광체를 포함하는 제 1 형광체 패턴과, 상기 제 1 형광체 패턴의 하부에 배치되며 서로 이격되게 배열되는 복수의 제 2 형광체를 포함하는 제 2 형광체 패턴을 포함할 수 있다.

[0011] 상기 제 1 형광체는 도트 형상으로 배열되며, 상기 제 2 형광체는 도트 형상으로 배열되고, 상기 제 1 형광체와 상기 제 2 형광체는 수평 방향에서 서로 교대로 위치할 수 있다.

[0012] 상기 제 1 형광체는 스트라이프 형상으로 배열되며, 상기 제 2 형광체는 스트라이프 형상으로 배열되고, 상기 제 1 형광체와 상기 제 2 형광체는 수평 방향에서 서로 교대로 위치할 수 있다.

[0013] 상기 제 1 형광체와 상기 제 2 형광체는 황색 형광체일 수 있다.

[0014] 상기 형광 박막층은 상기 전극보다 두꺼울 수 있다.

[0015] 상기 제 1 도전형은 n형이며, 상기 제 2 도전형은 p형일 수 있다.

[0016] 상기 언도프드 반도체층은 언도프드 GaN으로 형성될 수 있다.

[0017] 또한 상기의 목적을 달성하기 위한 본 발명의 실시예에 따른 발광 소자 제조 방법은 기관을 준비하는 기관 준비 단계; 언도프드 반도체층에 형광체 패턴이 매립되어 형성된 형광체 박막층을 상기 기관 상에 형성하는 형광체 박막층 형성 단계; 상기 형광체 박막층 중 상기 기관과 접하는 면의 반대 면에 제 1 도전형 반도체층, 활성층

및 제 2 도전형 반도체층을 순차적으로 형성하는 발광 구조물 형성 단계; 상기 제 2 도전형 반도체층 중 상기 활성층과 접하는 면의 반대 면에 반사층을 형성하고, 상기 반사층 중 상기 제 2 도전형 반도체층과 접하는 면의 반대 면에 지지 기판을 부착시키고, 상기 기판을 제거하는 반사층 형성 및 지지 기판 부착 단계; 및 상기 형광체 박막층의 선택적 식각에 의해 노출되는 상기 제 1 도전형 반도체층 상에 전극을 형성하는 전극 형성 단계를 포함하는 것을 특징으로 한다.

- [0018] 상기 기판 준비 단계는 상기 기판 상에 언도프드 반도체층을 형성하고 상기 언도프드 반도체층 상에 제 1 형광체를 증착시키는 과정을 포함할 수 있다.
- [0019] 상기 형광체 박막층 형성 단계는 상기 제 1 형광체를 패터닝하여 형성되는 제 1 형광체 패턴을 성장 방법에 의해 상기 언도프드 반도체층에 매립시키고, 상기 언도프드 반도체층 상에 제 2 형광체를 증착하고 패터닝하여 형성되는 제 2 형광체 패턴을 성장 방법에 의해 상기 언도프드 반도체층에 매립시키는 과정을 포함할 수 있다.
- [0020] 상기 제 1 형광체의 패터닝은 상기 제 1 형광체 상에 배치되는 제 1 산화막 패턴을 마스크로 사용하여 이루어지며, 상기 언도프드 반도체층의 성장 방법은 에피택셜 측면 과성장 방법일 수 있다.
- [0021] 상기 제 2 형광체의 패터닝은 상기 제 2 형광체 상에 배치되는 제 2 산화막 패턴을 마스크로 사용하여 이루어지며, 상기 언도프드 반도체층의 성장 방법은 에피택셜 측면 과성장 방법일 수 있다.
- [0022] 상기 형광체 박막층 형성 단계에서, 상기 제 1 형광체 패턴은 도트 형상을 가지는 복수의 제 1 형광체가 서로 이격되게 배열되어 이루어지며, 상기 제 2 형광체 패턴은 도트 형상을 가지는 복수의 제 2 형광체가 서로 이격되게 배열되어 이루어지며, 상기 1 형광체 패턴의 제 1 형광체와 상기 제 2 형광체 패턴의 제 2 형광체는 수평 방향에서 서로 교대로 위치할 수 있다.
- [0023] 상기 형광체 박막층 형성 단계에서, 상기 제 1 형광체 패턴은 스트라이프 형상을 가지는 복수의 제 1 형광체가 서로 이격되게 배열되어 이루어지며, 상기 제 2 형광체 패턴은 스트라이프 형상을 가지는 복수의 제 2 형광체가 서로 이격되게 배열되어 이루어지며, 상기 1 형광체 패턴의 제 1 형광체와 상기 제 2 형광체 패턴의 제 2 형광체는 수평 방향에서 서로 교대로 위치할 수 있다.
- [0024] 상기 전극 형성 단계에서, 상기 형광체 박막층의 선택적 식각은 마스크 패턴을 이용하여 이루어질 수 있다.
- [0025] 상기 전극 형성 단계에서, 상기 전극은 상기 형광체 박막층보다 작은 두께를 가지도록 형성될 수 있다.

발명의 효과

- [0026] 본 발명의 실시예에 따른 발광 소자는 언도프드 반도체층에 형광체 패턴을 매립시켜 형성된 형광체 박막층을 내부에 배치되게 함으로써, 기존에 파우더 형태의 형광체가 분산된 몰딩 수지를 이용한 별도의 외부 패키징 없이 고효율 및 고순도의 백색광을 방출하는 단일칩 발광 소자의 구현을 가능하게 할 수 있다.
- [0027] 또한, 본 발명의 실시예에 따른 발광 소자의 제조 방법은 기판 상에 성장 방법을 이용하여 언도프드 반도체층에 형광체 패턴이 매립된 형광체 박막층을 형성시킴으로써, 기판 상에 도전형 반도체층이 배치된 경우 기판과 도전형 반도체층 사이의 큰 격자 부정합과 열적 팽창 계수 차이로 인해 발생하는 침투 전위 밀도(threading dislocation density)를 줄이게 할 수 있다.
- [0028] 이에 따라, 본 발명의 실시예에 따른 발광 소자의 제조 방법은 우수한 표면 형태(morphology)와 결정질(crystal quality)을 가지는 발광 구조물을 형성하여 발광 구조물의 발광 강도와 전류 주입 효율을 향상시킴으로써, 고효율의 백색광을 방출하는 발광 소자를 구현하게 할 수 있다

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 발광 소자의 단면도이다.
- 도 2는 도 1의 형광체 박막층을 보여주는 평면도이다.
- 도 3은 도 1의 형광체 박막층의 또다른 예를 보여주는 평면도이다.
- 도 4는 도 1의 발광 소자의 제조 방법을 설명하기 위한 흐름도이다.
- 도 5a 내지 도 5i는 도 4의 발광 소자 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하 도면을 참조하면서 본 발명의 실시예를 통해 본 발명을 상세히 설명하기로 한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 발광 소자의 단면도이고, 도 2는 도 1의 형광체 박막층을 보여주는 평면도이고, 도 3은 도 1의 형광체 박막층의 또다른 예를 보여주는 평면도이다.
- [0032] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(100)는 제 1 도전형 반도체층(110), 활성층(120), 제 2 도전형 반도체층(130), 반사층(140), 지지 기판(150), 전극(160) 및 형광체 박막층(170)을 포함한다. 이러한 발광 소자(100)는 수직 구조 발광 다이오드를 구현할 수 있다.
- [0033] 상기 제 1 도전형 반도체층(110)은 예를 들어 n형 반도체층으로 구현될 수 있다. 상기 n형 반도체층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 InAlGaN , GaN , AlGaN , AlInN , InGaN , AlN , InN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.
- [0034] 상기 활성층(120)은 제 1 도전형 반도체층(110)에 접한다. 상기 활성층(120)은 예를 들어 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 가지는 반도체 물질을 포함하여 형성할 수 있으며, 단일 양자 우물 구조, 다중 양자 우물 구조(MQW : Multi Quantum Well), 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있다. 이러한 활성층(120)은 제 1 도전형 반도체층(110) 및 제 2 도전형 반도체층(130)의 전자 및 정공의 재결합(recombination) 과정에서 발생하는 에너지에 의해 빛을 생성할 수 있다.
- [0035] 상기 제 2 도전형 반도체층(130)은 활성층(120) 중 제 1 도전형 반도체층(110)과 접하는 면의 반대 면에 형성되며, 예를 들어 p형 반도체층으로 구현될 수 있다. 상기 p형 반도체층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, 예를 들어 InAlGaN , GaN , AlGaN , AlInN , InGaN , AlN , InN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0036] 위와 같은 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)은 실질적으로 광을 방출하는 발광 구조물(LES)을 형성한다.
- [0037] 상기 반사층(140)은 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면의 반대 면에 형성된다. 이러한 반사층(140)은 활성층(120)으로부터 발생하는 빛을 제 1 도전형 반도체층(110)의 외부로 방출할 수 있도록 반사 물질, 예를 들어 Ag, Ni, Al, Rh, , Pd, Ir, Ru, Mg, Zn, Pt, Au 등의 물질을 포함할 수 있다.
- [0038] 상기 지지 기판(150)은 반사층(140) 중 제 2 도전형 반도체층(130)과 접하는 면의 반대 면에 부착된다. 상기 지지 기판(150)은 발광 구조물(LES)을 지지하며, 전극(160)과 함께 발광 구조물에 전압을 인가한다. 상기 지지 기판(150)은 제 2 도전형 반도체층(130)에 전류가 흐르도록 도전성 물질, 예를 들어 Cu, Au, Ni, Mo, Cu-W 및 캐리어 웨이퍼(예를 들어, Si, Ge GaAs, ZnO, Sic 등) 중 적어도 어느 하나로 형성될 수 있다.
- [0039] 한편, 도시하진 않았지만, 반사층(150)과 지지 기판(150) 사이에는 배리어 금속 및 본딩 금속 중 적어도 어느 하나를 포함하는 접착층이 형성될 수 있다. 상기 접착층은 지지 기판(150)을 본딩 방식으로 반사층에 형성하는 경우 형성될 수 있으며, 지지 기판(150)을 도금 또는 증착 방식에 의해 형성하는 경우 생략될 수 있다. 상기 접착층은 예를 들어 Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 또는 Ta 중 적어도 하나를 포함할 수 있다. 그리고, 상기 반사층(140)과 지지 기판(150) 사이에 제 2 도전형 반도체층(130)에 전류가 흐르도록 별도의 전극이 형성될 수 있다. 이 경우, 상기 지지 기판(150)은 절연성 물질로 형성될 수 있다.
- [0040] 상기 전극(160)은 제 1 도전형 반도체층(110) 중 활성층(120)과 접하는 면의 반대 면에 패터닝되어 형성된다. 이러한 전극(160)은 제 1 도전층 반도체층(110)에 전류를 공급하기 위한 전도성 물질, 예를 들어 Ti, Cr, Al, Cu 및 Au로 구성된 그룹으로부터 선택된 물질로 이루어진 단일층 또는 복수층으로 형성될 수 있다.
- [0041] 상기 형광체 박막층(170)은 제 1 도전형 반도체층(110) 중 활성층(120)과 접하는 면의 반대 면에 전극(160)의 측부 주변에 배치되며, 발광 구조물(LES)의 활성층(120)에서 발광된 빛을 흡수하여 파장이 변경된 빛을 방출한다. 상기 형광체 박막층(170)은 전극(160)보다 두껍게 형성될 수 있다. 이러한 형광체 박막층(170)은 발광 소자(100)의 내부에 배치됨으로써, 기존에 파우더 형태의 형광체가 분산된 몰딩 수지를 이용한 별도의 외부 패키징 없이 백색광을 방출하는 단일칩 발광 소자의 구현을 가능하게 할 수 있다.
- [0042] 상기 형광체 박막층(170)은 언도프드 반도체층(171)에 형광체 패턴(172, 173)이 매립되어 형성된다. 여기서, 상기 형광체 패턴(172, 173)은 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173)으로 구분될 수 있다.

- [0043] 상기 언도프드 반도체층(171)은 성장 방법에 의해 제 1 도전형 반도체층(110) 상에 형성되며, 예를 들어 언도프드 GaN으로 형성될 수 있다.
- [0044] 상기 제 1 형광체 패턴(172)은 패터닝 방법에 의해 도 2에 도시된 바와 같이 도트 형상을 가지며 서로 이격되게 배열되는 복수의 제 1 형광체(P1)를 포함하여 구성될 수 있다. 상기 제 1 형광체(P1)는 예를 들어, Eu-silicate와 같은 황색 형광체일 있다. 여기서 상기 발광 구조물(LES)의 활성층(120)으로부터 방출되는 광이 청색이면, 제 1 형광체 패턴(172)은 청색광을 흡수하여 백색광을 방출한다. 한편, 제 1 형광체 패턴(172)의 다른 예로, 도 3에 도시된 바와 같이 스트라이프 형상을 가지며 서로 이격되게 배열되는 복수의 제 1 형광체(P1)를 포함하는 제 1 형광체 패턴(172')이 형성 가능하다.
- [0045] 상기 제 2 형광체 패턴(173)은 제 1 형광체 패턴(172)의 하부에 배치되며 패터닝 방법에 의해 도 2에 도시된 바와 같이 도트 형상을 가지며 서로 이격되게 배열되는 복수의 제 2 형광체(P2)를 포함하여 구성될 수 있다. 상기 제 2 형광체(P2)는 예를 들어, Eu-silicate와 같은 황색 형광체일 있다. 여기서, 상기 발광 구조물(LES)의 활성층(120)으로부터 방출되는 광이 청색이면, 제 2 형광체 패턴(173)도 청색광을 흡수하여 백색광을 방출한다.
- [0046] 상기 제 1 형광체(P1)와 제 2 형광체(P2)는 나노 사이즈를 가지며 수평 방향에서 서로 교대로 위치할 수 있다. 이는 제 1 형광체(P1)와 제 2 형광체(P2)가 동일 수직선상에 위치하면 발광 구조물(LES)의 활성층(120)으로부터 방출되는 광의 일부가 제 1 형광체(P1)와 제 2 형광체(P2)를 거치지 않고 외부로 방출될 수 있기 때문이다. 그럼 발광 구조물(LES)로부터 방출되는 빛과 제 1 형광체(P1) 및 제 2 형광체(P2)의 광 결합-변환 효율이 낮아져 고순도의 백색광이 생성되기 어렵다. 한편, 제 2 형광체 패턴(173)의 다른 예로, 도 3에 도시된 바와 같이 스트라이프 형상을 가지며 서로 이격되게 배열되는 복수의 제 2 형광체(P2)를 포함하는 제 2 형광체 패턴(173')이 형성 가능하다.
- [0047] 이와 같이 구성되는 형광체 박막층(170)은 원하는 파장 변환의 특성을 가지는 형광체를 형성하기 위해 약 1000℃~1100℃ 고온 어닐링 열처리가 필요한 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173)을 언도프드 반도체층(171)을 통해 발광 소자(100)의 내부에 배치되게 할 수 있다. 한편, 언도프드 반도체층(171)이 없다면 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173)은 발광 구조물(LES)의 내부에 형성될 수 있지만, 이 경우 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173)의 형성시 필요한 고온 어닐링 열처리의 온도에 의해 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(110)의 특성이 파괴될 수 있다. 특히, 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173)이 제 1 도전형 반도체층(110)의 내부에 형성되면, 제 1 도전형 반도체층(110)의 특성 파괴로 인해 전류 주입 효율이 감소하게 된다.
- [0048] 또한, 상기 형광체 박막층(170)은 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173)의 이중 패턴을 통해 언도프드 반도체층(171)의 내부에서 형광체의 밀도를 증가시켜 발광 구조물(LES)로부터 방출되는 광과의 광 결합-변환을 향상시켜 고순도의 백색광이 방출되게 할 수 있다. 여기서, 상기 고순도의 백색광이 방출되게 하기 위해서, 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173) 간의 거리, 제 1 형광체 패턴(172)과 제 2 형광체 패턴(173) 각각의 두께, 제 1 형광체 패턴(172)과 제 2 형광체(173)의 패턴 형상이 조절될 수 있다.
- [0049] 상기와 같이 본 발명의 일 실시예에 따른 발광 소자(100)는 언도프드 반도체층(171)에 제 1 형광체 패턴((172)과 제 2 형광체 패턴(172)을 매립시켜 형성된 형광체 박막층(170)을 내부에 배치되게 함으로써, 기존에 파우더 형태의 형광체가 분산된 몰딩 수지를 이용한 별도의 외부 패키징 없이 고효율 및 고순도의 백색광을 방출하는 단일칩 발광 소자의 구현을 가능하게 할 수 있다.
- [0050] 다음은 본 발명의 일 실시예에 따른 발광 소자(100)의 제조 방법에 대해 설명하기로 한다.
- [0051] 도 4는 도 1의 발광 소자의 제조 방법을 설명하기 위한 흐름도이고, 도 5a 내지 도 5i는 도 4의 발광 소자 제조 방법을 설명하기 위한 단면도들이다.
- [0052] 도 4를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(100)의 제조 방법은 기판 준비 단계(S10), 형광체 박막층 형성 단계(S20), 발광 구조물 형성 단계(S30), 반사층 형성 및 지지 기판 부착 단계(S40), 및 전극 형성 단계(S50)를 포함한다.
- [0053] 도 5a를 참조하면, 상기 기판 준비 단계(S10)는 기판(10)을 준비하는 단계이다. 상기 기판 준비 단계(S10)는 기판(10) 상에 언도프드 반도체층(171a)을 형성하고, 언도프드 반도체층(171a) 상에 전면적으로 제 1 형광체(172a)를 증착시키는 과정을 포함한다. 상기 제 1 형광체(172a)의 증착은 스퍼터링 등의 증착 방법에 의해 이루어

어질 수 있다.

- [0054] 도 5b 내지 5f를 참조하면, 상기 형광체 박막층 형성 단계(S20)는 언도프드 반도체층(도 5f의 171)에 형광체 패턴(도 5f의 172, 173)이 매립되어 형성된 형광체 박막층(170)을 기판(10) 상에 형성하는 단계이다.
- [0055] 상기 형광체 박막층 형성 단계(S20)는 제 1 형광체(도 5a의 172a)를 패터닝하여 형성되는 제 1 형광체 패턴(172)을 성장 방법에 의해 언도프드 반도체층(도 5c의 171b)에 매립시키고, 상기 언도프드 반도체층(도 5c의 171b) 상에 제 2 형광체(173a)를 증착하고 패터닝하여 형성되는 제 2 형광체 패턴(173)을 성장 방법에 의해 언도프드 반도체층(도 5f의 171)에 매립시키는 과정을 포함한다.
- [0056] 구체적으로, 상기 형광체 박막층 형성 단계(S20)에서 제 1 형광체(172a)의 패터닝은 도 5b에 도시된 바와 같이 제 1 산화막 패턴(20)을 마스크로 사용하여 이루어질 수 있다. 이러한 제 1 형광체(172a)의 패터닝에 따라 서로 이격되게 배열되는 복수의 제 1 형광체(P1)를 포함하는 제 1 형광체 패턴(172)이 형성된다. 상기 제 1 형광체(172a)의 패터닝 이후에는 제 1 산화막 패턴(20)이 제거된다. 상기 제 1 산화막 패턴(20)은 실리콘 산화막(SiO_2)으로 형성될 수 있다.
- [0057] 그리고, 상기 형광체 박막층 형성 단계(S20)에서 제 1 형광체 패턴(172)의 매립은 언도프드 반도체층(도 5b의 171a)을 성장 방법에 의해 성장시킴으로써 이루어질 수 있다. 이러한 언도프드 반도체층(도 5b의 171a)의 성장에 따라 도 5c에 도시된 바와 같이 제 1 형광체 패턴(172)이 언도프드 반도체층(171b)에 매립된다. 상기 성장 방법은 에피텍셀 측면 과성장(Epitaxial Lateral Overgrowth; ELOG) 방법일 수 있다. 한편, 상기 제 1 형광체 패턴(172)이 하나의 층으로 형성되지 않고 복수의 제 1 형광체(P1)를 포함하는 패턴으로 형성되는 이유는 언도프드 반도체층(도 5b의 171a)의 성장이 용이하게 이루어지게 하기 위함이다.
- [0058] 그리고, 상기 형광체 박막층 형성 단계(S20)에서 제 2 형광체(173a)의 증착은 도 5d에 도시된 바와 같이 스퍼터링 등의 증착 방법에 의해 이루어질 수 있다.
- [0059] 그리고, 상기 형광체 박막층 형성 단계(S20)에서 제 2 형광체(173a)의 패터닝은 도 5e에 도시된 바와 같이 제 2 산화막 패턴(30)을 마스크로 사용하여 이루어질 수 있다. 이러한 제 2 형광체(173a)의 패터닝에 따라 서로 이격되게 배열되는 복수의 제 2 형광체(P2)를 포함하는 제 2 형광체 패턴(173)이 형성된다. 여기서, 상기 제 2 형광체(P2)는 제 1 형광체(P1)와 수평 방향에서 서로 교대로 배치되도록 형성된다. 상기 제 2 형광체(173a)의 패터닝 이후에는 제 2 산화막 패턴(30)이 제거된다. 상기 제 2 산화막 패턴(30)은 실리콘 산화막(SiO_2)으로 형성될 수 있다.
- [0060] 그리고, 상기 형광체 박막층 형성 단계(S20)에서 제 2 형광체 패턴(173)의 매립은 언도프드 반도체층(도 5e의 171b)을 성장 방법에 의해 성장시킴으로써 이루어질 수 있다. 이러한 언도프드 반도체층(도 5e의 171b)의 성장에 따라 도 5f에 도시된 바와 같이 제 2 형광체 패턴(173)이 언도프드 반도체층(171)에 매립된다. 상기 성장 방법은 에피텍셀 측면 과성장(Epitaxial Lateral Overgrowth; ELOG) 방법일 수 있다. 한편, 상기 제 2 형광체 패턴(173)도 하나의 층으로 형성되지 않고 복수의 제 2 형광체(P2)를 포함하는 패턴으로 형성되는 이유는 언도프드 반도체층(도 5e의 171b)의 성장이 용이하게 이루어지게 하기 위함이다.
- [0061] 도 5g를 참조하면, 상기 발광 구조물 형성 단계(S30)는 형광체 박막층(173) 중 기판(10)과 접하는 면의 반대면에 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)을 순차적으로 형성하는 발광 구조물(LES)을 형성하는 단계이다.
- [0062] 상기 발광 구조물 형성 단계(S30)에서, 상기 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)은 PVD(Physical vapor deposition), CVD(Chemical Vapor Deposition), PLD(Plasma Laser Deposition), 이중형의 열증착기(Dual-type thermal evaporator), 스퍼터링(Sputtering), MOCVD(Metal Organic Chemical Vapor Deposition) 등의 증착 방법에 의해 형광체 박막층(170) 상에 순차적으로 형성된다. 된다. 상기 제 1 도전형 반도체층(110), 활성층(120) 및 제 2 도전형 반도체층(130)에 대해서는 앞에서 자세히 설명되었으므로 중복된 설명은 생략하기로 한다.
- [0063] 도 5h를 참조하면, 상기 반사층 형성 및 지지 기판 부착 단계(S40)는 제 2 도전형 반도체층(130) 중 활성층(120)과 접하는 면의 반대면에 반사층(140)을 형성하고, 반사층(140) 중 제 2 도전형 반도체층(130)과 접하는 면의 반대면에 지지 기판(150)을 부착시키고, 기판(10)을 제거하는 단계이다.
- [0064] 구체적으로, 상기 반사층 형성 및 지지 기판 부착 단계(S40)에서 지지 기판(150)은 도금 또는 증착 방식에 의해 반사층(140)에 부착되거나, 반사층(140)과 지지 기판(150) 사이에 개재되는 접착층(미도시)을 통한 본딩 방식에

의해 반사층(140)에 부착될 수 있다. 여기서, 상기 지지 기판(150)은 전류가 흐를 수 있도록 도전성 물질로 형성될 수 있으나, 반사층(140)과 지지 기판(150) 사이에 별도의 전극이 형성되는 경우 절연성 물질로 형성될 수 있다.

[0065] 상기 반사층(140)이 형성되고 지지 기판(150)이 부착된 이후에는 기판(110)이 레이저 리프트 오프(Laser Lift-Off; LLO) 방식에 의해 제거될 수 있다. 상기 기판(10)이 제거되면 형광체 박막층(170)이 노출된다.

[0066] 도 5h 및 도 5i를 참조하면, 상기 전극 형성 단계(S50)는 형광체 박막층(170)의 선택적 식각에 의해 노출되는 제 1 도전형 반도체층(110) 상에 전극(170)을 형성하는 단계이다.

[0067] 상기 형광체 박막층(170)의 선택적 식각은 도 5h에 도시된 바와 같이 마스크 패턴(40)을 이용하여 이루어질 수 있다. 여기서, 상기 마스크 패턴(40)은 포토레지스트 패턴 또는 금속 패턴일 수 있다.

[0068] 상기 전극(160)은 형광체 박막층(170)의 선택적 식각에 의해 노출되는 제 1 도전형 반도체층(110) 상에 증착 방법 등을 이용해 도전성 물질을 증착시켜 형성될 수 있다. 상기 전극(160)은 형광체 박막층(170)보다 작은 두께를 가지도록 형성될 수 있다

[0069] 상기와 같이 본 발명의 일 실시예에 따른 발광 소자(100)의 제조 방법은 기판(10) 상에 성장 방법을 이용하여 언도프드 반도체층(171)에 형광체 패턴(172, 173)이 매립된 형광체 박막층(170)을 형성시킴으로써, 기판(10) 상에 제 1 도전형 반도체층(110)이 배치된 경우 기판(10)과 제 1 도전형 반도체층(110) 사이의 큰 격자 부정합과 열적 팽창 계수 차이로 인해 발생하는 약 $10^8 \sim 10^{10} \text{ cm}^{-2}$ 침투 전위 밀도를 약 $10^5 \sim 10^6 \text{ cm}^{-2}$ 로 줄이게 할 수 있다.

[0070] 이에 따라, 본 발명의 일 실시예에 따른 발광 소자(100)의 제조 방법은 우수한 표면 형태(morphology)와 결정질(crystal quality)을 가지는 발광 구조물(LES)을 형성하여 발광 구조물(LES)의 발광 강도와 전류 주입 효율을 향상시킴으로써, 고효율의 백색광을 방출하는 발광 소자를 구현하게 할 수 있다.

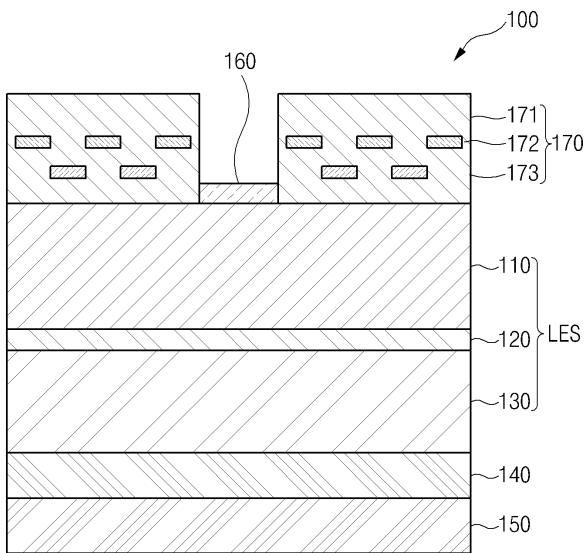
[0071] 본 발명은 첨부된 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

부호의 설명

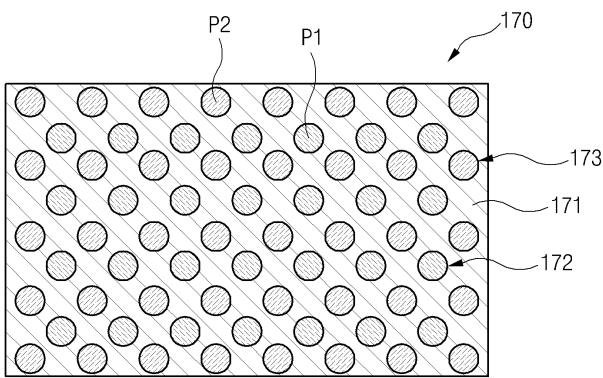
[0072]	100: 발광 소자	110: 제 1 도전성 반도체층
	120: 활성층	130: 제 2 도전성 반도체층
	140: 반사층	150: 지지 기판
	160: 전극	170: 형광체 박막층
	171: 언도프드 반도체층	172, 172': 제 1 형광체 패턴
	173, 173': 제 2 형광체 패턴	

도면

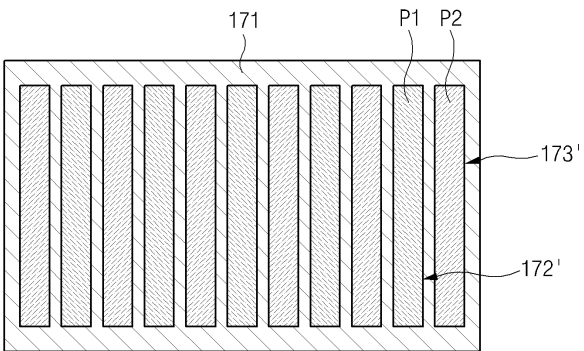
도면1



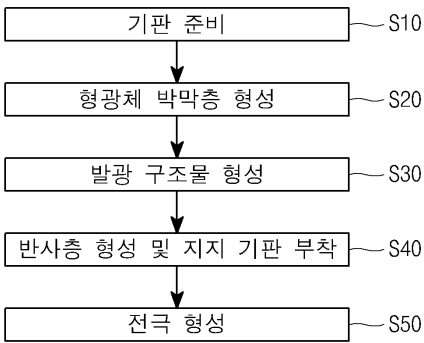
도면2



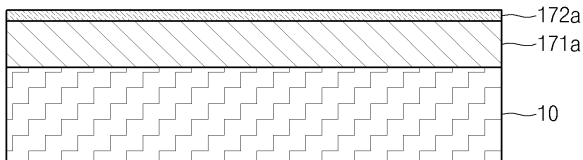
도면3



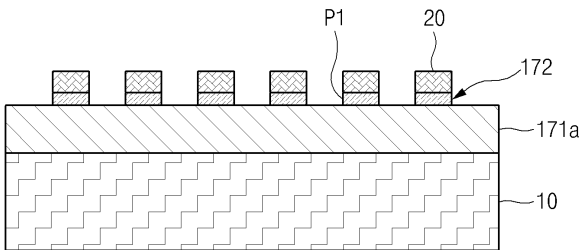
도면4



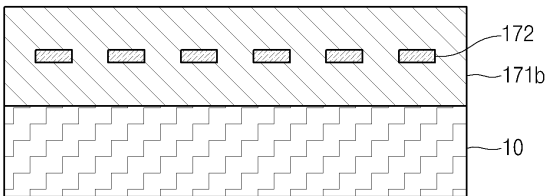
도면5a



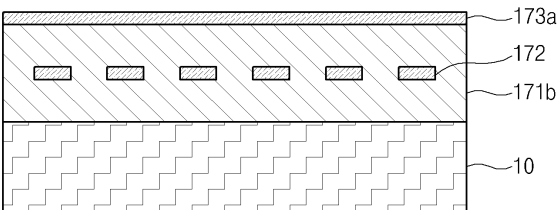
도면5b



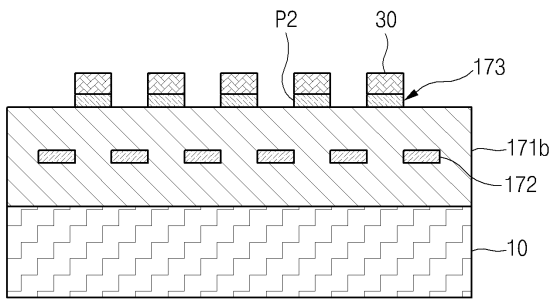
도면5c



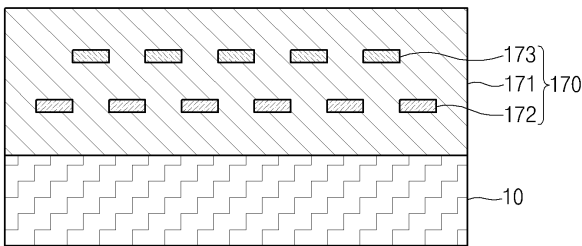
도면5d



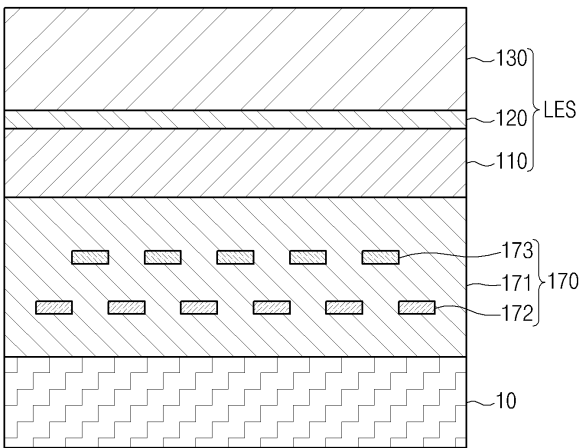
도면5e



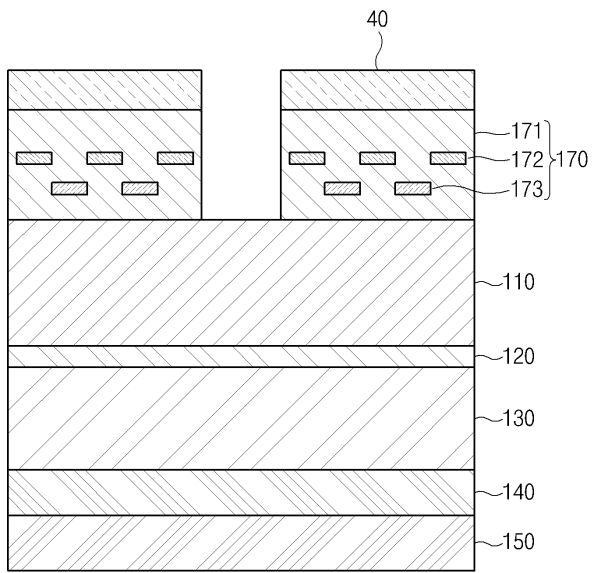
도면5f



도면5g



도면5h



도면5i

