

(12) 发明专利申请

(10) 申请公布号 CN 103155202 A

(43) 申请公布日 2013. 06. 12

(21) 申请号 201080069595. 6

(51) Int. Cl.

(22) 申请日 2010. 10. 15

H01L 51/52(2006. 01)

G09G 3/30(2006. 01)

(85) PCT申请进入国家阶段日
2013. 04. 12

(86) PCT申请的申请数据
PCT/US2010/052830 2010. 10. 15

(87) PCT申请的公布数据
W02012/050586 EN 2012. 04. 19

(71) 申请人 全球 OLED 科技有限责任公司
地址 美国弗吉尼亚州

(72) 发明人 R·S·库克

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

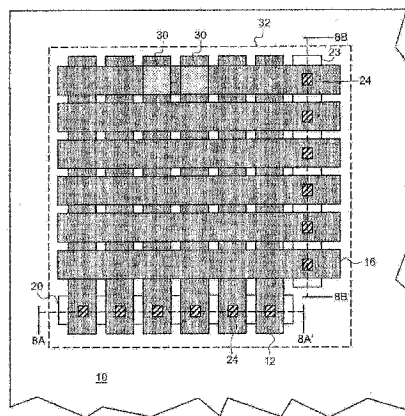
权利要求书2页 说明书15页 附图13页

(54) 发明名称

具有多个无源矩阵控制器的芯片显示器

(57) 摘要

一种显示设备包括：具有显示区域的基板；在所述基板上在所述显示区域中形成的在行方向上延伸的行电极以及在所述基板上在所述显示区域中形成的在不同于所述行方向的列方向上延伸的列电极，所述行电极和所述列电极交叠以形成像素；其中，所述像素被划分为两个或更多个分离的像素分组，每个像素分组具有分组行电极和分离的分组列电极；位于所述显示区域中的两个或更多个隔开的列驱动器芯片，每个列驱动器芯片唯一地连接到不同的像素分组，其中，所述列驱动器芯片中的至少一个位于像素分组之间，并且所述两个或更多个隔开的列驱动器芯片被适配为驱动一个像素分组的所述分组列电极；以及连接到所述行电极的一个或更多个行驱动器。



1. 一种显示设备,该显示设备包括:

a) 具有显示区域的基板;

b) 在所述基板上在所述显示区域中形成的在行方向上延伸的多个行电极以及在所述基板上在所述显示区域中形成的在不同于所述行方向的列方向上延伸的多个列电极,所述行电极和所述列电极交叠以形成像素;

c) 其中,所述像素被划分为两个或更多个分离的像素分组,每个像素分组具有分组行电极和分离的分组列电极;

d) 位于所述显示区域中的两个或更多个隔开的列驱动器芯片,每个列驱动器芯片唯一地连接到不同的像素分组,其中,所述列驱动器芯片中的至少一个位于两个不同的像素分组中的每一个像素分组的至少一个像素之间,并且所述两个或更多个隔开的列驱动器芯片被适配为驱动一个像素分组的所述分组列电极;

e) 连接到所述行电极的一个或更多个行驱动器;以及

f) 其中,所述行驱动器和所述列驱动器芯片协作地分别驱动所述行电极和所述列电极以激励所述像素,并且其中,所述行电极通过两个或更多个行驱动器共同驱动。

2. 根据权利要求1所述的显示设备,其中,一个像素分组的所述分组行电极通过两个或更多个行驱动器共同驱动。

3. 根据权利要求1所述的显示设备,其中,两个或更多个分离的像素组具有公共的分组行电极。

4. 根据权利要求3所述的显示设备,其中,所述公共的分组行电极通过两个或更多个行驱动器共同驱动。

5. 根据权利要求1所述的显示设备,其中,所述行驱动器还包括响应于重置信号使能单个行的重置电路以及接收行选择信号以逐一地使能单个行的移位电路,并且其中,所述行选择信号是与数据选择信号相同的信号。

6. 一种显示设备,该显示设备包括:

a) 具有显示区域的基板;

b) 在所述基板上在所述显示区域中形成的在行方向上延伸的多个行电极以及在所述基板上在所述显示区域中形成的在不同于所述行方向的列方向上延伸的多个列电极,所述行电极和所述列电极交叠以形成像素;

c) 其中,所述像素被划分为两个或更多个分离的像素分组,每个像素分组具有分组行电极和分离的分组列电极;

d) 位于所述显示区域中的两个或更多个隔开的列驱动器芯片,每个列驱动器芯片唯一地连接到不同的像素分组,其中,所述列驱动器芯片中的至少一个位于两个不同的像素分组中的每一个像素分组的至少一个像素之间,并且所述两个或更多个隔开的列驱动器芯片被适配为驱动一个像素分组的所述分组列电极;

e) 连接到所述行电极的一个或更多个行驱动器;以及

f) 其中,所述行驱动器和所述列驱动器芯片协作地分别驱动所述行电极和所述列电极以激励所述像素,并且其中,所述行驱动器包括用于一次选择单个行电极的循环串行移位寄存器。

7. 根据权利要求6所述的显示设备,其中,所述行驱动器还包括响应于重置信号使能

单个行的重置电路以及接收行选择信号以逐一地使能单个行的移位电路。

8. 根据权利要求 6 所述的显示设备,其中,所述循环串行移位寄存器是使用多相位信号移位的双缓冲寄存器。

9. 一种显示设备,该显示设备包括:

a) 具有显示区域的基板;

b) 在所述基板上在所述显示区域中形成的在行方向上延伸的多个行电极以及在所述基板上在所述显示区域中形成的在不同于所述行方向的列方向上延伸的多个列电极,所述行电极和所述列电极交叠以形成像素;

c) 其中,所述像素被划分为两个或更多个分离的像素分组,每个像素分组具有分组行电极和分离的分组列电极;

d) 位于所述显示区域中的两个或更多个隔开的列驱动器芯片,每个列驱动器芯片唯一地连接到不同的像素分组,其中,所述列驱动器芯片中的至少一个位于两个不同的像素分组中的每一个像素分组的至少一个像素之间,并且所述两个或更多个隔开的列驱动器芯片被适配为驱动一个像素分组的所述分组列电极;

e) 连接到所述行电极的一个或更多个行驱动器;以及

f) 其中,所述行驱动器和所述列驱动器芯片协作地分别驱动所述行电极和所述列电极以激励所述像素,并且其中,所述列驱动器芯片包括两个数据值寄存器,每个数据值寄存器至少存储与所述列驱动器芯片连接的像素分组中的列的数目一样多的数据值。

10. 根据权利要求 9 所述的显示设备,其中,所述数据值寄存器中的至少一个是串行寄存器,并且通过将数据移位到(多个)所述寄存器中而将数据值存储在(多个)串行数据值寄存器中。

11. 根据权利要求 9 所述的显示设备,其中,所述列驱动器芯片还包括列驱动器,每个所述列驱动器使用与存储在所述数据值寄存器中的数据值相对应的电流来驱动列电极。

12. 根据权利要求 11 所述的显示设备,其中,通过数据选择信号交替地选择所述数据值寄存器以向所述列驱动器提供数据值。

13. 根据权利要求 9 所述的显示设备,其中,所述数据值是模拟值并且所述数据值寄存器是模拟移位寄存器。

14. 根据权利要求 9 所述的显示设备,其中,所述数据值寄存器是使用多相位信号移位的双缓冲串行寄存器。

15. 根据权利要求 9 所述的显示设备,其中,两个分离的芯片形成一个行驱动器。

具有多个无源矩阵控制器的芯片显示器

[0001] 相关申请的交叉引用

[0002] Ronald S. Cok 等人于 2009 年 2 月 17 日提交的名为“用于二维显示器的芯片 (chiplet) 驱动器对”的共同受让的美国专利申请号 No. 12/372, 132 被引用, 其内容被合并于此。

技术领域

[0003] 本发明涉及具有基板的显示设备, 该基板具有用于控制像素阵列的分布式独立芯片。

背景技术

[0004] 在便携式设备中且对于诸如电视这样的娱乐设备, 平板显示设备广泛地与计算设备结合使用。这种显示器典型地采用在基板上分布的多个像素来显示图像。每个像素包含典型地发射红光、绿光和蓝光以呈现每个图像元素的若干不同颜色的发光元件(统称为子像素)。当在此使用时, 像素和子像素并不被区分且被称为单个发光元件。例如等离子体显示器、液晶显示器以及发光二极管(LED)显示器之类的各种平板显示技术是已知的。

[0005] 包含形成发光元件的发光材料薄膜的发光二极管(LED)在平板显示器中具有很多优点且在光学系统中是有用的。Tang 等人于 2002 年 5 月 7 日提交的美国专利 No. 6, 384, 529 揭示了包括有机 LED 发光元件阵列的有机 LED (OLED) 彩色显示器。可选地, 无机材料可以被采用且可以包括磷光晶体或多晶硅半导体基质中的量子点。有机或无机材料的其它薄膜也可以被采用以控制电荷注入、传输或针对发光薄膜材料的阻挡, 且在本领域是已知的。材料在基板上被布置电极之间, 具有封装覆盖层或板。当电流经过发光材料时光从像素发射。发射的光的频率依赖于使用的材料的性质。在这种显示器中, 光可以通过基板(底部发射器)或通过封装覆盖(或顶部发射器)或二者发射。

[0006] LED 设备可以包含经构图的发光层, 其中不同材料用在构图中以在电流经过材料时发射不同颜色的光。可选地, 如 Cok 在名为“具有改善效率的堆叠 OLED 显示器”的美国专利 6, 987, 355 中教导, 可以一同采用单个发射层(例如, 白光发射器)和滤色器以用于形成全色显示器。例如, 如 Cok 等人在名为“具有改善功率效率的彩色 OLED 显示器”的美国专利 6, 919, 681 中教导, 还已知采用不包括滤色器的白色子像素。建议采用非构图白光发射器的设计与包含红色、绿色和蓝色滤色器和子像素的 4 色像素以及非过滤白色像素一起使用以改善设备的效率(例如见 Miller 等人于 2007 年 6 月 12 日提交的美国专利 7, 230, 594)。

[0007] 用于控制平板显示器中的像素的两个不同方法是已知的: 有源矩阵控制和无源矩阵控制。在无源矩阵设备中, 基板不包括任何有源电子元件(例如晶体管)。分离层中行电极阵列和列电极的正交阵列; 行和列电极之间的交叠形成发光二极管的电极。外部驱动器芯片然后顺序地向每一行(或列)提供电流, 而正交列(或行)提供合适的电压以照射行(或列)中的每个发光二极管。因此, 无源阵列设计采用 $2n$ 个连接以产生 n^2 个单独可控发光元件。然而, 无源阵列驱动设备在可以包括在设备中的行(或列)的数目方面受限, 因为行(或)

列驱动的顺序属性产生闪烁。如果包括太多的行,闪烁可能变得易察觉。此外,驱动显示器中整行(或列)所必要的电流可能是有问题的,因为在 PM 显示面积增长时,PM 驱动的非成像预充电和放电步骤所需的功率可能变为占主导的。这些问题限制了无源矩阵显示器的物理尺寸。

[0008] 在有源矩阵设备中,有源控制元件由覆盖在平板基板上的薄膜半导体材料(例如,非晶或多晶硅)形成。典型地,每个子像素通过一个控制元件控制且每个控制元件包括至少一个晶体管。例如,在简单的有源矩阵有机发光(OLED)显示器中,每个控制元件包括两个晶体管(选择晶体管和功率晶体管)和用于存储指定子像素的亮度的电荷的一个电容器。每个发光元件典型地采用独立控制电极和公共电连接的电极。发光元件的控制典型地通过数据信号线、选择信号线、电源连接和接地连接提供。有源矩阵元件不必限制于显示器且可以在基板上分布且在需要空间分布控制的其它应用中使用。和无源矩阵设备相同数目的外部控制线(除了电源和接地)可以在有源矩阵设备中使用。然而,在有源矩阵设备中,每个发光元件具有来自控制电路的单独的驱动连接且即使当不被选择用于数据存储时也是有效的,从而消除闪烁。

[0009] 用于形成有源矩阵控制元件的一个常用的现有技术方法典型地沉积诸如硅的半导体材料的薄膜到玻璃基板上且然后通过光刻工艺使得半导体材料形成为晶体管和电容器。薄膜硅可以是非晶或多晶的。与晶体硅晶片中制备的常规晶体管相比,由非晶或多晶硅制成的薄膜晶体管(TFT)相对大且具有较低的性能。此外,这种薄膜器件在玻璃基板上典型地呈现局部或大面积的不均匀性,导致电学性能和采用这种材料的显示器的视觉外观中的不均匀性。在这种有源矩阵设计中,每个发光元件需要到驱动电路的单独的连接。

[0010] 在美国专利申请 2006/0055864 中,采用可选的控制技术,Matsumura 等人描述了用于驱动 LCD 显示器的晶体硅基板。该申请描述了用于选择性传输和固定由第一半导体基板制成的像素控制器件到第二平面显示基板的方法。示出了像素控制器件中的布线互连和从总线和控制电极到像素控制器件的连接。

[0011] 因为常规无源矩阵显示设计在发光元件的尺寸和数目方面受限,且使用 TFT 的有源矩阵设计具有较低的电学能量和复杂基板,所以对于克服这些问题的用于显示设备的改进的控制方法存在需要。

发明内容

[0012] 根据本发明,提供一种显示设备,该显示设备包括:

[0013] a) 具有显示区域的基板;

[0014] b) 在所述基板上在所述显示区域中形成的在行方向上延伸的多个行电极以及在所述基板上在所述显示区域中形成的在不同于所述行方向的列方向上延伸的多个列电极,所述行电极和所述列电极交叠以形成像素;

[0015] c) 其中,所述像素被划分为两个或更多个分离的像素分组,每个像素分组具有分组行电极和分离的分组列电极;

[0016] d) 位于所述显示区域中的两个或更多个隔开的列驱动器芯片,每个列驱动器芯片唯一地连接到不同的像素分组,其中,所述列驱动器芯片中的至少一个位于像素分组之间,并且所述两个或更多个隔开的列驱动器芯片被适配为驱动一个像素分组的所述分组列电

极；

[0017] e) 连接到所述行电极的一个或更多个行驱动器；以及

[0018] f) 其中,所述行驱动器和所述列驱动器芯片协作地分别驱动所述行电极和所述列电极以激励所述像素。

[0019] 有利效果

[0020] 本发明具有这样的优点:通过提供具有划分成两个或更多个分离的像素分组的多个像素的显示设备(芯片列驱动器位于像素分组之间),性能得到改善且组件和连接的数目减小。再者,通过具有分离的行和列驱动器芯片,每个芯片可以使用针对每个芯片可用的最低成本半导体制造工艺来制备。

附图说明

[0021] 图 1A 是根据本发明的实施方式的具有两个像素分组、两个列驱动器芯片和外部行驱动器的基板的平面图；

[0022] 图 1B 是根据本发明的可选实施方式的具有两个像素分组、两个列驱动器芯片和两个外部行驱动器的基板的平面图；

[0023] 图 1C 是根据本发明的另一实施方式的具有四个像素分组、四个列驱动器芯片和两个外部行驱动器的基板的平面图；

[0024] 图 1D 是根据本发明的又一实施方式的具有四个像素分组、四个列驱动器芯片、两个外部行驱动器以及用于每个像素分组的分离的行电极的基板的平面图；

[0025] 图 2A 是根据本发明的实施方式的具有四个像素分组、四个列驱动器芯片、四个行驱动器芯片以及用于每个像素分组的分离的行电极的基板的平面图；

[0026] 图 2B 是根据本发明的另一实施方式的具有四个像素分组、四个列驱动器芯片、四个行驱动器芯片以及用于公共行中的像素分组的共享行电极的基板的平面图；

[0027] 图 2C 是根据本发明的另一实施方式的具有四个像素分组、四个列驱动器芯片、两个行驱动器芯片以及用于公共行中的像素分组的共享行电极的基板的平面图；

[0028] 图 2D 是根据本发明的又一实施方式的具有两个像素分组、两个列驱动器芯片和用于每个像素分组的两个行驱动器芯片的基板的平面图；

[0029] 图 2E 是根据本发明的实施方式的具有四个像素分组、四个列驱动器芯片、形成四个行驱动器的八个行驱动器芯片以及用于每个像素分组的分离的行电极的基板的平面图；

[0030] 图 2F 是根据本发明的实施方式的具有十二个像素分组、六个行驱动器芯片的基板的平面图,每个行驱动器芯片驱动两个像素分组的行；

[0031] 图 2G 是根据本发明的实施方式的具有十二个像素分组、六对行驱动器芯片的基板的平面图,每个行驱动器芯片驱动六个像素分组的行；

[0032] 图 3 是根据本发明的实施方式的行驱动器芯片电路的简化示意；

[0033] 图 4 是根据本发明的实施方式的图 3 的行驱动器芯片电路的一部分的更详细的示意；

[0034] 图 5 是根据本发明的实施方式的图 3 的行驱动器芯片电路的更详细的示意；

[0035] 图 6 是根据本发明的实施方式的列驱动器芯片电路的简化示意；

- [0036] 图 7 是根据本发明的实施方式的图 6 的列驱动器芯片电路的更详细的示意；
- [0037] 图 8A 是根据本发明的实施方式的行驱动器芯片的部分剖面图；
- [0038] 图 8B 是根据本发明的实施方式的列驱动器芯片的部分剖面图；
- [0039] 图 9 是根据本发明的实施方式的具有像素分组、分组行和列电极、行驱动器芯片以及列驱动器芯片的基板部分的平面图；
- [0040] 图 10 是根据本发明的实施方式的具有四个像素分组、分组行和列电极、行驱动器芯片以及列驱动器芯片的基板部分的平面图；以及
- [0041] 图 11 是根据本发明的实施方式的具有四个像素分组、分组行和列电极、行驱动器芯片以及列驱动器芯片的基板部分的平面图。
- [0042] 因为图中各个层和元件具有大为不同的尺寸，所以图未按比例绘制。

具体实施方式

[0043] 参考图 1A，在本发明的一个实施方式中，显示设备包括具有显示区域 11 的基板 10。在显示区域 11 中，在基板 10 上形成在行方向中延伸的多个行电极 16，在显示区域 11 中，在基板 10 上形成在不同于行方向的列方向中延伸的多个列电极 12。行和列电极 16、12 交叠以形成像素 30。典型地，行方向正交于列方向且像素 30 形成在基板 10 上的规则阵列。

[0044] 像素 30 被划分成两个或更多分离的像素分组 32，每个像素分组 32 具有分组行电极 16A 和 16B 和分离的分组列电极 12A、12B。分离的分组列电极意味着一个像素分组的列电极与另一像素分组的列电极电绝缘。在图 1A 中，像素 30 被划分成两个像素分组 32：基板 10 的上半部分中的一个像素分组 32 和基板 10 的下半部分中的另一像素分组 32。用于每个分组的列电极 12 并不电连接且列电极的每个分组仅跨越基板 10 延伸从图 1A 的底部到顶部的半程。

[0045] 两个或更多隔开的列驱动器芯片 20 位于显示区域 11 中，至少一个列驱动器芯片 20 位于两个不同像素分组 32 中的每一个的至少一个像素之间，使得在列方向中存在至少两个像素分组，且在两个像素分组中的每一个的至少一部分之间至少存在列驱动器芯片 20，使得至少一个列驱动器芯片 20 不在显示区域的边缘，而是在显示区域内，像素在每一边环绕该至少一个列驱动器芯片 20。每个列驱动器芯片 20 唯一地连接到一个像素分组 32 的分组列电极 12 且适配为驱动一个像素分组 32 的分组列电极 12。一个或更多行驱动器 21 连接到行电极 16。行驱动器 21 和两个或更多隔开的列驱动器芯片 20 适配为分别驱动行和列电极 16、12 以激励像素 30。控制器 40 连接到行驱动器 21 和列驱动器芯片 20 以提供图像信息和控制信号。

[0046] 根据本发明，行和列电极 16、12 控制像素 30。在一个实施方式中（例如图 8A、8B），发光材料 14（例如有机材料或无机量子点材料）位于行和列电极 16、12 之间。当电流在像素区域 30 中通过发光材料 14 从一个电极传递到另一电极时，正比于材料中的电流密度发射光，例如有机发光二极管的情形。

[0047] 行和列电极 16、12 可以在分离的层中形成且每个像素分组 32 可以具有行驱动器 23 和列驱动器芯片 20 控制的无源矩阵控制。根据本发明，通过行和列电极 16、12 的交叠形成的像素 30 被划分成像素分组 32。至少两个像素分组通过在列方向中将列电极 12 分离成两个或更多列电极分组 12A、12B 形成。如图 1A 所示，在基板 10 上在每一列中存在两

个列电极 12。在显示区域 11 的下半部分中,第一分组的列电极 12B 在列方向中从显示器区域 11 的底部延伸到显示器的中部。第二分组的列电极 12A 在列方向中从显示器的中间延伸到显示器的顶部。这两个分组的列电极 12B、12A 中的每一个形成列方向中的分离的像素分组 32 且像素分组 32 中的每一个通过单独的列驱动器芯片 20 控制。在图 1A-1D(以及图 2A-2G)的示例中,列驱动器芯片 20 直接位于它所控制的像素分组 32 下面。在图 1A 的示例中,每个像素分组 32 具有通过外部行驱动器 21 驱动的不同集的行电极 16。当在此使用时,指示“行”和“列”是任意的且可互换。

[0048] 在图 9 中更详细地说明行和列电极 16、12。参考图 9,在基板 10 上形成的行电极 16 和列电极 12 交叠以形成定义像素分组 32 的像素区域 30。列驱动器芯片 20 通过在芯片上形成的连接焊盘 24 电连接到列电极 12。在该实施方式中,行驱动器芯片 23 通过在行驱动器芯片 23 上形成的连接焊盘 24 电连接到行电极 16。在图 8A 和 8B 中说明剖面 8A、8A' 和 8B、8B'。

[0049] 图 8A 是器件的实施方式的 8A、8B' (在图 9 中)的剖面图。参考图 8A,具有分离的芯片基板 28 的列驱动器芯片 20 粘附到基板 10 且使用粘合剂层 18 掩埋。列驱动器芯片 20 包括电路 22 和数据值寄存器 26。列电极 12 电连接到在列驱动器芯片 20 上形成的连接焊盘 24。发光材料 14 位于列电极 12 上并且在该发光材料 14 上形成行电极 16。(行电极 16 示为位于列驱动器芯片 20 上方,不过为清楚起见从图 9 省略相应的行电极。)发光材料 14 可以包括在无机和有机发光二极管领域中已知的多层发光材料以及各种电荷控制层。电极 12、16 和发光材料 14 形成发光二极管 15。图 8B 是设备的实施方式的 8B、8B' (在图 9 中)的剖面图。参考图 8B,具有分离的芯片基板 28 的行驱动器芯片 23 被粘附到基板 10 且使用粘合剂层 18 掩埋。行驱动器芯片 23 包括电路 22 和循环串行移位寄存器 27。行电极 16 电连接到在芯片 23 上形成的连接焊盘 24。图 8A 中交叠列电极 12 和行电极 16 二者的区域形成可以发光的像素 30,在电流通过列驱动器芯片 20 和行驱动器芯片 23 通过连接焊盘 24 从行电极 16 和列电极 12 流经发光材料 14 且通过列驱动器芯片 20 和行驱动器芯片 23 中的芯片电路 22 控制时,该像素 30 可以发射光。

[0050] 本发明可以用在顶部发射器构造和底部发射器构造中。然而,如图 8A 和 8B 所示,芯片位于行和列电极下面的一层中且占用基板上的空间。因而,顶部发射器构造可能是优选的,使得设备的发射区域增加。

[0051] 具有列驱动器芯片和行驱动器芯片布置的各种像素分组被包括在本发明的各个实施方式中。参考图 1B,在本发明的可选实施方式中,具有显示区域 11 的基板 10 包括两个像素分组 32 和控制列电极 12 的两个列驱动器芯片 20。然而,在该实施方式中,每个像素分组 32 的行电极 16 使用两个外部行驱动器 21 共同驱动。两个外部行驱动器 21 使用相同信号并行驱动相同行电极 16 以提供附加电流且减小电极两端的任意电压降。在该实施方式中,一个像素分组的分组行电极通过两个或更多行驱动器共同驱动。

[0052] 转向图 1C,在本发明的另一实施方式中,具有显示区域 11 的基板 10 包括四个像素分组 32A、32B、32C、32D 和控制四个像素分组中的每一个的列电极 12 的四个列驱动器芯片 20A、20B、20C、20D。如在图 1B 的实施方式中,两个外部行驱动器 21 从基板 10 的任一边驱动行电极 16。在该实施方式中,像素分组 32A 和 32B 的行电极 16 使用相同信号共同驱动,且像素分组 32C 和 32D 的行电极 16 使用相同信号共同驱动。因此,一个像素分组的分组行

电极通过两个或更多行驱动器共同驱动。列驱动器芯片 20A 必须与列驱动器芯片 20B 同步且列驱动器芯片 20C 必须与列驱动器芯片 20D 同步。在该实施方式中,两个或更多分离的像素分组具有公共的分组行电极且公共分组行电极通过两个或更多行驱动器共同驱动。

[0053] 参考图 1D,具有显示区域 11 的基板 10 包括四个像素分组 32A、32B、32C、32D 和控制四个像素分组 32A、32B、32C、32D 中的每一个的分离的列电极 12 的四个列驱动器芯片 20A、20B、20C、20D。对比图 1C 的实施方式,在图 1D 的实施方式中,像素分组 32A、32B、32C 和 32D 中的每一个具有电连接到分离的外部行驱动器 21 的分离行电极 16。在该实施方式中,每个像素分组 32A、32B、32C 和 32D 的所有行电极 16 和列电极 12 电分离,且每个像素分组 32A、32B、32C 和 32D 独立于任意其它像素分组而被控制。

[0054] 图 1A-1D 的实施方式采用在显示区域 11 外部的行驱动器 21。然而,对于大显示器件,行电极相应地长,且即使如图 1D 的实施方式所示行电极分成两半或者如图 1B 和 1C 所示通过两个行驱动器 21 从显示区域的每一边驱动行电极 16,沿着行电极 12 的电势电压降和行电极的电容也可能明显限制设备的整体性能。因此,根据本发明的实施方式,行驱动器实施为芯片且与列驱动器芯片一样位于显示区域内。

[0055] 参考图 2A,在一个实施方式中,设备具有在显示区域 11 内在基板 10 上形成的四个像素分组 32A、32B、32C 和 32D,每个像素分组 32A、32B、32C 和 32D 具有分离的分组行和分组列电极 16、12 以及分离的列驱动器芯片 20A、20B、20C、20D 和分离的行驱动器芯片 23A、23B、23C、23D。在该实施方式中,每个像素分组 32A、32B、32C 和 32D 可以独立于任意其它像素分组操作。行和列驱动器芯片 23A、23B、23C、23D、20A、20B、20C、20D 位于显示区域 11 中,且在图中,列驱动器芯片 20A、20B、20C、20D 驱动列驱动器芯片 20A、20B、20C、20D 上方的像素分组 32A、32B、32C 和 32D,而行驱动器芯片 23A、23B、23C、23D 驱动行驱动器芯片 23A、23B、23C、23D 左边的像素分组 32A、32B、32C 和 32D。例如,像素分组 32A 通过列驱动器芯片 20A 和行驱动器芯片 23A 控制。像素分组 32B 通过列驱动器芯片 20B 和行驱动器芯片 23B 控制。像素分组 32C 通过列驱动器芯片 20C 和行驱动器芯片 23C 控制。像素分组 32D 通过列驱动器芯片 20D 和行驱动器芯片 23D 控制。注意,列驱动器芯片控制的列电极 16 的数目可以不同于行驱动器芯片控制的行电极 12 的数目。行驱动器芯片 23A、23B、23C、23D 和列驱动器芯片 20A、20B、20C、20D 因而可以具有不同尺寸或具有不同数目的连接焊盘或驱动不同数目的电极。

[0056] 参考图 2B,在可选实施方式中,设备具有在显示区域 11 内在基板 10 上形成的四个像素分组 32A、32B、32C 和 32D,每个像素分组 32A、32B、32C 和 32D 具有分离的分组列电极 16 和分离的列驱动器芯片 20A、20B、20C、20D。然而,在相同行中行电极 12 在多个像素分组之间共享且通过多个行驱动器芯片使用相同信号共同驱动。每个行电极 16 在像素分组 32A 和 32B 上是电连续的。同样,每个行电极 16 在像素分组 32C 和 32D 上是电连续的。行和列驱动器芯片位于显示区域 11 中且在图中,每个列驱动器芯片驱动直接位于其上方的像素分组。图 2B 不同于图 2A 之处在于,行电极在水平相邻的像素分组对之间共享。例如,像素分组 32A 通过列驱动器芯片 20A 以及行驱动器芯片 23A 和 23B 控制。像素分组 32B 通过列驱动器芯片 20B 以及行驱动器芯片 23A 和 23B 控制。像素分组 32C 通过列驱动器芯片 20C 以及行驱动器芯片 23C 和 23D 控制。像素分组 32D 通过列驱动器芯片 20D 以及行驱动器芯片 23C 和 23D 控制。在该实施方式中,行驱动器芯片 23A 和 23B 必须输出相同信号且

行驱动器芯片 23C 和 23D 必须输出相同信号。同样,列驱动器芯片 20A 必须与列驱动器芯片 20B 协作且列驱动器芯片 20C 必须与列驱动芯片 20D 协作,使得图像信息被适当地显示在右边行上。使用与电学公共行电极并联的两个行驱动器芯片可以改善共享行电极的像素分组(例如 32A 和 32B 或 32C 和 32D)之间行电极中的电流分布。

[0057] 参考图 2C,在本发明的另一实施方式中,设备具有在显示区域 11 内在基板 10 上形成的四个像素分组 32A、32B、32C 和 32D,每个像素分组 32A、32B、32C 和 32D 分别具有分离的分组列电极 16 和分离的列驱动器芯片 20A、20B、20C、20D。然而,行电极 12 在多个像素分组之间共享且通过单个行驱动器芯片共同驱动。行和列驱动器芯片 23A、23B、20A、20B、20C、20D 位于显示区域 11 中且在图中,列驱动器 20A、20B、20C、20D 均驱动其上方的像素分组,而每个行驱动器芯片驱动其左边的行电极。图 2C 不同于图 2B 之处在于,仅一个行驱动器芯片驱动行电极。例如,像素分组 32A 通过列驱动器芯片 20A 和行驱动器芯片 23A 控制。像素分组 32B 通过列驱动器芯片 20B 和行驱动器芯片 23A 控制。像素分组 32C 通过列驱动器芯片 20C 和行驱动器芯片 23B 控制。像素分组 32D 通过列驱动器芯片 20D 和行驱动器芯片 23B 控制。在该实施方式中,列驱动器芯片 20A 和 20B 必须协作且列驱动器芯片 20C 和 20D 必须协作。使用单个行驱动器芯片减小行驱动器芯片的数目。

[0058] 转向图 2D,在本发明的另一实施方式中,设备具有在显示区域 11 内在基板 10 上形成的两个像素分组 32A 和 32B,每个像素分组 32A、32B 分别具有分离的分组行电极 16 和分离的列驱动器芯片 20A、20B。行电极 16 对于每个像素分组 32A、32B 是唯一的。每个分组中的行电极 16 通过两个独立行驱动器芯片共同驱动。例如,像素分组 32A 通过列驱动器芯片 20A 和行驱动器芯片 23A 和 23B 控制。像素分组 32B 通过列驱动器芯片 20B 和行驱动器芯片 23C 和 23D 控制。针对行电极使用多个行驱动器芯片改善电极中的电流分布。

[0059] 参考图 2E,在本发明的另一实施方式中,设备具有在显示区域 11 内在基板 10 上形成的四个像素分组 32A、32B、32C 和 32D,每个像素分组 32A、32B、32C 和 32D 具有分离的分组列电极 16 和分离的行驱动器电极 12。每个像素分组 32A、32B、32C、32D 具有分离的列驱动器芯片和分离的行驱动器芯片。然而,在本实施方式中,行驱动器包括两个电连接的芯片。例如,用于像素分组 32B 的行驱动器包括芯片 23B1 和芯片 23B2。类似地,用于像素分组 32D 的行驱动器例如包括芯片 23D1 和芯片 23D2。芯片对一同作用以通过将行使能信号从一个芯片移位到下一个来控制一个像素分组的分组行电极。尽管例示了两个芯片,但是在本发明的其它实施方式中,三个、四个或更多的芯片可以串联连接以形成单个循环串行移位寄存器。像素分组 32A 和 32C 还具有包含两个芯片的行驱动器。例如,如果列驱动器芯片支持的列电极定义的像素的数目大于单个行驱动器芯片可以支持的行电极的数目,这可能是有用的。如果行驱动器芯片的电路复杂度大于列驱动器芯片的电路复杂度或如果行驱动器芯片中的连接焊盘的数目小于列驱动器芯片中连接焊盘的数目,这可能发生。通过增加像素分组中行电极 12 的数目,像素分组和列驱动器芯片的数目减小。

[0060] 图 2F 例示本发明具有 12 个像素分组 32A-32L 的实施方式。像素分组以具有公共行电极和公共列驱动器芯片的对来布置(例如 32A、32B)。图 2G 例示本发明具有 12 个像素分组 32A-32L 的实施方式。像素分组 32A-32F 的分组行电极共同用作像素分组 32G-32L 的分组行电极。每个行驱动器包括形成单个循环串行移位寄存器的两个芯片。像素分组对共享行驱动器。因而包括循环串行移位寄存器的一半的三个芯片驱动针对像素分组 32A-32F

公用的行电极的一半,而包括循环串行移位寄存器的另一半的三个芯片驱动针对像素分组 32A-32F 公用的行电极的另一半。像素分组 32G-32L 被类似地驱动。这种布置具有这样的优点:在行电极中提供优越电流分布且减小列驱动器芯片的数目。具有更多或更少列驱动器和包含每个循环串行移位寄存器的更多或更少芯片的类似布置被包括在本发明中。列驱动器和行驱动器芯片的数目将至少通过芯片的电学特征、行和列电极的特性、通过行和列电极的交叠形成的像素的尺寸以及使用数据驱动像素的速率(频率)来确定。

[0061] 图 2B、2C 和 2D 例示本发明的各个实施方式,其中通过每个行驱动器芯片支持的像素分组的数目变化。一般而言,通过估算用于指定设备的电压降以及行和列电极电容来确定设备中行和列驱动器芯片的数目是有用的。行和列驱动器芯片的数目可以根据设备的可接受的电学特性选择。列驱动器芯片支持的列电极的数目也可以通过连接焊盘的数目以及可以在列驱动器芯片中构建的电路的数目来限制。同样,行驱动器芯片支持的行电极的数目通过连接焊盘的数目以及可以在行驱动器芯片中构建的电路的数量来限制。行和列芯片的数目也通过设备上显示的信号的必要更新率限制。如果需要较高的更新率,则行和列驱动器芯片的数目增加。如果需要较小的更新率,则行和列驱动器芯片的数目减小。

[0062] 图 10 是四个像素分组 32A、32B、32C、32D 的可选项视图的例示,每个像素分组具有独立的行电极 16 和列电极 12 以及分离的列驱动器芯片 20A、20B、20C、20D 和行驱动器芯片 23A、23B、23C、23D。芯片连接焊盘 24 被示意,但是在芯片或连接焊盘和电极之间没有连接布线。在该例示中,像素分组 32A 通过列控制器 20A 和行控制器 23A 控制。像素分组 32B 通过列控制器 20B 和行控制器 23B 控制。像素分组 32C 通过列控制器 20C 和行控制器 23C 控制。像素分组 32D 通过列控制器 20D 和行控制器 23D 控制。像素分组内或基板上芯片的相对位置并不关键,只要分组列电极适当地连接到相应列驱动器芯片且分组行电极适当连接到相应行驱动器芯片即可。

[0063] 例如,构建了连接到 16 个电极的芯片。还计算出:行驱动器芯片可以支持来自 128 个列的电流。具有 480 行和 640 列的三色显示设备具有 921,600 个发光元件。在条形配置中,这等于 1920 列和 480 行。因此,行方向中需要 120 个列驱动器芯片(每个支持 16 个电极)。在列方向中需要至少 30 个行驱动器芯片(每个支持 16 个电极)。因此,需要 3600 (120×30) 个列驱动器芯片和 450 (30×1920/128) 个行驱动器芯片,总数是 4050 个芯片。在针对具有四元(RGBW)像素的高清设备(为简单起见假设是 2048×1024)每一个芯片使用 32 个电极连接的较大设备设计中,必须控制 8192×1024 个发光元件的阵列。为了支持该设计,跨越设备的宽度必须需要 256 (2048×4/32) 个列驱动器芯片,且跨越设备的高度必须需要 32 (1024/32) 个行驱动器芯片。因此,必须需要 8192 (256×32) 个列驱动器芯片。假设每个行驱动器芯片可以支持 256 个列,需要 1024 个行驱动器芯片(8192×32/256),总数为 9216 个芯片。如果包括两个芯片(例如如图 2E 所示)的循环串行移位寄存器被采用,则列驱动器芯片必须驱动较长布线且控制更多像素,但是需要采用较少的芯片。例如,如果循环串行移位寄存器使用每个具有 32 个电极连接的两个芯片来控制 64 行,仅需要 5120 个芯片(4096 个列驱动器芯片和 1024 个行驱动器芯片),但是像素分组是两倍大。

[0064] 在通过扫描行控制的任意像素阵列中,闪烁是引入关注的。典型地,无源矩阵显示设备限制为约 100 行。如果包括更多的行,则驱动器不能足够快地通过行循环以防止可觉察的闪烁。对照地,本发明提供这样的优点:电极长度极大地减小,使得电极可以以更快的

速率控制。再者,通过形成单独控制的像素分组,多行可以同时使能,极大地减小顺序地驱动的行的数目。因此,使用本发明,可以构建提供优越图像质量的极大像素阵列。因为不需要在基板上(典型地以高温)构建有源矩阵薄膜晶体管,制造成本可以极大地减小且例如可以采用各种基板材料,例如柔性、塑料基板。

[0065] 在本发明的实施方式中,行驱动器包括用于一次选择单个行电极的循环串行移位寄存器。参考图 3,简化电路图说明用于控制行驱动器中的四行的机制。行驱动器包括响应于重置信号使能单个行的重置电路以及接收行选择(SEL)信号以逐一地使能单个行的移位电路。四个移位寄存器 29 序列连接为使得当向所有移位寄存器 29 应用行选择信号(等价于移位寄存器时钟)时,每个移位寄存器中的数据移位到向下一个串联连接的移位寄存器 29;最后一个移位寄存器 29 中的数据被传递到第一个。因此电路提供循环串行移位寄存器 27。除了第一个移位寄存器被设置为 1,重置信号将所有移位寄存器设置为零。具有 1 的移位寄存器 29 使能相应行(R1、R2、R3、R4),使得当一个值通过循环串行移位寄存器 27 移位时,每一行被逐渐地使能且一次仅使能一行 R1、R2、R3、R4(如本领域所已知,使能信号或禁用信号可以为高或低、0 或 1 且此处描述的信号电平可以互换)。

[0066] 尽管序列中的最后一个移位寄存器的输出连接到序列中的第一个移位寄存器的输入,但本发明不限于该实施方式。例如重置信号可以周期性地用于将移位寄存器设置为当最后一个移位寄存器中的数据值被移位到第一个移位寄存器中时将出现的相同状态。通过周期性采用重置信号,从最后一个移位寄存器到第一个移位寄存器的电连接可以省略(且因此示为虚线),由此减小行驱动器的布线复杂度。该布置在多芯片用于形成循环串行移位寄存器时是尤其有用的,因为在这种情况下,从最后一个移位寄存器到第一个的省略的电连接将必须在芯片外部且在基板上布置路径。再者,在多芯片循环串行移位寄存器实施方式中,仅将包括循环串行移位寄存器的芯片的连接序列中的第一个芯片的第一个寄存器设置为使能值。其余芯片可以将芯片内的第一个寄存器设置为禁用值。

[0067] 参考图 4,例示了根据本发明的一个实施方式的图 3 的电路的更详细的实施方式,并且例示了两个串联的移位寄存器 29A 和 29B(而不是图 3 中的四个移位寄存器 29)。第二移位寄存器 29B 的输出连接到第一移位寄存器 29A(如使用连接 D 指示)。采用具有指示的时序图的两相时钟。每个移位寄存器(例如 29A)包括形成串行移位电路的两个电容器(例如 61A、62A)和四个晶体管(例如 52A、53A、54A、55A)。形成重置电路的重置晶体管用于重置电路且驱动行电极。当在 $c1k1$ 为高且 $c1k2$ 为低($c1k1$ 是 $c1k2$ 的反相)时重置信号应用于晶体管 51A 时,第一电容器 61A 被充电,晶体管 52A 导通,第二电容器 62A 被充电且晶体管 53A 导通,向移位寄存器 29B 提供高信号。行控制晶体管 55A 也导通以唯一地使能 R1。当相同的重置信号通过晶体管 51B 应用于移位寄存器 29B 时,电容器 61B、62B 被放电,晶体管 53B 导通,且晶体管(52B、54B)被拉低,使得行控制晶体管(55B)截止行 R2 且信号 D 设置为低。(相同的重置电路可以用于在循环串行移位寄存器的多芯片实施方式中将第一移位寄存器 29A 设置为低值)。

[0068] 重置信号然后返回为零且 $c1k2$ 被使能($c1k1$ 禁用)。通过晶体管 56B 提供到移位寄存器 29B 的信号然后对电容器 61B 充电且导通晶体管 52B。对比地,信号 D 通过晶体管 56A 耗尽电容器 61A 且截止晶体管 52A。当 $c1k1$ 连续使能且 $c1k2$ 禁用时,存储在第一电容器 61B 中的值被传输到第二电容器 61B,因而执行从一个移位寄存器 29A 到下一移位寄存

器 29B 的数据移位。行 R1 然后禁用且行 R2 使能。因而,图 4 的实施方式例示具有使用多相位时钟信号移位的双缓冲寄存器 29A、29B 的循环串行移位寄存器 27。图 5 例示具有四个包括循环串行移位寄存器的串联双缓冲的多相位移位寄存器 29A 的相同电路。电路可以使用更多移位寄存器 29 扩展以支持所需数目的行且可以安装到行驱动器芯片中或行驱动器芯片系列中。只要需要、只要末端寄存器连接到第一个寄存器上的输入(见图 2E),循环串联的移位寄存器可以将数据传递到另一个芯片以使得则形成移位寄存器。

[0069] 转向图 6,例示了根据本发明的实施方式的列驱动器芯片电路 20。如图 6 所示,列驱动器芯片电路 20 包括两个数据值寄存器 26,每个数据值寄存器 26 至少存储连接列驱动器芯片的像素分组中列数目那样多的模拟数据值。在这种情况下,针对可以控制四个列电极的芯片例示了四个数据值寄存器。数据值寄存器 26 是串行寄存器且通过将数据移位到通过时钟信号控制的寄存器 26,数据值被存储在串联的数据值寄存器 26 中。选择信号控制数据被传输到哪个数据值寄存器 26 且数据在哪个列电极驱动器呈现。

[0070] 图 7 中例示了用于列驱动器芯片 20 的电路的更详细的电路图。两个串联连接的模拟移位寄存器通过时钟信号控制。模拟移位寄存器在本领域中是已知的且例如用在 CCD 和 CMOS 成像器二者中。它们典型地采用多相位时钟来将来自一个寄存器的模拟值(通过电容器或半导体阱中的电荷表达)移位到下一个寄存器。选择信号及其反相选择模拟数据通过晶体管 70 所移位到的数据值寄存器。类似地,选择晶体管 72 将每个数据值寄存器中的模拟数据值呈现给列电极驱动器以驱动像素分组中的列电极 C1、C2、C3、C4。注意,列驱动器芯片可以串联连接,使得整行数据值通过未被选择的数据值寄存器移位,选择信号被切换,使得数据值寄存器中的数据被选择以输出到列电极,且其它数据值寄存器使用时钟信号来加载数据。这样,数据值以简单和有效的方式交替地加载和驱动到列电极。

[0071] 应当注意,用于选择列驱动器芯片数据值寄存器 26 中的数据的信号是可用于移位行驱动器循环串行移位寄存器 27 中的相同信号。

[0072] 如图 6 所示,列驱动器芯片电路 20 可以交替地选择从两个串行移位寄存器 27 输出的数据。在图 11 中例示的本发明的可选实施方式中,一个串行移位寄存器 27 可以用于将数据移位到芯片和用于在应用选择信号时存储移位的数据的寄存器。存储的数据然后可以用于控制列电极,而下一集的数据被移位到串行移位寄存器。该实施方式具有减小芯片中所需电路的数量的优点。

[0073] 本发明提供优于现有技术的减小的成本。常规地,有源矩阵底板采用相对低性能和昂贵的薄膜半导体材料。行驱动器芯片不需要具有与连接焊盘相同的数目或与连接焊盘相同的布局。此外,行驱动器芯片驱动的行的数目不需要与列驱动器芯片驱动的列的数目相同。行驱动器和列驱动器可以位于各个位置,只要它们电连接到相应行或列电极即可。位置一般选择为提供用于电连接到芯片的布置路径且以适于采用的制造工艺的所需位置容差将芯片彼此隔开。此外,行驱动器芯片的技术、工艺或构造可以不同于列驱动器芯片的技术、工艺或构造。构造意味着用于构造行和列驱动器芯片的工艺限制、材料和制造工艺。例如,一个芯片可以采用数字设计、工艺和材料而其它芯片可以采用模拟的。可选地,一个芯片可以采用相对高的电压设计、工艺和材料而另一芯片采用相对低的电压。同样,一个芯片可以采用半导体基板材料或掺杂(例如 n 或 p 掺杂)而其它芯片采用不同材料或掺杂。芯片还可以采用不同电路示意。控制独立驱动方向的芯片需要接收图像数据的电路,需要用于

每个输出的图像数据的一个或更多存储器位置,且在使用较小线宽半导体工艺实施时控制相对小的电流且更好地工作。控制公共驱动方向的芯片不接收图像数据或需要图像数据存储器,但是需要在使用较宽线宽半导体工艺实施时切换相对大的电流且因此更好地工作。

[0074] 在本发明的另一实施方式中,芯片连接焊盘 24 可以直接连接到行和列电极 16、12。然而,这种连接可能导致芯片不必要地较大。在本发明的另一实施方式中,芯片可以以任意取向相对于像素分组和基板对准,包括将芯片的边缘与行或列电极对准。实际上,不同芯片可以不同对准。此外,显示设备可以包括多个行驱动器芯片和在基板上分布的分离的多个列驱动器芯片,每个芯片具有长维度和短维度,行驱动器芯片的长维度正交于列驱动器芯片的长维度。这种布置有利于单个层(例如,金属层)中总线的路径布置。芯片可以是矩形的,矩形的两个相对边比另两个相对边长,定义了包括长边和短边的具有较大纵横比的芯片。芯片的长边可以在与行电极或列电极相同的方向中对准。例如,使得行驱动器芯片的长边与列电极对准且使得列电极的长边与行电极对准可能是有帮助的。

[0075] 连接焊盘可以使用布线连接到行电极。通孔可以用于从一个布线层连接到另一个布线层或连接到连接焊盘且例如在列电极之间形成以避免与列电极的电短路。因为可能需要相当的布线将连接焊盘电连接到行和列电极,其中顶部电极是透明的且底部电极可以是反射性的顶部发射器构造可能是优选的。基板也可以是不透明的。

[0076] 芯片可以具有沿着比相对短的相邻边长的芯片的相对长边的单行或多行连接焊盘 24。行驱动器芯片中的电路可以不同于列驱动器芯片中的电路。具体而言,与列驱动器相比,行驱动器可以使用具有较低数据速率但是可以切换大电流的非常简单的电路。此外,行驱动器芯片控制的行的数目可以不同于列驱动器芯片驱动的列的数目。因此,不同电路可以用在不同驱动器中,或者甚至使用不同制造工艺或技术来制备不同驱动器。

[0077] 芯片可以通过总线或通过多个总线(为清楚起见,在附图中未示出)连接到外部控制器。总线可以是串行、并行或点到点总线且可以是数字或模拟的。串行总线是其中数据在电分离的电连接上从一个芯片重发射到另一个芯片的总线,而并行总线是其中数据在电公共的电连接上同时被广播到所有芯片的总线。总线连接到芯片以提供信号,诸如电源、接地、数据或选择信号。可以采用单独连接到一个或更多个控制器的多于一个总线。

[0078] 在操作中,控制器根据显示设备的需要接收且处理信息信号且通过一个或更多总线向设备中的每个芯片发送经处理的信号和控制信息。经处理的信号包括用于对应于相关行和列驱动器芯片的每个发光像素元件的亮度信息。亮度信息可以存储在对应于每个发光像素元件的模拟或数字存储元件中。芯片然后顺序地激励其连接的行和列电极。当用于像素的行和列电极被激励时,电流可以流动通过由行和列电极定义的像素以发射光。典型地,像素分组中行电极的整个分组或列电极的分组通过一次激励所有分组列电极和一个行电极(或反之亦然)同时激励。列电极被控制以提供行中每个像素所需的相应亮度。然而,第二行被选择且处理重复,直到所有行被激励且所有像素发射光。处理然后可以重复。分离的像素分组可以独立工作。注意,“行”和“列”的指定是任意的且行和列电极的功能可以倒置。

[0079] 尽管显示设备中分离行(或列)的顺序激励可能包括闪烁,但是采用多个独立控制的像素分组减小了每个分离控制的像素分组中的行和列的数目。因为像素分组被同时激励,闪烁被极大地减小。此外,因为分组行电极和分组列电极可以仅在像素分组内连接,所

以分组行电极和分组列电极可以很短,减小了电极电容和电阻以及对于芯片中高功率驱动电路的需要,且设备的功耗减小。因此,每个像素行(或列)发射光的时间部分增加,闪烁减小,且在所需亮度处的电流密度减小。

[0080] 总线可以提供各种信号,包括时序(例如时钟)信号、数据信号、选择信号、电源连接或接地连接。信号可以是模拟或数字的,例如数字地址或数据值。模拟数据值可以作为电荷被提供。存储寄存器可以是数字(例如包括双稳态多谐振荡器)或模拟(例如包括用于存储电荷的电容器)的。

[0081] 在本发明的各个实施方式中,分布在基板上的行驱动器或列驱动器芯片可以相同。然而,唯一标识值(例如 ID)可以与每个芯片相关联。ID 可以在芯片布置在基板上之前或优选地之后分配,且 ID 可以反映基板上芯片的相对位置,即 ID 可以是地址。例如,ID 可以通过将计数信号在行或列中从一个芯片传递到下一个芯片来分配。可以使用分离的行或列 ID 值。

[0082] 控制器可以实施为芯片且固定到基板。控制器可以位于基板的周围或可以在基板的外部且包括常规集成电路。

[0083] 根据本发明的各个实施方式,芯片可以以各种方式构造,例如,具有沿着芯片的长维度的一行或两行连接焊盘。互连总线和布线可以从各种材料形成且使用在设备基板上沉积的各种方法。例如,互连总线和布线可以是蒸发或溅射的金属,例如是铝或铝合金。可选地,互连总线和布线可以由固化导电墨水或金属氧化物制成。在一个成本有利的实施方式中,互连总线和布线在单层中形成。

[0084] 本发明对于采用大设备基板(例如,玻璃、塑料或箔)的多像素设备实施方式是尤其有用的,多个芯片在设备基板上以矩形布置。每个芯片可以根据芯片中的电路且响应于控制信号控制在设备基板 10 上形成的多个像素。相应像素分组或多个像素分组可以位于平铺元件上,所述元件可以被组装以形成整个显示器。

[0085] 根据本发明,芯片提供在基板上的分布式像素控制元件。与设备基板相比,芯片是相对小的集成电路且包括如下的电路,即,所述电路包括在独立基板上形成的布线、连接焊盘、诸如电阻或电容这样的无源组件或诸如晶体管或二极管这样的有源组件。芯片与显示基板分离地制造且然后应用于显示基板。芯片优选地使用制造半导体设备的已知工艺并且使用硅或绝缘体上硅(SOI)晶片来制造。每个芯片然后在附连到设备基板之前分离。每个芯片的晶体基底因此被认为是从设备基板分离的基板,且其上布置芯片电路。多个芯片因此具有从设备基板分离且彼此分离的相应多个基板。具体而言,独立基板从其上形成像素的基板分离,且一起获得的独立芯片基板的面积小于设备基板。芯片可以具有晶体基板以提供例如比在薄膜非晶或多晶硅设备中发现的性能高的较高性能有源组件。芯片可以具有 100 μm 或更小、优选地 20 μm 或更小的厚度。这有利于在芯片上可以使用常规旋涂技术应用的粘合剂和平整化材料的形成。根据本发明的一个实施方式,在晶体硅基板上形成的芯片以几何阵列布置且使用粘合剂或平整化材料粘合到设备。芯片的表面上的连接焊盘用于连接每个芯片到信号布线、电源总线和行或列电极以驱动像素。芯片可以控制至少四个像素。

[0086] 因为芯片在半导体基板中形成,所以可以使用现代光刻工具形成芯片的电路。使用这种工具,0.5 微米或更小的特征尺寸已经可用。例如,现代半导体生产线可以实现 90nm

或 45nm 的线宽且在制备本发明的芯片中采用。然而，一旦组装到显示基板，芯片还需要用于形成到芯片上设置的布线层的电连接的焊盘。连接焊盘必须基于在显示设备上使用的光刻工具的特征尺寸(例如 $5\mu\text{m}$) 以及芯片与布线层的对准(例如 $\pm 5\mu\text{m}$) 来调节尺寸。因此，连接焊盘例如可以是 $15\mu\text{m}$ 宽，在焊盘之间具有 $5\mu\text{m}$ 的间隙。这意味着焊盘将一般明显大于在芯片中形成的晶体管电路。

[0087] 焊盘一般可以在晶体管上在芯片上的金属化层中形成。希望制备具有尽可能小的表面面积的芯片以实现低制造成本。

[0088] 通过采用具有单独的基板(例如包括晶体硅)的芯片，该基板具有如下的电路，即，该电路比直接在基板(例如非晶或多晶硅)上形成的电路具有更高性能，提供了具有更高性能的设备。因为晶体硅不仅具有更高性能而且具有更小的有源元件(例如晶体硅)，电路尺寸大为减小。例如在 Yoon, Lee, Yang 和 Jang 等人于 2008 年在 Digest of Technical Papers of the Society for Information Display (3.4, p.13) 上发表的“MEM 开关在驱动 AMOLED 中的新颖使用”中所述，有用的芯片还可以使用微机电(MEMS)结构来形成。

[0089] 设备基板可以包括玻璃和在使用本领域中已知的光刻技术构图的平整化层(例如树脂)上形成的由蒸发或溅射的金属或金属合金(例如铝或银)制成的布线层。芯片可以使用在集成电路工业中良好确立的常规技术来形成。

[0090] 本发明可以用在具有多像素基础结构的设备中。具体而言，本发明可以使用有机或无机 LED 设备实践，且在信息显示设备中是尤其有用的。在优选实施方式中，本发明用在例如但不限于在 1988 年 9 月 6 日发布的 Tang 等人的美国专利 No. 4,769,292 和在 1991 年 10 月 29 日发布的 VanSlyke 等人的美国专利 No. 5,061,569 中所公开的由小分子或聚合物 OLED 构成的平板 OLED 设备中。例如采用在多晶半导体基质(例如，如 Kahen 的美国公开 2007/0057263)中形成的量子点以及采用有机或无机电荷控制层的无机设备或混合有机/无机设备可以被采用。有机或无机发光显示器的很多组合和变型可以用于制造这种设备，包括具有顶部或底部发射器结构的有源矩阵显示器。

[0091] 已经具体地参考某些优选实施方式详细描述了本发明，但是应当理解，可以在本发明的精神和范围内实现变型和修改。

[0092] 部件列表：

[0093] C1-C4 :列

[0094] R1-R4 :行

[0095] D :信号

[0096] 8A :列驱动器芯片剖面

[0097] 8A' :列驱动器芯片剖面

[0098] 8B :行驱动器芯片剖面

[0099] 8B' :行驱动器芯片剖面

[0100] 10 :基板

[0101] 11 :显示区域

[0102] 12 :列电极

[0103] 12A, 12B :列电极分组

[0104] 14 :发光材料

- [0105] 15 :发光二极管
- [0106] 16 :行电极
- [0107] 16A :行电极分组
- [0108] 16B :行电极分组
- [0109] 18 :粘合剂层
- [0110] 20 :列驱动器芯片
- [0111] 20A :列驱动器芯片
- [0112] 20B :列驱动器芯片
- [0113] 20C :列驱动器芯片
- [0114] 20D :列驱动器芯片
- [0115] 21 :行驱动器
- [0116] 22 :电路
- [0117] 23 :行驱动器芯片
- [0118] 23A :行驱动器芯片
- [0119] 23B :行驱动器芯片
- [0120] 23C :行驱动器芯片
- [0121] 23D :行驱动器芯片
- [0122] 23B1 :芯片
- [0123] 23B2 :芯片
- [0124] 23D1 :行驱动器芯片
- [0125] 23D2 :行驱动器芯片
- [0126] 24 :连接焊盘
- [0127] 26 :数据值寄存器
- [0128] 27 :循环串行移位寄存器
- [0129] 28 :芯片基板
- [0130] 29 :移位寄存器
- [0131] 29A :移位寄存器
- [0132] 29B :移位寄存器
- [0133] 30 :像素
- [0134] 32 :像素分组
- [0135] 32A :像素分组
- [0136] 32B :像素分组
- [0137] 32C :像素分组
- [0138] 32D :像素分组
- [0139] 32E :像素分组
- [0140] 32F :像素分组
- [0141] 32G :像素分组
- [0142] 32H :像素分组
- [0143] 32I :像素分组

- [0144] 32J :像素分组
- [0145] 32K :像素分组
- [0146] 32L :像素分组
- [0147] 40 :控制器
- [0148] 50 :晶体管
- [0149] 51A,51B :晶体管
- [0150] 52A,52B :晶体管
- [0151] 53A,53B :晶体管
- [0152] 54A,54B :晶体管
- [0153] 55A,55B :晶体管
- [0154] 56A,56B :晶体管
- [0155] 61A,61B :电容器
- [0156] 62A,62B :电容器
- [0157] 70 :晶体管
- [0158] 72 :晶体管

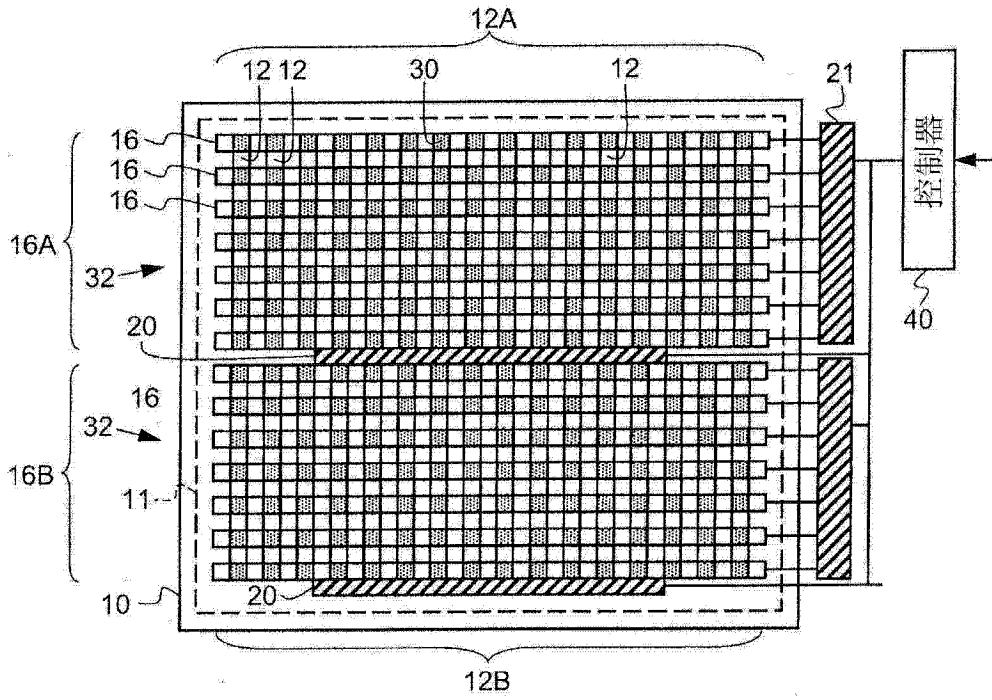


图 1A

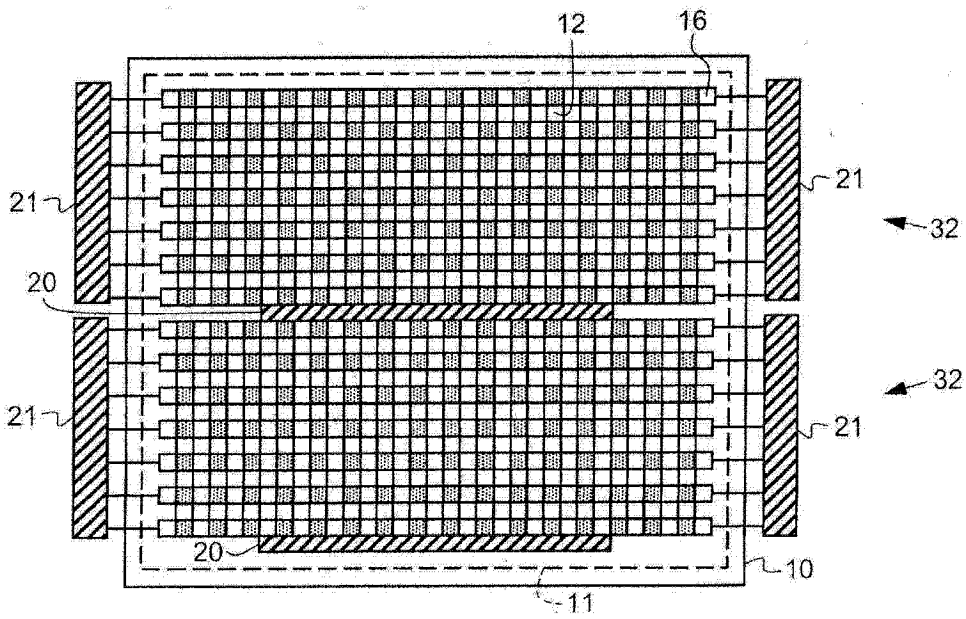


图 1B

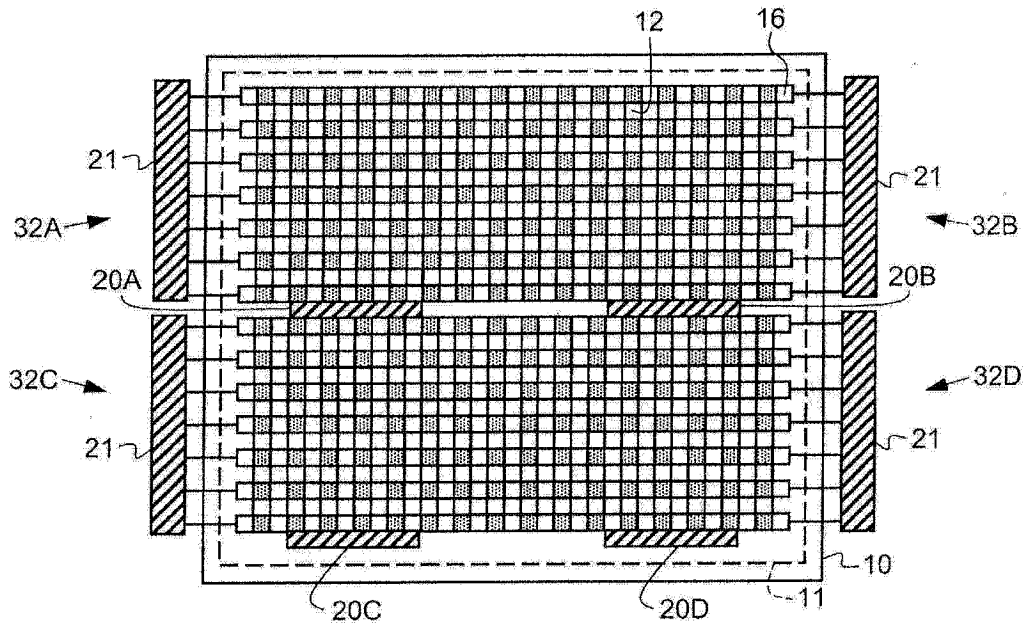


图 1C

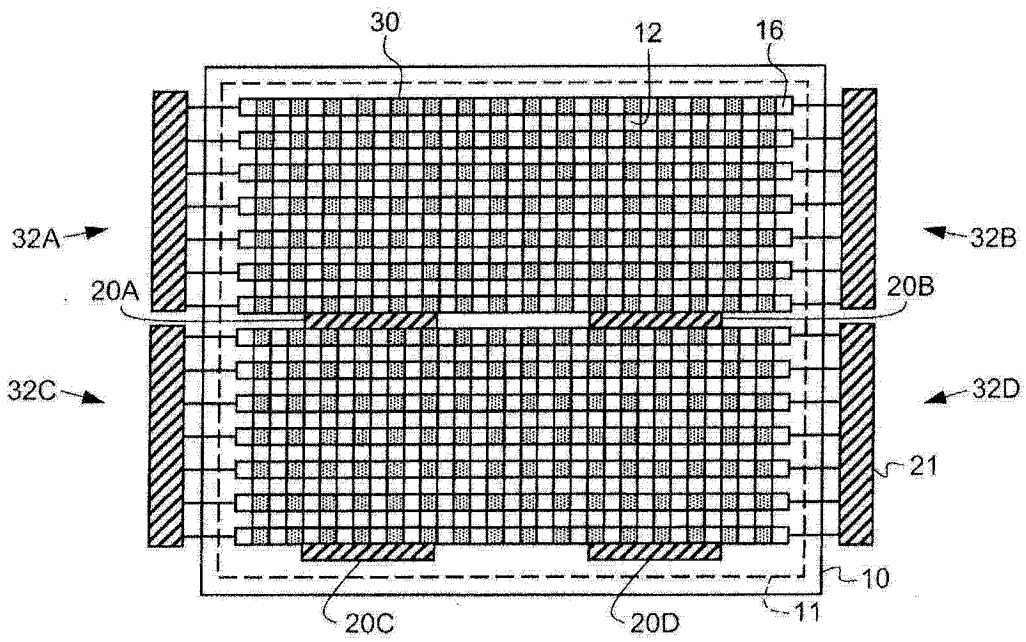


图 1D

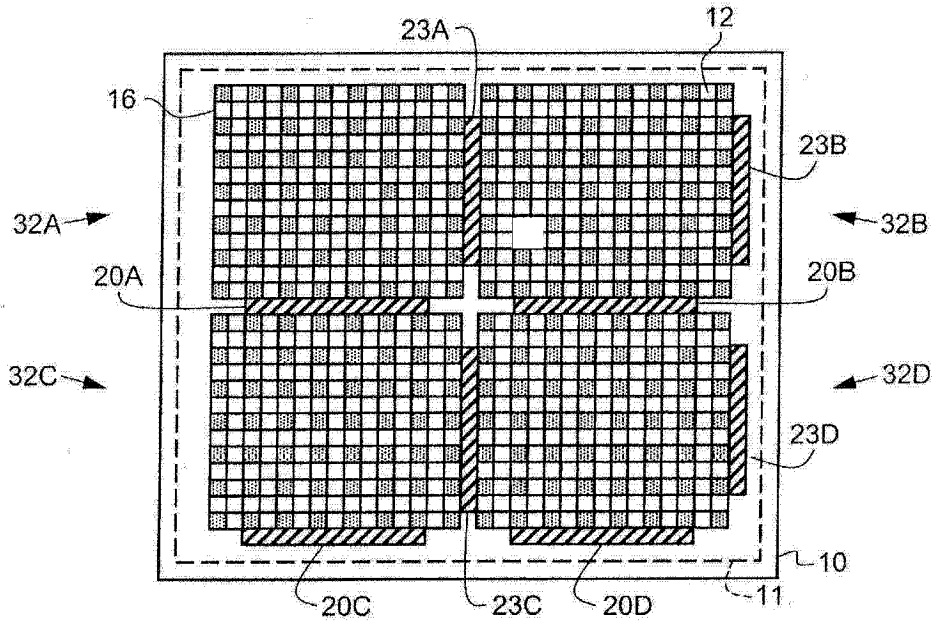


图 2A

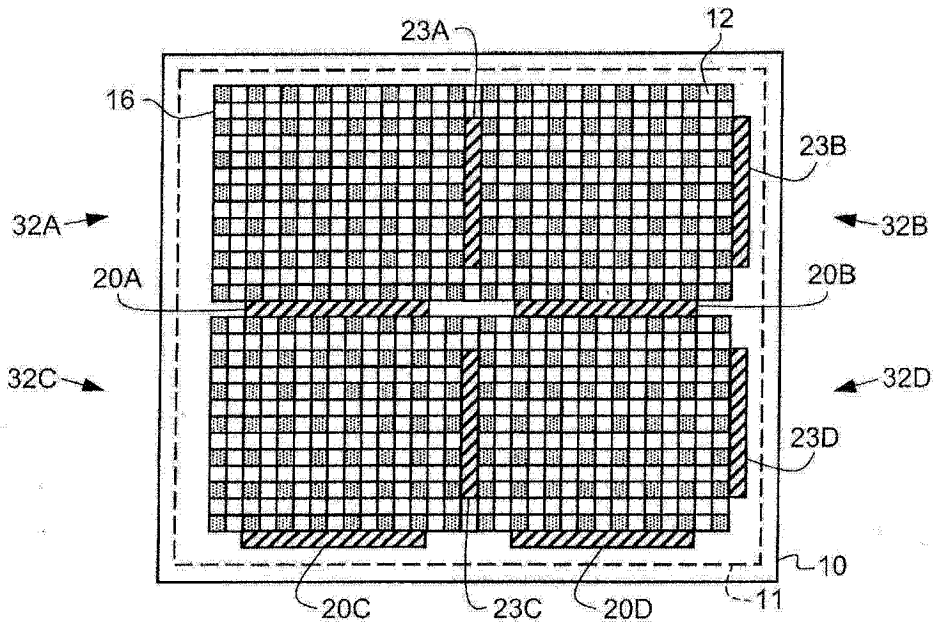


图 2B

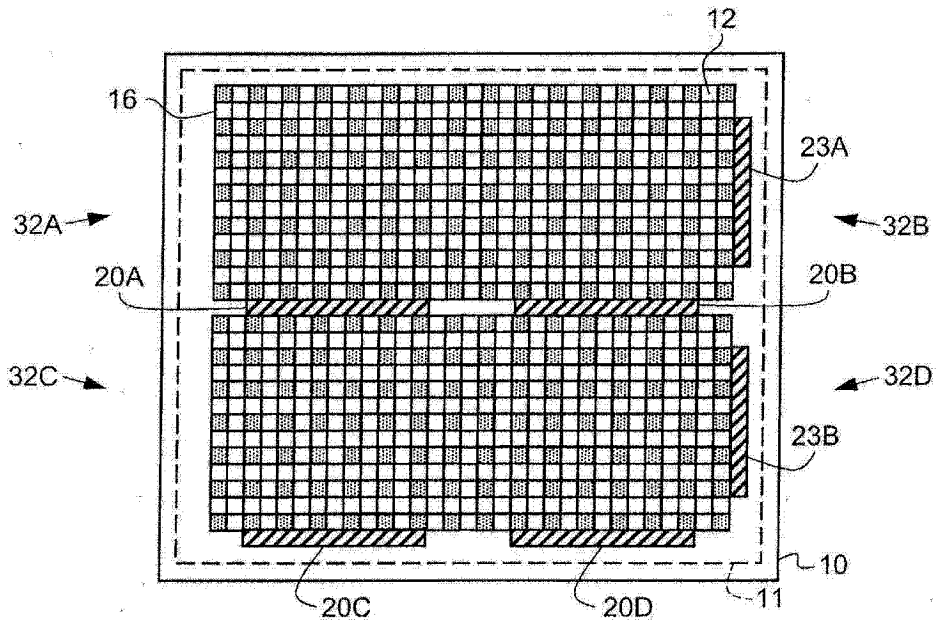


图 2C

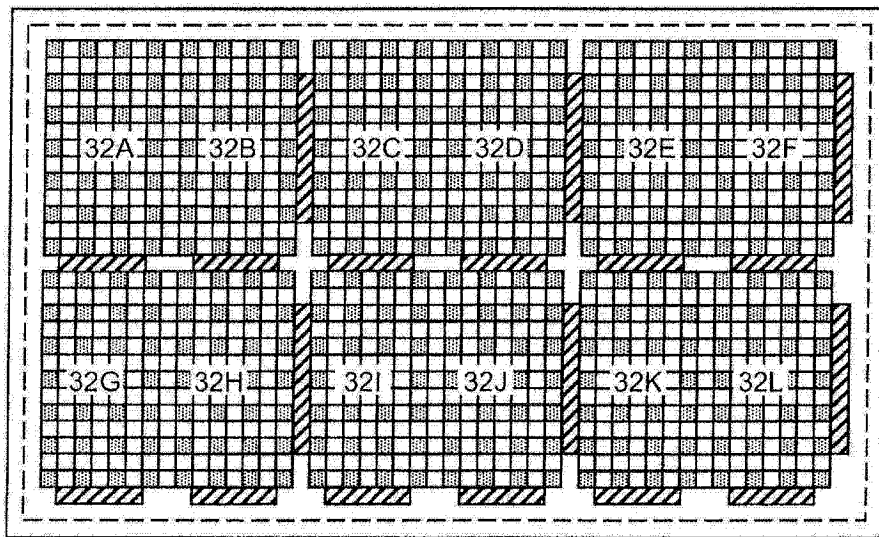


图 2F

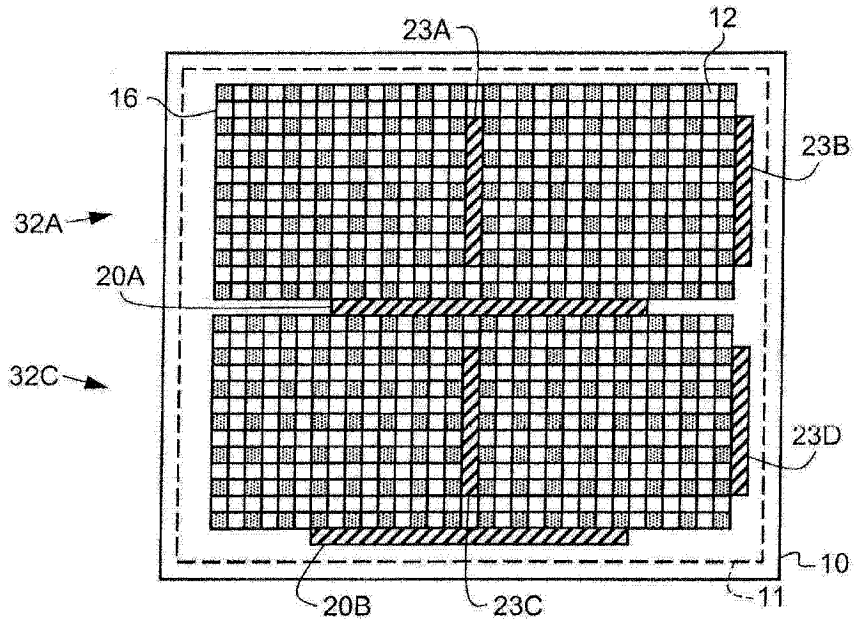


图 2D

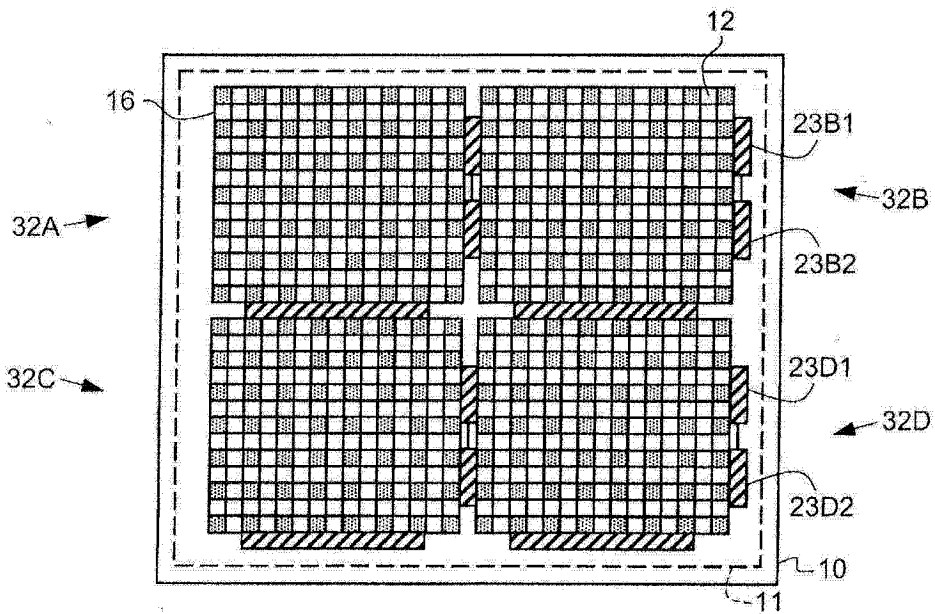


图 2E

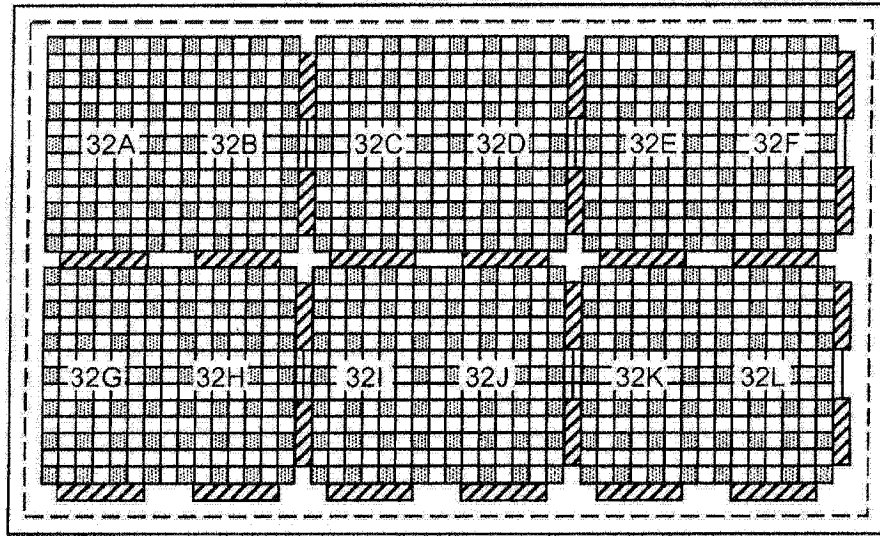


图 2G

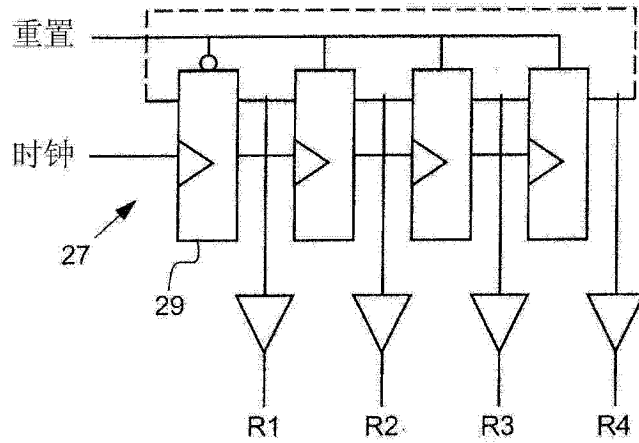


图 3

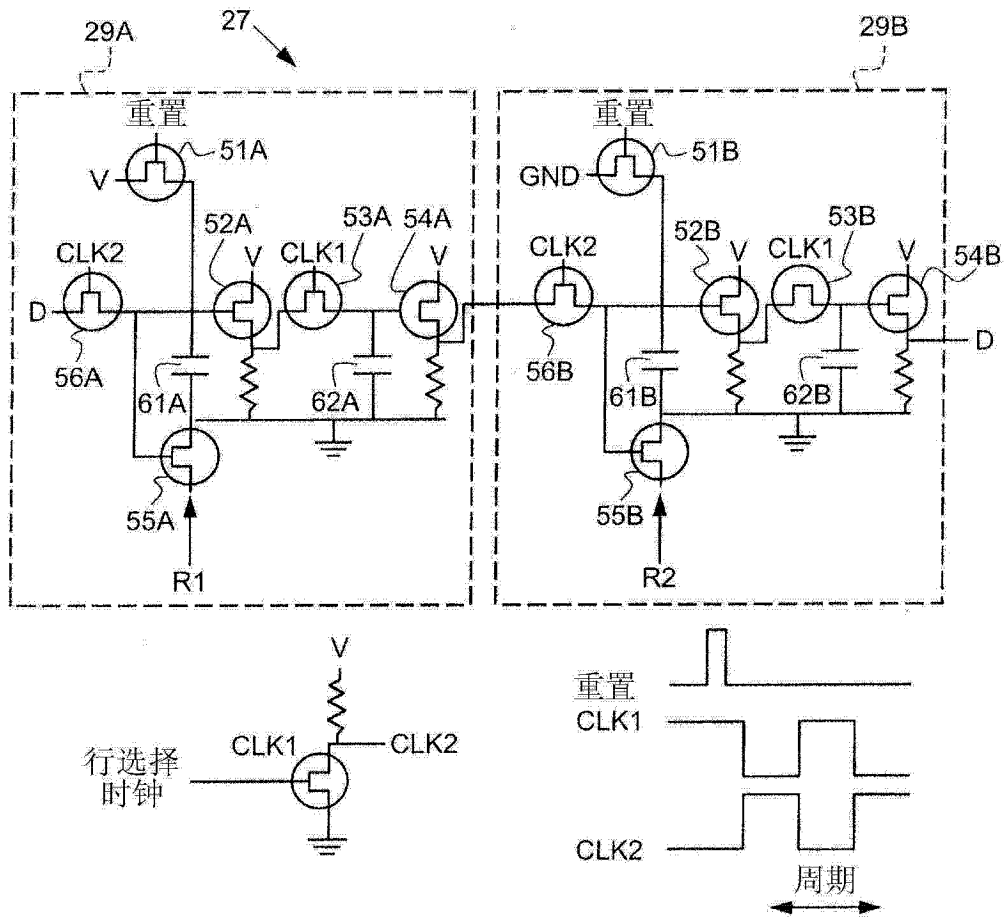


图 4

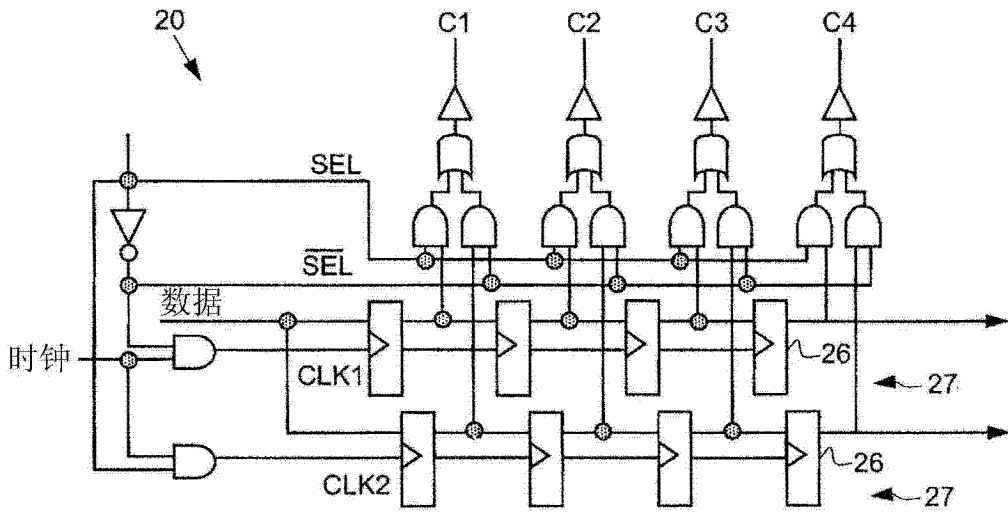


图 6

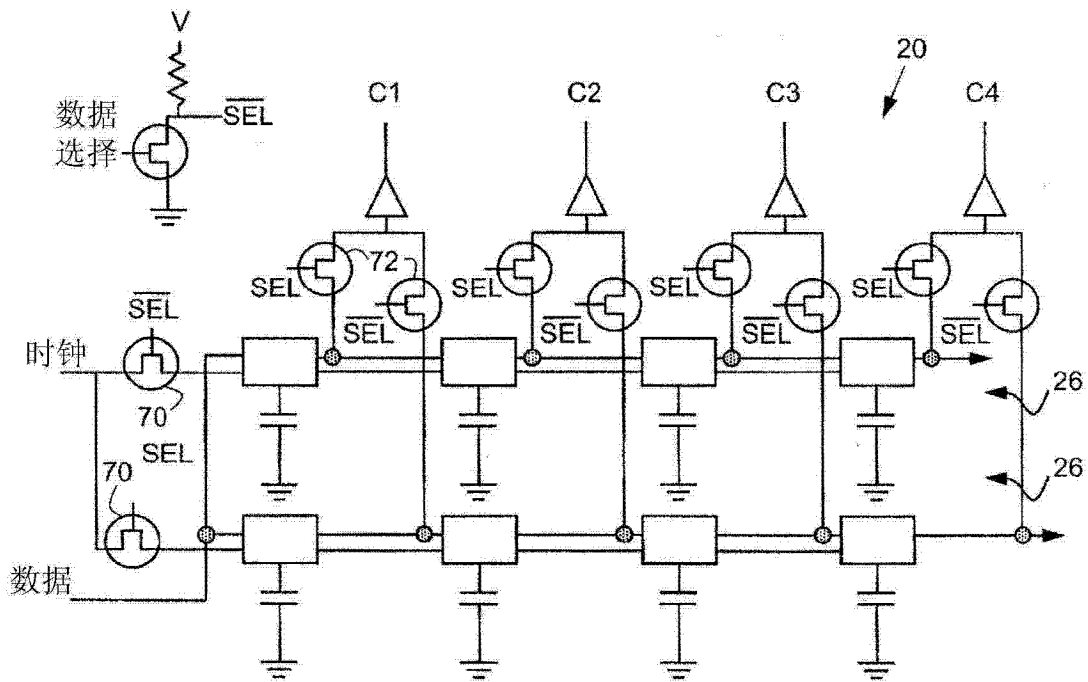


图 7

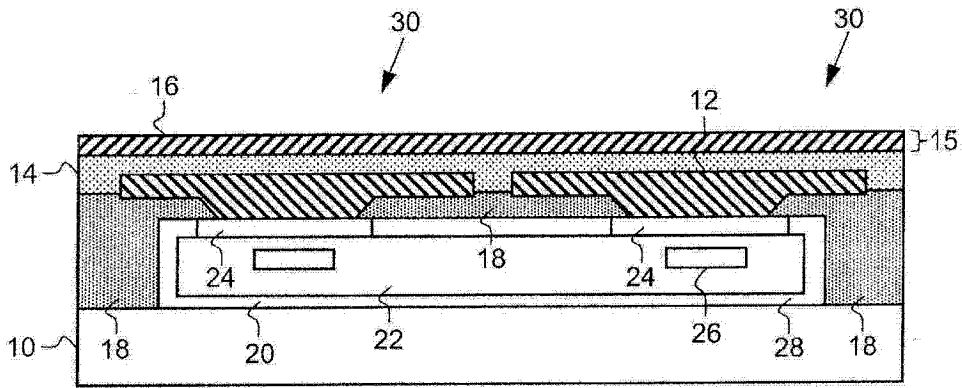


图 8A

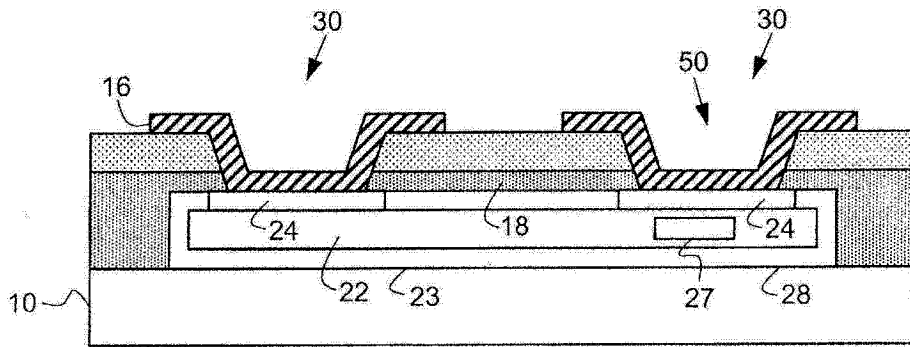


图 8B

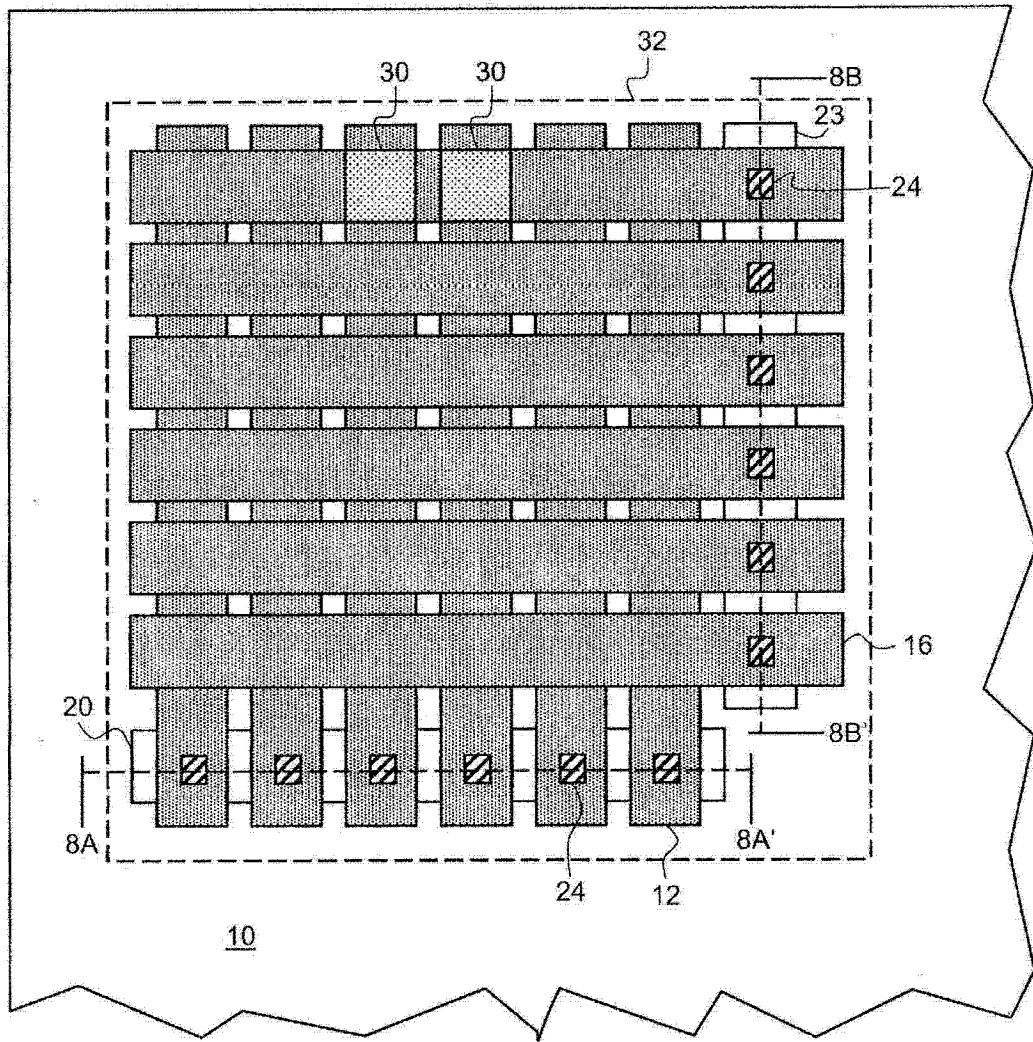


图 9

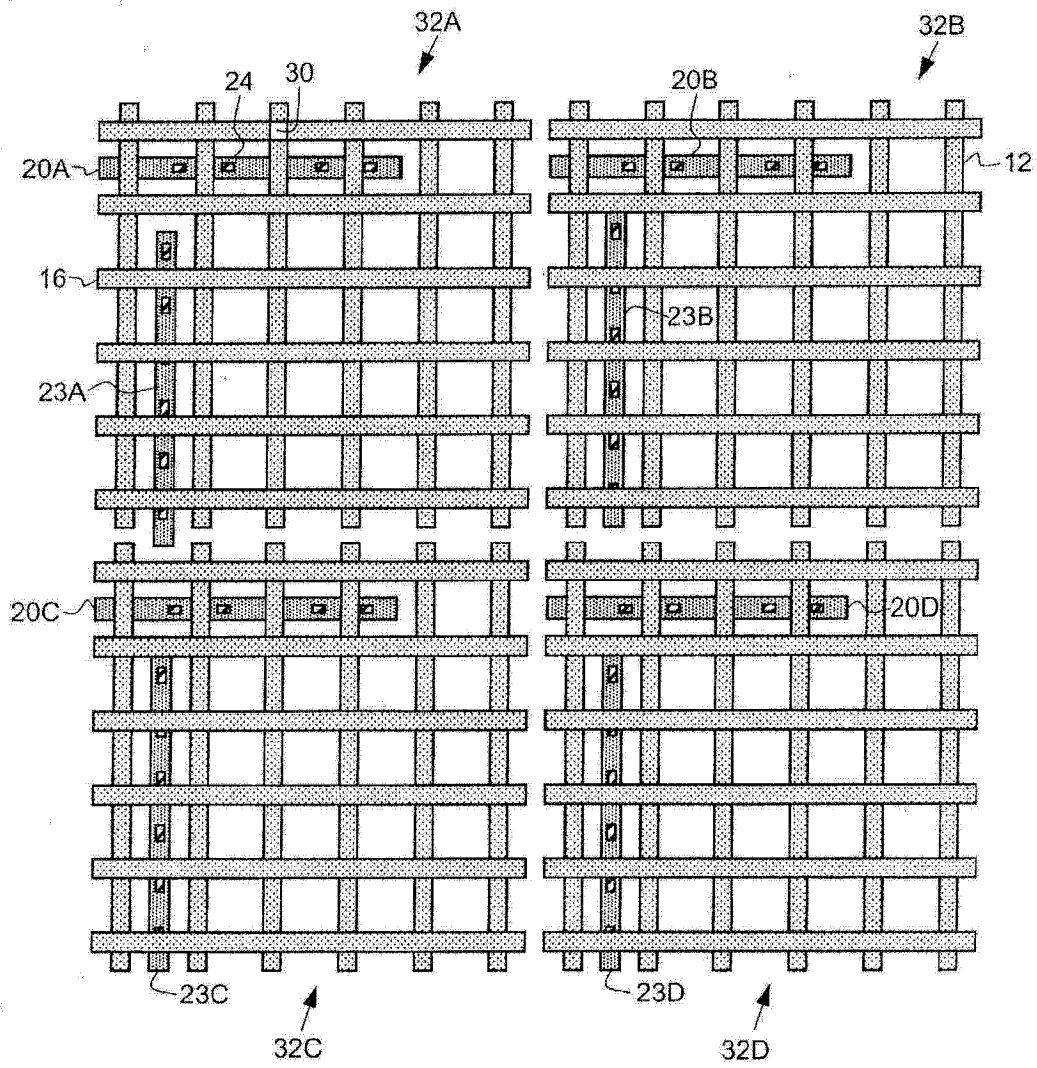


图 10

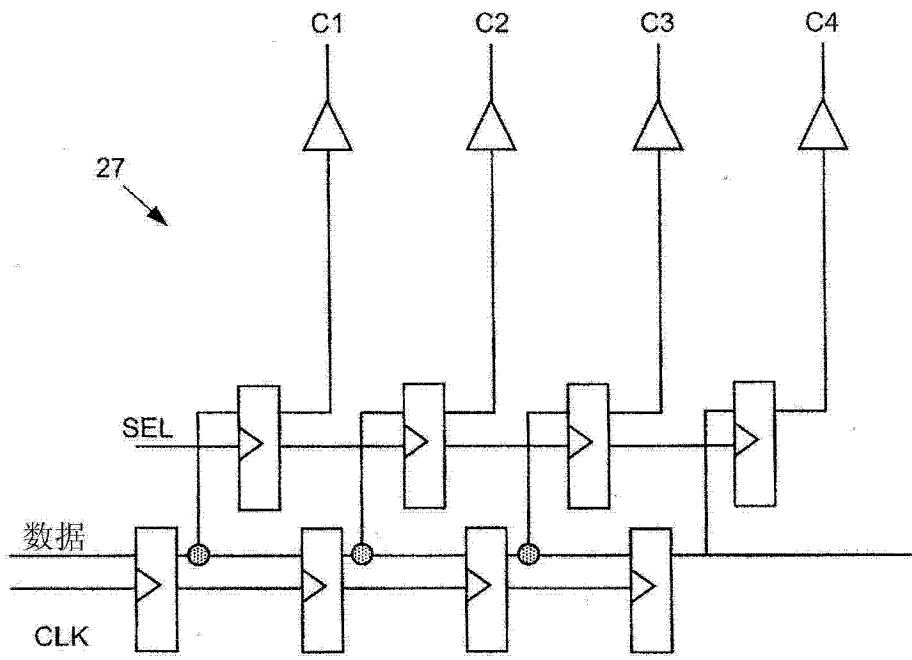


图 11